

デジタル可変式LCDバイアス電源

概要

MAX1620/MAX1621は、1.8V~20Vのバッテリー電圧を正又は負のLCDバックプレーンバイアス電圧に変換します。ディスプレイロジック電圧が除去されると、バックプレーンバイアス電圧は自動的にディセーブルされ、ディスプレイを保護します。これらの素子は、極小のPCボード面積に収まり、超小型QSOPパッケージで供給されています。外付部品は、小型で薄型のものしか必要ありません。

出力電圧は、外付抵抗で希望の正又は負電圧範囲に設定でき、内蔵デジタルアナログコンバータ(DAC)又はポテンショメータを使用することにより、その範囲内で調節できます。MAX1620/MAX1621は5ビットDACを内蔵しているため、バイアス電圧のデジタルソフトウェア制御が可能です。MAX1620はアップ/ダウンデジタル信号でDACを調節し、MAX1621ではシステムマネジメントバス(SMBus™)2線シリアルインタフェースを使用します。

これらの素子は、低コスト外部NチャンネルMOSFETパワースイッチ又はNPNトランジスタを使用し、正又は負電圧に設定できます。動作電流は150 μ Aと小さく、通常はディスプレイの3.0V又は5.5Vロジック電源から供給されます。MAX1620/MAX1621は、16ピンQSOPパッケージで提供されています。

アプリケーション

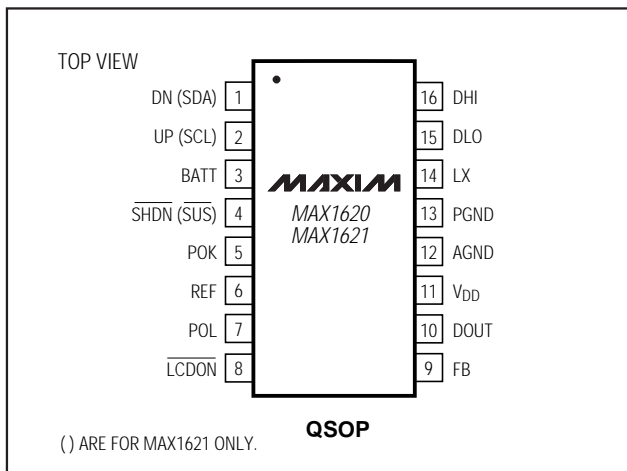
ノートブックコンピュータ

パームトップコンピュータ

電子手帳

ポータブルデータ収集ターミナル

ピン配置



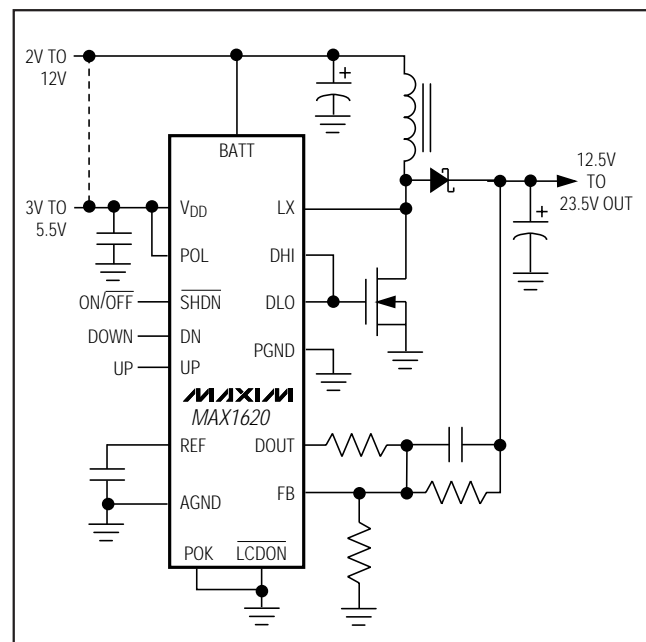
特長

- ◆ バッテリ入力電圧：1.8V~20V
- ◆ ディスプレイロジックがシャットダウンすると自動的にディセーブル
- ◆ 超小型QSOPパッケージ
- ◆ 32レベルの内部DAC
- ◆ SMBusシリアルインタフェース(MAX1621)
- ◆ 正又は負出力電圧

型番

| PART | TEMP. RANGE | PIN-PACKAGE |
|------------|----------------|-------------|
| MAX1620EEE | -40°C to +85°C | 16 QSOP |
| MAX1621EEE | -40°C to +85°C | 16 QSOP |

標準動作回路



SMBusはIntel Corp.商標です。

デジタル可変式LCDバイアス電源

MAX1620/MAX1621

ABSOLUTE MAXIMUM RATINGS

| | | | |
|--------------------------------------|-----------------------------------|---|-----------------|
| V _{DD} to AGND | -0.3V to 6V | I _{DLO} | -30mA |
| PGND to AGND | ±0.3V | I _{LCDON} | -10mA |
| BATT, LX, LCDON to AGND | -0.3V to 30V | Continuous Power Dissipation (T _A = +70°C) | |
| DHI, DLO to PGND..... | -0.3V to (V _{DD} + 0.3V) | QSOP (derate 8.3mW/°C above +70°C) | 667mW |
| DOUT, FB, POL, POK, REF to AGND..... | -0.3V to (V _{DD} + 0.3V) | Operating Temperature Range | |
| UP, DN, SHDN to AGND..... | -0.3V to 6V | MAX1620EEE/MAX1621EEE | -40°C to +85°C |
| SCL, SDA, SUS to AGND..... | -0.3V to 6V | Storage Temperature Range | -65°C to +150°C |
| I _{DHI} | 60mA | Lead Temperature (soldering, 10sec) | +300°C |

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = 3.3V, V_{BATT} = 10V, T_A = 0°C to +85°C, unless otherwise noted.)

| PARAMETER | CONDITIONS | MIN | TYP | MAX | UNITS |
|---|---|-------|-------|-------|-------|
| SWITCHING REGULATOR | | | | | |
| V _{DD} Operating Range | | 3.0 | | 5.5 | V |
| V _{DD} Supply Current | Operating mode, output in regulation, V _{DD} = 5.5V | | 150 | 250 | μA |
| | Shutdown mode, V _{SHDN} = V _{DD} , V _{DD} = 5.5V | | 9 | 20 | |
| Positive Output Voltage | | | | 27 | V |
| Negative Output Voltage | | | | -27 | V |
| Undervoltage Lockout Threshold (Note 1) | | 1.5 | | 2.8 | V |
| BATT Input Current | BATT = 12V, operating mode | | 13 | 20 | μA |
| | BATT = 12V, shutdown mode | | | 1 | |
| LX Input Current | LX = 12V, operating mode | | 13 | 20 | μA |
| | LX = 12V, shutdown mode | | | 1 | |
| BATT Operating Range (Note 2) | | 1.8 | | 20 | V |
| Microsecond-Volt Time Constant (k-factor) | 1.8V ≤ BATT ≤ 20V, T _A = +25°C | | 20 | | μs-V |
| | 4V ≤ BATT ≤ 12V, T _A = 0°C to +85°C | 16.5 | | 23.5 | |
| On-Resistance (DLO, DHI) | V _{DD} = 4.5V | | 7 | | Ω |
| | V _{DD} = 3.0V | | 14 | | |
| DHI Output Current (Note 3) | V _{DD} = 5V | | 50 | | mA |
| DLO Output Current (Note 3) | V _{DD} = 5V | | -25 | | mA |
| FB Regulation Voltage | POL = V _{DD} , 3.0V ≤ V _{DD} ≤ 5.5V | 1.46 | 1.5 | 1.53 | V |
| | POL = AGND, 3.0V ≤ V _{DD} ≤ 5.5V | -8 | 0 | 8 | mV |
| FB Input Current (Note 3) | FB = REF + 100mV | -20 | | 10 | nA |
| | FB = -50mV | -10 | | 85 | |
| LCDON Low, Sinking Current | V _{LCDON} = 0.4V, POK = 1.017V | -2 | -6 | | mA |
| LCDON High, Leakage Current | V _{LCDON} = 28V, POK = 0.967V | | | 1 | μA |
| POK Threshold Voltage | Voltage on POK rising | 0.967 | 0.992 | 1.017 | V |
| POK Hysteresis | | | 12 | | mV |
| REFERENCE AND DAC OUTPUT | | | | | |
| REF Voltage | No load | 1.47 | 1.5 | 1.53 | V |
| REF Load Regulation | 0μA ≤ I _{REF} ≤ 25mA | | 3 | 10 | mV |

デジタル可変式LCDバイアス電源

MAX1620/MAX1621

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 3.3V$, $V_{BATT} = 10V$, $T_A = 0^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted.)

| PARAMETER | CONDITIONS | MIN | TYP | MAX | UNITS |
|---|--------------------------------------|------------|-----|------------|---------|
| DOUT Maximum Output Voltage (Note 3) | $0\mu A \leq I_{DOUT} \leq 40\mu A$ | REF - 0.02 | | REF + 0.02 | V |
| DOUT Minimum Output Voltage (Note 3) | $-20\mu A \leq I_{DOUT} \leq 0\mu A$ | 0 | | 0.007 | V |
| DOUT Resolution | 48.39mV step size | 5 | | | Bits |
| DOUT Differential Nonlinearity | Guaranteed monotonic | | | ± 1 | LSB |
| DIGITAL INPUTS AND OUTPUTS | | | | | |
| UP, DN, \overline{SHDN} , POL Input High Voltage | $3.0V \leq V_{DD} \leq 3.6V$ | 1.4 | | | V |
| | $V_{DD} = 5.5V$ | 2.3 | | | |
| UP, DN, \overline{SHDN} , POL Input Low Voltage | | | | 0.6 | V |
| UP, DN, \overline{SHDN} , POL Input Leakage Current | $V_{IN} = 0V$ or $V_{IN} = V_{DD}$ | | | ± 1 | μA |
| SCL, SDA, \overline{SUS} Input High Voltage | $3.0V \leq V_{DD} \leq 3.6V$ | 1.4 | | | V |
| | $V_{DD} = 5.5V$ | 2.3 | | | |
| SCL, SDA, \overline{SUS} Input Low Voltage | | | | 0.6 | V |
| SCL, SDA, \overline{SUS} Input Leakage Current | $V_{IN} = 0V$ or $V_{IN} = V_{DD}$ | | | ± 1 | μA |
| SDA Output Low Voltage | $I_{SDA} = -6mA$ | | | 0.4 | V |

TIMING CHARACTERISTICS

($T_A = 0^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted.)

| PARAMETER | SYMBOL | CONDITIONS | MIN | TYP | MAX | UNITS |
|---|--------------|------------|-----|-----|-----|---------|
| MAX1620 (Figure 1) | | | | | | |
| Pulse Width High (UP, DN) | t_1 | | 1 | | | μs |
| Pulse Width Low (UP, DN) | t_2 | | 1 | | | μs |
| Pulse Separation (UP, DN) | t_3 | | 1 | | | μs |
| Counter Reset Time | t_4 | | 1 | | | μs |
| MAX1621 (Figures 2 and 3) | | | | | | |
| SDA to SCL Data-Setup Time | $t_{SU:DAT}$ | | 500 | | | ns |
| SCL to SDA Data-Hold Time | $t_{HD:DAT}$ | (Note 4) | 0 | | | ns |
| SCL/SDA Rise Time | t_R | (Note 4) | | | 1 | μs |
| SCL/SDA Fall Time | t_F | (Note 4) | | | 300 | ns |
| SCL Low Time | t_{LOW} | | 4.7 | | | μs |
| SCL High Time | t_{HIGH} | | 4 | | | μs |
| Start Condition SCL to SDA Setup Time | $t_{SU:STA}$ | | 4.7 | | | μs |
| Start Condition SDA to SCL Hold Time | $t_{HD:STA}$ | | 4 | | | μs |
| Stop Condition SCL_ to SDA_ Setup Time | $t_{SU:STO}$ | | 4 | | | μs |
| SCL Falling Edge to SDA Valid Master Clocking in Data | t_{DV} | | | | 1 | μs |

デジタル可変式LCDバイアス電源

ELECTRICAL CHARACTERISTICS

($V_{DD} = 3.3V$, $V_{BATT} = 10V$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$. Typical values are at $T_A = +25^{\circ}C$, unless otherwise noted. Limits over this temperature range are guaranteed by design.)

| PARAMETER | CONDITIONS | MIN | TYP | MAX | UNITS |
|--|---|------------|-------|------------|-----------|
| SWITCHING REGULATOR | | | | | |
| V_{DD} Operating Range | | 3.0 | | 5.5 | V |
| V_{DD} Supply Current | Operating mode, output in regulation | | 150 | 250 | μA |
| | Shutdown mode, $\overline{V_{SHDN}} = V_{DD}$ | | | 20 | |
| Positive Output Voltage | | | | 27 | V |
| Negative Output Voltage | | | | -27 | V |
| Undervoltage Lockout Threshold (Note 1) | | 1.5 | | 2.8 | V |
| BATT Operating Range (Note 2) | | 1.8 | | 20 | V |
| Microsecond-Volt Time Constant (k-factor) | $4V \leq BATT \leq 12V$ | 16 | | 24 | $\mu s-V$ |
| FB Regulation Voltage | $POL = V_{DD}$, $3.0V \leq V_{DD} \leq 5.5V$ | 1.44 | 1.5 | 1.56 | V |
| | $POL = AGND$, $3.0V \leq V_{DD} \leq 5.5V$ | -10 | 0 | 10 | mV |
| FB Input Current (Note 3) | $FB = REF + 100mV$ | -30 | | 10 | nA |
| | $FB = 0V - 50mV$ | -10 | | 120 | |
| POK Threshold Voltage | Voltage on POK rising | 0.957 | 0.992 | 1.027 | V |
| REFERENCE AND OUTPUT | | | | | |
| REF Voltage | No load | 1.44 | 1.5 | 1.56 | V |
| REF Load Regulation | $0\mu A \leq I_{REF} \leq 25\mu A$ | | 5 | 10 | mV |
| DOUT Maximum Output Voltage (Note 3) | $0\mu A \leq I_{DOUT} \leq 40\mu A$ | REF - 0.02 | | REF + 0.02 | V |
| DOUT Minimum Output Voltage (Note 3) | $-20\mu A \leq I_{DOUT} \leq 0\mu A$ | 0 | | 0.01 | V |
| DOUT Differential Nonlinearity | Guaranteed monotonic | | | ± 1 | LSB |
| DIGITAL INPUTS AND OUTPUTS | | | | | |
| UP, DN, \overline{SHDN} , POL Input High Voltage | $3.0V \leq V_{DD} \leq 3.6V$ | 1.4 | | | V |
| | $V_{DD} = 5.5V$ | 2.3 | | | |
| UP, DN, \overline{SHDN} , POL Input Low Voltage | | | | 0.6 | V |
| SCL, SDA, \overline{SUS} Input High Voltage | $3.0V \leq V_{DD} \leq 3.6V$ | 1.4 | | | V |
| | $V_{DD} = 5.5V$ | 2.3 | | | |
| SCL, SDA, \overline{SUS} Input Low Voltage | | | | 0.6 | V |
| SDA Output Low Voltage | $I_{SDA} = -6mA$ | | | 0.4 | V |

MAX1620/MAX1621

TIMING CHARACTERISTICS

($V_{DD} = 3.3V$, $V_{BATT} = 10V$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$. Typical values are at $T_A = +25^{\circ}C$, unless otherwise noted. Limits over this temperature range are guaranteed by design.)

| PARAMETER | SYMBOL | CONDITIONS | MIN | TYP | MAX | UNITS |
|---|--------------|------------|-----|-----|-----|---------|
| MAX1620 (Figure 1) | | | | | | |
| Pulse Width High (UP, DN) | t_1 | | 1 | | | μs |
| Pulse Width Low (UP, DN) | t_2 | | 1 | | | μs |
| Pulse Separation (UP, DN) | t_3 | | 1 | | | μs |
| Counter Reset Time | t_4 | | 1 | | | μs |
| MAX1621 (Figures 2 and 3) | | | | | | |
| SDA_ to SCL_ Data-Setup Time | $t_{SU:DAT}$ | | 500 | | | ns |
| SCL_ to SDA_ Data-Hold Time | $t_{HD:DAT}$ | | 0 | | | ns |
| SCL/SDA Rise Time | t_R | | | | 1 | μs |
| SCL/SDA Fall Time | t_F | | | | 300 | ns |
| SCL Low Time | t_{LOW} | | 4.7 | | | μs |
| SCL High Time | t_{HIGH} | | 4 | | | μs |
| Start Condition SCL_ to SDA_ Setup Time | $t_{SU:STA}$ | | 4.7 | | | μs |
| Start Condition SDA_ to SCL_ Hold Time | $t_{HD:STA}$ | | 4 | | | μs |
| Stop Condition SCL_ to SDA_ Setup Time | $t_{SU:STO}$ | | 4 | | | μs |
| SCL Falling Time to SDA Valid Master Clocking in Data | t_{DV} | | | | 1 | μs |

Note 1: The setting in the DAC is guaranteed to remain valid as long as V_{DD} is greater than the UVLO threshold.

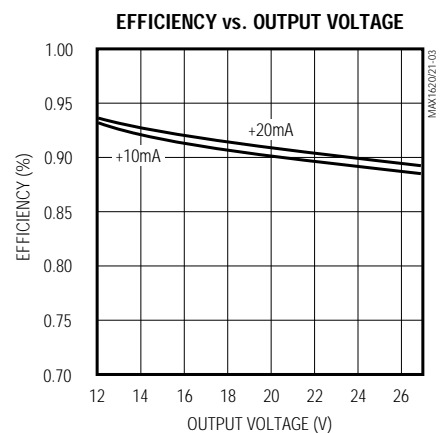
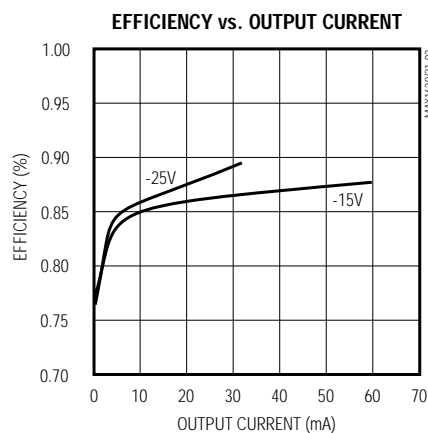
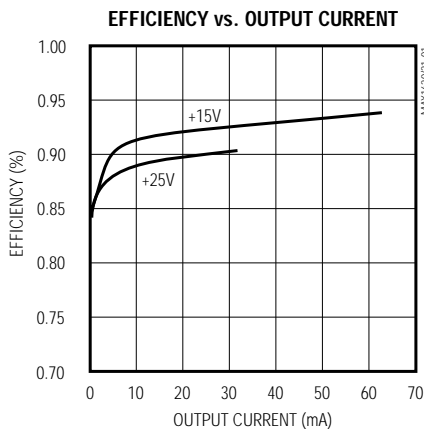
Note 2: BATT Operating Range is guaranteed by the Microsecond-Volt Time Constant specification.

Note 3: Current sourced from a pin is denoted as positive current. Current sunk into a pin is denoted as negative current.

Note 4: Guaranteed by design.

標準動作特性

($V_{DD} = 5V$, $V_{BATT} = 10V$, $L1 = 100\mu H$, $T_A = +25^{\circ}C$, unless otherwise noted.)

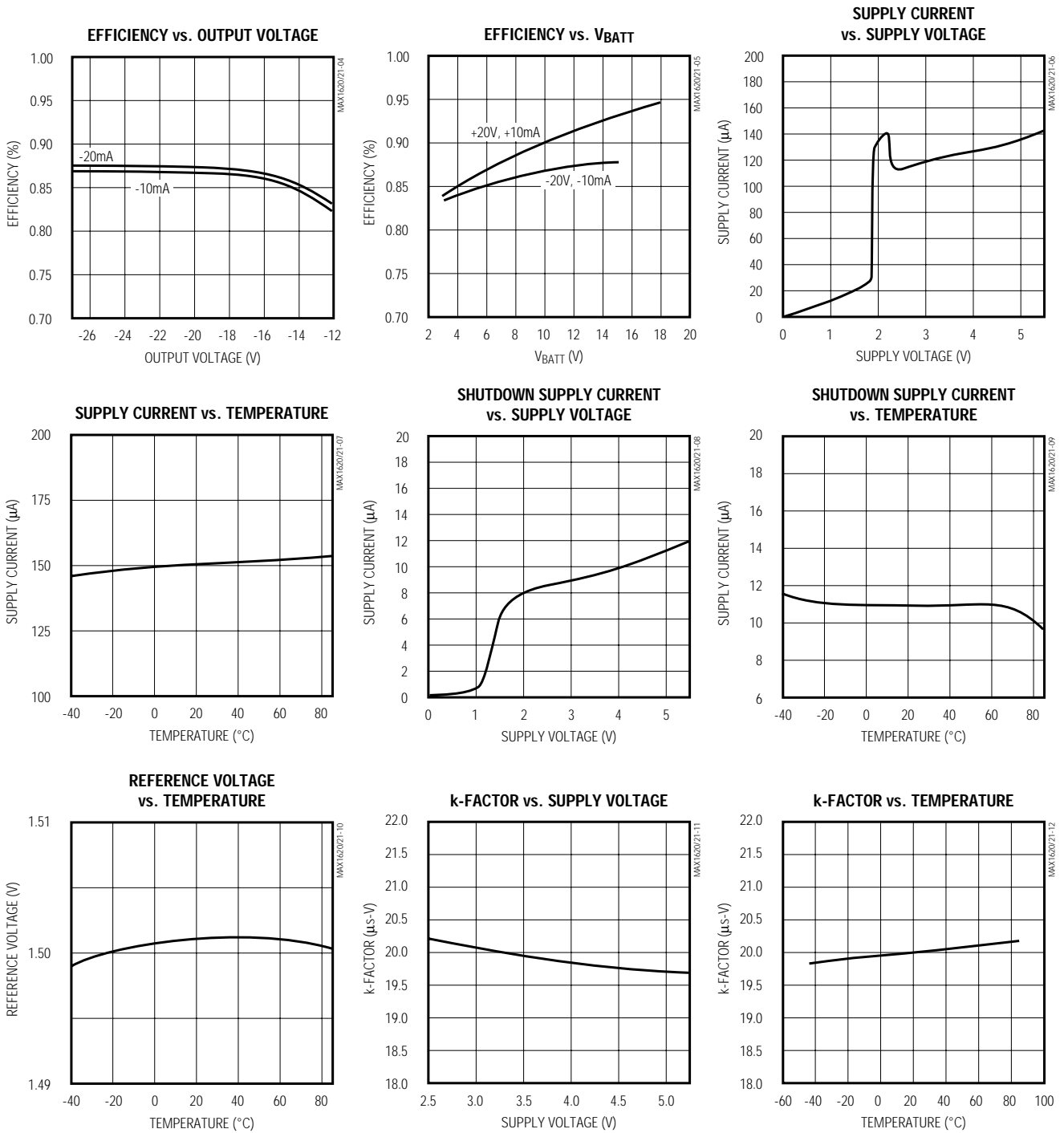


デジタル可変式LCDバイアス電源

MAX1620/MAX1621

標準動作特性(続き)

($V_{DD} = 5V$, $V_{BATT} = 10V$, $L1 = 100\mu H$, $T_A = +25^\circ C$, unless otherwise noted.)

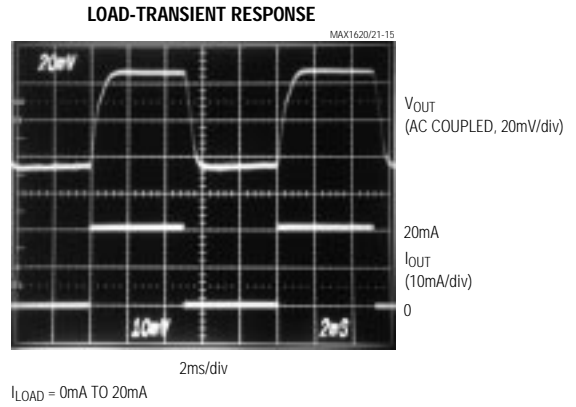
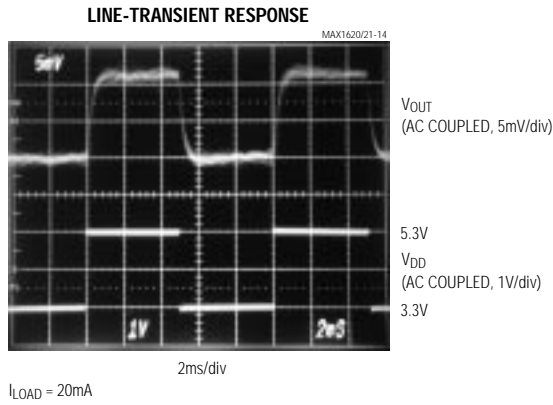
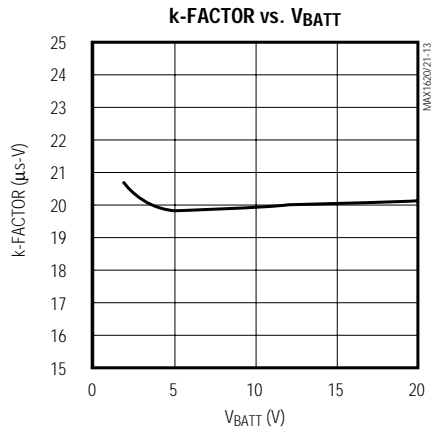


デジタル可変式LCDバイアス電源

MAX1620/MAX1621

標準動作特性(続き)

($V_{DD} = 5V$, $V_{BATT} = 10V$, $L1 = 100\mu H$, $V_{OUT} = 22.3V$, $T_A = +25^\circ C$, unless otherwise noted.)



デジタル可変式LCDバイアス電源

MAX1620/MAX1621

端子説明

| 端子 | | 名称 | 機能 |
|---------|---------|---------------------------|--|
| MAX1620 | MAX1621 | | |
| 1 | — | DN | ロジックレベル入力。DNの立上がりエッジで V_{OUT} が減少します。UP = DN = ハイの場合は、カウンタがミッドスケールにリセットされます。 |
| — | 1 | SDA | システムマネジメントバス・シリアルデータ入力及びオープンドレイン出力 |
| 2 | — | UP | ロジックレベル入力。UPの立上がりエッジで V_{OUT} が増加します。UP = DN = ハイの場合は、カウンタがミッドスケールにリセットされます。 |
| — | 2 | SCL | システムマネジメントバスのシリアルクロック入力 |
| 3 | 3 | BATT | バッテリー電圧検出入力 |
| 4 | — | $\overline{\text{SHDN}}$ | ロジックレベルシャットダウン入力(アクティブロー) |
| — | 4 | $\overline{\text{SUS}}$ | システムマネジメントバスのサスペンドモード入力(アクティブロー) |
| 5 | 5 | POK | パワーOK電圧検出入力(スレッシュホールド1V) |
| 6 | 6 | REF | リファレンス電圧出力。REFは0.1 μ FでAGNDにバイパスしてください。 |
| 7 | 7 | POL | ロジックレベル入力。POLは出力電圧の極性を選択します。ハイ = 正ブースト、ロー = 負ブースト。 |
| 8 | 8 | $\overline{\text{LCDON}}$ | オープンドレイン出力。 $\overline{\text{LCDON}}$ は、外部PNPを使用してLCDを制御します。 |
| 9 | 9 | FB | フィードバック電圧入力 |
| 10 | 10 | DOUT | DAC出力電圧 |
| 11 | 11 | V _{DD} | IC入力電源(3.0V ~ 5.5V) |
| 12 | 12 | AGND | アナロググランド |
| 13 | 13 | PGND | 電源グランド |
| 14 | 14 | LX | スイッチング電圧検出入力 |
| 15 | 15 | DLO | 外部トランジスタドライブ(ロー) |
| 16 | 16 | DHI | 外部トランジスタドライブ(ハイ) |

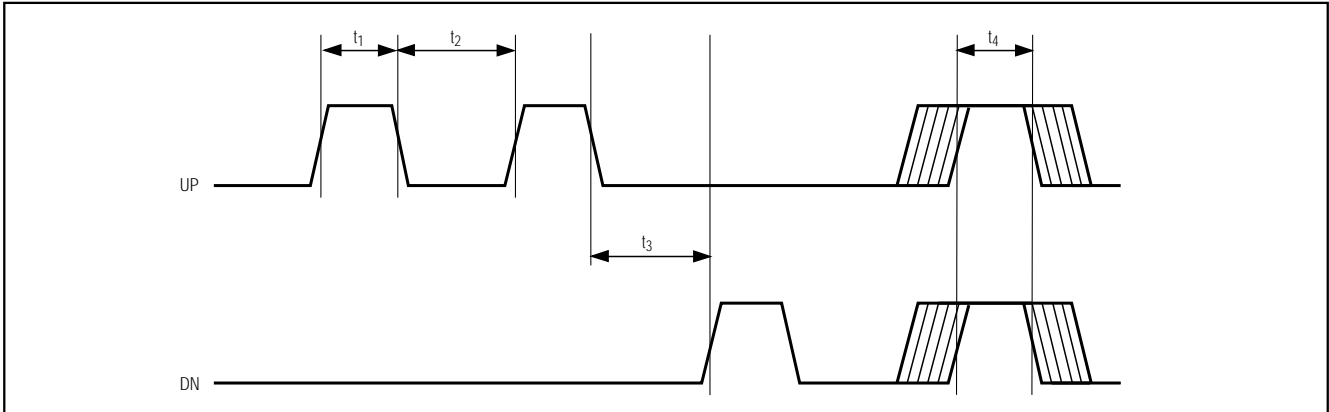


図1. MAX1620 UP及びDN信号タイミング

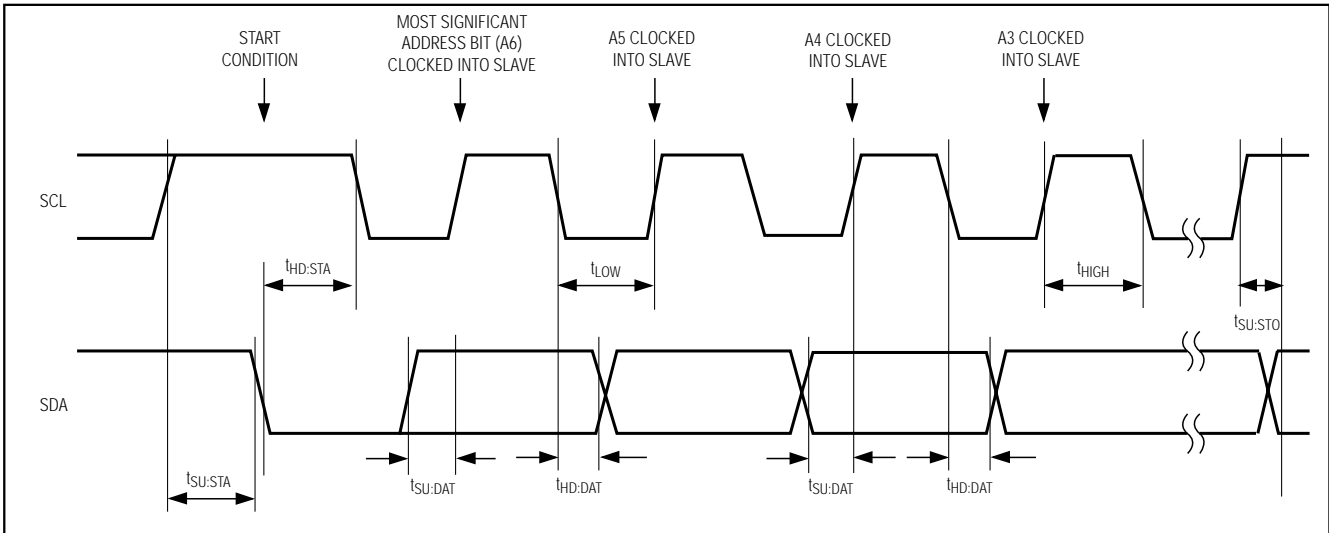


図2. MAX1621 SMBシリアルインタフェースタイミング(アドレス)

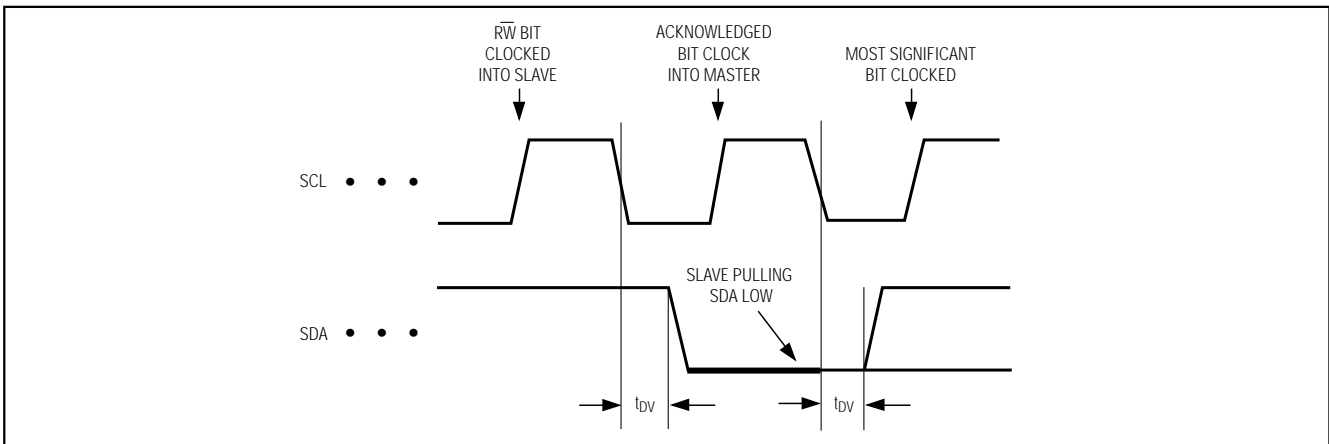


図3. MAX1621 SMBシリアルインタフェースタイミング(アクノレッジ)

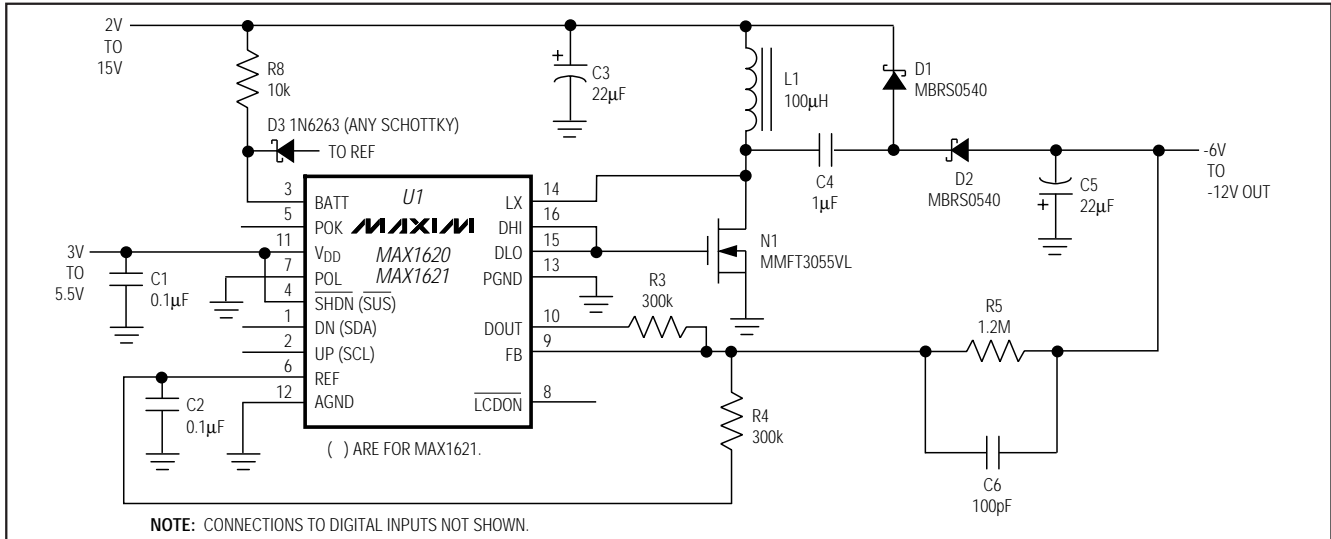


図5. 標準動作回路(負出力)

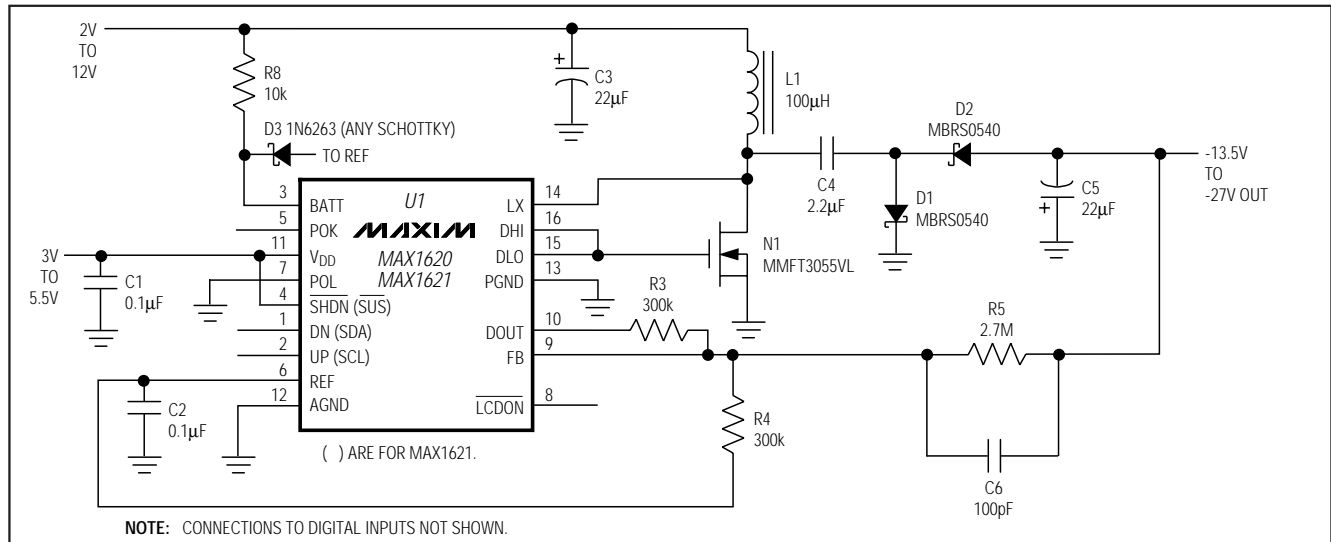


図6. 別方法の負出力(最大電圧)

負チャージポンプでは、出力電流は各サイクルで転送される電荷と最大スイッチング周波数の積に制限されます。図5の理想的な場合(電力損失なし)の出力電流は、次式で与えられます。

$$I_{OUT} = \frac{1}{2} \times (k\text{-factor} / L) \times V_{BATT} / (V_{BATT} + V_{OUT})$$

これは、負出力回路では正出力回路と比べた場合に、同じ出力電流を得るために、より大きなピーク電流が必要であることを意味します。

図6の出力電流は、正ブーストの場合と同じ電流式です。

出力電圧制御

出力電圧は、フィードバックピン(FB)に接続された分圧器によって設定されます。正出力の場合、分圧器の基準はGNDです。負出力の場合、分圧器の基準はREFです。

出力電圧は、内部DACの総和電流を外付抵抗を通じてFBに流すことにより調節できます。5ビットDACは、ユーザプログラマブルのアップ/ダウンカウンタで制御されます。パワーアップ又はリセットの後、カウンタによりDAC出力をバイナリの10000(ハーフスケール)に設定します。

デジタル可変式LCDバイアス電源

MAX1620では、UPピンとDNピンによってDACカウンタが制御されます。UPの立上がりエッジでカウンタが1つ減り、DACの出力電圧が1ステップ減少し、 $|V_{OUT}|$ が増加します。DNの立上がりエッジでカウンタが1つ増えてDACの出力電圧が1ステップ増加し、 $|V_{OUT}|$ が減少します。UPとDNの両方をハイに保持すると、カウンタがハーフスケールにリセットされます。FS又はZEROコードでカウンタがロールオーバーすることはありません。UP及びDNの制御方向は負出力では反転し、出力の絶対値について同じ制御方向に維持されます。

MAX1621は、SMBusインタフェースを通じてDACへのカウンタを制御します。カウンタは5ビットレジスタとして扱われ、パワーアップ時にリセットします。DACの設定は、 V_{DD} がUVLOスレッシュホールドよりも大きい限り有効であることが保証されています(「電気的特性」の注1を参照)。

MAX1620/MAX1621のオープンレインDMOSFET(LCDON)及び外部トランジスタを使用することにより、LCDパネルを正バイアス電圧から切断できます。パワーOK電圧(POK)が1V以下に落ちるとFETがターンオフします(LCDON = フロート)。MAX1621では、LCDONをSMBコマンドで制御することもできます。LCDONで負出力電圧をスイッチングすることはできません。

出力が切断されている時に無制御の昇圧動作が生じないように、フィードバック抵抗はLCDONスイッチの出力ではなく、昇圧された電圧を検出することが必要です(図4)。

シャットダウンモード

MAX1620は、 $\overline{\text{SHDN}}$ ピンがローになるとシャットダウンします。内部リファレンス及びバイアス回路がターンオフし、消費電流は9 μA に低減します。シャットダウン中は、 $\text{DOUT} = 0\text{V}$ であり、LCDONはフローティングです。UP/DNは無視され、MAX1620のDACの状態が保持されます。動作電流を最小限に抑えるため、未使用のロジック入力をAGNDに接続してください。

MAX1621は、SMBusインタフェースを使用することにより、シャットダウンできます(表2)。

リセットモード

MAX1620がシャットダウンモードにない時は、UP及びDNをハイに保持することにより、DACをミッドスケールにリセットできます。ミッドスケールは、最小DAC出力から16ステップ、最大出力から15ステップです。

MAX1620/MAX1621は、パワーアップ時又は V_{DD} が低電圧ロックアウトスレッシュホールド2.2V(typ)よりも低い時にDACカウンタをミッドスケールにリセットします。

MAX1621のデジタルインタフェース

MAX1621は、Intel SMBusを通じて書かれたシングルバイトのデータにより制御されます。図7及び8に、シングルバイト書込の例を示します。MAX1621は、設定データの保存用に2つの2ビットレジスタ、5ビットDACデータ用に1つのレジスタを持っています。表1及び2に、設定レジスタのデータフォーマットを示します。MAX1621は、それ自体のアドレス(バイナリ0101100)のみに応答します。

REGSELビットは、設定レジスタをアドレス指定しませんが、REGSEL = 0の場合は $\overline{\text{SUS}}$ レジスタ、REGSEL = 1の場合はOPRレジスタが指定されます。各設定レジスタは、 $\overline{\text{SHDN}}$ ビット及びLCDONビットからなっています。2つの設定レジスタのうちの片方が常にアクティブになっています。 $\overline{\text{SUS}}$ ピンの状態によって、どちらのレジスタがアクティブかが決まります。OPRレジスタは $\overline{\text{SUS}} = \text{ハイ}$ の時にアクティブになり、 $\overline{\text{SUS}}$ レジスタは $\overline{\text{SUS}} = \text{ロー}$ の時にアクティブになります。

MAX1621に書かれた各バイトがDACレジスタを更新します。DACデータは、シャットダウン中及び設定レジスタをトグルしている時に保存されます。DACレジスタは1つしかないため、 $\overline{\text{SUS}}$ を使用して2つのDACコードの間でトグルすることはできません。

状態情報は、SMBusバイト読取プロトコルを使用してMAX1621から読取ることができます。図9に、状態読取の例を示します。表3に、状態情報のフォーマットを示します。

シャットダウン中($\overline{\text{SUS}} = 1$ 及びOPR- $\overline{\text{SHDN}} = 0$ 又は $\overline{\text{SUS}} = 0$ 及び $\overline{\text{SUS}} - \overline{\text{SHDN}} = 0$)、MAX1621のシリアルインタフェースは完全動作状態に留まりますが、OPR- $\overline{\text{SHDN}}$ 又は $\overline{\text{SUS}} - \overline{\text{SHDN}}$ ビットを設定してMAX1621を通常動作状態に戻すために使用できます。

L1及び V_{DD} の個別/同一電源

インダクタ(L1)及びIC(V_{DD})は個別の電源ソースから供給できます。これによりバッテリーからL1に直接電力が供給され、ロジック電源(3V ~ 5.5V)によりチップがバイアス(150 μA)されることで、高電圧ソースと同様に低電圧バッテリーでも動作できます。反対に、L1及び V_{DD} が同一電源で動作させる場合は、 V_{DD} の動作範囲(3V ~ 5.5V)に制限されます。L1及び V_{DD} が同一電圧から供給されている場合、D3及びR8(図4、5、6及び10)は省略され、BATTは V_{DD} に直接接続されます。

デジタル可変式LCDバイアス電源

MAX1620/MAX1621

表1. REGSEL = 0におけるMAX1621の設定バイト(SUSレジスタへの書込)

| ビット | 名称 | POR状態* | 説明 |
|-----------------------|----------------------------------|-----------------------|--|
| 7 | REGSEL | — | レジスタ選択。このビットがゼロの場合、次の2ビットがSUSレジスタに書き込まれ、残りの5ビットがDACレジスタに書き込まれます(図7)。 |
| 6 | $\overline{\text{SUS-LCDON}}$ | 0 | $\overline{\text{SUS}}$ = ローの時、 1 = 動作状態 0 = シャットダウン |
| 5 | $\overline{\text{SUS-LCDON}}$ | 0 | $\overline{\text{SUS}}$ = ローの時、 1 = LCDオン 0 = LCDオフ |
| 4 3 2 1 0 | D4 (MSB) D3 D2 D1 D0 | 1 0 0 0 0 | DAC入力データ |

* パワーアップ後の初期レジスタ状態。

表2. REGSEL = 1におけるMAX1621の設定バイト(OPRレジスタへの書込)

| ビット | 名称 | POR状態* | 説明 |
|-----------------------|----------------------------------|-----------------------|---|
| 7 | REGSEL | — | レジスタ選択。このビットが1の場合、次の2ビットがOPRレジスタに書き込まれ、残りの5ビットがDACレジスタに書き込まれます(図7)。 |
| 6 | OPR-SHDN | 1 | $\overline{\text{SUS}}$ = ハイの時、 1 = 動作状態 0 = シャットダウン |
| 5 | OPR-LCDON | 1 | $\overline{\text{SUS}}$ = ハイの時、 1 = LCDオン 0 = LCDオフ |
| 4 3 2 1 0 | D4 (MSB) D3 D2 D1 D0 | 1 0 0 0 0 | DAC入力データ |

* パワーアップ後の初期レジスタ状態。

表3. MAX1621の状態ビット

| ビット | 名称 | 説明 |
|-----------------------|----------------------------------|--|
| 7 | POK | POKに印加された電圧が0.992Vよりも大きく、MAX1621がシャットダウンされていない場合、このビットは1を戻します。そうでなければ0を戻します。 |
| 6 | — | 将来の使用のためにリザーブされています。 |
| 5 | — | 将来の使用のためにリザーブされています。 |
| 4 3 2 1 0 | D4 (MSB) D3 D2 D1 D0 | DACレジスタデータ |

デジタル可変式LCDバイアス電源

MAX1620/MAX1621

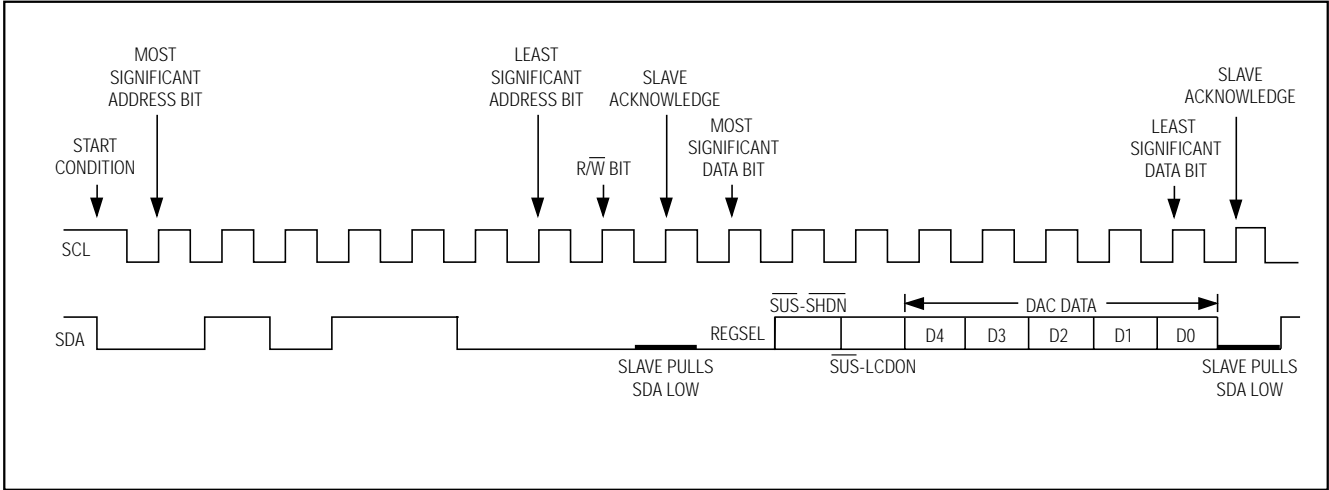


図7. MAX1621のシリアルインタフェースのシングルバイト書込例(REGSEL = 0)

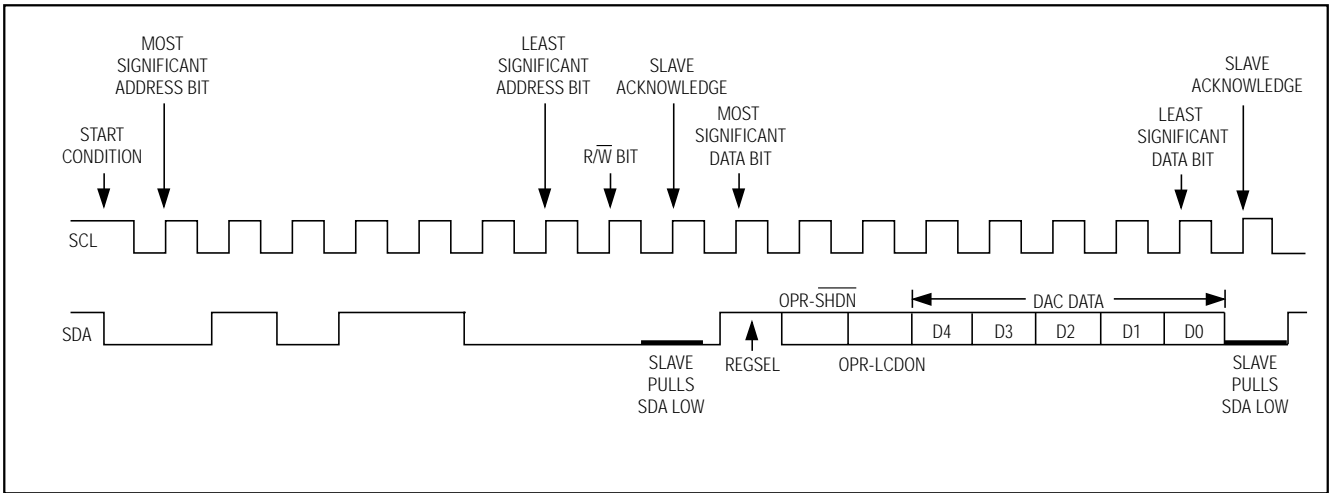


図8. MAX1621シリアルインタフェースのシングルバイト書込の例(REGSEL = 1)

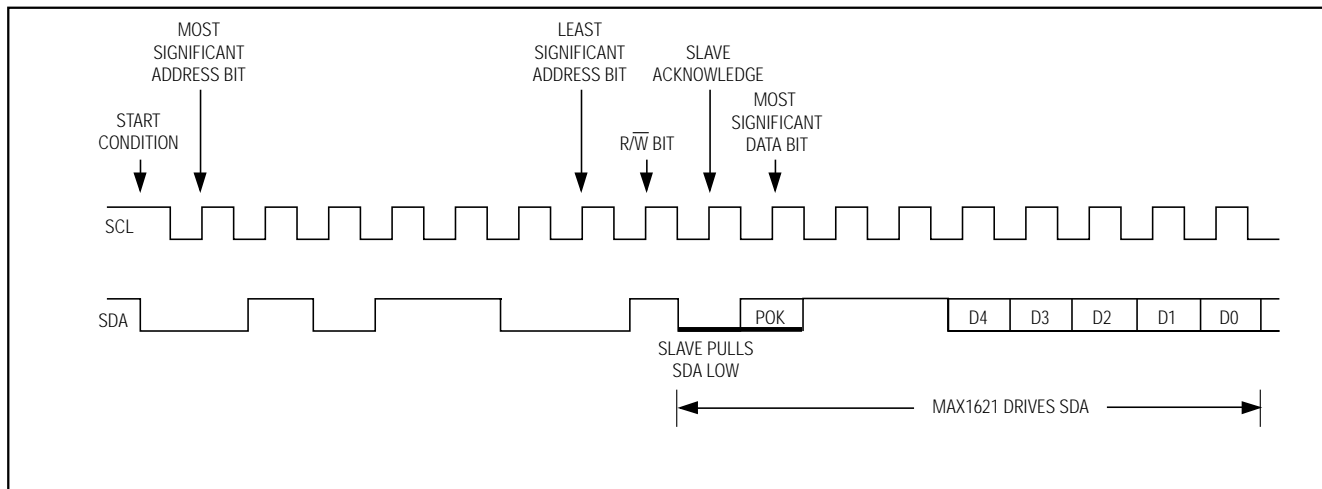


図9. MAX1621シリアルインタフェースの読取の例

設計手順及び部品の選択

MAX1620/MAX1621の出力電圧は、手動あるいはデジタルインタフェースで調節できます。さらに、正バイアス電圧は、 $\overline{\text{LCDON}}$ 及び外部PFET又はPNPトランジスタを使用してスイッチングできます。

出力調節

最小出力電圧の設定

最小出力電圧は、 V_{OUT} とAGNDの間の抵抗分圧器(R4-R5、図4)によって設定されます。FBスレッシュホールド電圧は1.5Vです。分圧器の電流が約5 μA になるように、R4を300k にしてください。R5は次式で決めてください。

$$R5 = R4 \times (V_{\text{OUT,MIN}} - V_{\text{FB}}) / V_{\text{FB}}$$

例えば、 $V_{\text{OUT,MIN}} = 12.5\text{V}$ の場合は以下の通りになります。

$$R5 = 300\text{k}\Omega \times (12.5 - 1.5) / (1.5) = 2.2\text{M}\Omega$$

寄生容量を最小限に抑えるため、R4及びR5はFBピンの近くに取り付けてください。

負出力電圧の場合、FBスレッシュホールド電圧は0Vであり、R4はFBとREFの間に配置されます(図5及び6)。ここでも、分圧器の電流が約5 μA になるように、R4を300k にしてください。次にR5を次式で決めてください。

$$R5 = R4 \times |V_{\text{OUT,MIN}} / V_{\text{REF}}|$$

例えば、 $V_{\text{OUT,MIN}} = -12.5\text{V}$ の場合は、以下の通りになります。

$$R5 = 300\text{k}\Omega \times |(12.5) / (1.5)| = 2.5\text{M}\Omega$$

デジタル可変式LCDバイアス電源

最大出力電圧の設定(DACによる調節)

DACは、0V ~ 1.5Vの間で32ステップの調節が可能であり、1LSB = 1.5V/31となります。V_{OUT}のDAC調節は、分圧器回路にR3を付加することによって行います(図4)。V_{OUT,MAX}がLCDパネルの定格を超えないようにしてください。

V_{OUT,MAX} = 25VでV_{OUT,MIN} = 12.5Vの場合は、R3は次式で決まります。

$$R3 = R5 \times (V_{FB}) / (V_{OUT,MAX} - V_{OUT,MIN}) \\ = 2.2M\Omega \times (1.5) / (25 - 12.5) = 264k\Omega$$

V_{OUT}は、DAC出力(V_{DOUT})の関数として次の一般式で与えられます。

$$V_{OUT} = V_{OUT,MIN} + (V_{FB} - V_{DOUT}) \times R5 / R3$$

パワーアップ時に、DACはミッドスケール(10000)にリセットされます。これはV_{DOUT} = 0.774Vに対応します。つまり、リセット後の出力電圧は次式で与えられます。

$$V_{OUT,RESET} = V_{OUT,MIN} + (1.5 - 0.774) \times R5 / R3$$

正出力電圧の場合、V_{DOUT}が減少するにつれてV_{OUT}が増加することに注意してください。V_{OUT,MAX}はV_{DOUT} = 0Vに対応し、V_{OUT,MIN}はV_{DOUT} = 1.5Vに対応します。

負出力電圧の場合、V_{OUT} = V_{OUT,MIN} + (V_{FB} - V_{DOUT}) × R5/R3です。V_{OUT,MAX} = -2.5V、V_{OUT,MIN} = -12.5Vと仮定し、R3及びV_{OUT,RESET}を次式で決めてください。

$$R3 = R5 \times (V_{FB} - V_{DOUT,MAX}) / (V_{OUT,MAX} - V_{OUT,MIN}) \\ = 2.5M\Omega \times (0 - 1.5) / (-2.5 - -12.5) = 300k\Omega$$

$$V_{OUT,RESET} = -12.5 + (0 - 0.774) \times (2.5M) / (300k) = -18.95V$$

負出力電圧の場合、V_{DOUT}が増加するにつれて|V_{OUT}|が増加することに注意してください。|V_{OUT,MAX}|はV_{DOUT} = 1.5Vに対応し、|V_{OUT,MIN}|はV_{DOUT} = 0Vに対応します。

ポテンショメータによる調節

出力は、DACの代わりにポテンショメータで調節することもできます。R_{POT} = 100k を選び、REFとGNDの間に接続してください。R3をDOUTの代わりにポテンショメータのワイパーに接続してください。上記と同じ設計式を使用してください。

POK及びLCDONを使用してLCDを制御する方法

POKの電圧が1Vよりも高い場合、オープンドレイン入力LCDON出力は、ローに引かれます。LCDONは27Vまで耐えるため、PFET又はPNPトランジスタを駆動してMAX1620/MAX1621の正出力をスイッチオンすることができます。以下に、この機能が使用される3つの場合について説明します。

- 1) オフスイッチとして。これは正の昇圧された電圧がシャットダウン中に0Vになることを保証するためです。この場合、POKをSHDNに接続してください。このスイッチがないと、シャットダウン中の正出力は入力電圧(V_{BATT})からダイオードドロップ1個分低下した電圧となります。負出力はシャットダウン中に0Vまで落ちるため、LCDONは必要ありません。
- 2) 正出力の出力検出カットオフとして。POKをフィードバック電圧分圧器に接続すると、出力電圧が検出されます。出力は、設定電圧に対して設定された割合に達するまでスイッチオンされません。
- 3) 正出力の場合の入力検出カットオフとして。POKを入力電圧分圧器に接続します。出力は、入力設定レベルに達するまでスイッチオンされません(図4)。

入力電圧を検出してオープンドレイン出力LCDONを制御するには、抵抗分圧器(R1-R2、図4)をV_{BATT}とPOKの間に接続してください。R2 = 100k を選択してください。例えば、最小バッテリー電圧が5.3Vである場合は、次式でR1を決めてください。

$$R1 = R2 \times [(V_{BATT} / V_{POK}) - 1] \\ = 100k \times [(5.3 / 0.992) - 1] = 434k\Omega$$

LCDONは、ソフトウェアで制御することもできます(MAX1621、表4)。

表4. MAX1621のLCDON出力の真理値表

| POKピン | LCDONビット | LCDON出力 |
|-------|----------|-------------|
| <1V | 0 | フローティング |
| <1V | 1 | フローティング |
| >1V | 0 | フローティング |
| >1V | 1 | ON、ローに引かれます |

デジタル可変式LCDバイアス電源

MAX1620/MAX1621

通常、 $\overline{\text{LCDON}}$ は外部PNPトランジスタを駆動して、正 V_{OUT} をLCDにスイッチングします。R7により、PNPのベース電流が制限されます。R6は $\overline{\text{LCDON}}$ がフローティングの時にPNPをターンオフします。R6及びR7は、同じ値でも構いません。R7は、最小ベース電流がコレクタ電流の1/50よりも大きくなるように選択してください。例えば、 $V_{\text{OUT,MIN}} = 12.5\text{V}$ 、 $I_{\text{LCD}} = 10\text{mA}$ とすると、R7は次式で決まります。

$$R7 \leq 50 \times (12.5 - 0.7) / 10\text{mA} = 59\text{k}\Omega$$

LCD電圧は、安定化出力電圧からPNPスイッチの電圧降下を差し引いた値になることに注意してください。外部トランジスタの両端の電圧降下(300mV typ)を考慮に入れる必要があります。

$\overline{\text{LCDON}}$ スイッチ用にPFETを使用する場合は、動作電流を低減するために図4のR6及びR7を1M以上を増やすことができます。十分なブレイクダウン電圧を持ったPFETを選択するようにしてください。負荷電流は10mAのオーダーであるため、オン抵抗としては通常10以下が適切です。

インダクタの選択

実際のインダクタ値は、33 μH ~1mHまでとなっています。100 μH の場合は、広範囲のアプリケーションに好適です。フェライトコア付のインダクタ又は相当品をお勧めします。インダクタの電流定格は、kファクターとコイルインダクタンスによって設定されるピーク

電流を超えているようにしてください。しかし、殆どのインダクタタイプでは、コイルの仕様電流を20%超えても効率には影響しません。

ピーク電流は、次式のようにコイルインダクタンスの関数として与えられます。

$$I_{\text{PK}} = k\text{ファクター} / L$$

及び

$$I_{\text{OUT,MIN}} = \frac{1}{2} \times I_{\text{PK}} \times V_{\text{BATT,MIN}} / V_{\text{OUT,MAX}}$$

$V_{\text{BATT,MIN}} = 5.3\text{V}$ 、 $V_{\text{OUT,MAX}} = 25\text{V}$ 、 $I_{\text{OUT,MIN}} = 15\text{mA}$ 、最小kファクター = 16 $\mu\text{s-V}$ と仮定すると、必要な I_{PK} は次式で与えられます。

$$I_{\text{PK}} = 2 \times 15\text{mA} \times 25 / 5.3 = 142\text{mA}$$

及び

$$L \leq 16\mu\text{s-V} / 142\text{mA} = 113\mu\text{H}$$

実際のインダクタ値として次に低いのは100 μH です。必要な電流定格は、次式で与えられます。

$$24\mu\text{s-V}(\text{最大kファクター}) / 100\mu\text{H} = 240\text{mA}$$

表5に、幾つかの最小入力電圧について、様々な出力電流を提供するために必要な最小インダクタンス値をまとめてあります。表6に、適したコイルタイプ及びメーカーが幾つか記載されていますが、完全なリストではありません。

表5. 最大インダクタンス対 I_{OUT} 及び $V_{\text{BATT,MIN}}$ (出力20V)

| | | $V_{\text{BATT,MIN}}$ | | | | | |
|------------------|------|-----------------------|-------------------|-------------------|-------------------|-------------------|-------------------|
| | | 1.8V | 2.7V | 3.6V | 5.4V | 7.2V | 12V |
| I _{OUT} | 5mA | 100 μH | 150 μH | 220 μH | 330 μH | 390 μH | 680 μH |
| | 10mA | 56 μH | 82 μH | 100 μH | 150 μH | 220 μH | 330 μH |
| | 20mA | 27 μH | 39 μH | 56 μH | 82 μH | 100 μH | 180 μH |
| | 30mA | 18 μH | 27 μH | 33 μH | 56 μH | 68 μH | 120 μH |

表6. インダクタリスト

| 会社 | 品名 | μH 範囲 | 寸法(mm、高さx幅x長さ) | 備考 |
|--|-----------|---------------------|-------------------|---------|
| Sumida USA (847) 956-0666 Japan 81-3-3607-5111 | CD43 | 最大68 μH | 直径3.2 x 4 | |
| | CD54 | 最大220 μH | 直径4.5 x 5.2 | |
| | CDRH62B | 最大330 μH | 3 x 6.2 x 6.2 | シールド付 |
| Coilcraft (847) 639-6400 | DO1608 | 最大1mH | 3.18 x 4.45 x 6.6 | |
| | DT1608 | 最大400 μH | 3.18 x 4.45 x 6.6 | シールド付 |
| TDK (847) 390-4373 | NLC565050 | 最大1mH | 5 x 5 x 5.6 | |
| | TPF0410 | 最大1mH | 直径4 x 10 L | リード付コイル |

デジタル可変式LCDバイアス電源

MAX1620/MAX1621

ダイオードの選択

最大スイッチング周波数が300kHzと高いため、高速整流器を必要とします。MBRS0540等のショットキダイオードをお勧めします。高効率を維持するために、ショットキダイオードの平均電流定格がピークスイッチング電流よりも大きいことが必要です。逆ブレークダウン電圧が正出力電圧よりも大きいもの、あるいは負出力電圧と V_{BATT} の和よりも大きいものを選択してください。

外部スイッチングトランジスタ

ここでも、最大スイッチング周波数が高いため、効率を維持するために高速スイッチングトランジスタが必要です。MMFT3055VL等のロジックレベルNチャンネルMOSFETをお勧めします(N1)。 V_{DS} 定格が正出力電圧よりも大きいもの、あるいは負出力電圧と V_{BATT} の和よりも大きいものを選択してください。

特定のアプリケーションでは、コストを節減するためMOSFETをバイポーラトランジスタで代用できます(効率は低下します)。バイポーラによる代用が有利となる条件は、入力電圧(V_{DD})範囲が狭いこと、最大バッテリー電圧(V_{BATT})が低いこと、及び出力電流が小さいことが挙げられます。例えば、 $V_{DD} = 3.0V \sim 3.6V$ 、 $V_{BATT,MAX} = 12V$ 及び $I_{OUT} = 5mA$ の場合、コストを節減するためにバイポーラトランジスタを使用するのが妥当です。

標準動作回路(図4及び5)をバイポーラスイッチングトランジスタ用に置換えるには、コレクタをインダクタに、ベースをDLOに、エミッタをPGNDに接続してください(図10)。ベースは、ベース電流を制限するために直列抵抗を通じてDHIに接続してください。最小ベース電流がピークインダクタ電流の1/20よりも大きくなるように、抵抗値を選んでください。例えば、 $V_{DD,MIN} = 3V$ で $I_{PK} = 100mA$ の場合は、 $R_S = 20 \times (3 - 0.7) / 100mA = 460$ となります。

出力フィルタの選択

殆どのアプリケーションには、22 μ F、35V、低ESRの表面実装タンタル出力コンデンサが適切です。出力リップル電圧は、ピークスイッチ電流と出力コンデンサの実効直列抵抗(ESR)の積によって支配されます。コストと性能の妥協点として、出力リップル100mVp-pが目安になります。負荷が軽く、ピーク電流が小さい場合は、22 μ F以下のコンデンサを使用することもできます。スルーホールタイプに比べてインダクタンスと抵抗分がないため、表面実装コンデンサが一般的に適しています。低ESR表面実装タンタルコンデンサとしては、AVX TPSシリーズ及びSprague 593D及び595Dシリーズが好適です。

出力電流が小さな低コストアプリケーションの場合は、中程度の性能のアルミ電解又はタンタルコンデンサを使用できます。松尾及びニチコンから適当なものが提供されています。

入力バイパスコンデンサ

2つの入力 V_{DD} 及び V_{BATT} には、バイパスコンデンサが必要です。 V_{DD} は、ICのできるだけ近くに配置した0.1 μ Fセラミックコンデンサでバイパスしてください。バッテリーはインダクタに大電流を供給するため、インダクタの近くで局部バルクバイパスを必要とします。殆どのアプリケーションには、22 μ F低ESRの表面実装コンデンサが適切です。ピークインダクタ電流が小さいか、バッテリーの内部インピーダンスが小さく、バッテリーがインダクタの近くにある場合は、これより小さなコンデンサも許容されます。

チャージポンプコンデンサ(負出力)

図5及び6に、負出力トポロジーの例を示します。負出力構成における全体的な効率は、電力伝送経路に余分の部品が加わっているため、正出力回路の場合よりも低くなります。電荷の移送を効率よく行うには、C4が低ESRであり、出力コンデンサ(C5)よりも小さいことが必要です。C4にはC5と同じ電圧がかかるため、同じ電圧定格を持つものにしてください。コスト及び性能を考慮した場合、1 μ Fセラミックコンデンサが実際的であると言えます。図6の回路では、2.2 μ Fをお勧めします。

フィードバック補償コンデンサ

フィードバック抵抗(R3、R4、R5、図4)の値が大きいと、フィードバックループがFBピンの寄生容量による位相の遅れに敏感になります。これを補償するには、R5と並列にコンデンサ(C6、図4)を接続してください。C6の値はR3、R4、R5の並列合成抵抗及び個々の回路のレイアウトに依存します。標準的な値は、33pF~220pFです。

リファレンス補償コンデンサ

内部リファレンスは、周波数補償用に外付コンデンサを使用します。REFとグラウンドの間に少なくとも0.1 μ Fのセラミックコンデンサを接続してください。

PCボードレイアウト及びグラウンド

電流レベルが高く、スイッチング波形が高速であるため、適正なPCボードレイアウトが必須です。特に、全てのトレースを短くしてください。中でもFBピンに接続されているトレース及びN1、L1、D1、D2、C4及びC5の接続に使われているトレースを特に短くしてください。R3、R4及びR5は、できるだけフィードバックピンの近くに配置してください。

スターグラウンド構成を使用してください。入力バイパスコンデンサ、出力コンデンサ及びスイッチングトランジスタのグラウンドをICのPGNDピンの近くでまとめて接続してください。AGNDとPGNDをチップのところでまとめて接続してください。

デジタル可変式LCDバイアス電源

MAX1620/MAX1621

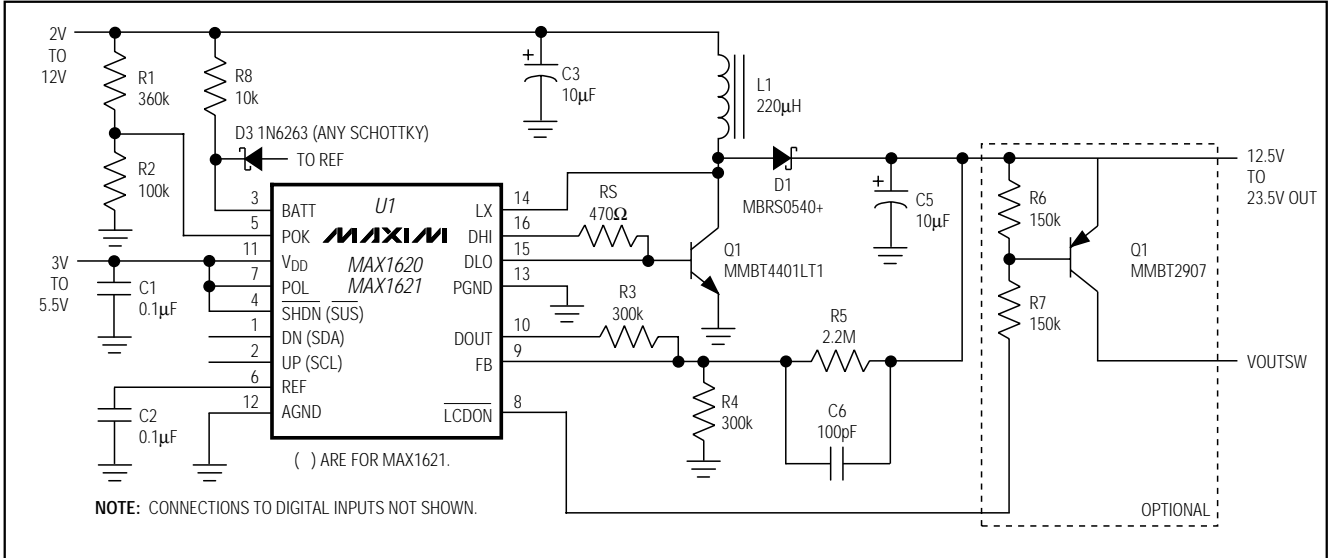
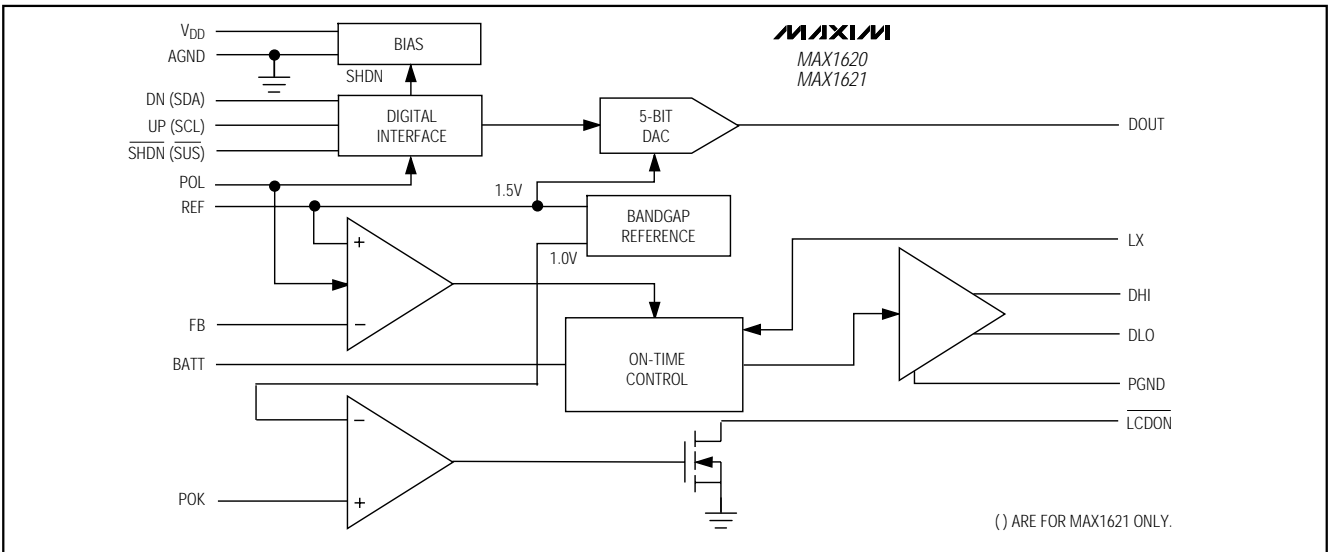


図10. バイポーラスwitchングトランジスタを使用した正出力

簡略ブロック図



チップ情報

TRANSISTOR COUNT: 341
SUBSTRATE CONNECTED TO AGND

デジタル可変式LCDバイアス電源

MAX1620/MAX1621

パッケージ

| DIM | INCHES | | MILLIMETERS | |
|-----|----------------|-------|-------------|-------|
| | MIN | MAX | MIN | MAX |
| A | .061 | .068 | 1.55 | 1.73 |
| A1 | .004 | .0098 | 0.102 | 0.249 |
| A2 | .055 | .061 | 1.40 | 1.55 |
| B | .008 | .012 | 0.20 | 0.31 |
| C | .0075 | .0098 | 0.191 | 0.249 |
| D | SEE VARIATIONS | | | |
| E | .150 | .157 | 3.81 | 3.99 |
| e | .025 BSC | | 0.635 BSC | |
| H | .230 | .244 | 5.84 | 6.20 |
| h | .010 | .016 | 0.25 | 0.41 |
| L | .016 | .035 | 0.41 | 0.89 |
| N | SEE VARIATIONS | | | |
| X | SEE VARIATIONS | | | |
| Y | .071 | .087 | 1.803 | 2.209 |
| α | 0° | 8° | 0° | 8° |

| DIM | INCHES | | MILLIMETERS | | N |
|-----|--------|-------|-------------|-------|-------|
| | MIN | MAX | MIN | MAX | |
| D | .189 | .196 | 4.80 | 4.98 | 16 AA |
| S | .0020 | .0070 | 0.05 | 0.18 | |
| X | .107 | .123 | 2.72 | 3.12 | |
| D | .337 | .344 | 8.56 | 8.74 | 20 AB |
| S | .0500 | .0550 | 1.270 | 1.397 | |
| D | .337 | .344 | 8.56 | 8.74 | 24 AC |
| S | .0250 | .0300 | 0.635 | 0.762 | |
| D | .386 | .393 | 9.80 | 9.98 | 28 AD |
| S | .0250 | .0300 | 0.635 | 0.762 | |
| X | .271 | .287 | 6.88 | 7.29 | |

NOTES:

1. D & E DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS
2. MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .006" PER SIDE.
3. HEAT SLUG DIMENSIONS X AND Y APPLY ONLY TO 16 AND 28 LEAD POWER-QSOP PACKAGES.
4. CONTROLLING DIMENSIONS: INCHES.

MAXIM

PROPRIETARY INFORMATION

TITLE:

PACKAGE OUTLINE, QSOP, .150", .025" LEAD PITCH

| | | |
|----------|----------------------|-------|
| APPROVAL | DOCUMENT CONTROL NO. | REV |
| | 21-0055 | B 1/1 |

QSOP.EPS