

# 同時T/Hおよびリファレンス付き 8/4チャンネルADC

## 概要

MAX155/MAX156は、高速、8ビット、多チャンネルのアナログ・デジタル・コンバータ(ADC)であり、各入力チャンネル間のサンプリングの時間差をなくした同時トラック/ホールド(T/H)を備えています。MAX155は8つのアナログ入力チャンネル、MAX156は4つのアナログ入力チャンネルを有しています。各チャンネルはそれぞれ専用のT/Hを備えており、すべてのT/Hは同時にサンプルを実行します。ADCはチャンネル入力を3.6 $\mu$ sで変換し、変換結果を内蔵の8 $\times$ 8RAMに格納します。MAX155/MAX156は2.5Vの内部リファレンスとパワーダウン機能を備えており、全ての機能を持ったサンプリング・データアキュイジション・システムを提供します。

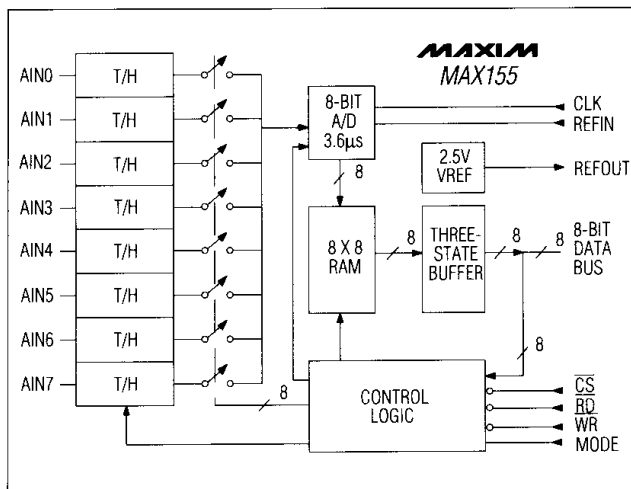
+5V単一電源での動作時には、MAX155/MAX156はユニポーラまたはバイポーラ、シングルエンドまたは差動のいずれかでも変換動作します。より広いダイナミック・レンジやグラウンド附近でのバイポーラ変換が必要な場合には、V<sub>SS</sub>電源ピンを-5Vに接続します。

変換はWRピンにパルスを与えることで開始し、RDピンへのパルスによりADC内のRAMデータにアクセスすることができます。双方向インタフェースによりチャンネル構成を更新し、出力データを得ることができます。また、ADCを出力のみの動作に配線することも可能です。MAX155は28ピンのDIPおよびワイドSOPパッケージ、MAX156は24ピンナローDIPおよび28ピンワイドSOPパッケージで提供されます。

## アプリケーション

位相が重要なデータ・アキュイジション  
振動および波形解析 DSPアナログ入力  
ACパワー・メータ ポータブル・データ・ロガー

## ファンクションダイアグラム



## 特長

- ◆8つの同時サンプリング・トラック/ホールド入力
- ◆チャンネルあたり3.6 $\mu$ sの変換時間
- ◆ユニポーラまたはバイポーラ入力
- ◆シングルエンドまたは差動入力
- ◆混在入力構成も可能
- ◆+2.5V内部リファレンス
- ◆+5V単一またはデュアル $\pm$ 5V電源動作

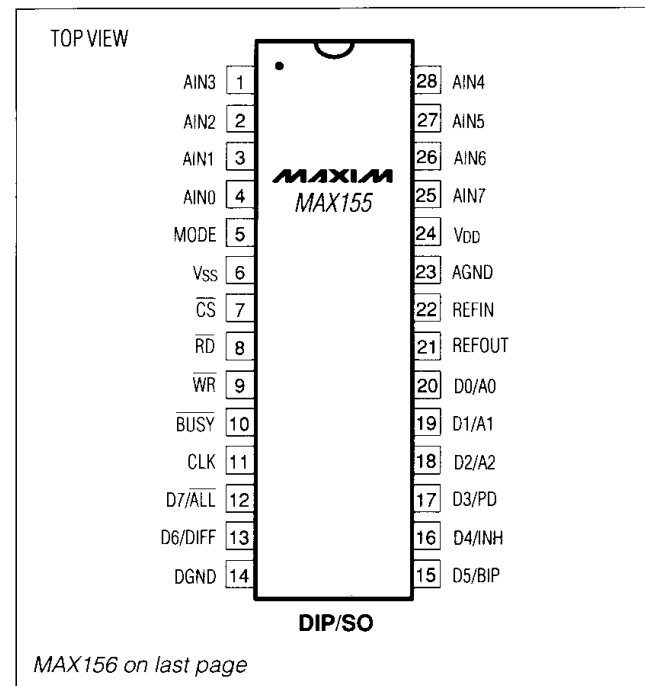
## 型番

PART	TEMP. RANGE	PIN-PACKAGE	ERROR (LSBs)
MAX155ACPI	0°C to +70°C	28 Plastic DIP	$\pm$ 1/2
MAX155BCPI	0°C to +70°C	28 Plastic DIP	$\pm$ 1
MAX155ACWI	0°C to +70°C	28 Wide SO	$\pm$ 1/2
MAX155BCWI	0°C to +70°C	28 Wide SO	$\pm$ 1
MAX155BC/D	0°C to +70°C	Dice*	$\pm$ 1

Ordering information continued on last page.

\* Contact factory for dice specifications.

## ピン配置



# 同時T/Hおよびリファレンス付き 8/4チャンネルADC

MAX155/MAX156

## ABSOLUTE MAXIMUM RATINGS

V <sub>DD</sub> to AGND	-0.3V, +6V
V <sub>DD</sub> to DGND	-0.3V, +6V
AGND to DGND	-0.3V, V <sub>DD</sub> +0.3V
V <sub>SS</sub> to AGND	+0.3V, -6V
V <sub>SS</sub> to DGND	+0.3V, -6V
CS, WR, RD, CLK, MODE to DGND	-0.3V, V <sub>DD</sub> +0.3V
BUSY, D0-D7 to DGND	-0.3V, V <sub>DD</sub> +0.3V
REFOUT to AGND	-0.3V, V <sub>DD</sub> +0.3V
REFIN to AGND	-0.3V, V <sub>DD</sub> +0.3V
AIN to AGND	V <sub>SS</sub> -0.3V, V <sub>DD</sub> +0.3V
Output Current (REFOUT)	30mA

Continuous Power Dissipation (T<sub>A</sub> = +70°C)

24-Pin Plastic DIP (derate 8.7mW/°C above +70°C)	.. 696mW
24-Pin CERDIP (derate 12.5mW/°C above +70°C)	.. 1000mW
28-Pin Plastic DIP (derate 9.09 mW/°C above +70°C)	.. 727mW
28-Pin Wide SO (derate 12.5mW/°C above +70°C)	.. 1000mW
28-Pin CERDIP (derate 16.67mW/°C above +70°C)	.. 1333mW

Operating Temperature Ranges:

MAX155/MAX156_C_	0°C to +70°C
MAX155/MAX156_E_	-40°C to +85°C
MAX155_MJI	-55°C to +125°C
Storage Temperature Range	-65°C to +160°C
Lead Temperature (soldering, 10 sec)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(V<sub>DD</sub> = +5V, REF<sub>IN</sub> = +2.5V, External Reference, AGND = DGND = 0V, V<sub>SS</sub> = 0V or -5V, f<sub>CLK</sub> = 5MHz External, Unipolar Range, Single-Ended Mode, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>ACCURACY</b> (Note 1)						
Resolution			8			Bits
Integral Linearity Error			MAX15_A		±1/2	LSB
			MAX15_B		±1	
No Missing Codes Resolution		Guaranteed monotonic	8			Bits
Offset Error (Unipolar)			MAX15_A		±1/2	LSB
			MAX15_B		±1	
Offset Error (Bipolar)			MAX15_A		±1	LSB
			MAX15_B		±2	
Gain Error		Unipolar	MAX15_A		±1	LSB
			MAX15_B		±1	
		Bipolar	MAX15_A		±1	
			MAX15_B		±2	
Channel-to-Channel Matching			MAX15_A		±1/2	LSB
			MAX15_B		±1	
<b>DYNAMIC PERFORMANCE</b> (V <sub>IN</sub> = 50kHz, 2.5Vp-p sine wave sampled at 220ksamples/sec)						
Signal-to-Noise and Distortion Ratio	SINAD		MAX15_A		48	dB
			MAX15_B		47	
Total Harmonic Distortion	THD			-60		dB
Spurious-Free Dynamic Range	SFDR			-62		
Small-Signal Bandwidth				4		MHz
Aperture Delay				20		ns
Aperture Delay Matching (Note 2)					4	ns

**ELECTRICAL CHARACTERISTICS (continued)**

(V<sub>DD</sub> = +5V, REFIN = +2.5V, External Reference, AGND = DGND = 0V, V<sub>SS</sub> = 0V or -5V, f<sub>CLK</sub> = 5MHz External, Unipolar Range, Single-Ended Mode, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
<b>ANALOG INPUT</b>							
Voltage Range Unipolar, Single-Ended		AIN_(+) to AGND	0		VREF	V	
Unipolar, Differential		AIN_(+) to AIN_(-)	0		VREF		
Bipolar, Single-Ended		AIN_(+) to AGND	-VREF		VREF		
Bipolar, Differential		AIN_(+) to AIN_(-)	-VREF		VREF		
Common-Mode Range		Differential mode	V <sub>SS</sub>		V <sub>DD</sub>		
DC Input Impedance		AIN = V <sub>DD</sub>	10			MΩ	
<b>REFERENCE INPUT</b>							
REFIN Range (for specified performance) (Note 2)			2.375	2.500	2.625	V	
I <sub>REF</sub>		REFIN = 2.5V			1	mA	
<b>REFERENCE OUTPUT (C<sub>L</sub> = 4.7μF)</b>							
Output Voltage		I <sub>L</sub> = 0mA	T <sub>A</sub> = +25°C	2.44	2.50	2.56	V
			T <sub>A</sub> = T <sub>MIN</sub> to T <sub>MAX</sub>	2.38	2.50	2.62	
Load Regulation		T <sub>A</sub> = +25°C, I <sub>OUT</sub> = 0mA to 10mA			-10	mV	
Power-Supply Sensitivity		T <sub>A</sub> = +25°C, V <sub>DD</sub> = 5V ±5%		±1	±3	mV	
Temperature Drift				±100		ppm/°C	
<b>LOGIC INPUTS (Mode = Open Circuit)</b>							
CS, RD, WR, CLK, D0-D7 (when inputs) Input Low Voltage	V <sub>IL</sub>				0.8	V	
Input High Voltage	V <sub>IH</sub>		2.4				
Input Current	I <sub>IN</sub>				±10	μA	
Input Capacitance (Note 2)	C <sub>IN</sub>				15	pF	
MODE Input Low Voltage	V <sub>IL</sub>				0.5	V	
Input High Voltage	V <sub>IH</sub>		V <sub>DD</sub> - 0.5				
Input Mid-Level Voltage	V <sub>MID</sub>		V <sub>DD</sub> /2 - 0.5		V <sub>DD</sub> /2 + 0.5		
Input Floating Voltage	V <sub>FLT</sub>			V <sub>DD</sub> /2			
Input Current	I <sub>IN</sub>			±50	±100	μA	
<b>LOGIC OUTPUTS</b>							
BUSY, D0-D7 Output Low Voltage	V <sub>OL</sub>	I <sub>OUT</sub> = 1.6mA			0.4	V	
Output High Voltage	V <sub>OH</sub>	I <sub>OUT</sub> = -360μA	4				
D0-D7 Floating State Leakage					±10	μA	
Floating State Output Capacitance (Note 2)	C <sub>OUT</sub>				15	pF	
Conversion Time		f <sub>CLK</sub> = 5MHz, single channel	3.6		3.8	μs	

# 同時T/Hおよびリファレンス付き 8/4チャンネルADC

MAX155/MAX156

## ELECTRICAL CHARACTERISTICS (continued)

(V<sub>DD</sub> = +5V, REFIN = +2.5V, External Reference, AGND = DGND = 0V, V<sub>SS</sub> = 0V or -5V, f<sub>CLK</sub> = 5MHz External, Unipolar Range, Single-Ended Mode, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
<b>POWER REQUIREMENTS</b>							
Positive Power-Supply Voltage	V <sub>DD</sub>		4.75		5.25	V	
Positive Power-Supply Current	I <sub>DD</sub>	PD = 0	MAX155	18	24	mA	
			MAX156	9	12		
Positive Power-Supply Current	I <sub>DD</sub>	PD = 1	CLK, CS, $\overline{WR}$ , RD = 0V or V <sub>DD</sub> ; DOUT = 0V or V <sub>DD</sub>		25	100	$\mu$ A
Negative Power-Supply Voltage	V <sub>SS</sub>		0		-5	V	
Negative Power-Supply Current	I <sub>SS</sub>	PD = 0		2	50	$\mu$ A	
		PD = 1		2	50		
Power-Supply Rejection (change in full-scale error)		V <sub>DD</sub> = 5V $\pm$ 5%, V <sub>SS</sub> = 0V		$\pm$ 0.1	$\pm$ 0.25	LSB	
		V <sub>DD</sub> = 5V, V <sub>SS</sub> = -5V $\pm$ 5%		$\pm$ 0.1			

## TIMING CHARACTERISTICS (Note 3, Figures 1-7)

(V<sub>DD</sub> = +5V, REFIN = +2.5V, External Reference, AGND = DGND = 0V, V<sub>SS</sub> = 0V or -5V, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
$\overline{CS}$ to $\overline{WR}$ Setup Time	t <sub>CWS</sub>		0			ns
$\overline{CS}$ to $\overline{WR}$ Hold Time	t <sub>CWH</sub>		0			ns
$\overline{CS}$ to $\overline{RD}$ Setup Time	t <sub>CRS</sub>		0			ns
$\overline{CS}$ to $\overline{RD}$ Hold Time (Note 2)	t <sub>CRH</sub>		0			ns
$\overline{WR}$ Low Pulse Width	t <sub>WR</sub>	MAX15_C/E	100		2000	ns
		MAX155M	120		2000	
$\overline{RD}$ Low Pulse Width	t <sub>RD</sub>	MAX15_C/E	100			ns
		MAX155M	120			
$\overline{RD}$ High Pulse Width (Note 2)	t <sub>RDH</sub>	MAX15_C/E	180			ns
		MAX155M	200			
$\overline{WR}$ to $\overline{RD}$ Delay (Note 2)	t <sub>WRD</sub>	MAX15_C/E	280			ns
		MAX155M	300			
$\overline{WR}$ to $\overline{BUSY}$ Low Delay	t <sub>WBD</sub>	MAX15_C/E			220	ns
		MAX155M			240	
$\overline{BUSY}$ High to $\overline{WR}$ Delay (to update configuration register) (Notes 2, 3)	t <sub>BWD</sub>		50			ns
CLK to $\overline{WR}$ Delay (acquisition time) (Note 2)	t <sub>ACQ</sub>		800			ns
$\overline{BUSY}$ High to $\overline{RD}$ Delay (Notes 2, 3)	t <sub>BRD</sub>		50			ns
Address-Setup Time	t <sub>AS</sub>		120			ns
Address-Hold Time	t <sub>AH</sub>		0			ns

## TIMING CHARACTERISTICS (continued) (Note 3, Figures 1-7)

(VDD = +5V, REFIN = +2.5V, External Reference, AGND = DGND = 0V, VSS = 0V or -5V, TA = TMIN to TMAX, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
$\overline{RD}$ to Data Valid (Note 4)	tdv	MAX15_C/E	100			ns
		MAX155M	120			
$\overline{RD}$ to Data Three-State Output (Note 5)	tTR	MAX15_C/E	80			ns
		MAX155M	100			
CLK to BUSY Delay (Note 2)	tCB			100	300	ns
CLK Frequency			0.5		5.0	MHz

**Note 1:** VDD = +5V, REFIN = +2.5V, VSS = 0V. Performance at  $\pm 5\%$  power-supply tolerance is guaranteed by Power-Supply Rejection test.

**Note 2:** Guaranteed by design, not production tested.

**Note 3:** All input control signals are specified with  $t_r = t_f = 20\text{ns}$  (10% to 90% of +5V) and timed from a +1.6V voltage level. Output signals are timed from VOH and VOL.

**Note 4:** tdv is the time required for an output to cross +0.8V or +2.4V measured with load circuit of Figure 1.

**Note 5:** tTR is the time required for the data lines to change 0.5V, measured with load circuits of Figure 2.

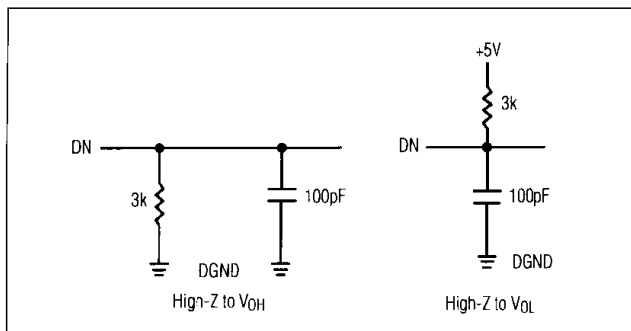


図1. データアクセス・タイミング用負荷回路

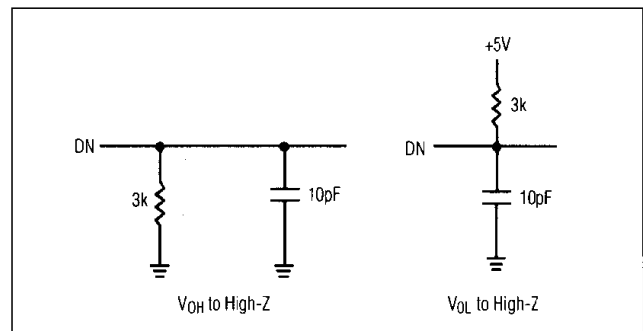


図2. トライステート出力タイミング用負荷回路

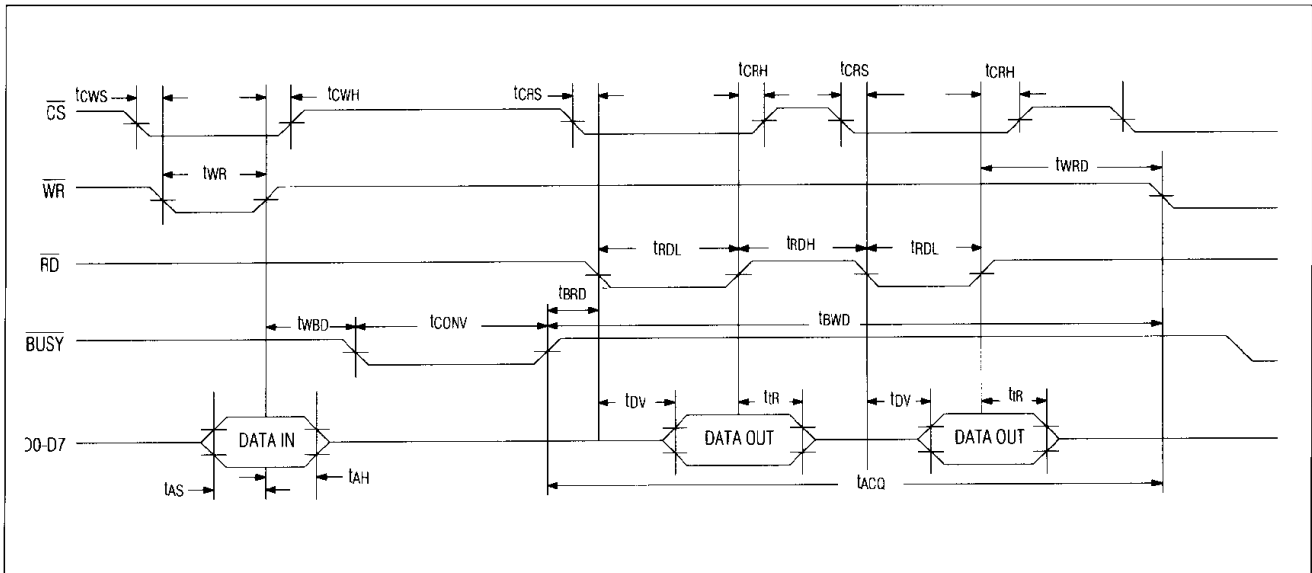


図3. ライトおよびリード・タイミング

# 同時T/Hおよびリファレンス付き 8/4チャンネルADC

## 端子説明

MAX155 DIP/SO	MAX156		名 称	機 能
	DIP	SO		
1	23	26	AIN3	サンプリング・アナログ入力、チャンネル3
2	24	28	AIN2	サンプリング・アナログ入力、チャンネル2
3	1	2	AIN1	サンプリング・アナログ入力、チャンネル1
4	2	4	AIN0	サンプリング・アナログ入力、チャンネル0
5	3	5	MODE	マルチプレクサおよびコンバータのモード設定用。表4参照。
6	4	6	VSS	負電源。拡張入力レンジにはV <sub>SS</sub> に-5Vを入力。
7	5	7	$\overline{CS}$	$\overline{RD}$ 、 $\overline{WR}$ の認識には、チップセレクト入力を“ロー”とする必要があります。
8	6	8	$\overline{RD}$	リード入力により、RAM内のデータを連続的に読みます。
9	7	9	$\overline{WR}$	ライト入力の立上りエッジによって変換を開始し、チャンネル設定レジスタを更新します。立下りエッジにおいて入力をサンプルします。
10	8	10	$\overline{BUSY}$	変換の実行中、この出力は“ロー”となります。
11	9	11	CLK	外部クロック入力。
12	10	12	D7/ALL	トライステート・データ出力ビット7(MSB)/連続または指定変換
13	11	13	D6/DIFF	トライステート・データ出力ビット6/シングルエンドまたは差動選択
14	12	14	DGND	デジタル・グラウンド
15	13	15	D5/BIP	トライステート・データ出力ビット5/ユニポーラまたはバイポーラ変換
16	14	16	D4/INH	トライステート・データ出力ビット4/変換禁止入力。
17	15	17	D3/PD	トライステート・データ出力ビット3/パワーダウン入力。
18	16	18	D2/A2	トライステート・データ出力ビット2/RAMアドレス・ビットA2(MAX155のみ)。
19	17	19	D1/A1	トライステート・データ出力ビット1/RAMアドレス・ビットA1
20	18	20	D0/A0	トライステート・データ出力ビット0/RAMアドレス・ビットA0
21	19	21	REFOUT	リファレンス出力、+2.5V。
22	20	22	REFIN	リファレンス入力、通常+2.5V。
23	21	23	AGND	アナログ・グラウンド。
24	22	24	VDD	電源電圧、通常+5V。
25-28	—	—	AIN7-4	サンプリング・アナログ入力、チャンネル7~4。
—	—	1, 3, 25, 27	N.C.	内部接続なし。フローティング・ピン。

## 詳細

### A/Dコンバータの動作

MAX155/MAX156は、3.6 $\mu$ sの逐次比較ADCと8/4チャンネルのトラック/ホールド(T/H)入力を備えています。変換が開始すると、すべてのAIN入力と同時にサンプルされます。そのチャンネルが変換のために選択されているかどうかにかかわらず、全てのチャンネルのサンプルが行われます。単一チャンネルまたは複数チャンネルのいずれかの変換が要求され、チャンネル設定が組み合わされます。そして、ADCの変換結果は内部RAMに格納されます。

ハードワイヤード・モード（「マルチプレクサとA/Dコンバータ」の節を参照）では、一つのライト動作によって複数チャンネル変換が開始します。I/O(入出力)モードでは、チャンネル選択を設定レジスタにロードすることにより、変換前に複数チャンネル設定が行われます。このレジスタは、シングルエンド/差動、ユニポーラ/バイポーラ(図9)、パワーダウ

ンその他の機能の選択にも用います。各チャンネルの選択には、独立したライト動作が必要ですが(つまり、8チャンネルに対して8回のライト)、ライトの実行は電源投入後のみです。必要なチャンネル設定を一度ロードすれば、マルチプレクサ(MUX)を再設定することなく、各ライト動作により選択された全てのチャンネルの変換が実行されます。I/Oモードではより多くのライト動作が必要ですが、ハードワイヤード・モードに比べてよりフレキシブルです。

変換結果にアクセスする際には、連続的な $\overline{RD}$ パルスによりRAMの内容をチャンネル0から順に読み出すことができます。RAMアドレス・カウンタは、各RDパルスによって増加され、複数チャンネル変換ではWRが“ロー”になると0にリセットされます。任意のRAMロケーションを読み出す場合には、RAMアドレス(A0~A2)をロードしながらINHに“1”を書込み、その後リード動作を実行します。

表1. マルチプレクサの設定

端子*	入力	機能
D0/A0 D1/A1 D2/A2	1 or 0	A0~A2は以下に説明するマルチプレクサの設定のためのチャンネルを選択します。または、 $\overline{RD}$ に続く読み込みのためのRAMアドレスを選択します。
D3/PD	0	通常のADC動作
	1	パワーダウンにより、消費電流が低減されます。パワーダウン中は、設定データはロードされ、保持されます。
D4/INH	0	WRが“ハイ”に立上がる時、変換を開始します。
	1	WRが“ハイ”に立上がる時、変換を禁止します。変換を開始することなく、MUXの設定のロードやRAM内容へのアクセスが可能となります。
D5/BIP**	0	A0~A2で指定されるチャンネルのユニポーラ変換(図9a)。入力レンジ=0V~VREF。
	1	A0~A2で指定されるチャンネルのバイポーラ変換(図9b)。入力レンジ= $\pm$ VREF。
D6/DIFF**	0	A0~A2で指定されるチャンネルのシングルエンド設定(表2参照)。
	1	A0~A2で指定されるチャンネルの差動設定(表2参照)。
D7/ $\overline{ALL}$	0	設定済みの全てのチャンネルが変換されます。データは最も番号の小さな設定済みチャンネルから、RDパルスによって順に読み出します。
	1	A2~A0で指定されるチャンネルのみが変換されます。単一の $\overline{RD}$ パルスによって、この変換結果を読み出します。

\* 設定入力は、データ出力D0~D7と共通のピンを用います。この表ではD0~D7の機能については解説していません。

\*\* DIFFおよびBIPは設定時の変換には作用しませんが、その後の変換には有効です。

# 同時T/Hおよびリファレンス付き 8/4チャンネルADC

## マルチプレクサおよびA/Dの設定

変換は $\overline{WR}$ パルスによって開始します。すべてのチャンネルは $\overline{WR}$ の立下りエッジにおいてサンプルされます。MUXの設定データは $\overline{WR}$ の立上りエッジでロードされます。I/Oモード(MODE=オープン)では、A0~A2、ALL、BIPおよびDIFFピンにより、チャンネル番号、単一または複数チャンネル変換、ユニポーラまたはバイポーラ入力、シングルエンドまたは差動入力の選択を行います(表1)。これらの入力ピンはRAMデータ出力のD0~D7と同じピンを共用しています。もう一つのモードとして、より単純なインタフェースを提供するハードワイヤード・モードがあります。このモードではADCのプログラミングを行うことなく一般的なMUXの設定を行うことができます。MODEと $V_{SS}$ のハードワイヤード接続によ

り、表4に示す4種類のMUX設定を選択します(「ハードワイヤード・モード」を参照)。

$\overline{WR}$ の立上りエッジにおいてMUX設定レジスタが更新され、立下りエッジですべての入力のサンプリングが開始します。チャンネル選択は現在の変換に対して有効となりますが、(BIPピンによる)ユニポーラからバイポーラへの変更や(DIFFピンによる)シングルエンドから差動動作への変更は次の $\overline{WR}$ まで有効となりません。このことは、変換を禁止した状態(INH=1)で設定レジスタへの書き込みを行うか、DIFFおよびBIPの変更を1変換だけ前、つまり直前のライト時に行うことによって解決できます。

表2. シングルエンド・チャンネル選択(MODE=オープン)

MUXアドレス				シングルエンドのチャンネル選択								
A0	A1	A2	DIFF	0	1	2	3	4	5	6	7	AGND
0	0	0	0	+								-
1	0	0	0		+							-
0	1	0	0			+						-
1	1	0	0				+					-
0	0	1	0					+				-
1	0	1	0						+			-
0	1	1	0							+		-
1	1	1	0								+	-

注：黒い部分は、MAX156の動作を示します。

表3. 差動チャンネル選択(MODE=オープン)

MUXアドレス				差動のチャンネル選択							
A0	A1	A2	DIFF	0	1	2	3	4	5	6	7
0	0	0	1	+	-						
0	1	0	1		+	-					
0	0	1	1					+	-		
0	1	1	1							+	-
1	0	0	1	-	+						
1	1	0	1			-	+				
1	0	1	1					-	+		
1	1	1	1							-	+

注：黒い部分は、MAX156の動作を示します。



## インタフェース・タイミング

### I/Oモード、複数チャンネル変換タイミング

I/Oモードは、MODE入力をオープンとすることにより選択されます。I/OモードではMUX設定レジスタにより変換の種類が決まります。このレジスタはWRの立上りエッジにおいて更新されます。

表1にすべての変換オプションを示します。例えば、D6/DIFFにおいてはロジック0または1によりシングルエンドもしくは差動変換を選択します。データは一連のWRパルスにより、設定レジスタ内のアドレスされた位置にロードされます。書き込み時にINHが“ハイ”ならば、変換は行われません。設定レジスタにINH=0を書き込むことにより変換が開始します。設定レジスタの内容を変更した場合、“ダミー”の変換が必要となります。これはユニポーラ/バイポーラおよびシングルエンド/差動選択のための変換1回分の遅れによるものです。

毎回の変換の前に設定レジスタを更新する必要はありません。特定のMUX設定は電源投入後に一度だけ実行する必要があります(しかしながら、設定のロードには数回の書き込みが必要です)。MUX設定はその後の変換やパワーダウン(PD=1)時においても保たれるので、ADCが通常動作(PD=0)に戻った時点でも再設定は不要です。設定内容およびRAMデータは、ADCのV<sub>DD</sub>電源が切断された時のみ失われます。

設定レジスタを更新する際には、INHは最後のWRを除き“ハイ”とすることで、MUXの設定が終るまで変換は開始しません。WRの立下りエッジにおいて、すべての入力チャンネルは同時にサンプルを行います。変換の開始と共にBUSYは“ロー”となり、選択されたチャンネルの最も小さな番号から順に変換が行われます。BUSYが“ハイ”となると、変換結果はRAM内に格納されます。変換が終了すると、μPはRDパルスによってRAM内容にアクセスすることができます。最初にアクセスされるデータは、最も番号の小さなチャンネルの変換結果です。引き続きRDパルスにより、残りのチャンネルの変換結果にアクセスします。

設定データにより、一連のRDパルスによって連続的に読み出されるRAMロケーションが決まります。したがって、新しいデータを設定レジスタ内に書込む際には、すべてのRD動作の終了後に行う必要があります。毎回の変換において設定レジスタの内容を更新する必要はありません。読み出しが行われたチャンネル数にかかわらず、新しい変換はWRパルスによって開始します(INH=0の場合)。

図4aに、MAX155の8チャンネル、ユニポーラ設定におけるタイミングを示します。8チャンネルが設定され、それに引き続き8回のRDパルスによりデータにアクセスします。図4bは4チャンネル差動変換タイミングを示しており、4個のサンプルされたチャンネルと4つのRDパルスで構成されています。矛盾する差動設定がロードされた場合、DIFF=1で最後に選択されたチャンネルが差動チャンネルの正の入力となります。

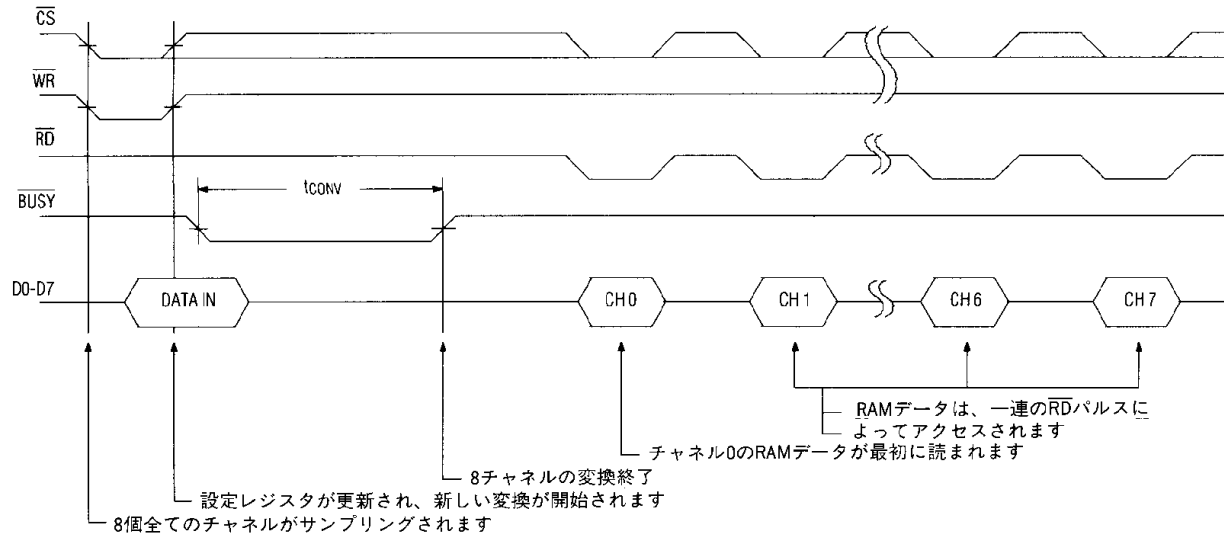
### I/Oモード、単一チャンネル変換タイミング

図5aは単一チャンネル(ALL=1)、シングルエンド変換のタイミングを示しており、図5bは差動変換のタイミングを示しています。MODEがオープンの時、設定レジスタはWRの立上りエッジにおいて更新されます。変換開始時にBUSYは“ロー”となり、設定レジスタにより指定されたチャンネルが変換されると、“ハイ”に戻ります。変換の要求が単一チャンネルのみであっても、WRの立下りエッジにおいて全てのチャンネルがサンプルされます。変換の終了時に、μPは指定チャンネルの変換結果を単一のRDパルスによって読み出すことができます。それに引き続きRDパルスにおいては、他のRAMアドレス内に残っている以前の変換結果にアクセスできます。読み出されたチャンネル数にかかわらず、次の変換はWRパルスによって開始します。

設定レジスタ内のINHおよびA0~A2によりRAM内のロケーションにアクセスします。INH=1とすることにより、変換を開始することなくRAMアドレスポイントの更新を行うことができます。そしてRDパルスにより、アドレスされているRAMの内容を読み出します。

# 同時T/Hおよびリファレンス付き 8/4チャンネルADC

MAX155/MAX156



注：電源投入後、上記タイミング・シーケンス前に、次のデータを設定レジスタに書込むことで、全てのチャンネルをシングルエンドに設定します。8チャンネル設定のために、8個のWR (図3参照)が必要です。

このデータが書込まれた後、全てのチャンネルは1個のWRによって、上記タイミング・ダイアグラムが示すように変換されます。INH=0、ALL=0です。

A0	A1	A2	PD	INH	BIP	DIFF	ALL
0	0	0	0	1	S	0	0
1	0	0	0	1	S	0	0
0	1	0	0	1	S	0	0
1	1	0	0	1	S	0	0
0	0	1	0	1	S	0	0
1	0	1	0	1	S	0	0
0	1	1	0	1	S	0	0
1	1	1	0	1	S	0	0

A0	A1	A2	PD	INH	BIP	DIFF	ALL
0	0	0	0	0	S	0	0

S = May be selected

図4a. I/Oモード・タイミング—8チャンネルのシングルエンド変換。

# 同時T/Hおよびリファレンス付き 8/4チャンネルADC

MAX155/MAX156

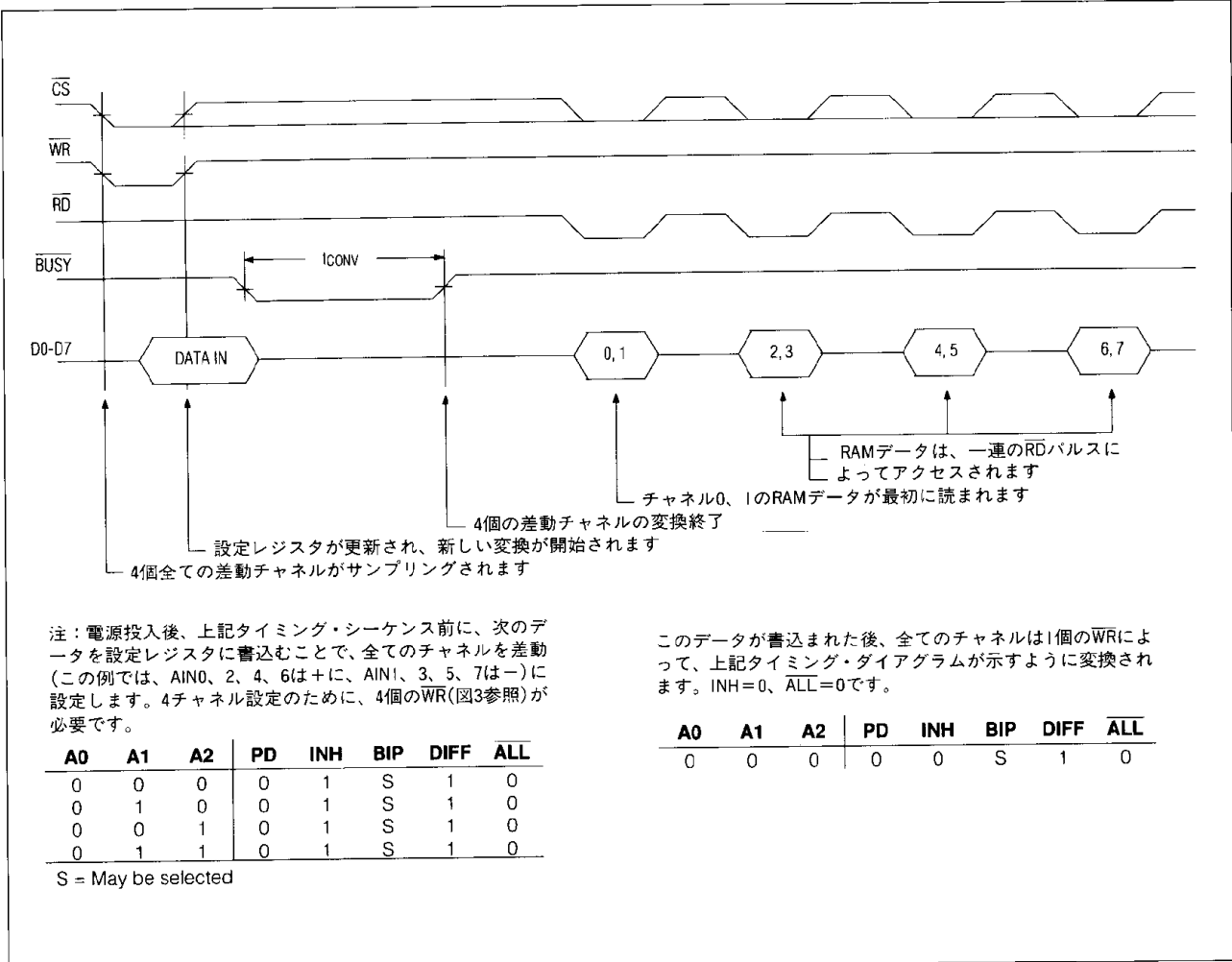
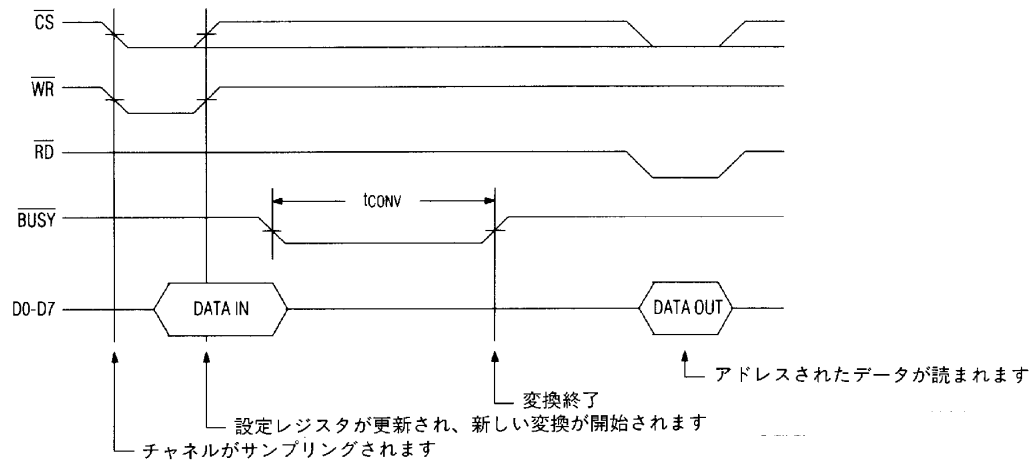


図4b. I/Oモード・タイミング-4チャンネルの差動変換。

# 同時T/Hおよびリファレンス付き 8/4チャンネルADC

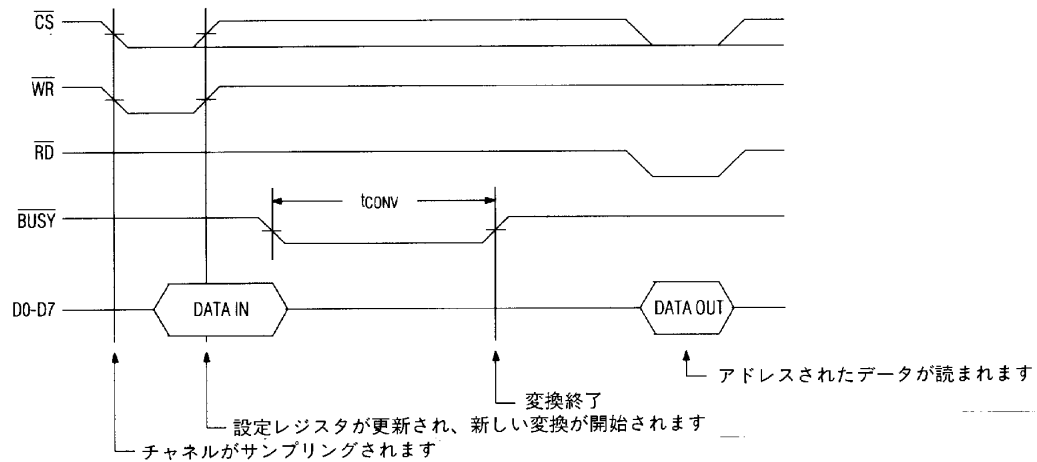


注：次のデータを設定レジスタに書き込むことで、シングルエンドのチャンネルが変換されます(図3参照)。BIPとDIFFビットは次のWRまで実行されません。

A0	A1	A2	PD	INH	BIP	DIFF	ALL
S	S	S	0	0	S	0	1

S = May be selected

図5a. I/Oモード・タイミング—単一チャンネル、シングルエンド変換。



注：次のデータを設定レジスタに書き込むことで、差動チャンネルが変換されます(図3参照)。BIPとDIFFビットは次のWRまで実行されません。

A0	A1	A2	PD	INH	BIP	DIFF	ALL
S	S	S	0	0	S	1	1

S = May be selected

図5b. I/Oモード・タイミング—単一チャンネル、差動変換。

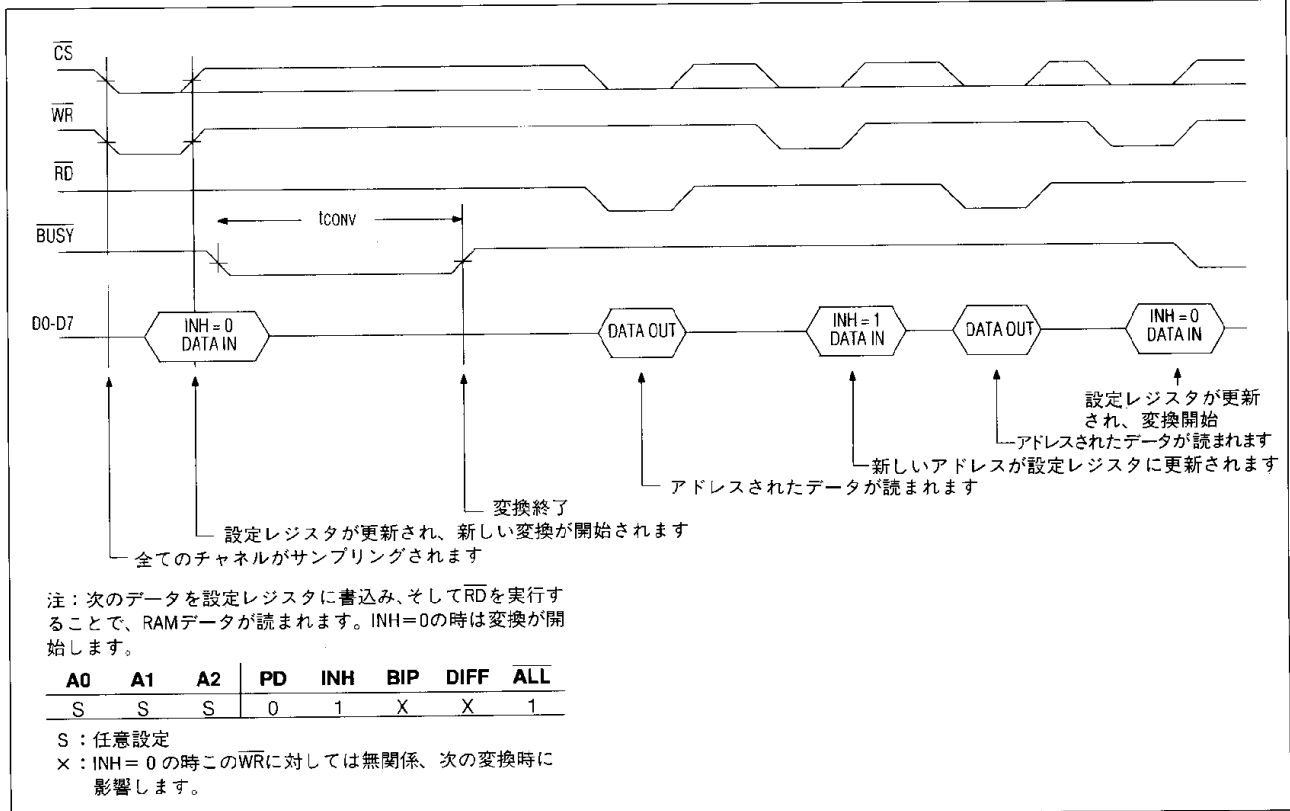


図6. I/Oモード・タイミグ任意RAMアドレスの読出し。

## ハードワイヤード・モード

単純な応用では、表4に示すようにMODEおよびV<sub>SS</sub>ピンをハードワイヤード(結線)し、変換の種類を指定することができます。このモードでは、設定レジスタは用いず、D0~D7上の入力データは無視されます。例えばMODEを「ロー」に結線することで、WRによって8チャンネル、シングルエンド変換が開始します。MODEを「ハイ」に結線すると、WRにより4チャンネル差動変換が開始します。このモードでは、D0~D7上のデータによって設定レジスタが影響を受けることはありません。これらの変換は表4に示すものと同一です。

## アナログ回路について

### 内部リファレンス

内部2.5Vリファレンス(REFOUT)は、安定化のために4.7μFの電解コンデンサと0.1μFのセラミック・コンデンサを用いてAGNDにバイパスします。

### 外部リファレンス

REFINに外部電圧リファレンスを接続する場合には、リファレンス出力での発振やADC内部に悪影響を及ぼす変換ノ

表4. ハードワイヤード・モード  
マルチプレクサの選択

MODE	V <sub>SS</sub>	変換の種類
オープン	X	マルチプレクサの設定レジスタにより変換の種類を決定。ハードワイヤードモードではありません。
0	AGND	8チャンネル、シングルエンド、ユニポーラ変換
1	AGND	4チャンネル、差動、ユニポーラ変換
0	-5V	8チャンネル、シングルエンド、バイポーラ変換
1	-5V	4チャンネル、差動、バイポーラ変換

イズの発生を防止するため、REFOUTはバイパス(図8b)するか、あるいは動作を停止させる必要があります。外部リファレンスを使用する際に部品点数が重要な場合には、REFOUTをV<sub>DD</sub>に接続することにより動作を禁止することができます。この場合、未使用の内部リファレンスに接続するバイパス・コンデンサは不要です。REFOUTをV<sub>DD</sub>に接続した場合での欠点は、パワーダウン電流が規定値よりも約250μA増加することです。

# 同時T/Hおよびリファレンス付き 8/4チャンネルADC

MAX155/MAX156

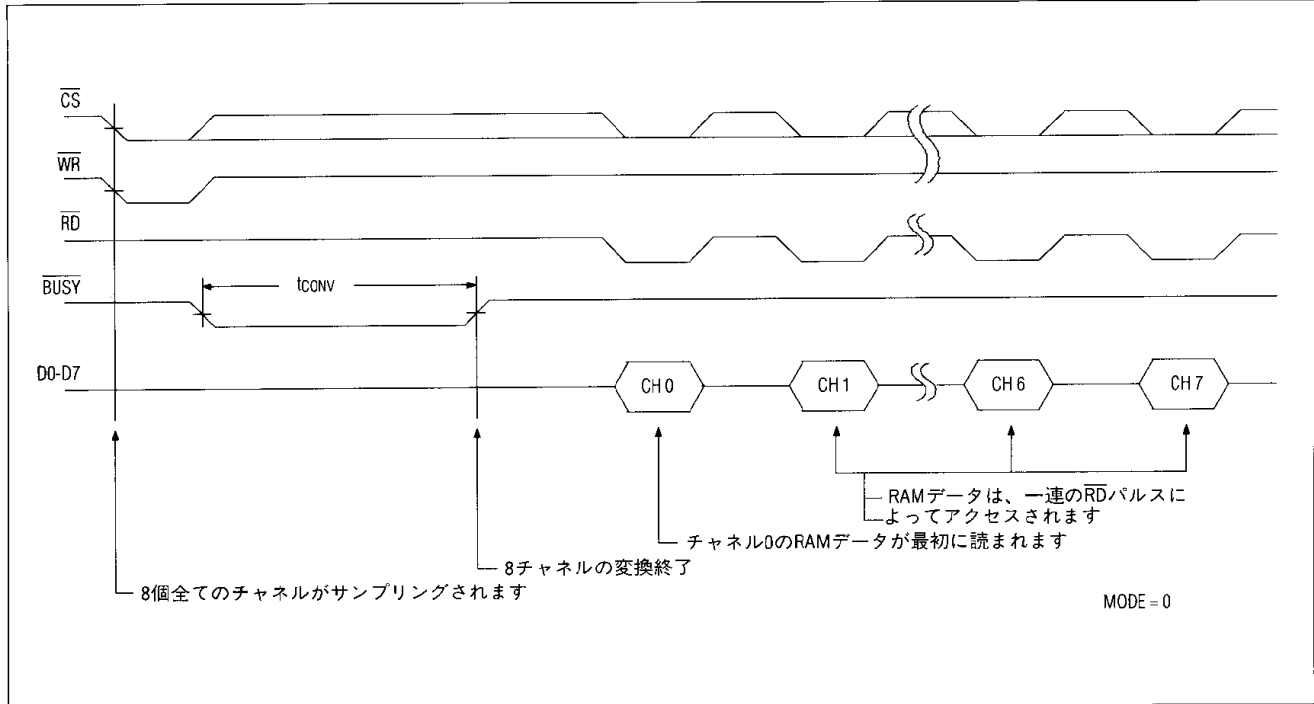


図7a. ハードワイヤード・モード・タイミング——8チャンネル・シングルエンド変換

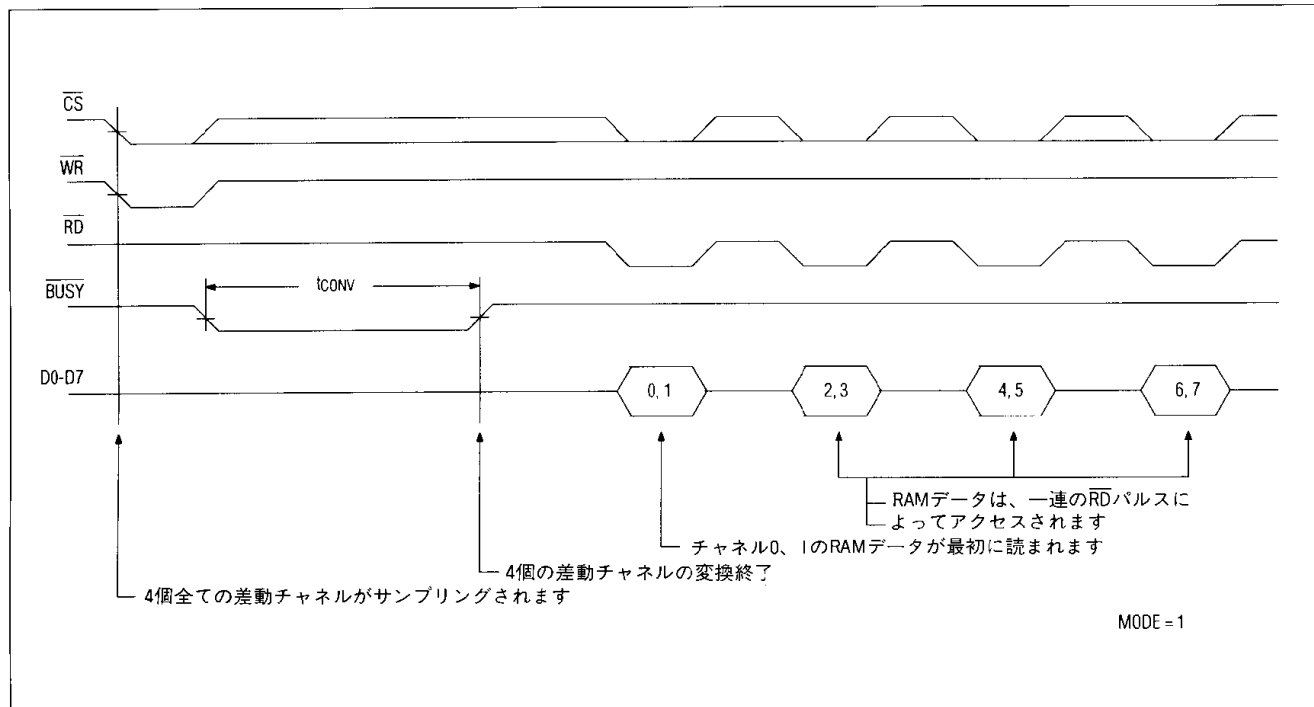


図7b. ハードワイヤード・モード・タイミング——4チャンネル差動変換

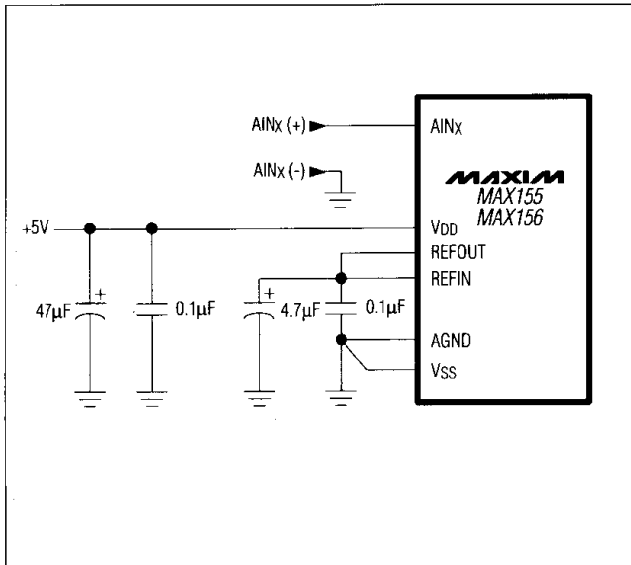


図8a. 内部リファレンス

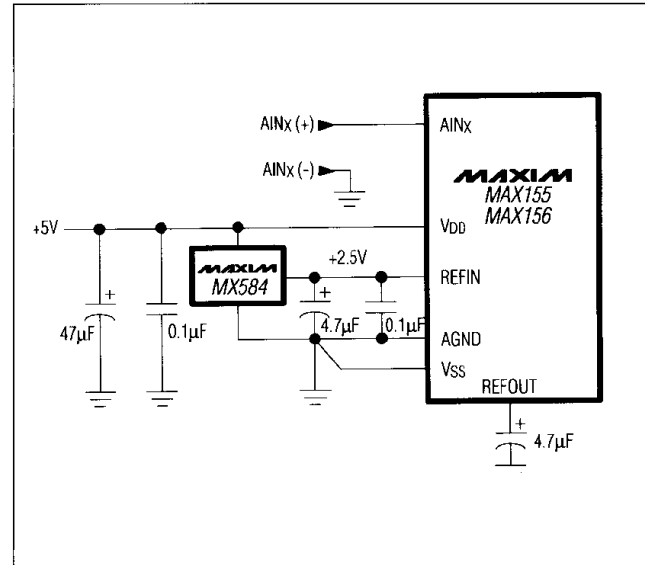


図8b. 外部リファレンス、+2.5Vフルスケール

### パワーダウン・モード

MAX155/MAX156は、設定レジスタ内のPDに“1”を書き込むことによりパワーダウン状態とすることができます(表1)。この状態でも、レジスタの内容を更新することも可能で(MUX設定の変更またはパワーダウン・モードからの抜出し)、すべてのレジスタ内容は保存されます。しかしながら、RAMからのデータの読出しや変換の開始はできません。パワーダウン・コマンドは $\overline{WR}$ の立上りエッジにおいて有効になります。

消費電流を最小化するため、MAX155/MAX156の内部リファレンスはパワーダウン時にオフとなります。通常動作に復帰した後(PD=0)、リファレンスが4.7µFのバイパス・コンデンサを再充電するための期間として、変換を実行する前に最低5ms必要です。外部リファレンスを用い、パワーダウン中もリファレンス電圧の供給を続ける場合、PDに“0”をロードした後50µs以内に交換を開始することができます。

### バイパス処理

47µFの電解コンデンサと0.1µFのセラミック・コンデンサを用いてV<sub>DD</sub>とAGNDをバイパスする必要があります。グランド以下の入力信号が想定される場合、負電源が必要です。この場合にはV<sub>SS</sub>は、4.7µFと0.1µFの組み合わせによってAGNDにバイパスしてください。

内部リファレンスは、4.7µFと0.1µFの組み合わせを必要とします。外部リファレンスを用いる場合、4.7µFのコンデンサを用いて素子の近くでREFINをAGNDにバイパスします。外部リファレンスを用いる場合でも、REFOUTはバイパスするか、あるいはV<sub>DD</sub>に接続する必要があります。

### トラック/ホールド・アンプ

MAX155/MAX156のT/Hアンプは高い入力インピーダンスを持つため、通常、入力バッファリングは不要です。すべてのT/Hは同時にサンプルします。最良の結果を得るためには、アナログ入力は電源電位(V<sub>DD</sub>、V<sub>SS</sub>)を50mV以上越えないようにする必要があります。

T/Hが入力信号を捉えるために必要なチャンネルあたりの時間は、チャンネルの入力容量が充電されるまでの時間の関数です。入力信号のソース・インピーダンスが高い場合、アクイジションに要する時間は長くなり、より長い変換間隔を許容する必要が生じます。アクイジション時間は、次の式によって算出します。

$$t_{ACQ} = 8(R_S + R_{IN}) \times 4pF \quad (\text{ただし、必ず} 800ns \text{以上})$$

ここで、R<sub>IN</sub>=15kΩ、R<sub>S</sub>=ADC入力信号のソース・インピーダンスです。

### 変換時間

変換時間は、次式によって算出します。

$$t_{CONV} = (9 \times N \times 2) / f_{CLK}$$

ここで、Nは変換を行うチャンネル数です。この式は1クロック・サイクルの不確実性を含んでいます。単一チャンネル、5MHzクロック時の変換時間は、(9×1×2)/5MHz=3.6µsとなります。MAX155では、8チャンネル時の最大変換時間は、(9×8×2)/5MHz=28.8µsです。6入力に設定されている応用例(図10)では、変換時間は(9×6×2)/5MHz=21.6µsです。

# 同時T/Hおよびリファレンス付き 8/4チャンネルADC

MAX155/MAX156

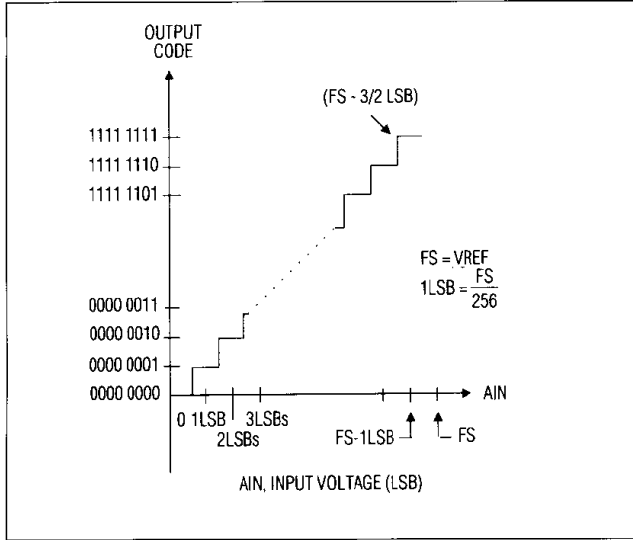


図9a. 伝達関数——ユニポーラ動作

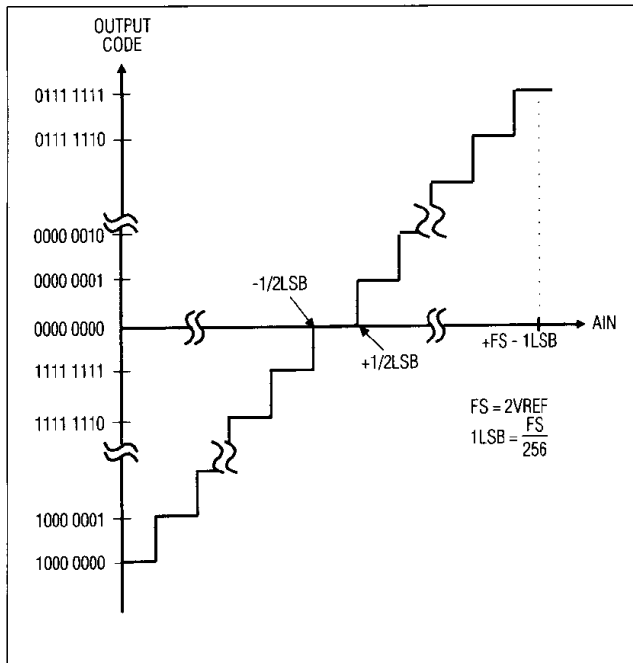


図9b. 伝達関数——バイポーラ動作

## アプリケーション情報

### 9ビットA/D変換

I/Oモードでは、逆入力極性のユニポーラ差動変換を2回実行することにより(最初にAIN0 [+ ]とAIN1 [- ],次にAIN0 [- ]とAIN1 [+ ]),9ビット目の分解能を得ることができます。入力チャンネルの極性を変更するためには、A0ビットのみを変更する必要があります(表3)。符号反転は、1サイクルの変換遅延を伴わずに、書き込み時に起ります。差動入力信号では、2つの変換のうちの1つの結果は0であり、もう一方が8ビットのデータになります。入力極性は、8ビットの結果とともに、9番目の(符号)ビットになります。この方法で4つチャンネルを測定することができます。このテクニックの大きな欠点は、2回の独立したサンプルが必要なことから、MAX155/MAX156のもつ多くのサンプリング機能が活かせないことです。

2つの9ビット・チャンネルのみが必要な場合には、逆の入力極性をもつ2つの独立した差動チャンネルを接続し、同時に両方の入力ペアのサンプルを行うことができます。この方法では、MAX155/MAX156のもつ同時サンプリングの利点を活かすことができます。

### 標準的なI/Oモードの応用

この例におけるMAX155/MAX156のアドレスおよび設定入力は、表2、3での必要なチャンネル設定を選択することによって決定されます。図10に表5での構成概要を図示します。

表5. 標準的なマルチプレクサ設定

A2	A1	A0	DIFF	BIP	機能
0	0	1	1	1	チャンネル(1, 0)、差動、バイポーラ
0	1	0	0	0	チャンネル2、シングルエンド、ユニポーラ
0	1	1	0	1	チャンネル3、シングルエンド、バイポーラ
1	0	0	0	1	チャンネル4、シングルエンド、バイポーラ
1	0	1	0	0	チャンネル5、シングルエンド、ユニポーラ
1	1	0	1	0	チャンネル(6, 7)、差動、ユニポーラ



# 同時T/Hおよびリファレンス付き 8/4チャンネルADC

I/OモードでのA/D変換の手順は次のようになります。

1. 表2および表3の内容に基づくデータを設定レジスタ内にロードすることにより、MUXの設定を行います (INH=1、MODE=オープン)。この例では電源投入後に(表5に示す各アドレスとデータ設定を)、6回のライト動作によりロードします。
2.  $\overline{WR}$ パルス (INH=0) によりすべての選択されたチャンネルをサンプルし、設定レジスタ内のどこか1つのアドレスを更新または書替えます。

この手順2の書き込み動作は、手順1の最後の $\overline{WR}$ においてINHに“0”をロードすることによりスキップ可能です。そして6番目の $\overline{WR}$ において変換が開始します。6番目の $\overline{WR}$ によって変換を開始する場合には、この書き込み動作においてDIFF

とBIPを変更することはできません。変換が開始すると、BUSYが“ロー”となり選択されているチャンネルが順に変換されます。変換結果はRAMに格納され、 $\overline{BUSY}$ が“ハイ”に戻り次第読み出すことができます。

3. データをRAMから読み出す際には、INH=“ロー”とし $\overline{RD}$ ストロープを与えます。この例(図10)での6チャンネル構成では、6回の $\overline{RD}$ パルスによって差動チャンネル(1, 0)から始まるすべてのデータにアクセス可能です。さらに $\overline{RD}$ パルスを与えると、最小チャンネル番号のデータに再度アクセスします。
4. 同じMUX設定で新しい変換サイクルを開始するためには、手順2と手順3を繰り返し実施します。

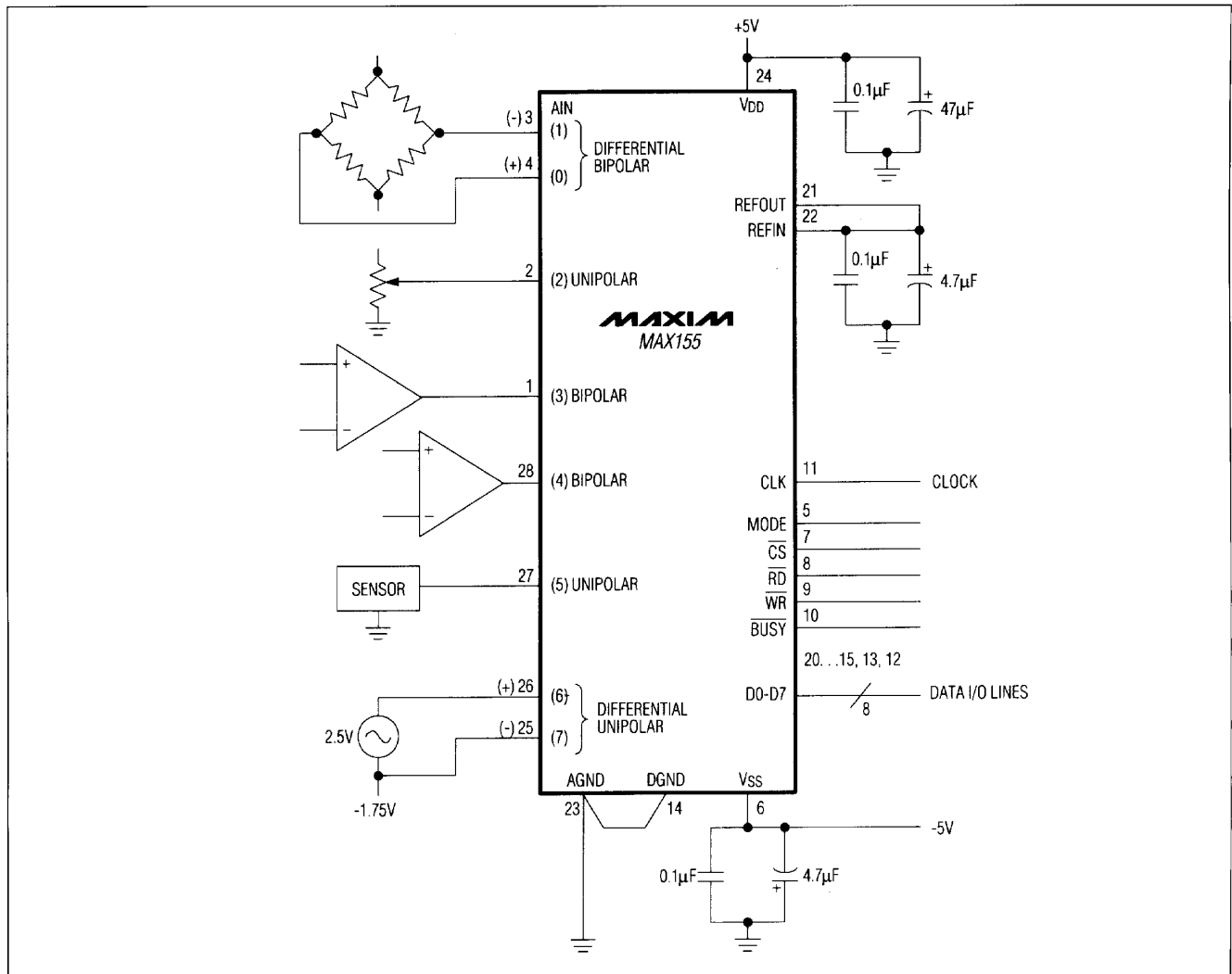


図10. MAX155/MAX156の標準動作回路

# 同時T/Hおよびリファレンス付き 8/4チャンネルADC

MAX155/MAX156

## 型番 (続き)

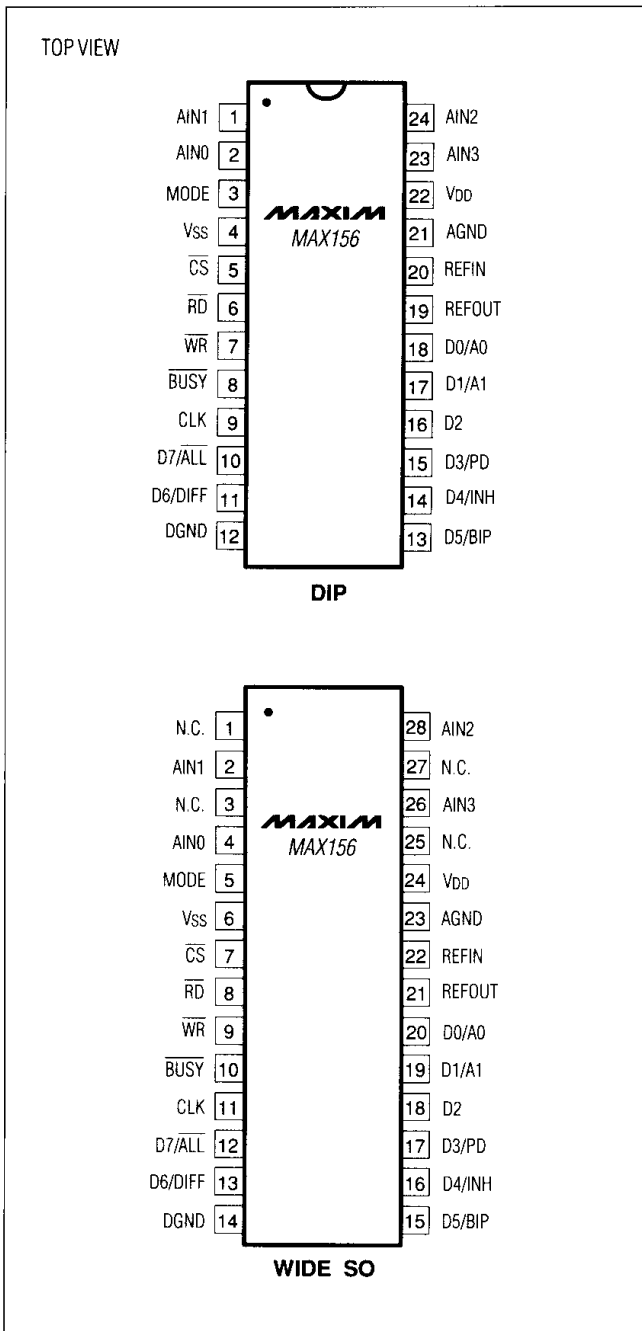
PART	TEMP. RANGE	PIN-PACKAGE	ERROR (LSBs)
MAX155AEPI	-40°C to +85°C	28 Plastic DIP	±1/2
MAX155BEPI	-40°C to +85°C	28 Plastic DIP	±1
MAX155AEWI	-40°C to +85°C	28 Wide SO	±1/2
MAX155BEWI	-40°C to +85°C	28 Wide SO	±1
MAX155AMJI	-55°C to +125°C	28 CERDIP**	±1/2
MAX155BMJI	-55°C to +125°C	28 CERDIP**	±1
MAX156ACNG	0°C to +70°C	24 Plastic DIP†	±1/2
MAX156BCNG	0°C to +70°C	24 Plastic DIP†	±1
MAX156ACWI	0°C to +70°C	28 Wide SO	±1/2
MAX156BCWI	0°C to +70°C	28 Wide SO	±1
MAX156BC/D	0°C to +70°C	Dice*	±1
MAX156AENG	-40°C to +85°C	24 Plastic DIP†	±1/2
MAX156BENG	-40°C to +85°C	24 Plastic DIP†	±1
MAX156AEWI	-40°C to +85°C	28 Wide SO	±1/2
MAX156BEWI	-40°C to +85°C	28 Wide SO	±1

\* Contact factory for dice specifications.

\*\* Contact factory for availability and processing to MIL-STD-883.

† Narrow

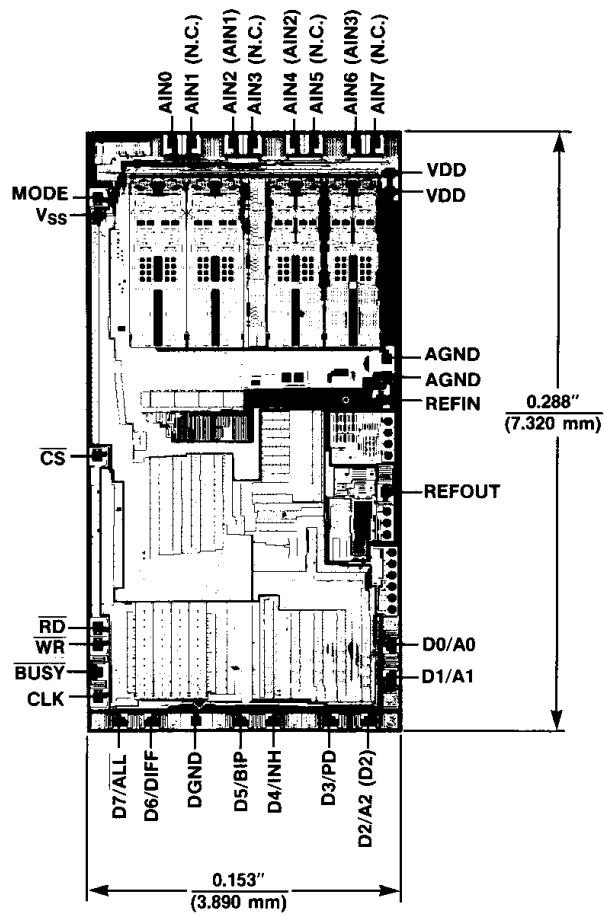
## ピン配置 (続き)



# 同時T/Hおよびリファレンス付き 8/4チャンネルADC

チップ構造図

MAX155/MAX156

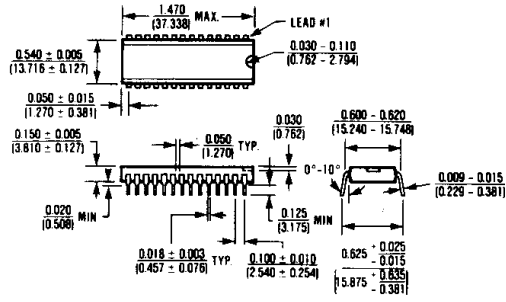


NOTE: LABELS IN ( ) ARE FOR MAX156.

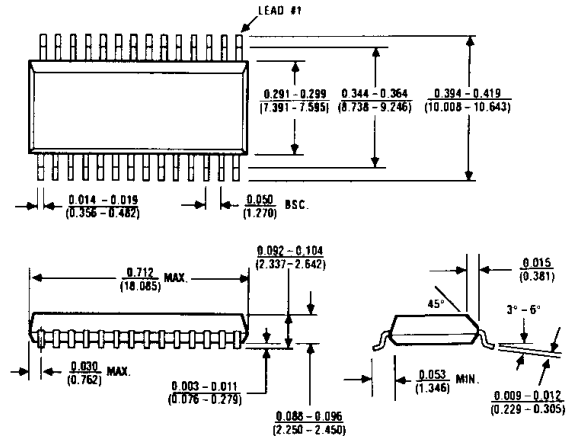
# 同時T/Hおよびリファレンス付き 8/4チャンネルADC

MAX155/MAX156

## パッケージ



**28 Lead Plastic DIP (PI)**  
 $\theta_{JA} = 110^{\circ}\text{C/W}$   
 $\theta_{JC} = 50^{\circ}\text{C/W}$



**28 Lead Small Outline, Wide (WI)**  
 $\theta_{JA} = 80^{\circ}\text{C/W}$   
 $\theta_{JC} = 45^{\circ}\text{C/W}$

販売代理店

マキシム・ジャパン株式会社

〒169 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)  
 TEL.(03)3232-6141 FAX.(03)3232-6149

Maxim cannot assume responsibility for use of any circuitry other than circuitry entirely embodied in a Maxim product. No circuit patent licenses are implied. Maxim reserves the right to change the circuitry and specifications without notice at any time.

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600