

# ノートブックコンピュータ用、 高効率、5倍出力、主電源コントローラ

## 概要

MAX1533A/MAX1537Aは同期整流を備えるデュアルステップダウン、スイッチモード電源(SMPS)コントローラで、バッテリー駆動システムにおいて5V/3.3Vの主電源を生成するように設計されています。最適なインタリーブでの固定周波数動作によって、最低入力電圧から26Vの最大入力まで入力リップル電流が最低限に抑制されます。40/60の最適なインタリーブによって、入力が10Vを下回るとデューティサイクルのオーバーラップが発生する180°逆位相レギュレータと比べて、デューティサイクルのオーバーラップが発生する前に入力電圧が最低8.3Vまで対応できるようにします。出力電流の検出は、検出抵抗を使用して高精度の電流を提供します。また、無損失のインダクタ電流検出によって電力損失を低減することができます。

5Vおよび3.3Vの内蔵リニアレギュレータは、外部キープアライブ負荷のほかに、MAX1533A/MAX1537Aとそのゲートドライバに最大合計100mAまで電源供給します。メインPWMレギュレータがレギュレーションの範囲内にあるときは、自動ブートストラップスイッチは内蔵のリニアレギュレータをバイパスし、各リニア出力から最大200mAの電流を供給します。5V~23Vに調整可能な150mAの内蔵追加リニアレギュレータは、標準的に2次巻線を使って12V電源の供給に使用することができます。

MAX1533A/MAX1537Aは、内蔵のパワーアップシーケンス、パワーグッド(PGOOD)出力、デジタルソフトスタート、およびシャットダウン時の負電圧を防止する内蔵のソフトシャットダウン出力放電を備えています。MAX1533Aは5mm x 5mmの32ピンTQFNパッケージで、MAX1537Aは6mm x 6mmの36ピンTQFNパッケージで提供されます。裏面エクスポーズドパッドによって熱特性が向上するため、要求が厳しいリニアキープアライブアプリケーションにも対応します。

## アプリケーション

2~4個のLi+ (リチウムイオン)セル用バッテリー駆動デバイス

ノートブックおよびサブノートブックコンピュータ  
PDAおよびモバイル通信機器

## 型番

PART	TEMP RANGE	PIN-PACKAGE
MAX1533AETJ	-40°C to +85°C	32 Thin QFN 5mm x 5mm
MAX1533AETJ+	-40°C to +85°C	32 Thin QFN 5mm x 5mm
MAX1537AETX	-40°C to +85°C	36 Thin QFN 6mm x 6mm
MAX1537AETX+	-40°C to +85°C	36 Thin QFN 6mm x 6mm

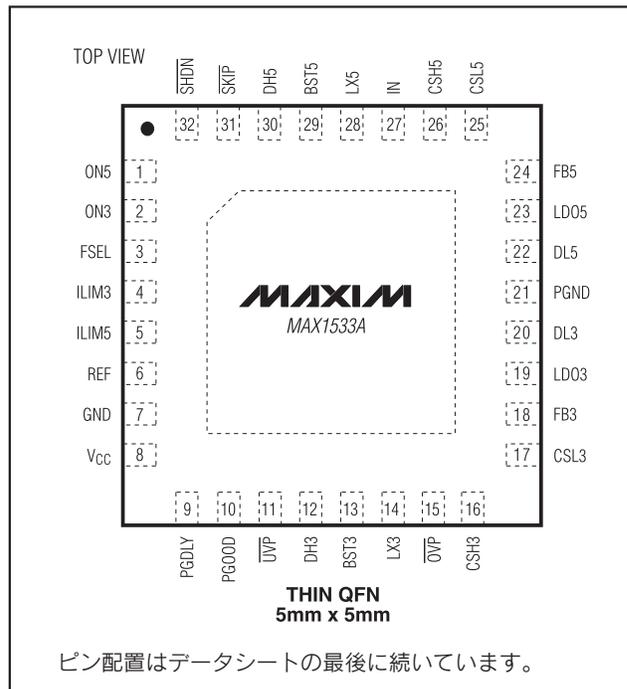
+は鉛フリーパッケージを示します。

Dual ModeはMaxim Integrated Products, Inc.の商標です。

## 特長

- ◆ 固定周波数、電流モード制御
- ◆ 40/60の最適なインタリーブ
- ◆ 高精度の差動電流検出入力
- ◆ 負荷能力が100mAの5Vおよび3.3Vのリニアレギュレータ内蔵
- ◆ 12Vまたは可変の補助の150mAリニアレギュレータ (MAX1537Aのみ)
- ◆ Dual-Mode™フィードバック：3.3V/5Vの固定または可変出力(Dual Mode)電圧
- ◆ スwitchング周波数：200kHz/300kHz/500kHz
- ◆ 多用途のパワーアップシーケンス
- ◆ 調整可能な過電圧/低電圧保護
- ◆ 入力電圧範囲：6V~26V
- ◆ リファレンス出力：2V ±0.75%
- ◆ パワーグッド出力
- ◆ ソフトシャットダウン
- ◆ シャットダウン電流：5μA (typ)

## ピン配置



# ノートブックコンピュータ用、 高効率、5倍出力、主電源コントローラ

MAX1533A/MAX1537A

## ABSOLUTE MAXIMUM RATINGS

IN,  $\overline{\text{SHDN}}$ , INA, LDOA to GND .....-0.3V to +30V  
 GND to PGND .....-0.3V to +0.3V  
 LDO5, LDO3, V<sub>CC</sub> to GND .....-0.3V to +6V  
 ILIM3, ILIM5, PGDLY to GND .....-0.3V to +6V  
 CSL3, CSH3, CSL5, CSH5 to GND .....-0.3V to +6V  
 ON3, ON5, FB3, FB5 to GND .....-0.3V to +6V  
 SKIP,  $\overline{\text{OVP}}$ , UVP to GND .....-0.3V to +6V  
 PGOOD, FSEL, ADJA, ONA to GND .....-0.3V to +6V  
 REF to GND .....-0.3V to (V<sub>CC</sub> + 0.3V)  
 DL3, DL5 to PGND .....-0.3V to (V<sub>LDO5</sub> + 0.3V)  
 BST3, BST5 to PGND .....-0.3V to +36V  
 LX3 to BST3 .....-6V to +0.3V  
 DH3 to LX3 .....-0.3V to (V<sub>BST3</sub> + 0.3V)

LX5 to BST5 .....-6V to +0.3V  
 DH5 to LX5 .....-0.3V to (V<sub>BST5</sub> + 0.3V)  
 LDO3, LDO5 Short Circuit to GND .....Momentary  
 REF Short Circuit to GND .....Momentary  
 INA Shunt Current .....+15mA  
 Continuous Power Dissipation (T<sub>A</sub> = +70°C)  
 32-Pin TQFN (derate 21.3mW/°C above +70°C) .....1702mW  
 36-Pin TQFN (derate 26.3mW/°C above +70°C) .....2105mW  
 Operating Temperature Range .....-40°C to +85°C  
 Junction Temperature .....+150°C  
 Storage Temperature Range .....-65°C to +150°C  
 Lead Temperature (soldering, 10s) .....+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(Circuit of Figure 1, V<sub>IN</sub> = 12V, both SMPS enabled, V<sub>CC</sub> = 5V, FSEL = REF,  $\overline{\text{SKIP}}$  = GND, V<sub>ILIM\_</sub> = V<sub>LDO5</sub>, V<sub>INA</sub> = 15V, V<sub>LDOA</sub> = 12V, I<sub>LDO5</sub> = I<sub>LDO3</sub> = I<sub>LDOA</sub> = no load, T<sub>A</sub> = 0°C to +85°C, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>INPUT SUPPLIES</b> (Note 1)						
V <sub>IN</sub> Input Voltage Range	V <sub>IN</sub>	LDO5 in regulation IN = LDO5, V <sub>OUT5</sub> < 4.43V	6 4.5		26 5.5	V
V <sub>IN</sub> Operating Supply Current	I <sub>IN</sub>	LDO5 switched over to CSL5		15	35	μA
V <sub>IN</sub> Standby Supply Current	I <sub>IN(STBY)</sub>	V <sub>IN</sub> = 6V to 26V, both SMPS off, includes I <sub>SHDN</sub>		100	170	μA
V <sub>IN</sub> Shutdown Supply Current	I <sub>IN(SHDN)</sub>	V <sub>IN</sub> = 6V to 26V, $\overline{\text{SHDN}}$ = GND		5	17	μA
Quiescent Power Consumption	P <sub>Q</sub>	Both SMPS on, FB3 = FB5 = $\overline{\text{SKIP}}$ = GND, V <sub>CSL3</sub> = 3.5V, V <sub>CSL5</sub> = 5.3V, V <sub>INA</sub> = 15V, I <sub>LDOA</sub> = 0, P <sub>IN</sub> + P <sub>CSL3</sub> + P <sub>CSL5</sub> + P <sub>INA</sub>		3.5	4.5	mW
V <sub>CC</sub> Quiescent Supply Current	I <sub>CC</sub>	Both SMPS on, FB3 = FB5 = GND, V <sub>CSL3</sub> = 3.5V, V <sub>CSL5</sub> = 5.3V		1.1	2.1	mA
<b>MAIN SMPS CONTROLLERS</b>						
3.3V Output Voltage in Fixed Mode	V <sub>OUT3</sub>	V <sub>IN</sub> = 6V to 26V, $\overline{\text{SKIP}}$ = V <sub>CC</sub> (Note 2)	3.280	3.33	3.380	V
5V Output Voltage in Fixed Mode	V <sub>OUT5</sub>	V <sub>IN</sub> = 6V to 26V, $\overline{\text{SKIP}}$ = V <sub>CC</sub> (Note 2)	4.975	5.05	5.125	V
Feedback Voltage in Adjustable Mode	V <sub>FB_</sub>	V <sub>IN</sub> = 6V to 26V, FB3 or FB5, duty factor = 20% to 80% (Note 2)	0.990	1.005	1.020	V
Output-Voltage Adjust Range		Either SMPS	1.0		5.5	V
FB3, FB5 Dual-Mode Threshold			0.1		0.2	V
Feedback Input Leakage Current		V <sub>FB3</sub> = V <sub>FB5</sub> = 1.1V	-0.1		+0.1	μA
DC Load Regulation		Either SMPS, $\overline{\text{SKIP}}$ = V <sub>CC</sub> , I <sub>LOAD</sub> = 0 to full load		-0.1		%

# ノートブックコンピュータ用、 高効率、5倍出力、主電源コントローラ

MAX1533A/MAX1537A

## ELECTRICAL CHARACTERISTICS (continued)

(Circuit of Figure 1,  $V_{IN} = 12V$ , both SMPS enabled,  $V_{CC} = 5V$ ,  $FSEL = REF$ ,  $\overline{SKIP} = GND$ ,  $V_{ILIM\_} = V_{LDO5}$ ,  $V_{INA} = 15V$ ,  $V_{LDOA} = 12V$ ,  $I_{LDO5} = I_{LDO3} = I_{LDOA} = \text{no load}$ ,  $T_A = 0^{\circ}\text{C to } +85^{\circ}\text{C}$ , unless otherwise noted. Typical values are at  $T_A = +25^{\circ}\text{C}$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
Line-Regulation Error		Either SMPS, duty cycle = 10% to 90%		1		%	
Operating Frequency (Note 1)	$f_{OSC}$	$FSEL = GND$	170	200	230	kHz	
		$FSEL = REF$	270	300	330		
		$FSEL = V_{CC}$	425	500	575		
Maximum Duty Factor (Note 1)	$D_{MAX}$	$FSEL = GND$	91	93		%	
		$FSEL = REF$	91	93			
		$FSEL = V_{CC}$	91	93			
Minimum On-Time	$t_{ON(MIN)}$	(Note 3)			200	ns	
SMPS3 to SMPS5 Phase Shift		SMPS5 starts after SMPS3		40		%	
				144		Deg	
<b>CURRENT LIMIT</b>							
ILIM_ Adjustment Range			0.5		$V_{REF}$	V	
Current-Sense Input Range		$CSH\_$ , $CSL\_$	0		5.5	V	
Current-Sense Input Leakage Current		$CSH\_$ , $V_{CSH\_} = 5.5V$	-1		+1	$\mu A$	
Current-Limit Threshold (Fixed)	$V_{LIMIT\_}$	$V_{CSH\_} - V_{CSL\_}$ , $ILIM\_ = V_{CC}$	70	75	80	mV	
Current-Limit Threshold (Adjustable)	$V_{LIMIT\_}$	$V_{CSH\_} - V_{CSL\_}$	$V_{ILIM\_} = 2.00V$	170	200	230	mV
			$V_{ILIM\_} = 1.00V$	91	100	109	
			$V_{ILIM\_} = 0.50V$	42	50	58	
Current-Limit Threshold (Negative)	$V_{NEG}$	$V_{CSH\_} - V_{CSL\_}$ , $\overline{SKIP} = V_{CC}$ , percent of current limit		-120		%	
Current-Limit Threshold (Zero Crossing)	$V_{ZX}$	$V_{PGND} - V_{LX\_}$ , $\overline{SKIP} = GND$ , $ILIM\_ = V_{CC}$		3		mV	
Idle-Mode™ Threshold	$V_{IDLE}$	$V_{CSH\_} - V_{CSL\_}$	$ILIM\_ = V_{CC}$	10	16	22	mV
			With respect to current-limit threshold ( $V_{LIMIT}$ )		20		%
ILIM_ Leakage Current		$ILIM3 = ILIM5 = GND$ or $V_{CC}$	-0.1		+0.1	$\mu A$	
Soft-Start Ramp Time	$t_{SS}$	Measured from the rising edge of $ON\_$ to full scale		512 / $f_{OSC}$		s	
<b>INTERNAL FIXED LINEAR REGULATORS</b>							
LDO5 Output Voltage	$V_{LDO5}$	$ON3 = ON5 = GND$ , $6V < V_{IN} < 26V$ , $0 < I_{LDO5} < 100mA$	4.80	4.95	5.10	V	
LDO5 Undervoltage-Lockout Fault Threshold		Rising edge, hysteresis = 1%	3.75	4.0	4.25	V	
LDO5 Bootstrap Switch Threshold		Rising edge of $CSL5$ , hysteresis = 1%	4.41		4.75	V	
LDO5 Bootstrap Switch Resistance		LDO5 to $CSL5$ , $V_{CSL5} = 5V$ , $I_{LDO5} = 50mA$		0.75	3	$\Omega$	

Idle ModeはMaxim Integrated Products, Inc.の商標です。

# ノートブックコンピュータ用、 高効率、5倍出力、主電源コントローラ

MAX1533A/MAX1537A

## ELECTRICAL CHARACTERISTICS (continued)

(Circuit of Figure 1,  $V_{IN} = 12V$ , both SMPS enabled,  $V_{CC} = 5V$ ,  $FSEL = REF$ ,  $\overline{SKIP} = GND$ ,  $V_{LIM\_} = V_{LDO5}$ ,  $V_{INA} = 15V$ ,  $V_{LDOA} = 12V$ ,  $I_{LDO5} = I_{LDO3} = I_{LDOA} = \text{no load}$ ,  $T_A = 0^{\circ}C \text{ to } +85^{\circ}C$ , unless otherwise noted. Typical values are at  $T_A = +25^{\circ}C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
LDO3 Output Voltage	$V_{LDO3}$	Standby mode, $6V < V_{IN} < 26V$ , $0 < I_{LOAD} < 100mA$	3.20	3.35	3.42	V
LDO3 Bootstrap Switch Threshold		Rising edge of CSL3, hysteresis = 1%	2.83		3.10	V
LDO3 Bootstrap Switch Resistance		LDO3 to CSL3, $V_{CSL3} = 3.2V$ , $I_{LDO3} = 50mA$		1	3	$\Omega$
Short-Circuit Current		LDO3 = LDO5 = GND, CSL3 = CSL5 = GND		150	220	mA
Short-Circuit Current (Switched Over to CSL <sub>-</sub> )		LDO3 = LDO5 = GND, $V_{CSL3} > 3.1V$ , $V_{CSL5} > 4.7V$	250			mA
<b>AUXILIARY LINEAR REGULATOR (MAX1537A ONLY)</b>						
LDOA Voltage Range	$V_{LDOA}$		5		23	V
INA Voltage Range	$V_{INA}$		6		24	V
LDOA Regulation Threshold, Internal Feedback		ADJA = GND, $0 < I_{LDOA} < 120mA$ , $V_{INA} > 13V$	11.4	12.0	12.4	V
ADJA Regulation Threshold, External Feedback	$V_{ADJA}$	$0 < I_{LDOA} < 120mA$ , $V_{LDOA} > 5.0V$ and $V_{INA} > V_{LDOA} + 1V$	1.94	2.00	2.06	V
ADJA Dual-Mode Threshold			0.1	0.15	0.2	V
ADJA Leakage Current		$V_{ADJA} = 2.1V$	-0.1		+0.1	$\mu A$
LDOA Current Limit		$V_{LDOA}$ forced to $V_{INA} - 1V$ , $V_{ADJA} = 1.9V$ , $V_{INA} > 6V$	150			mA
Secondary Feedback Regulation Threshold		$V_{INA} - V_{LDOA}$	0.65	0.8	0.95	V
DL Duty Factor		$V_{INA} - V_{LDOA} < 0.7V$ , pulse width with respect to switching period		33		%
INA Quiescent Current	$I_{INA}$	$V_{INA} = 24V$ , $I_{LDOA} = \text{no load}$		50	165	$\mu A$
INA Shunt Sink Current		$V_{INA} = 28V$	10			mA
INA Leakage Current	$I_{INA}(SHDN)$	$V_{INA} = 5V$ , LDOA disabled			30	$\mu A$
<b>REFERENCE (REF)</b>						
Reference Voltage	$V_{REF}$	$V_{CC} = 4.5V \text{ to } 5.5V$ , $I_{REF} = 0$	1.985	2.00	2.015	V
Reference Load Regulation		$I_{REF} = -10\mu A \text{ to } +100\mu A$	1.980		2.020	V
REF Lockout Voltage	$V_{REF}(UVLO)$	Rising edge, hysteresis = 350mV		1.95		V
<b>FAULT DETECTION</b>						
Output Overvoltage Trip Threshold		$\overline{OVP} = GND$ , with respect to error-comparator threshold	8	11	15	%
Output Overvoltage Fault-Propagation Delay	$t_{OVP}$	50mV overdrive		10		$\mu s$

# ノートブックコンピュータ用、 高効率、5倍出力、主電源コントローラ

MAX1533A/MAX1537A

## ELECTRICAL CHARACTERISTICS (continued)

(Circuit of Figure 1,  $V_{IN} = 12V$ , both SMPS enabled,  $V_{CC} = 5V$ ,  $FSEL = REF$ ,  $\overline{SKIP} = GND$ ,  $V_{ILIM\_} = V_{LDO5}$ ,  $V_{INA} = 15V$ ,  $V_{LDOA} = 12V$ ,  $I_{LDO5} = I_{LDO3} = I_{LDOA} = \text{no load}$ ,  $T_A = 0^\circ\text{C to } +85^\circ\text{C}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ\text{C}$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Output Undervoltage-Protection Trip Threshold		With respect to error-comparator threshold	65	70	75	%
Output Undervoltage Fault-Propagation Delay	$t_{UVP}$	50mV overdrive		10		$\mu\text{s}$
Output Undervoltage-Protection Blanking Time	$t_{BLANK}$	From rising edge of ON_		6144 / $f_{OSC}$		s
PGOOD Lower Trip Threshold		With respect to error-comparator threshold, hysteresis = 1%	-14	-10	-7.5	%
PGOOD Propagation Delay	$t_{PGOOD\_}$	Falling edge, 50mV overdrive		10		$\mu\text{s}$
PGOOD Output Low Voltage		$I_{SINK} = 4\text{mA}$			0.4	V
PGOOD Leakage Current	$I_{PGOOD\_}$	High state, PGOOD forced to 5.5V			1	$\mu\text{A}$
PGDLY Pullup Current		PGDLY = GND	4	5	6	$\mu\text{A}$
PGDLY Pulldown Resistance				10	25	$\Omega$
PGDLY Trip Threshold			REF-0.2	REF	REF+0.2	V
Thermal-Shutdown Threshold	$T_{SHDN}$	Hysteresis = 15°C		+160		°C
<b>GATE DRIVERS</b>						
DH_ Gate-Driver On-Resistance	$R_{DH}$	BST_ - LX_ forced to 5V		1.5	5	$\Omega$
DL_ Gate-Driver On-Resistance	$R_{DL}$	DL_, high state		1.7	5	$\Omega$
		DL_, low state		0.6	3	
DH_ Gate-Driver Source/Sink Current	$I_{DH}$	DH_ forced to 2.5V, BST_ - LX_ forced to 5V		2		A
DL_ Gate-Driver Source Current	$I_{DL}$	DL_ forced to 2.5V		1.7		A
DL_ Gate-Driver Sink Current	$I_{DL}(\text{SINK})$	DL_ forced to 2.5V		3.3		A
Dead Time	$t_{DEAD}$	DL_ rising		35		ns
		DH_ rising		26		
LX_, BST_ Leakage Current		$V_{BST\_} = V_{LX\_} = 26V$		<2	20	$\mu\text{A}$
<b>INPUTS AND OUTPUTS</b>						
Logic Input Voltage		$\overline{SKIP}$ , hysteresis = 600mV	High	2.4		V
			Low		0.8	
Fault Enable Logic Input Voltage		$\overline{OVP}$ , $\overline{UVP}$ , ONA	High	0.7 x $V_{CC}$		V
			Low		0.4	
Logic Input Current		$\overline{OVP}$ , $\overline{UVP}$ , $\overline{SKIP}$ , ONA	-1		+1	$\mu\text{A}$
$\overline{SHDN}$ Input Trip Level		Rising trip level	1.10	1.6	2.20	V
		Falling trip level	0.96	1	1.04	
ON_ Input Voltage		Clear fault level/SMPS off level			0.8	V
		Delay start level (REF)	1.9		2.1	
		SMPS on level	2.4			

# ノートブックコンピュータ用、 高効率、5倍出力、主電源コントローラ

MAX1533A/MAX1537A

## ELECTRICAL CHARACTERISTICS (continued)

(Circuit of Figure 1,  $V_{IN} = 12V$ , both SMPS enabled,  $V_{CC} = 5V$ , FSEL = REF,  $\overline{SKIP} = GND$ ,  $V_{ILIM\_} = V_{LDO5}$ ,  $V_{INA} = 15V$ ,  $V_{LDOA} = 12V$ ,  $I_{LDO5} = I_{LDO3} = I_{LDOA} = \text{no load}$ ,  $T_A = 0^{\circ}C \text{ to } +85^{\circ}C$ , unless otherwise noted. Typical values are at  $T_A = +25^{\circ}C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
FSEL Three-Level Input Logic		High	$V_{CC} - 0.2$			V
		REF	1.7		2.3	
		GND			0.4	
Input Leakage Current		$\overline{OVP}$ , $\overline{UVP}$ , $\overline{SKIP}$ , ONA, ON3, ON5 = GND or $V_{CC}$	-1		+1	$\mu A$
		$\overline{SHDN}$ , 0V or 26V	-1		+1	
		FSEL = GND or $V_{CC}$	-3		+3	
CSL_ Discharge-Mode On-Resistance	$R_{DISCHARGE}$			10	25	$\Omega$
CSL_ Synchronous-Rectifier Discharge-Mode Turn-On Level			0.2	0.3	0.4	V

## ELECTRICAL CHARACTERISTICS

(Circuit of Figure 1,  $V_{IN} = 12V$ , both SMPS enabled,  $V_{CC} = 5V$ , FSEL = REF,  $\overline{SKIP} = GND$ ,  $V_{ILIM\_} = V_{LDO5}$ ,  $V_{INA} = 15V$ ,  $V_{LDOA} = 12V$ ,  $I_{LDO5} = I_{LDO3} = I_{LDOA} = \text{no load}$ ,  $T_A = -40^{\circ}C \text{ to } +85^{\circ}C$ , unless otherwise noted.) (Note 4)

PARAMETER	SYMBOL	CONDITIONS	MIN	MAX	UNITS
<b>INPUT SUPPLIES (Note 1)</b>					
$V_{IN}$ Input Voltage Range	$V_{IN}$	LDO5 in regulation	6	26	V
		IN = LDO5, $V_{OUT5} < 4.4V$	4.5	5.5	
$V_{IN}$ Operating Supply Current	$I_{IN}$	LDO5 switched over to CSL5, either SMPS on		35	$\mu A$
$V_{IN}$ Standby Supply Current	$I_{IN(STBY)}$	$V_{IN} = 6V \text{ to } 26V$ , both SMPS off, includes $\overline{SHDN}$		170	$\mu A$
$V_{IN}$ Shutdown Supply Current	$I_{IN(SHDN)}$	$V_{IN} = 6V \text{ to } 26V$		17	$\mu A$
Quiescent Power Consumption	$P_Q$	Both SMPS on, FB3 = FB5 = $\overline{SKIP} = GND$ , $V_{CSL3} = 3.5V$ , $V_{CSL5} = 5.3V$ , $V_{INA} = 15V$ , $I_{LDOA} = 0$ , $P_{IN} + P_{CSL3} + P_{CSL5} + P_{INA}$		4.5	mW
$V_{CC}$ Quiescent Supply Current	$I_{CC}$	Both SMPS on, FB3 = FB5 = GND, $V_{CSL3} = 3.5V$ , $V_{CSL5} = 5.3V$		2.5	mA
<b>MAIN SMPS CONTROLLERS</b>					
3.3V Output Voltage in Fixed Mode	$V_{OUT3}$	$V_{IN} = 6V \text{ to } 26V$ , $\overline{SKIP} = V_{CC}$ (Note 2)	3.28	3.38	V
5V Output Voltage in Fixed Mode	$V_{OUT5}$	$V_{IN} = 6V \text{ to } 26V$ , $\overline{SKIP} = V_{CC}$ (Note 2)	4.975	5.125	V
Feedback Voltage in Adjustable Mode	$V_{FB3}$ , $V_{FB5}$	$V_{IN} = 6V \text{ to } 26V$ , FB3 or FB5, duty factor = 20% to 80% (Note 2)	0.982	1.018	V
Output-Voltage Adjust Range		Either SMPS	1.0	5.5	V
FB3, FB5 Adjustable-Mode Threshold Voltage		Dual-mode comparator	0.1	0.2	V

# ノートブックコンピュータ用、 高効率、5倍出力、主電源コントローラ

MAX1533A/MAX1537A

## ELECTRICAL CHARACTERISTICS (continued)

(Circuit of Figure 1,  $V_{IN} = 12V$ , both SMPS enabled,  $V_{CC} = 5V$ ,  $FSEL = REF$ ,  $\overline{SKIP} = GND$ ,  $V_{ILIM\_} = V_{LDO5}$ ,  $V_{INA} = 15V$ ,  $V_{LDOA} = 12V$ ,  $I_{LDO5} = I_{LDO3} = I_{LDOA} = \text{no load}$ ,  $T_A = -40^{\circ}C \text{ to } +85^{\circ}C$ , unless otherwise noted.) (Note 4)

PARAMETER	SYMBOL	CONDITIONS	MIN	MAX	UNITS	
Operating Frequency (Note 1)	f <sub>OSC</sub>	FSEL = GND	170	230	kHz	
		FSEL = REF	240	330		
		FSEL = V <sub>CC</sub>	375	575		
Maximum Duty Factor (Note 1)	D <sub>MAX</sub>	FSEL = GND	91		%	
		FSEL = REF	91			
		FSEL = V <sub>CC</sub>	91			
Minimum On-Time	t <sub>ON(MIN)</sub>			250	ns	
<b>CURRENT LIMIT</b>						
ILIM_ Adjustment Range			0.5	V <sub>REF</sub>	V	
Current-Limit Threshold (Fixed)	V <sub>LIMIT_</sub>	V <sub>CSSL_</sub> - V <sub>CSSL_</sub> , ILIM_ = V <sub>CC</sub>	67	83	mV	
Current-Limit Threshold (Adjustable)	V <sub>LIMIT_</sub>	V <sub>CSSL_</sub> - V <sub>CSSL_</sub>	V <sub>ILIM_</sub> = 2.00V	170	230	mV
			V <sub>ILIM_</sub> = 1.00V	90	110	
			V <sub>ILIM_</sub> = 0.50V	40	60	
<b>INTERNAL FIXED LINEAR REGULATORS</b>						
LDO5 Output Voltage	V <sub>LDO5</sub>	ON3 = ON5 = GND, 6V < V <sub>IN</sub> < 26V, 0 < I <sub>LDO5</sub> < 100mA	4.8	5.1	V	
LDO5 Undervoltage-Lockout Fault Threshold		Rising edge, hysteresis = 1%	3.75	4.30	V	
LDO3 Output Voltage	V <sub>LDO3</sub>	Standby mode, 6V < V <sub>IN</sub> < 28V, 0 < I <sub>LOAD</sub> < 100mA	3.20	3.43	V	
<b>AUXILIARY LINEAR REGULATOR (MAX1537A ONLY)</b>						
LDOA Voltage Range	V <sub>LDOA</sub>		5	23	V	
INA Voltage Range	V <sub>INA</sub>		6	24	V	
LDOA Regulation Threshold, Internal Feedback		ADJA = GND, 0 < I <sub>LDOA</sub> < 120mA, V <sub>INA</sub> > 13V	11.40	12.55	V	
ADJA Regulation Threshold, External Feedback	V <sub>ADJA</sub>	0 < I <sub>LDOA</sub> < 120mA, V <sub>LDOA</sub> > 5.0V and V <sub>INA</sub> > V <sub>LDOA</sub> + 1V	1.94	2.08	V	
ADJA Dual-Mode Threshold		ADJA	0.10	0.25	V	
Secondary Feedback Regulation Threshold		V <sub>INA</sub> - V <sub>LDOA</sub>	0.63	0.97	V	
INA Quiescent Current	I <sub>INA</sub>	V <sub>INA</sub> = 24V, I <sub>LDOA</sub> = no load		165	μA	
<b>REFERENCE (REF)</b>						
Reference Voltage	V <sub>REF</sub>	V <sub>CC</sub> = 4.5V to 5.5V, I <sub>REF</sub> = 0	1.97	2.03	V	

# ノートブックコンピュータ用、 高効率、5倍出力、主電源コントローラ

MAX1533A/MAX1537A

## ELECTRICAL CHARACTERISTICS (continued)

(Circuit of Figure 1,  $V_{IN} = 12V$ , both SMPS enabled,  $V_{CC} = 5V$ , FSEL = REF,  $\overline{SKIP} = GND$ ,  $V_{ILIM\_} = V_{LDO5}$ ,  $V_{INA} = 15V$ ,  $V_{LDOA} = 12V$ ,  $I_{LDO5} = I_{LDO3} = I_{LDOA} = \text{no load}$ ,  $T_A = -40^{\circ}\text{C to } +85^{\circ}\text{C}$ , unless otherwise noted.) (Note 4)

PARAMETER	SYMBOL	CONDITIONS	MIN	MAX	UNITS
<b>FAULT DETECTION</b>					
Output Overvoltage Trip Threshold		$\overline{OVP} = GND$ , with respect to error-comparator threshold	+8	+15	%
Output Undervoltage-Protection Trip Threshold		With respect to error-comparator threshold	+65	+75	%
PGOOD Lower Trip Threshold		With respect to error-comparator threshold, hysteresis = 1%	-14.0	-7.0	%
PGOOD Output Low Voltage		$I_{SINK} = 4\text{mA}$		0.4	V
PGDLY Pulldown Resistance				25	$\Omega$
PGDLY Trip Threshold			REF-0.2	REF+0.2	V
<b>GATE DRIVERS</b>					
DH_ Gate-Driver On-Resistance	$R_{DH}$	BST_ - LX_ forced to 5V		5	$\Omega$
DL_ Gate-Driver On-Resistance	$R_{DL}$	DL_, high state		5	$\Omega$
		DL_, low state		3	
<b>INPUTS AND OUTPUTS</b>					
Logic Input Voltage		$\overline{SKIP}$ , hysteresis = 600mV	High	2.4	V
			Low	0.8	
Fault Enable Logic Input Voltage		$\overline{OVP}$ , $\overline{UVP}$ , ONA	High	$0.7 \times V_{CC}$	V
			Low	0.4	
$\overline{SHDN}$ Input Trip Level		Rising trip level	1.1	2.2	V
		Falling trip level	0.95	1.05	
ON_ Input Voltage		Clear fault level		0.8	V
		SMPS off level		1.6	
		Delay start level (REF)	1.9	2.1	
		SMPS on level	2.4		
FSEL Three-Level Input Logic		High	$V_{CC} - 0.2$		V
		REF	1.7	2.3	
		GND		0.4	

**Note 1:** The MAX1533A/MAX1537A cannot operate over all combinations of frequency, input voltage ( $V_{IN}$ ), and output voltage. For large input-to-output differentials and high-switching frequency settings, the required on-time may be too short to maintain the regulation specifications. Under these conditions, a lower operating frequency must be selected. The minimum on-time must be greater than 150ns, regardless of the selected switching frequency. On-time and off-time specifications are measured from 50% point to 50% point at the DH\_ pin with LX\_ = GND,  $V_{BST\_} = 5V$ , and a 250pF capacitor connected from DH\_ to LX\_. Actual in-circuit times may differ due to MOSFET switching speeds.

**Note 2:** When the inductor is in continuous conduction, the output voltage has a DC regulation level lower than the error-comparator threshold by 50% of the ripple. In discontinuous conduction ( $\overline{SKIP} = GND$ , light load), the output voltage has a DC regulation level higher than the trip level by approximately 1% due to slope compensation.

**Note 3:** Specifications are guaranteed by design, not production tested.

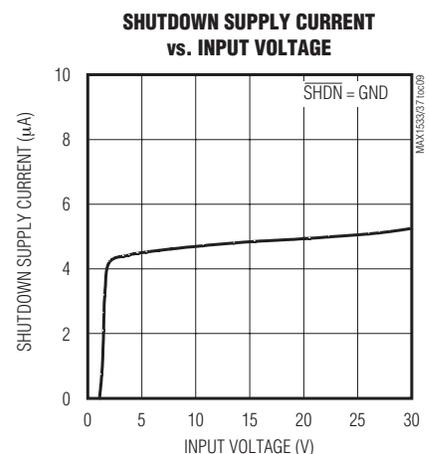
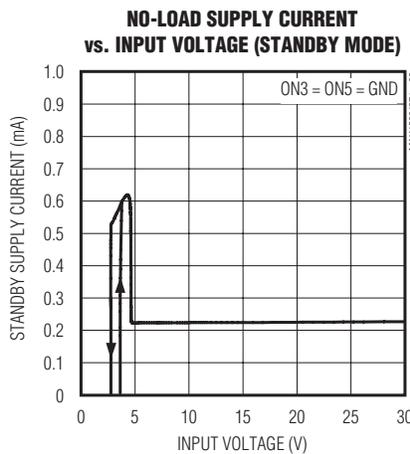
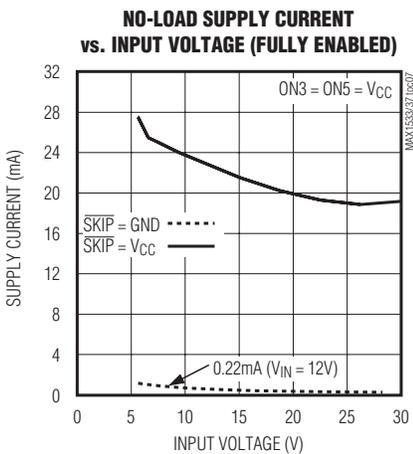
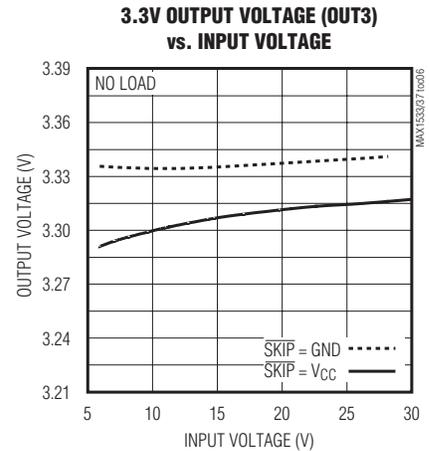
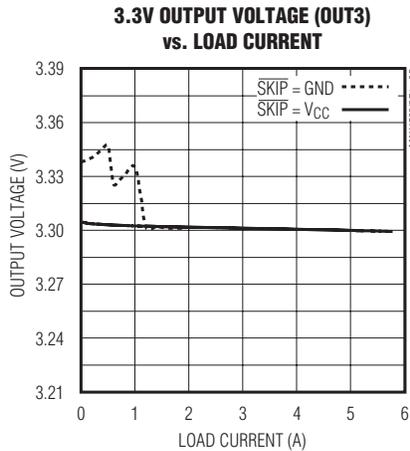
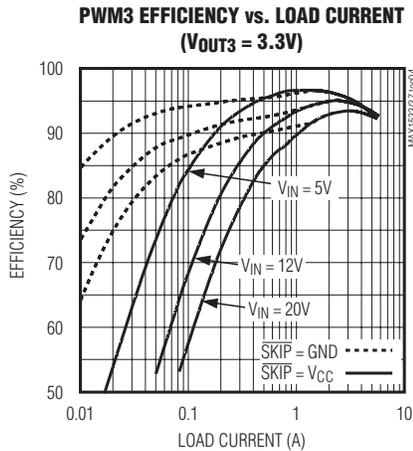
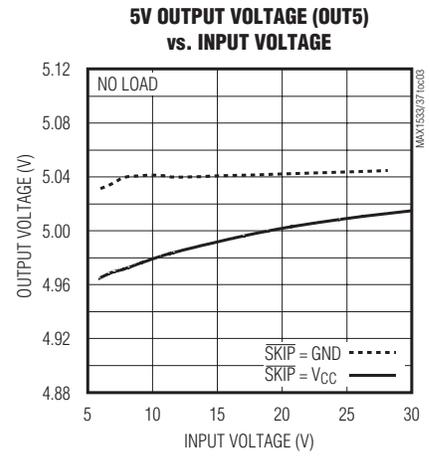
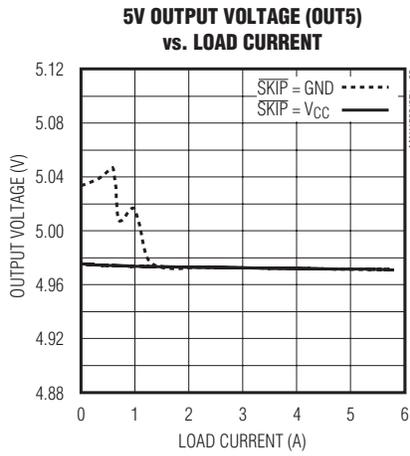
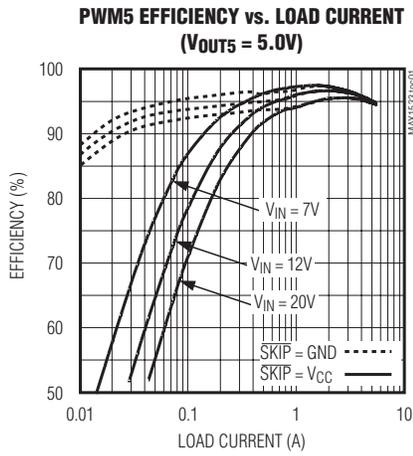
**Note 4:** Specifications to  $-40^{\circ}\text{C}$  are guaranteed by design, not production tested.

# ノートブックコンピュータ用、 高効率、5倍出力、主電源コントローラ

MAX1533A/MAX1537A

## 標準動作特性

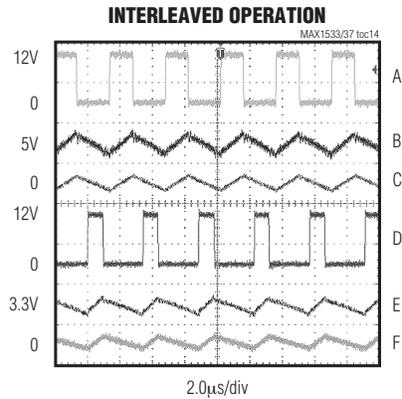
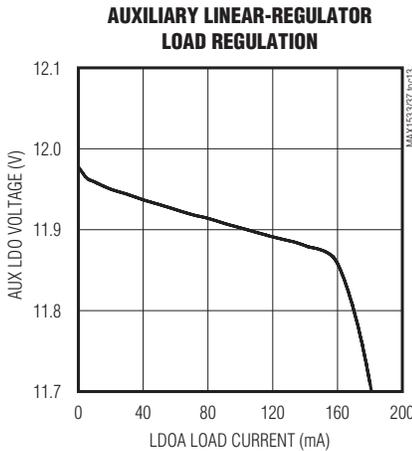
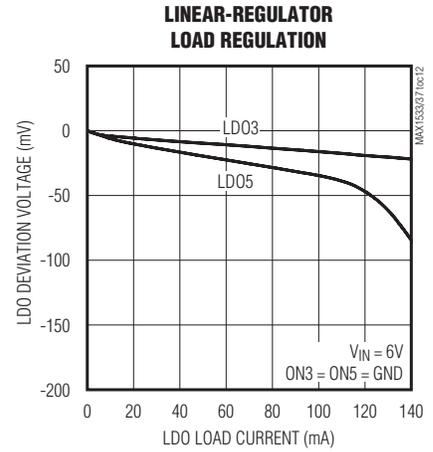
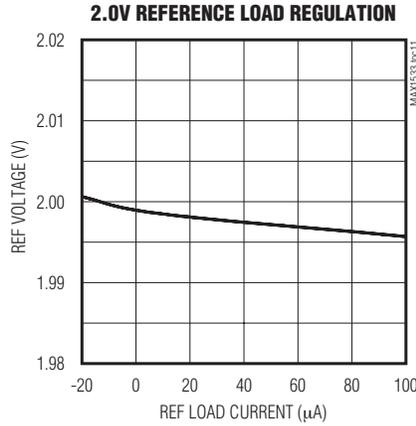
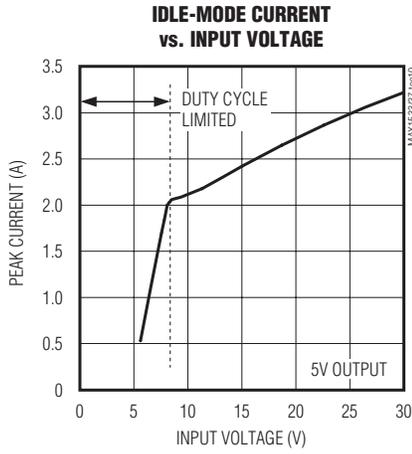
(MAX1537A circuit of Figure 1,  $V_{IN} = 12V$ ,  $LDO5 = V_{CC} = 5V$ ,  $\overline{SKIP} = GND$ ,  $FSEL = REF$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)



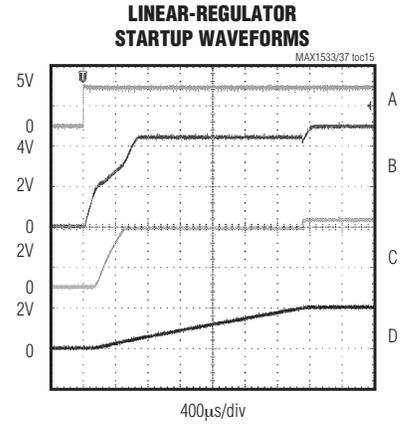
# ノートブックコンピュータ用、 高効率、5倍出力、主電源コントローラ

## 標準動作特性(続き)

(MAX1537A circuit of Figure 1,  $V_{IN} = 12V$ ,  $LDO5 = V_{CC} = 5V$ ,  $\overline{SKIP} = GND$ ,  $FSEL = REF$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)



- A. LX5, 10V/div
- B. 5V OUTPUT, 100mV/div
- C. PWM5 INDUCTOR CURRENT, 5A/div
- D. LX3, 10V/div
- E. 3.3V OUTPUT, 100mV/div
- F. PWM3 INDUCTOR CURRENT, 5A/div



- A.  $\overline{SHDN}$ , 5V/div
  - B. LDO5, 2V/div
  - C. LDO3, 2V/div
  - D. REF, 2V/div
- 100 $\Omega$  LOAD ON LDO5 AND LDO3

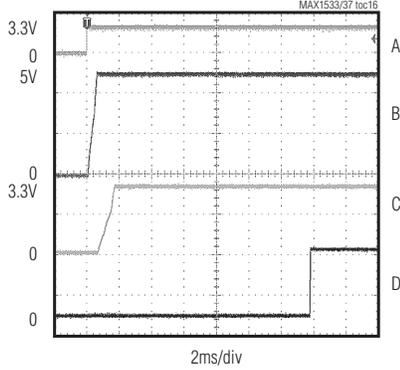
# ノートブックコンピュータ用、 高効率、5倍出力、主電源コントローラ

MAX1533A/MAX1537A

## 標準動作特性(続き)

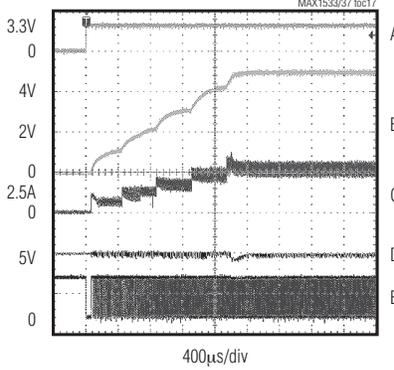
(MAX1537A circuit of Figure 1,  $V_{IN} = 12V$ ,  $LDO5 = V_{CC} = 5V$ ,  $\overline{SKIP} = GND$ ,  $FSEL = REF$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)

**DELAYED STARTUP WAVEFORM  
(LIGHT LOAD)**



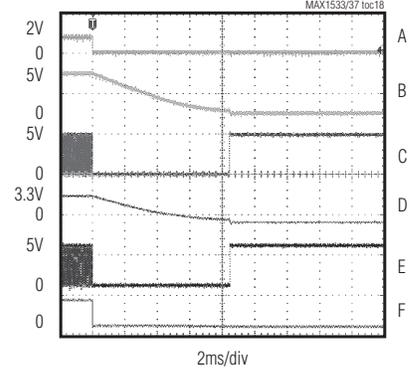
A. ON5, 5V/div  
B. 5V OUTPUT, 2V/div  
C. 3.3V OUTPUT, 2V/div  
D. PGOOD, 2V/div  
ON3 = ON5 =  $V_{CC}$ , OVP = GND

**STARTUP WAVEFORM (HEAVY LOAD)**



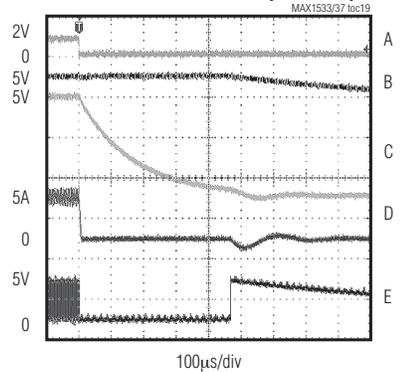
A. ON5, 5V/div  
B. 5V OUTPUT, 2V/div  
C. INDUCTOR CURRENT, 5A/div  
D. LDO5, 1V/div  
E. DL5, 5V/div  
1.0Ω LOAD

**SHUTDOWN WAVEFORM (NO LOAD)**



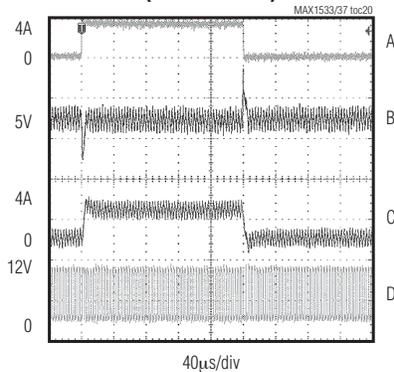
A.  $\overline{SHDN}$ , 5V/div  
B. 5V OUTPUT, 5V/div  
C. DL5, 5V/div  
D. 3.3V OUTPUT, 5V/div  
E. DL3, 5V/div  
F. PGOOD, 5V/div  
ON3 = ON5 =  $V_{CC}$ , OVP = GND

**SHUTDOWN WAVEFORM (1Ω LOAD)**



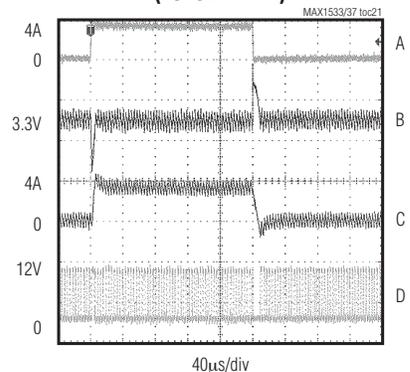
A.  $\overline{SHDN}$ , 5V/div  
B. LDO5, 2V/div  
C. 5V OUTPUT, 2V/div  
D. INDUCTOR CURRENT, 5A/div  
E. DL5, 5V/div  
ON3 = ON5 =  $V_{CC}$ , OVP = GND

**5V OUTPUT LOAD TRANSIENT  
(FORCED-PWM)**



A.  $I_{OUT5} = 0.2A$  TO 4A, 5A/div  
B.  $V_{OUT5} = 5.0V$ , 100mV/div  
C. INDUCTOR CURRENT, 5A/div  
D. LX5, 10V/div  
 $\overline{SKIP} = V_{CC}$

**3.3V OUTPUT LOAD TRANSIENT  
(FORCED-PWM)**



A.  $I_{OUT3} = 0.2A$  TO 4A, 5A/div  
B.  $V_{OUT3} = 3.3V$ , 100mV/div  
C. INDUCTOR CURRENT, 5A/div  
D. LX3, 10V/div  
 $\overline{SKIP} = V_{CC}$

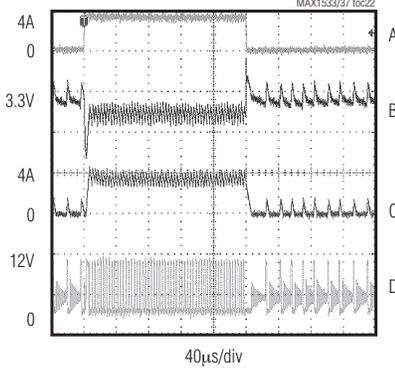
# ノートブックコンピュータ用、 高効率、5倍出力、主電源コントローラ

MAX1533A/MAX1537A

## 標準動作特性(続き)

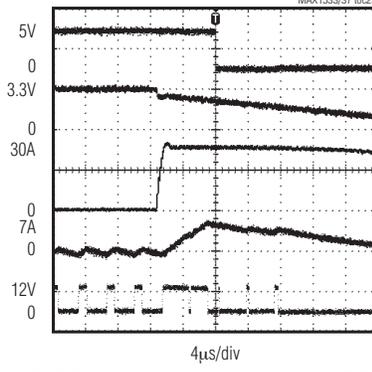
(MAX1537A circuit of Figure 1,  $V_{IN} = 12V$ ,  $LDO5 = V_{CC} = 5V$ ,  $\overline{SKIP} = GND$ ,  $FSEL = REF$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)

### 3.3V OUTPUT LOAD TRANSIENT (PULSE SKIPPING)



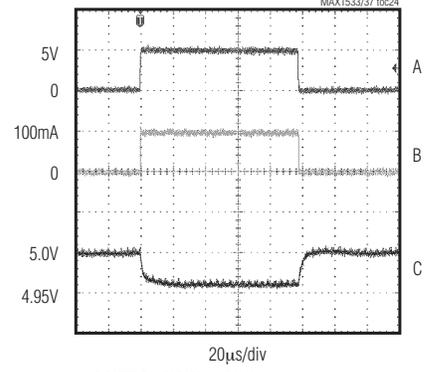
A.  $I_{OUT3} = 0.2A$  TO  $4A$ ,  $5A/div$   
 B.  $V_{OUT3} = 3.3V$ ,  $100mV/div$   
 C. INDUCTOR CURRENT,  $5A/div$   
 D. LX3,  $10V/div$   
 SKIP = GND

### OUTPUT OVERLOAD (UVP ENABLED)



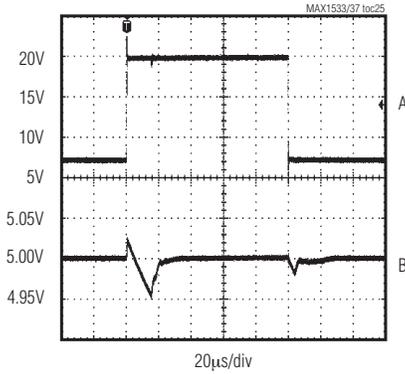
A. PGOOD2,  $5V/div$   
 B. 3.3V OUTPUT,  $3.3V/div$   
 C. LOAD (0 TO  $30A$ ),  $20A/div$   
 D. INDUCTOR CURRENT,  $10A/div$   
 E. LX3,  $20V/div$

### LDO5 LOAD TRANSIENT



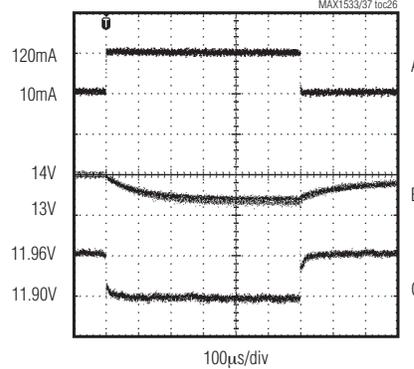
A. CONTROL SIGNAL,  $5V/div$   
 B.  $I_{LDO5} = 1mA$  TO  $100mA$ ,  $100mA/div$   
 C. LDO5,  $50mV/div$   
 ON3 = ON5 = GND

### LDO5 LINE TRANSIENT



A. INPUT VOLTAGE ( $V_{IN} = 7V$  TO  $20V$ ),  $5V/div$   
 B. LDO5 OUTPUT VOLTAGE,  $50mV/div$   
 ON3 = ON5 = GND,  $I_{LDO5} = 20mA$

### AUXILIARY LINEAR-REGULATOR LOAD TRANSIENT



A.  $I_{LDOA} = 10mA$  TO  $100mA$ ,  $100mA/div$   
 B. INA,  $1V/div$   
 C. LDOA,  $50mV/div$   
 INA = VOLTAGE GENERATED BY SECONDARY TRANSFORMER WINDING

# ノートブックコンピュータ用、 高効率、5倍出力、主電源コントローラ

MAX1533A/MAX1537A

## 端子説明

端子		名称	機能
MAX1533	MAX1537		
—	1	ADJA	補助フィードバック入力。補助リアレギュレータ出力電圧を調整するには、抵抗分圧器をLDOAとアナロググランドの間に接続してください。ADJAは2Vで安定化します。内部フィードバックを使って公称12V出力を得るには、ADJAをGNDに接続してください。
1	2	ON5	5V SMPSのイネーブル入力。ON5がSMPSのオンレベルよりも大きい場合は、5V SMPSはイネーブルされ、ON5がSMPSのオフレベルよりも低い場合はディセーブルされます。ON5をREFに接続すると、3.3V SMPSがレギュレーションに達した後に5V SMPSが起動します(遅延起動)。障害ラッチをリセットするには、ON5を障害クリアする値以下にしてください。
2	3	ON3	3.3V SMPSのイネーブル入力。ON3がSMPSのオンレベルよりも高い場合は3.3V SMPSはイネーブルされ、ON3がSMPSのオフレベルよりも低い場合はディセーブルされます。ON3をREFに接続すると、5V SMPSがレギュレーションに達した後に3.3V SMPSが起動します(遅延起動)。障害ラッチをリセットするには、ON3を障害クリアする値以下にしてください。
—	4	ONA	LDOA イネーブル入力。ONAがローになると、LDOAはハイインピーダンスになり、2次巻線制御はオフになります。ONAがハイになると、LDOAはオンになります。希望する自動起動シーケンスにするには、LDO3、LDO5、CSL3、CSL5、または他の出力に接続してください。
3	5	FSEL	周波数選択入力。この3レベルロジック入力は、コントローラのスイッチング周波数を設定します。 $V_{CC} = 500\text{kHz}$ 、 $REF = 300\text{kHz}$ 、 $GND = 200\text{kHz}$ の標準スイッチング周波数を選択するには、GND、REF、または $V_{CC}$ を選択して接続してください。
4	6	ILIM3	3.3V SMPSのピーク電流制限スレッショルド調整。ILIM3を $V_{CC}$ に接続すると、電流制限スレッショルドはデフォルトの75mVになります。可変モードでは、CSH3とCSL3間の電流制限スレッショルドは、500mV~2.0Vの範囲でILIM3の電圧のちょうど1/10です。75mVのデフォルト値に切り替えるためのロジックスレッショルドは、約 $V_{CC} - 1V$ です。
5	7	ILIM5	5V SMPSのピーク電流制限スレッショルド。ILIM5を $V_{CC}$ に接続すると、電流制限スレッショルドはデフォルトの75mVになります。可変モードでは、CSH5とCSL5間の電流制限スレッショルドは、500mV~2.0Vの範囲でILIM5の電圧のちょうど1/10です。75mVのデフォルト値に切り替えるためのロジックスレッショルドは、約 $V_{CC} - 1V$ です。
6	8	REF	2.0Vのリファレンス電圧出力。0.1 $\mu\text{F}$ 以上のセラミックコンデンサでREFをアナロググランドにバイパスしてください。リファレンスは外部負荷に最大100 $\mu\text{A}$ をソースすることができます。REFに負荷を接続すると、REFの負荷レギュレーション誤差に応じて出力電圧の精度が低下します。SHDNがローになると、リファレンスはシャットダウンされます。
7	9	GND	アナロググランド。裏面エクスポーズドパッドをGNDに接続してください。
8	10	V <sub>CC</sub>	アナログ電源電圧入力。20 $\Omega$ の直列抵抗を通じてシステム電源電圧(+4.5V~+5.5V)に接続してください。1 $\mu\text{F}$ 以上のセラミックコンデンサで $V_{CC}$ をアナロググランドにバイパスしてください。
9	11	PGDLY	パワーグッドのワンショット遅延。PGOODがハイになるのを遅延させるには、タイミングコンデンサをPGDLYに取り付けてください。PGDLYは、プルアップ電流が5 $\mu\text{A}$ で、プルダウン抵抗が10 $\Omega$ です。電源が正常でない場合は、プルダウンが作動します。電源が正常な場合はプルダウンがシャットオフされ、5 $\mu\text{A}$ のプルアップが作動します。PGDLYがREFを超えると、PGOODがイネーブルされます。

# ノートブックコンピュータ用、 高効率、5倍出力、主電源コントローラ

MAX1533A/MAX1537A

## 端子説明(続き)

端子		名称	機能
MAX1533	MAX1537		
10	12	PGOOD	オープンレインのパワーグッド出力。ソフトスタートやシャットダウン中に、いずれかの出力が標準レギュレーション点より10% (typ)以上下ると、PGOODはローになります。PGOODは、PGDLYワンショットタイムによって立上りエッジで遅延されます。両方のSMPS出力がレギュレーション範囲内にある場合は、PGOODはハイインピーダンスになります。
11	13	$\overline{\text{UVP}}$	低電圧障害保護制御。公称の70%であるデフォルトの過電圧スレッショルドを選択するには、UVPをGNDに接続してください。低電圧保護をディセーブルし、低電圧障害ラッチをクリアするには、V <sub>CC</sub> に接続してください。
12	14	DH3	3.3V SMPSのハイサイドゲートドライバ出力。DH3はLX3とBST3の間でスイングします。
13	15	BST3	3.3V SMPSのブーストフライイングコンデンサ接続。図6に示すように、外付けコンデンサとダイオードに接続してください。BST3と直列のオプションの抵抗によって、DH3プルアップ電流を調整することができます。
14	16	LX3	3.3V SMPSのインダクタ接続。LX3をインダクタのスイッチング側に接続してください。LX3は、DH3ハイサイドゲートドライバの下側電源経路として動作します。
15	17	$\overline{\text{OVP}}$	過電圧障害保護制御。公称から+11%上のデフォルトの過電圧スレッショルドを選択するには、OVPをGNDに接続してください。過電圧保護をディセーブルし、過電圧障害ラッチをクリアするには、V <sub>CC</sub> に接続してください。
16	18	CSH3	3.3V SMPSの正電流検出入力。電流検出素子の正端子に接続してください。図9は、2種類の電流検出オプションを図示しています。
17	19	CSL3	3.3V SMPSの負電流検出入力。電流検出素子の負端子に接続してください。図9は、2種類の電流検出オプションを図示しています。CSL3はLDO3のブートストラップ入力としても機能します。
18	20	FB3	3.3V SMPSのフィードバック入力。3.3Vの固定出力の場合は、GNDに接続してください。可変モードでは、FB3は1Vに安定化されます。
19	21	LDO3	3.3Vの内蔵リニアレギュレータ出力。2.2 $\mu$ F (min) (1 $\mu$ F/20mA)でバイパスしてください。100mA (min)を供給します。電源はLDO5から供給されます。CSL3が3V以上の場合は、リニアレギュレータはシャットダウンされ、定格負荷が最大200mAの1 $\Omega$ スイッチを通じてLDO3はCSL3に接続されます。
20	22	DL3	3.3V SMPSのローサイドゲートドライバ出力。DL3は、PGNDとLDO5間でスイングします。
21	23	PGND	電源グランド
22	24	DL5	5V SMPSのローサイドゲートドライバ出力。DL5は、PGNDとLDO5間でスイングします。
23	25	LDO5	5Vの内蔵リニアレギュレータ出力。2.2 $\mu$ F (min) (1 $\mu$ F/20mA)でバイパスしてください。3.3Vの内蔵リニアレギュレータのLDO3と同様に、BSTダイオードを通じてDL_ローサイドゲートドライバ、DH_ハイサイドドライバに電源を供給し、V <sub>CC</sub> 端子を通じてPWMコントローラ、ロジック、およびリファレンスに電源供給します。100mA (min)を外部負荷に供給します(ゲートドライバに対しては+25mA)。CSL5が4.5V以上の場合は、リニアレギュレータはシャットダウンされ、定格負荷が最大200mAの0.75 $\Omega$ スイッチを通じてLDO5はCSL5に接続されます。
24	26	FB5	5V SMPSのフィードバック入力。5Vの固定出力の場合は、GNDに接続してください。可変モードでは、FB5は1Vに安定化されます。

# ノートブックコンピュータ用、 高効率、5倍出力、主電源コントローラ

MAX1533A/MAX1537A

## 端子説明(続き)

端子		名称	機能
MAX1533	MAX1537		
25	27	CSL5	5V SMPSの負電流検出入力。電流検出素子の負端子に接続してください。図9は、2種類の電流検出オプションを図示しています。CSL5はLDO5のブートストラップ入力としても機能します。
26	28	CSH5	5V SMPSの正電流検出入力。電流検出素子の正端子に接続してください。図9は、2種類の電流検出オプションを図示しています。
27	29	IN	スタートアップ回路および5Vの内蔵リニアレギュレータLDO5の入力。ICに近接して0.22μFでPGNDにバイパスしてください。
28	30	LX5	5V SMPSのインダクタ接続。LX5をインダクタのスイッチング側に接続してください。LX5は、DH5ハイサイドゲートドライバの下側電源経路として機能します。
29	31	BST5	5V SMPSのブーストフライングコンデンサ接続。図6に示すように、外付けコンデンサとダイオードに接続してください。BST5と直列のオプションの抵抗器によって、DH5プルアップ電流を調整することができます。
30	32	DH5	5V SMPSのハイサイドゲートドライバ出力。DH5はLX5とBST5の間でスイングします。
31	33	SKIP	パルススキッピング制御入力。低ノイズ強制PWMモードにするには、V <sub>CC</sub> に接続してください。軽負荷の高効率パルススキッピングモードの場合は、GNDに接続してください。
32	34	SHDN	シャットダウン制御入力。V <sub>SHDN</sub> がSHDN入力の立下りエッジトリップレベルよりも低い場合は、デバイスは消費電流が5μAのシャットダウンモードに入り、V <sub>SHDN</sub> がSHDNの入力の立上りエッジトリップレベルを上回るとデバイスは再起動しません。自動起動させるには、SHDNをV <sub>IN</sub> に接続してください。プログラマブルな低電圧ロックアウトを実行するには、抵抗分圧器を通じてSHDNをV <sub>IN</sub> に接続してください。
—	35	INA	補助LDOAリニアレギュレータの電源電圧入力。INAは、内部シャントで26Vにクランプされます。
—	36	LDOA	150mAの可変(公称12V)補助リニアレギュレータ出力。入力電源はINAから供給されます。2.2μF (min) (1μF/20mA)でLDOAをGNDにバイパスしてください。2次フィードバックスレッショルドはINA - LDOA = 0.8Vに設定され、5V SMPSのみでDL5をトリガします。ONAをハイにすると、レギュレータ出力と2次レギュレーションがイネーブルされます。PGOODは、LDOAの状態によって影響を受けません。

# ノートブックコンピュータ用、 高効率、5倍出力、主電源コントローラ

MAX1533A/MAX1537A

表1. 標準アプリケーション用の部品選択

COMPONENT	5A/300kHz	5A/500kHz
Input Voltage	$V_{IN} = 7V$ to 24V	$V_{IN} = 7V$ to 24V
C <sub>IN</sub> , Input Capacitor	(2) 10 $\mu$ F, 25V Taiyo Yuden TMK432BJ106KM	(2) 10 $\mu$ F, 25V Taiyo Yuden TMK432BJ106KM
C <sub>OUT5</sub> , Output Capacitor	150 $\mu$ F, 6.3V, 40m $\Omega$ , low-ESR capacitor Sanyo 6TPB150ML	150 $\mu$ F, 6.3V, 40m $\Omega$ , low-ESR capacitor Sanyo 6TPB150ML
C <sub>OUT3</sub> , Output Capacitor	220 $\mu$ F, 4V, 40m $\Omega$ , low-ESR capacitor Sanyo 4TPB220ML	220 $\mu$ F, 4V, 40m $\Omega$ , low-ESR capacitor Sanyo 4TPB220ML
N <sub>H</sub> , High-Side MOSFET	Fairchild Semiconductor FDS6612A International Rectifier IRF7807V	Fairchild Semiconductor FDS6612A International Rectifier IRF7807V
N <sub>L</sub> , Low-Side MOSFET	Fairchild Semiconductor FDS6670S International Rectifier IRF7807VD1	Fairchild Semiconductor FDS6670S International Rectifier IRF7807VD1
D <sub>L</sub> , Schottky Rectifier (if needed)	2A, 30V, 0.45V <sub>f</sub> Nihon EC21QS03L	2A, 30V, 0.45V <sub>f</sub> Nihon EC21QS03L
Inductor/Transformer	T1 = 6.8 $\mu$ H, 1:2 turns Sumida 4749-T132 L1 = 5.8 $\mu$ H, 8.6A Sumida CDRH127-5R8NC	3.9 $\mu$ H Sumida CDRH124-3R9NC
R <sub>CS</sub>	10m $\Omega$ $\pm$ 1%, 0.5W resistor IRC LR2010-01-R010F or Dale WSL-2010-R010F	10m $\Omega$ $\pm$ 1%, 0.5W resistor IRC LR2010-01-R010F or Dale WSL-2010-R010F

表2. 部品メーカー

SUPPLIER	WEBSITE
AVX	www.avx.com
Central Semiconductor	www.centalsemi.com
Coilcraft	www.coilcraft.com
Coiltronics	www.coiltronics.com
Fairchild Semiconductor	www.fairchildsemi.com
International Rectifier	www.irf.com
Kemet	www.kemet.com

SUPPLIER	WEBSITE
Panasonic	www.panasonic.com/industrial
Sanyo	www.secc.co.jp
Sumida	www.sumida.com
Taiyo Yuden	www.t-yuden.com
TDK	www.component.tdk.com
TOKO	www.tokoam.com
Vishay (Dale, Siliconix)	www.vishay.com

## 詳細

MAX1533A/MAX1537Aの標準アプリケーション回路(図1)は、ノートブックコンピュータの代表的な主電源の5V/5Aおよび3.3V/5Aを生成します。入力電源電圧範囲は、7V~24Vです。部品の選択については表1を、部品メーカーについては表2を参照してください。

MAX1533A/MAX1537Aは、低電圧電源用に設計された2個のインタリーブ固定周波数ステップダウンコントローラを内蔵しています。オプションのインタリーブアーキテクチャは逆位相動作を保証し、入力コンデンサのリップルを低減します。2個の内蔵LDOは、5Vおよび3.3Vのキープアラライブ電源を生成します。MAX1537Aは、プリセットされた12V出力または可変出力に設定可能な補助LDOを備えています。

## 固定リニアレギュレータ(LDO5およびLDO3)

2個の内蔵レギュレータは、プリセットされた5V (LDO5)と3.3V (LDO3)の低電力出力を生成します。LDO5はLDO3の外付けMOSFETのゲートドライバに電源供給し、SMPSアナログ制御、リファレンス、およびロジックブロックに必要なバイアス電源( $V_{CC}$ )を供給します。LDO5は、選択した外付けMOSFETやスイッチング周波数に応じて、標準で5mA~50mAの範囲で変動するMOSFETゲート駆動などの内部および外部負荷に100mA以上を供給します。また、LDO3は外部負荷に100mA以上を供給します。内部および外部負荷電流が20mA増えるごとに1.0 $\mu$ Fずつ増やして、2.2 $\mu$ F以上の出力コンデンサでLDO5とLDO3をバイパスしてください。

# ノートブックコンピュータ用、 高効率、5倍出力、主電源コントローラ

MAX1533A/MAX1537A

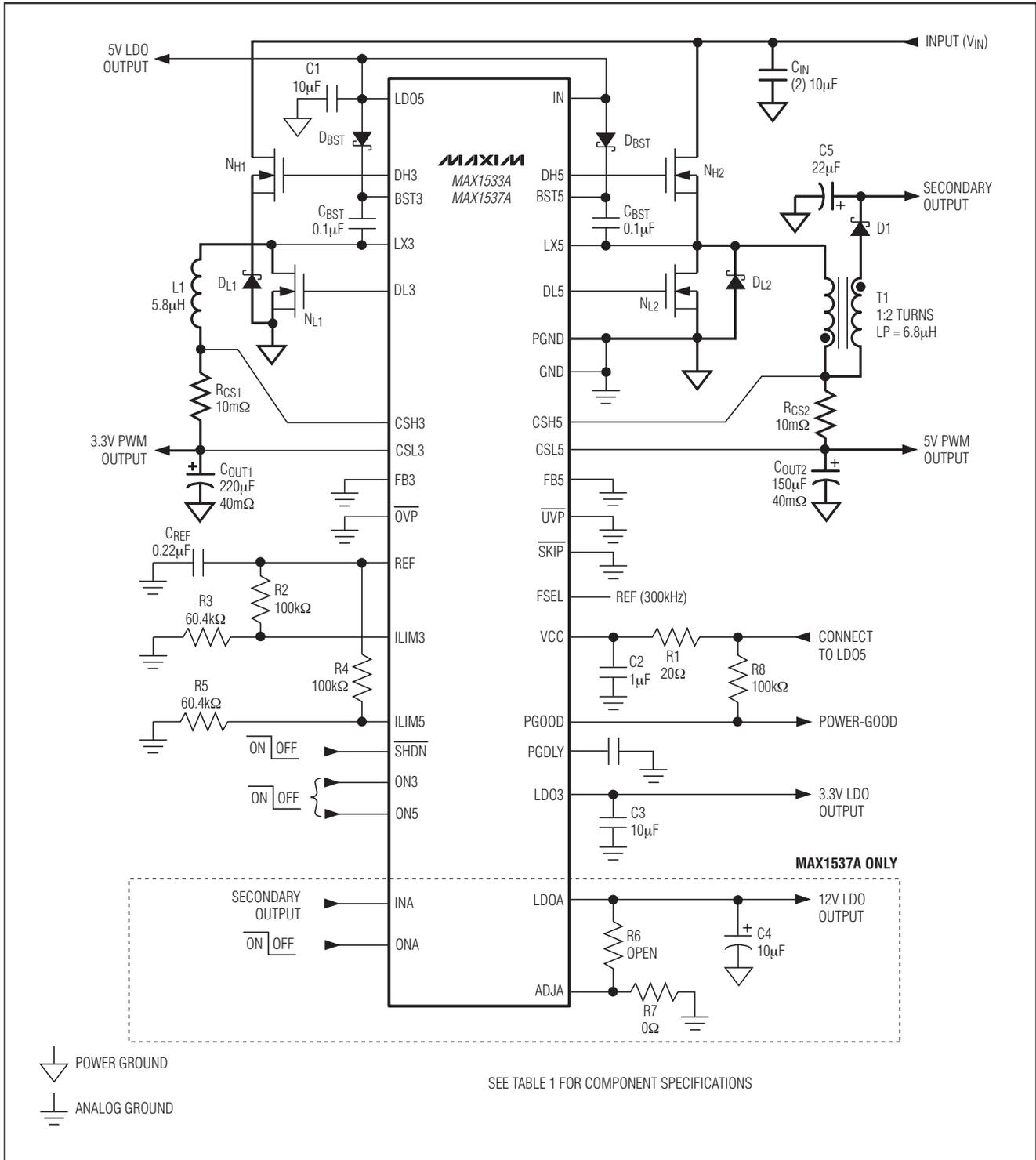


図1. MAX1533A/MAX1537Aの標準動作回路

# ノートブックコンピュータ用、 高効率、5倍出力、主電源コントローラ

## SMPSからLDOブートストラップへの切替え

5Vのメイン出力電圧がLDO5のブートストラップ切替えスレッショルドよりも高くなると、0.75Ω (typ)の内蔵pチャンネルMOSFETはCSL5をLDO5に短絡させると同時に、リニアレギュレータLDO5をシャットダウンします。同様に、3.3Vのメイン出力電圧がLDO3のブートストラップ切替えスレッショルドよりも高くなると、1Ω (typ)の内蔵pチャンネルMOSFETスイッチはCSL3をLDO3に短絡させる同時に、リニアレギュレータLDO3をシャットダウンします。これらの動作によってデバイスはブートストラップされ、バッテリーからリニアレギュレータを経由するのではなく、出力SMPS電圧から内蔵回路および外部負荷に電源供給されます。効率が大幅に劣るリニアレギュレータからではなく、90%効率のスイッチモードソースから電源供給され、ゲート電荷および自己消費電力の低下のため、ブートストラッピングは消費電力を低減します。LDO\_出力が切り替わると、出力電流制限値は200mAに増加します。

## SMPS 5Vのバイアス電源(LDO5およびV<sub>CC</sub>)

Aスイッチモード電源(SMPS)には、ハイパワー入力電源(バッテリーまたはACアダプタ)のほかに5Vのバイアス電源が必要です。この5Vのバイアス電源は、MAX1533A/MAX1537Aの内蔵の5Vリニアレギュレータ(LDO5)によって生成されます。このブートストラップされたLDOによって、MAX1533A/MAX1537Aは単独でパワーアップすることができます。ゲートドライバの入力電源は、5Vの固定リニアレギュレータ出力(LDO5)に接続されています。したがって、5VのLDO電源は、V<sub>CC</sub> (PWMコントローラ)とゲートドライバ電源を供給する必要があるため、求められる最大消費電流は以下のようになります。

$$I_{BIAS} = I_{CC} + f_{sw} (Q_G(LOW) + Q_G(HIGH)) \\ = 5mA \text{ to } 50mA \text{ (typ)}$$

ここでは、I<sub>CC</sub>は1mA (typ)、f<sub>sw</sub>はスイッチング周波数、Q<sub>G(LOW)</sub>およびQ<sub>G(HIGH)</sub>はV<sub>GS</sub> = 5V時のMOSFETデータシートの総ゲート電荷仕様限界値です。

## リファレンス(REF)

2Vのリファレンスは、全温度範囲および全負荷範囲にわたって±1%の精度であるため、REFは高精度のシステムリファレンスとして役立ちます。0.22μF以上のセラミックコンデンサを使ってREFをGNDにバイパスしてください。リファレンスは最大100μAまでソースし、10μAをシンクして、外部負荷に対応しています。高精度の仕様(±0.5%)がメインSMPS出力電圧に必要な場合は、リファレンスに負荷がかからないようにしてください。リファレンスに負荷がかかると、リファレンス負荷レギュレーションの誤差のため、LDO5、LDO3、OUT5、およびOUT3の出力電圧がわずかに下降します。

## システムイネーブル/シャットダウン(SHDN)

MAX1533A/MAX1537Aを低電力シャットダウン状態にするには、SHDNが高精度のSHDN入力の立下りエッジトリップレベルよりも小さくなるようにしてください。シャットダウンモード中のMAX1533A/MAX1537Aの自己消費電流はわずか5μAです。シャットダウンモードがアクティブになるとリファレンスはオフになるため、シャットダウンから抜け出るためのスレッショルドの精度が低下します。確実に起動させるには、SHDNが2.2V (SHDN入力立上りエッジのトリップレベル)よりも高くなるようにしてください。自動シャットダウンおよび自動起動の場合は、SHDNをV<sub>IN</sub>に接続してください。SHDNの1Vの高精度立下りエッジスレッショルドを使って、特定の入力電圧レベルを検出し、デバイスをシャットダウンすることができます。シャットダウンされると、1.6Vの立上りエッジスレッショルドがアクティブになり、大部分のアプリケーションにとって十分なヒステリシスが得られます。

## SMPSの詳細

### SMPSのPOR、UVLO、およびソフトスタート

V<sub>CC</sub>が約1V以上になるとパワーオンリセット(POR)が行われ、低電圧、過電圧、およびサーマルシャットダウンの障害ラッチがリセットされます。POR回路によって、OVPがティセーブルの場合(OVP = V<sub>CC</sub>)、ローサイドドライバがローにプルされ、またOVPがイネーブルの場合(OVP = GND)、SMPSコントローラがアクティブになるまでローサイドドライバがハイになります。

5Vのバイアス電源(LDO5)が4Vの入力UVLOスレッショルドよりも低い場合は、V<sub>CC</sub>入力低電圧ロックアウト(UVLO)回路はスイッチングを抑制します。5Vのバイアス電源(LDO5)がこの入力UVLOスレッショルドを上回り、コントローラがイネーブルされていると、SMPSコントローラはスイッチングを開始し、出力電圧はソフトスタートによって上昇し始めます。

内蔵のデジタルソフトスタートによって起動中の内部電流制限レベルを徐々に上昇させて、入力サージ電流を低減します。MAX1533A/MAX1537Aは、ソフトスタート期間を5段階に区分しています。第1段階中は、各コントローラはその電流制限値を最大電流制限値のわずか20%に制限します。出力が128クロックサイクル(1 / f<sub>osc</sub>)以内にレギュレーションに達しない場合は、ソフトスタートは第2段階に入り、電流制限値はさらに20%増えます。512クロックサイクル(1 / f<sub>osc</sub>)後に最大電流制限値に達するまで、または出力が公称レギュレーション電圧に達するまでのいずれかが先に発生するまで、このプロセスが繰り返されます(「標準動作特性」のスタートアップ波形(startup waveforms)を参照)。

# ノートブックコンピュータ用、 高効率、5倍出力、主電源コントローラ

MAX1533A/MAX1537A

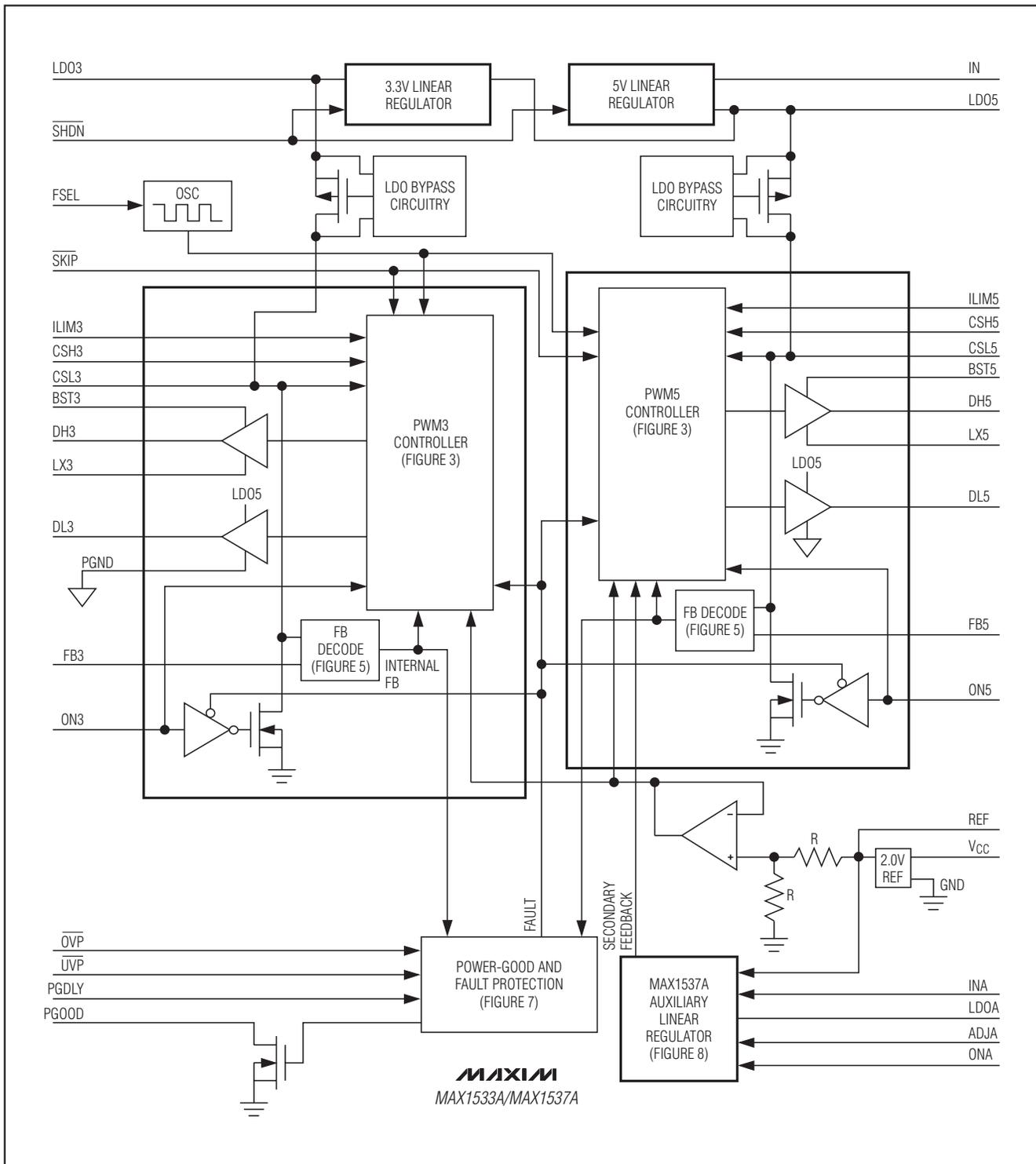


図2. MAX1533A/MAX1537Aのファンクションダイアグラム

# ノートブックコンピュータ用、 高効率、5倍出力、主電源コントローラ

表3. 動作モード

MODE	INPUTS*			OUTPUTS			
	SHDN	ON5	ON3	LDO5	LDO3	5V SMPS	3V SMPS
Shutdown Mode	LOW	X	X	OFF	OFF	OFF	OFF
Standby Mode	HIGH	LOW	LOW	ON	ON	OFF	OFF
Normal Operation	HIGH	HIGH	HIGH	ON	ON	ON	ON
3.3V SMPS Active	HIGH	LOW	HIGH	ON	ON	OFF	ON
5V SMPS Active	HIGH	HIGH	LOW	ON	ON	ON	OFF
Normal Operation (Delayed 5V SMPS Startup)	HIGH	REF	HIGH	ON	ON	ON Power-up after 3.3V SMPS is in regulation	ON
Normal Operation (Delayed 3.3V SMPS Startup)	HIGH	HIGH	REF	ON	ON	ON	ON Power-up after 5V SMPS is in regulation

\*SHDNは、立下りエッジスレッショルド電圧が1Vで、立上りエッジスレッショルド電圧が1.6Vの高精度の低電圧ロジック入力です。ON3およびON5は3レベルのCMOSロジック入力であり、ロジックロー電圧は0.8V以下、ロジックハイ電圧は2.4V以上、中間ロジックレベルは1.9V~2.1Vの間です(「Electrical Characteristics (電気的特性)」表を参照)。

## SMPSのイネーブル制御(ON3、ON5)

ON3およびON5によってSMPSのパワーアップシーケンスを制御します。ON3またはON5が2.4V以上になると、それぞれの出力がイネーブルされます。ON3またはON5が1.6V以下になると、それぞれの出力がディセーブルされます。ON<sub>レ</sub>を0.8V以下にドライブすると、過電圧、低電圧、およびサーマル障害ラッチがクリアされます。

## SMPSパワーアップシーケンス

ON3またはON5をREFに接続すると、他方の出力がレギュレーションに達しない間は、その対応する出力はオフになり、他方の出力がレギュレーションに達した後で起動されます。第1 SMPSのターンオフ、デバイスのシャットダウン、障害の発生、またはLDO5が低電圧ロックアウトになるまで、第2 SMPSはオン状態を維持します。第1電源がターンオフするとすぐに、両方の電源はパワーダウンシーケンスを開始します。

## 出力放電(ソフトシャットダウン)

スタンバイモードまたはシャットダウンモードへの遷移によって、出力放電がイネーブル(OVPがローにプルダウン)されてスイッチングレギュレータがディセーブルされたとき、あるいは出力低電圧障害が発生したときに、コントローラは出力電圧が0.3Vに降下するまで12Ωの内蔵スイッチを通じて両出力を放電します。これによって出力容量は緩やかに放電され、徐々に減衰するシャットダウン応答が行われます。このため、インダクタとローサイドMOSFETを通じた素早い出力放電によって生じるわずかに負の出力電圧が排除されます。

SMPS出力が0.3Vまで放電すると、そのローサイドドライバ(DL<sub>レ</sub>)はハイに強制されて、各SMPS出力をGNDにクランプします。リファレンスはアクティブ状態を維持し、高精度スレッショルドを保持して、過電圧保護を行います。両方のSMPSコントローラは、個別にソフトシャットダウン回路を内蔵しています。

出力放電がディセーブルされると( $\overline{OVP} = V_{CC}$ )、ローサイドドライバ(DL<sub>レ</sub>)とハイサイドドライバ(DH<sub>レ</sub>)はともにローにプルされ、LXがハイインピーダンス状態に強制されます。これらの出力はSMPSコントローラによって能動的に放電されないため、出力電圧の放電速度は出力容量と負荷電流のみで決定されます。

## 固定周波数、電流モードPWMコントローラ

各電流モードPWMコントローラの中心は、リファレンス電圧に対する出力電圧誤差信号とスロープ補償ランプの2つの信号を加算する、マルチ入力のオープンループコンパレータです(図3)。MAX1533A/MAX1537Aは直接加算構成を使用し、従来のエラーアンプとこれに関連する位相シフトを用いずに、出力電圧に対する理想的なサイクルごとの制御に対応しています。MAX1533A/MAX1537Aは比較的低いループ利得を使用するため、低コストの出力コンデンサを使用することができます。この低ループ利得によって-0.1% (typ)の負荷レギュレーション誤差がもたらされ、ユニティゲインクロスオーバー周波数を低いレベルにシフトすることによって出力コンデンサのサイズとコストを抑えることができます。



# ノートブックコンピュータ用、 高効率、5倍出力、主電源コントローラ

## 周波数の選択(FSEL)

FSEL入力は、PWMモードのスイッチング周波数を選択します。表4は、FSEL接続に基づくスイッチング周波数を示しています。高周波(500kHz)動作は、部品サイズを最小化するためのアプリケーションを最適化し、増加するスイッチング損失によって効率をトレードオフします。これは、負荷電流が比較的小さい超軽量の機器に適しています。低周波(200kHz)動作は、部品サイズと基板面積を犠牲にして総合効率を最適化します。

## 強制PWMモード

低ノイズの強制PWMモードでは、ローサイドスイッチのオンタイムを制御するゼロクロスコンパレータがディセーブルされます。これによって、ローサイドゲート駆動波形が常にハイサイドゲート駆動波形と相補的になるように強制されるため、インダクタ電流が軽負荷で反転するとともに、 $DH_{IN}$ は $V_{OUT}/V_{IN}$ のデューティファクタを維持します。強制PWMモードの利点は、スイッチング周波数がほぼ一定に維持されることですが、強制PWM動作は代償も大きく、5Vの無負荷消費電流は、外付けMOSFETとスイッチング周波数に応じて15mA~50mAに維持されます。

強制PWMモードは、オーディオ周波数ノイズを排除し、負荷過渡応答を向上するのに非常に有効です。強制PWM動作はゼロクロスコンパレータをディセーブルするため、インダクタ電流は軽負荷で反転します。

## 軽負荷動作制御(SKIP)

MAX1533A/MAX1537Aは、両コントローラのゼロクロスコンパレータを個別にイネーブルまたはディセーブルするために使用する、軽負荷動作モード制御入力(SKIP)を備えています。ゼロクロスコンパレータがイネーブルされている場合は、電流検出入力がゼロインダクタ電流を検出すると、コントローラは $DL_{IN}$ をローに強制します。これによってインダクタが出力コンデンサの放電を防ぎ、コントローラに軽負荷状態でパルススキップさせて、出力の過充電を回避します。ゼロクロスコンパレータがディセーブルされていると、コントローラは軽負荷状態でPWM動作を維持するように強制されます(強制PWM)。

表4. FSELの設定表

FSEL	SWITCHING FREQUENCY
VCC	500kHz
REF	300kHz
GND	200kHz

## アイドルモード電流の検出スレッショルド

出力電圧がフィードバックスレッショルドを超えたとき、および電流検出電圧がアイドルモード電流検出スレッショルドを超えたときに、ステップダウンコントローラのオンタイムが終了します。軽負荷状態では、オンタイムの持続時間はアイドルモード電流検出スレッショルドのみに依存し、このスレッショルドは、 $ILIM_{IN}$ で設定される最大負荷電流制限スレッショルドの約20%です。このため、コントローラがサイクルごとに最低限の電力をソースするように強制されます。出力の過充電を防止するために、出力電圧がフィードバックスレッショルド以下になるまで新たなオンタイムは開始することができません。ゼロクロスコンパレータはスイッチングレギュレータによる電流のシンクを防止するため、コントローラはパルスをスキップする必要があります。このため、コントローラは軽負荷状態で出力リップルの谷間をレギュレーションします。

## 自動パルススキッピングクロスオーバ

スキップモードでは、軽負荷でPFMへの固有の自動切替えが行われます(図4)。この切替えは、インダクタ電流のゼロクロスでローサイドスイッチのオンタイムを終了させるコンパレータから影響を受けます。ゼロクロスコンパレータは、ローサイドMOSFETの両端(PGNDと $LX_{IN}$ の間)でインダクタ電流を検出します。 $V_{PGND} - V_{LX_{IN}}$ が3mVのゼロクロス電流検出スレッショルド以下になると、コンパレータは $DL_{IN}$ をローに強制します(図3)。このメカニズムによって、パルススキッピングPFM動作と非スキッピングPWM動作間のスレッショルドが、連続および不連続のインダクタ電流動作間の境界(別名、「臨界導通」点)と一致するようになります。PFM/PWMクロスオーバが発生する負荷電流レベルの $I_{LOAD(SKIP)}$ は、次式から求められます。

$$I_{LOAD(SKIP)} = \frac{V_{OUT} (V_{IN} - V_{OUT})}{2 \times V_{IN} \times f_{SW} \times L}$$

軽負荷によってパルススキッピング動作が行われると、スイッチング波形はノイズが多く、非同期のように見える場合がありますが、これは高い軽負荷効率をもたらす正常な動作状態です。PFMノイズと軽負荷効率とのトレードオフは、インダクタ値を変更して行われます。通常、インダクタ値が小さい場合は効率対負荷曲線が広くなり、一方、インダクタ値が大きい場合は最大負荷の効率が向上し(コイル抵抗が一定の場合)、出力電圧リップルが低減します。大きなインダクタ値の使用による不利な点としては、物理的サイズの増大と、負荷過渡応答の悪化(特に低い入力電圧レベルでの)などがあります。

# ノートブックコンピュータ用、 高効率、5倍出力、主電源コントローラ

MAX1533A/MAX1537A

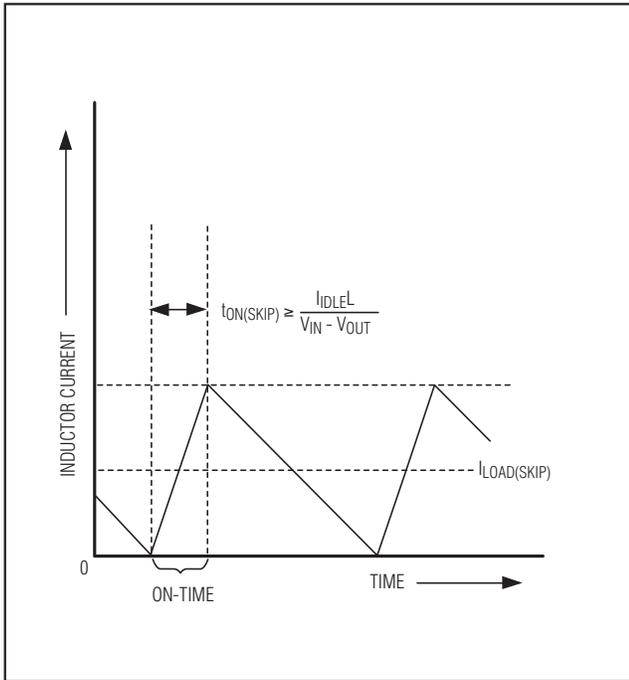


図4. パルススキッピング/不連続クロスオーバーポイント

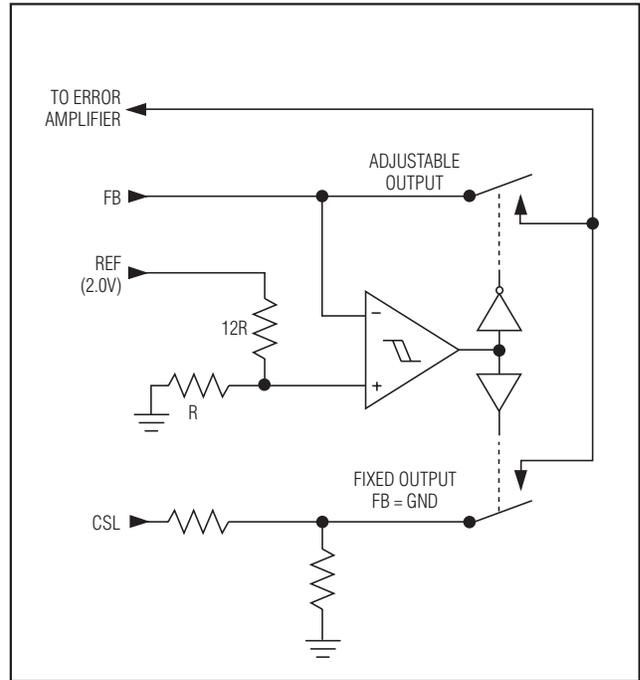


図5. デュアルモードフィードバックデコーダ

## 出力電圧

「Electrical Characteristics (電気的特性)」の表のDC出力精度の仕様は、エラーコンパレータのスレッシュホールドを示しています。インダクタが連続的に導通しているとき、MAX1533A/MAX1537Aは出力リップルのピーク値を安定化するため、実際のDC出力電圧はスロープ補償されたトリップレベルよりも出力リップル電圧の50%だけ下回ります。PWM動作(連続導通)の場合は、出力電圧は次式によって厳密に規定されます：

$$V_{OUT(PWM)} = V_{NOM} \left( 1 - \frac{A_{SLOPE} V_{NOM}}{V_{IN}} \right) - \left( \frac{V_{RIPPLE}}{2} \right)$$

ここで、 $V_{NOM}$ は公称出力電圧で、 $A_{SLOPE}$ は1%に等しく、 $V_{RIPPLE}$ は出力リップル電圧です(「出力コンデンサの選択」の項に記載のように、 $V_{RIPPLE} = ESR \times \Delta I_{INDUCTOR}$ )。

不連続導通( $I_{OUT} < I_{LOAD(SKIP)}$ )では、MAX1533A/MAX1537Aは出力リップルの谷間を安定化するため、出力電圧のDCレギュレーションレベルは、エラーコンパレータスレッシュホールドよりも高くなります。PFM動作(不連続導通)の場合は、出力電圧は次式によって近似されます：

$$V_{OUT(PFM)} = V_{NOM} + \frac{1}{2} \left( \frac{f_{SW}}{f_{OSC}} \right) I_{IDLE} \times ESR$$

ここで、 $V_{NOM}$ は公称出力電圧、 $f_{OSC}$ は内蔵発振器によって設定される最高スイッチング周波数、 $f_{SW}$ は実際のスイッチング周波数、 $I_{IDLE}$ はパルススキッピング時のアイドルモードインダクタ電流です。

## 可変/固定出力電圧(デュアルモードフィードバック)

プリセットされ、 $CSL_+$ とアナロググランド間に接続されている内蔵抵抗分圧器によって設定された固定SMPS出力電圧(それぞれ3.3Vおよび5V)をイネーブルするには、 $FB_3$ および $FB_5$ をGNDに接続してください。各出力電圧を1V~5.5Vに調整するには、抵抗分圧器を $CSL_+$ とGNDの間の $FB_+$ に接続してください(図5)。 $R_2$  ( $FB_+$ とGND間の抵抗)を約10kΩになるように選択して、次式を使用して $R_1$  ( $OUT$ と $FB_+$ 間の抵抗)を求めてください：

$$R_1 = R_2 \left( \frac{V_{OUT_+}}{V_{FB_+}} - 1 \right)$$

ここで、 $V_{FB_+} = 1V$  (公称)です。

# ノートブックコンピュータ用、 高効率、5倍出力、主電源コントローラ

両出力電圧を調整する際には、3.3V SMPSを5V SMPSよりも低く設定してください。CSL5がLDO5ブートストラップスレッシュホールド(4.56V)以上の場合に限り、LDO5は内蔵スイッチを通じて5V出力(CSL5)に接続されます。同様に、CSL3がLDO3ブートストラップスレッシュホールド(2.91V)以上の場合に限り、LDO3は内蔵スイッチを通じて3.3V出力(CSL3)に接続されます。固定出力電圧を使用すると、ブートストラップは最も有効に機能します。LDO<sub>n</sub>がCSL<sub>n</sub>からブートストラップされると、内蔵リニアレギュレータはオフになります。これは内部の電力損失を抑制し、高い入力電圧での効率を向上します。

## 電流制限保護(ILIM<sub>n</sub>)

電流制限回路は差動電流検出入力(CSH<sub>n</sub>およびCSL<sub>n</sub>)を使って、ピークインダクタ電流を制限します。電流検出信号の振幅が電流制限スレッシュホールドを超えると、PWMコントローラがハイサイドMOSFETをオフにします(図3)。内蔵発振器の次の立上りエッジでは、電流検出信号が電流制限スレッシュホールドを下回らない限り、PWMコントローラは新たなサイクルを開始しません。実際の最大負荷電流は、インダクタリップル電流の1/2に等しい大きさだけ、ピーク電流制限スレッシュホールドを下回ります。このため、最大負荷性能は、電流検出抵抗、インダクタ値、スイッチング周波数、およびデューティサイクル( $V_{OUT} / V_{IN}$ )の関数です。

強制PWMモードでは、 $V_{OUT}$ が電流をシンクしているとき、過度の逆インダクタ電流を防止するために、MAX1533A/MAX1537Aは負電流制限も使用します。負電流制限スレッシュホールドは正電流制限値の約120%に設定され、ILIM<sub>n</sub>の調整時に正電流制限値に追従します。

75mVのデフォルトスレッシュホールドの場合はILIM<sub>n</sub>を $V_{CC}$ に接続するか、またはILIM<sub>n</sub>の外付け抵抗分圧器によって電流制限スレッシュホールドを調整してください。精度とノイズ耐性を確保するために、2 $\mu$ A~20 $\mu$ Aの分圧器の電流を使用してください。電流制限スレッシュホールドの調整範囲は、50mV~200mVです。可変モードでは、電流制限スレッシュホールド電圧は、ILIM<sub>n</sub>の電圧のちょうど1/10になります。75mVのデフォルト値に切り替えるためのロジックスレッシュホールドは、約 $V_{CC}$ ~1Vです。

CSH<sub>n</sub>とCSL<sub>n</sub>で確認される差動電流検出信号がノイズやDC誤差によって劣化しないように、PCBレイアウトのガイドラインを厳守してください。ICを検出抵抗器の近くに短く直線の配線を取り付け、電流検出抵抗にケルビン検出接続してください。

## MOSFETゲートドライバ(DH<sub>n</sub>、DL<sub>n</sub>)

DH<sub>n</sub>およびDL<sub>n</sub>ドライバは、中サイズのハイサイドおよび大型のローサイドパワーMOSFETの駆動に最適化されています。これは、 $V_{IN} - V_{OUT}$ の差が大きいノートブックアプリケーションで見られる低デューティファクタに適合しています。ハイサイドゲートドライバ(DH<sub>n</sub>)は2Aをソースおよびシンクし、ローサイドゲートドライバ(DL<sub>n</sub>)は1.7Aをソースし3.3Aをシンクします。このため、大電流アプリケーションに対して強力なゲート駆動が保証されます。DH<sub>n</sub>のフローティングハイサイドMOSFETドライバは、BST<sub>n</sub>のダイオード-コンデンサチャージポンプによって給電され(図6)、DL<sub>n</sub>同期整流器ドライバは、5Vの固定リニアレギュレータ(LDO5)によって直接給電されます。

適応型デッドタイム回路はDL<sub>n</sub>およびDH<sub>n</sub>ドライバを監視し、どちらか一方のFETが完全にオフになるまで他方のFETがオンになるのを防止します。適応型ドライバデッドタイムによって、各種のMOSFETで貫通電流のない動作が可能になるため、遅延が最低限に抑えられ効率が維持されます。適応型デッドタイム回路が正常に動作するには、DL<sub>n</sub>およびDH<sub>n</sub>ドライバからMOSFETゲートまでの低抵抗、低インダクタンス経路が必要です。この経路がない場合は、MAX1533A/MAX1537Aの検出回路は、電荷が実際に残っているうちにMOSFETゲートが「オフ」であると判断します。ごく短い、幅広の配線を使用してください(MOSFETがデバイスから1インチの位置にある場合は、50mil~100milの幅)。

DL<sub>n</sub>をローに駆動する内蔵プルダウントランジスタは高性能で、オン抵抗は0.6 $\Omega$  (typ)です。このため、インダクタノード(LX<sub>n</sub>)がグラウンドから $V_{IN}$ に高速で切り替わるときに、ローサイドMOSFETのドレインとゲート間の容量性結合によってDL<sub>n</sub>がプルアップされるのを防止します。入力電圧が高くドライバの誘導性配線が長いアプリケーションでは、LX<sub>n</sub>の高速立上りエッジがローサイドMOSFETのゲートをプルアップして貫通電流が発生しないように、場合によってはゲート~ソース間容量を増やす必要があります。MOSFETのゲート~ドレイン間容量( $C_{RSS}$ )、ゲート~ソース間容量( $C_{ISS} - C_{RSS}$ )、およびその他の基板寄生容量によって生成されるLX<sub>n</sub>~DL<sub>n</sub>間の容量性結合は、以下の最低スレッシュホールドを超えてはいけません。

$$V_{GS(TH)} > V_{IN} \left( \frac{C_{RSS}}{C_{ISS}} \right)$$

スレッシュホールド電圧がロット間で変動すると、限界設計で問題が発生することがあります。また、BST<sub>n</sub>と直列に10 $\Omega$ 以下の抵抗器を接続すると、ハイサイドMOSFETのターンオン時間が増大することによって、ターンオフ時間を悪化させずに問題を改善することができる場合があります(図6)。

# ノートブックコンピュータ用、 高効率、5倍出力、主電源コントローラ

MAX1533A/MAX1537A

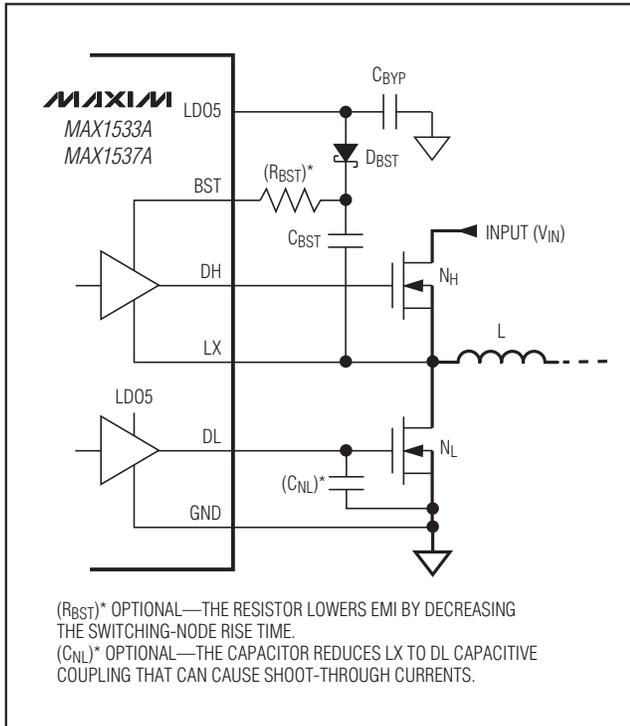


図6. オプションのゲートドライバ回路

## パワーグッド出力(PGOOD)

PGOODは、低電圧状態に対して両SMPS出力電圧を連続的に監視するコンパレータのオープンドレイン出力です。PGOODは、シャットダウン(SHDNまたはON3またはON5 = GND)、ソフトスタート、およびソフトシャットダウンの際に能動的にローに維持されます。デジタルソフトスタートが終了すると、両出力がFB<sub>1</sub>で設定された公称レギュレーション電圧の90%を上回っている限り、PGOODはハイインピーダンスになります。いずれかのSMPS出力がその公称レギュレーションポイントよりも10%下回った場合、出力過電圧障害が発生した場合、またはいずれかのSMPSコントローラがシャットダウンされた場合は、PGOODはローになります。ロジックレベルのPGOOD出力電圧の場合は、外付けプルアップ抵抗器をPGOODとV<sub>CC</sub>の間に接続してください。ほとんどのアプリケーションで100kΩのプルアップ抵抗器は正常に動作します。

PGOODは、障害保護状態のOVPとUVPから独立しています。

## 障害保護

### 出力過電圧保護(OVP)

いずれかのSMPSの出力電圧がその公称レギュレーション電圧の111%を上回り、かつOVP保護がイネーブルされていると(OVP = GND)、コントローラは障害ラッチ

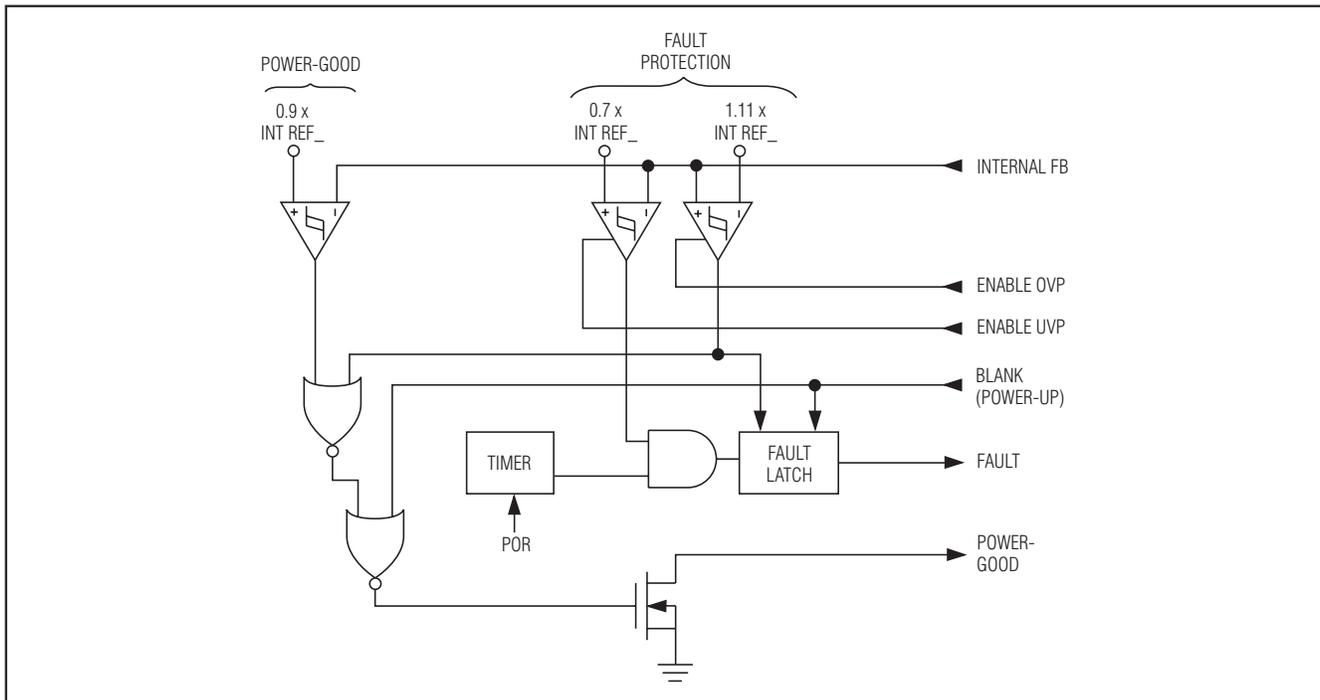


図7. パワーグッドと障害保護

# ノートブックコンピュータ用、 高効率、5倍出力、主電源コントローラ

を設定し、PGOODをローにプルし、両SMPSコントローラをシャットダウンし、直ちにDH<sub>1</sub>をローにプルして、DL<sub>1</sub>をハイに強制します。これで、同期整流器のMOSFETは100%デューティでオンになり、出力コンデンサを急速に放電して両出力をグランドにクランプします。ただし、DL<sub>1</sub>を即時にハイにラッチすると、OVPが発生した瞬間に出力LCに蓄えられたエネルギーによって、通常、わずかに負の出力電圧が発生します。負荷に負電圧に対する耐性がない場合は、逆極性クランプとして動作するパワーショットキダイオードを出力の両端に配置してください。過電圧を発生させた条件(ハイサイドMOSFETの短絡など)が持続する場合は、バッテリーヒューズが切れます。障害ラッチをクリアしてSMPSコントローラを再始動するには、V<sub>CC</sub>を1V以下でサイクルするか、もしくはON3、ON5、またはSHDNのいずれかをトグルしてください。

出力過電圧保護をディセーブルするには、 $\overline{OVP}$ をV<sub>CC</sub>に接続します。

## 出力低電圧保護(UVP)

各SMPSコントローラは、出力がイネーブル(ON<sub>1</sub>をハイにプル)された後に、出力の6144クロックサイクル(1 / f<sub>OSC</sub>)の監視を開始する出力UVP保護回路を内蔵しています。いずれかのSMPS出力電圧がその公称レギュレーション電圧の70%を下回り、かつUVP保護がイネーブルされていると(UVP = GND)、UVP回路は障害ラッチを設定し、PGOODをローにプルし、放電モードによって両コントローラをシャットダウンします(「出力放電(ソフトシャットダウン)」の項を参照)。SMPS出力電圧が0.3Vまで降下すると、その同期整流器がオンになり、放電された出力をGNDにクランプします。障害ラッチをクリアしてSMPSコントローラを再始動するには、V<sub>CC</sub>を1V以下でサイクルするか、もしくはON3、ON5、またはSHDNのいずれかをトグルしてください。

出力過電圧保護をディセーブルするには、 $\overline{UVP}$ をV<sub>CC</sub>に接続してください。

表5. 動作モードの真理値表

MODE	CONDITION	COMMENTS
Power-Up	LDO5 < UVLO threshold.	Transitions to discharge mode after V <sub>IN</sub> POR and after REF becomes valid. LDO5, LDO3, REF remain active. DL <sub>1</sub> is active if $\overline{OVP}$ is low.
Run	$\overline{SHDN}$ = high, ON3 or ON5 enabled.	Normal operation.
Output Overvoltage Protection (OVP)	Either output > 111% of nominal level, $\overline{OVP}$ = low.	Exited by POR or cycling $\overline{SHDN}$ , ON3, or ON5.
Output Undervoltage Protection (UVP)	Either output < 70% of nominal level, UVP is enabled 6144 clock cycles (1 / f <sub>OSC</sub> ) after the output is enabled and $\overline{UVP}$ = low.	Exited by POR or cycling $\overline{SHDN}$ , ON3, or ON5. If $\overline{OVP}$ is not high, DL3 and DL5 go high after discharge.
Discharge	$\overline{OVP}$ is low and either SMPS output is still high in either standby mode or shutdown mode.	Discharge switch (10Ω) connects CSL <sub>1</sub> to PGND. This is a temporary state entered when LDO5 is undervoltage or on the way to output UVLO, standby, shutdown, or thermal-shutdown states. One SMPS can be in discharge mode while the other is in run mode. If both outputs are discharged to 0.3V (on CSL <sub>1</sub> ), discharge mode transitions to the appropriate state.
Standby	ON5 and ON3 < startup threshold, $\overline{SHDN}$ = high.	DL <sub>1</sub> stays high if $\overline{OVP}$ is low. LDO3, LDO5 active.
Shutdown	$\overline{SHDN}$ = low.	All circuitry off.
Thermal Shutdown	T <sub>J</sub> > +160°C.	Exited by POR or cycling $\overline{SHDN}$ , ON3, or ON5. If $\overline{OVP}$ is not high, DL3 and DL5 go high before LDO5 turns off.
Switchover Fault	Excessive current on LDO3 or LDO5 switchover transistors.	Exited by POR or cycling $\overline{SHDN}$ , ON3, or ON5. If $\overline{OVP}$ is not high, DL3 and DL5 go high before LDO5 turns off.

# ノートブックコンピュータ用、 高効率、5倍出力、主電源コントローラ

## サーマル障害保護

MAX1533A/MAX1537Aは、サーマル障害保護回路を内蔵しています。ジャンクション温度が+160℃以上になると、温度センサが障害ラッチを作動し、PGOODをローにプルし、放電モードによって両SMPSコントローラをシャットダウンします(「出力放電(ソフトシャットダウン)」の項を参照)。SMPS出力電圧が0.3Vまで低下すると、その同期整流器がオンになり、放電された出力をGNDにクランプします。ジャンクション温度が15℃だけ冷えた後、障害ラッチをクリアしてコントローラを再始動するには、V<sub>CC</sub>を1V以下でサイクルするか、もしくはON3、ON5、またはSHDNのいずれかをトグルしてください。

## 補助LDOの詳細(MAX1537のみ)

MAX1537Aは、最大150mAの負荷電流を供給する補助リニアレギュレータを内蔵しています。出力(LDOA)は、PCMCIA電源要件や、携帯機器の負荷スイッチのゲートのバイアスに最適な12Vにプリセットすることができます。可変モードでは、LDOAを5V~23Vのどの値にでも設定することができます。補助レギュレータは独立したON/OFF制御を備えているため、不要な場合はこれをシャットダウンすることが可能で、システムが低電力状態にあるときの消費電力を低減します。

フライバック巻線制御ループは2次巻線出力を安定化し、1次出力が軽負荷のときや、入出力間の差電圧が低いときに、クロスレギュレーションを改善します。V<sub>INA</sub> - V<sub>LDOA</sub>が0.8Vよりも下ると、スイッチング周期の33%に相当する間、ローサイドスイッチがオンになります。これによって、インダクタ(1次)電流が反転し、出力フィルタコンデンサから電流が流れて、フライバックトランスが順方向モードで動作します。順方向モードではトランス2次側がローインピーダンスになるため、電流が2次出力に流れ、2次コンデンサが充電され、V<sub>INA</sub> - V<sub>LDOA</sub>がレギュレーションに戻ります。メイン(1次)出力が重負荷状態にある場合、2次フィードバックループは通常のフライバックモードでは2次出力の精度を向上しません。この状態では、2次出力の精度は、2次側整流器の電圧降下、トランスの巻数比、およびメイン出力電圧の精度によって決定されます。

## 可変LDOA電圧(デュアルモードフィードバック)

固定でプリセットの12V補助出力をイネーブルするには、ADJAをGNDに接続してください。各出力電圧を5V~23Vで調整するには、抵抗分圧器をLDOAとGND間のADJAに接続してください(図8)。R2 (ADJAとGND間の

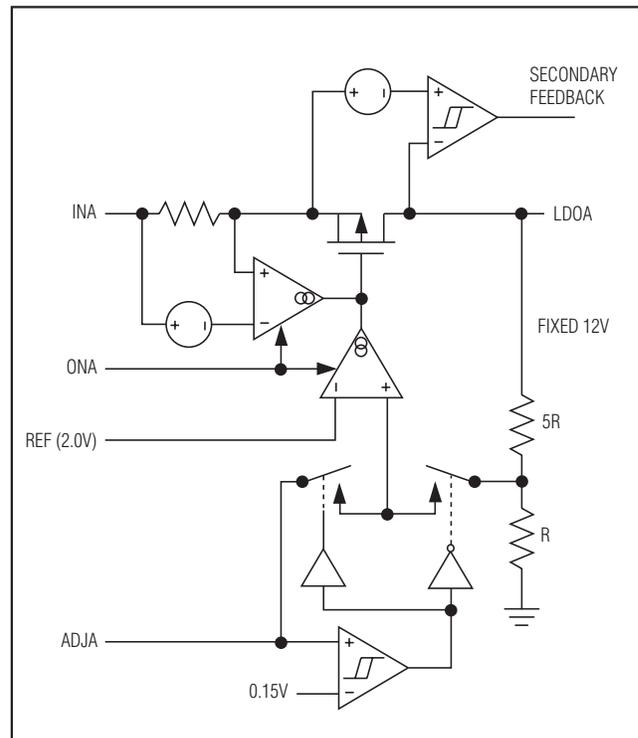


図8. リニアレギュレータのファンクションダイアグラム

抵抗)を約100kΩになるように選択して、次式を使ってR1 (LDOAとADJA間の抵抗)を求めてください:

$$R1 = R2 \left( \frac{V_{LDOA}}{V_{ADJA}} - 1 \right)$$

ここで、V<sub>ADJA</sub> = 2V (公称)です。

## 設計手順

スイッチング周波数とインダクタの動作点(リップル電流比)を選択する前に、入力電圧範囲と最大負荷電流を必ず決めてください。設計上の主なトレードオフは、適切なスイッチング周波数とインダクタ動作点の選択にあり、以下の4つの要素によってその他の設計が決まります。

- **入力電圧範囲。** 最大値(V<sub>IN(MAX)</sub>)は、ワーストケースの高いACアダプタ電圧に対応させる必要があります。最小値(V<sub>IN(MIN)</sub>)は、コネクタ、ヒューズ、およびバッテリーセレクトスイッチによる電圧降下後の最低バッテリー電圧に対応させる必要があります。適切に選択することができる場合は、入力電圧を低下させると効率が向上します。

# ノートブックコンピュータ用、 高効率、5倍出力、主電源コントローラ

- **最大負荷電流。**考慮すべき値は2つあります。ピーク負荷電流( $I_{LOAD(MAX)}$ )は瞬時の部品ストレスとフィルタ要件を決定するため、出力コンデンサの選択、インダクタの飽和定格、および電流制限回路の設計を余儀なくします。連続負荷電流( $I_{LOAD}$ )は熱ストレスを決定するため、入力コンデンサ、MOSFET、およびその他の重要な発熱部品の選択を余儀なくします。
- **スイッチング周波数。**この選択によって、サイズと効率間の基本的なトレードオフが決まります。MOSFETスイッチング損失は周波数と $V_{IN}^2$ に比例するため、最適な周波数は主に最大入力電圧の関数です。また、MOSFET技術の急速な進歩によってより高い周波数が実用化しつつあるため、最適な周波数は流動的です。
- **インダクタの動作点。**この選択によって、サイズと効率、過渡応答と出力ノイズ間のトレードオフが発生します。インダクタ値を小さくすると、過渡応答が向上して物理的サイズは小さくなりますが、リップル電流が増えるため、効率は低下して出力リップルは増大します。実用的な最小のインダクタ値は、臨界導通(最大負荷時にインダクタ電流が各サイクルでちょうどゼロに達する点)の端で回路が動作する値です。これよりもインダクタ値を小さくしても、小型化の利点はありません。最適な動作点は通常、リップル電流の20%~50%の範囲にあります。パルススキッピング(SKIPローで軽負荷)の場合、PFM/PWMの切替えが発生する負荷電流値もインダクタ値によって決まります。

## インダクタの選択

スイッチング周波数とインダクタの動作点によって、以下のようにインダクタ値が決まります。

$$L = \frac{V_{OUT} (V_{IN} - V_{OUT})}{V_{IN} f_{OSC} I_{LOAD(MAX)} LIR}$$

たとえば、 $I_{LOAD(MAX)} = 5A$ 、 $V_{IN} = 12V$ 、 $V_{OUT} = 5V$ 、 $f_{OSC} = 300kHz$ 、リップル電流30%あるいはLIR = 0.3の場合、以下ようになります。

$$L = \frac{5V \times (12V - 5V)}{12V \times 300kHz \times 5A \times 0.3} = 6.50\mu H$$

割り当てた寸法に適合する、DC抵抗ができる限り小さい低損失のインダクタを探してください。ほとんどのインダクタメーカは、1.0 $\mu H$ 、1.5 $\mu H$ 、2.2 $\mu H$ 、3.3 $\mu H$ などの標準値のインダクタを供給しています。また、

入力電圧範囲でLIRにより適切な妥協点を見出せる非標準値のものも探してください。スイングインダクタ(無負荷インダクタンスが電流の増加と共に直線的に減少するタイプ)を使用する場合は、適切にスケールされたインダクタンス値を使ってLIRを評価してください。選択したインダクタ値の場合は、実際のピークトゥピークインダクタリップル電流( $\Delta I_{INDUCTOR}$ )は次式で規定されます。

$$\Delta I_{INDUCTOR} = \frac{V_{OUT} (V_{IN} - V_{OUT})}{V_{IN} f_{OSC} L}$$

鉄粉は安価で200kHzで正常に動作可能ですが、通常、フェライトコアが最良の選択です。コアは、ピークインダクタ電流( $I_{PEAK}$ )で飽和しない十分な大きさである必要があります。

$$I_{PEAK} = I_{LOAD(MAX)} + \frac{\Delta I_{INDUCTOR}}{2}$$

## トランスの設計(MAX1537の補助出力用)

結合インダクタまたはトランスを5VのSMPSでインダクタの代わりに使用し、補助出力を新設することができます(図1)。5V出力が軽負荷状態の場合でも、2次フィードバックスレッショルドがDL5を自動的にトリガするため、MAX1537Aはこうしたアプリケーションに特に最適です。

メイン出力の設計において、補助電源の電源要件を検討する必要があります。トランスは、適切な巻数比とインダクタンスで、1次出力および2次出力の両方に必要な電流を供給するように設計する必要があります。これに応じて、同期整流器MOSFETの電力定格とMAX1537Aの電流制限値も調整する必要があります。入出力間の電圧差が極端に小さい場合、出力負荷レベルに大幅な違いがある場合、および巻数比が大きい場合は、巻線間容量、2次側の抵抗、リークインダクタンスなどの寄生トランスパラメータによって、設計が一層複雑になる場合があります。メイン出力と2次出力からの電力は統合され、メイン出力を基準とする等価電流が得られます。この合計電流を使って電流制限値を決定してください(「電流制限値の設定」の項を参照)。

$$I_{LOAD(MAX)} = P_{TOTAL} / V_{OUT5}$$

ここで、 $P_{TOTAL}$ はメイン出力と2次出力の合計で、 $I_{LOAD(MAX)}$ は1次インダクタンスを決定するために使用する最大出力電流です(「インダクタの選択」の項を参照)。

# ノートブックコンピュータ用、 高効率、5倍出力、主電源コントローラ

トランスの巻数比(N)は、次式から求められます。

$$N = \frac{V_{SEC} + V_{FWD}}{V_{OUT5} + V_{RECT} + V_{SENSE}}$$

ここで、 $V_{SEC}$ は必要な最小整流2次電圧、 $V_{FWD}$ は2次整流器の両端の順方向電圧降下、 $V_{OUT5(MIN)}$ はメイン出力電圧の最小値、 $V_{RECT}$ はオン状態での同期整流器MOSFETの両端の電圧降下です。トランスの2次リターンは、必要な巻数比を減らすために、通常、グランドではなく、メイン出力電圧に接続されます。この場合、前記のトランス巻数比の式で、2次電圧から $V_{OUT5}$ を差し引いてください( $V_{SEC} - V_{OUT5}$ )。結合インダクタアプリケーションの2次ダイオードは、60Vを超えるフライバック電圧に耐える必要があります。1N4001などの一般的なシリコン整流器も、低速すぎるため使用しないでください。MURS120などの高速シリコン整流器のみが選択対象になります。整流器両端のフライバック電圧は、次式のようにトランス巻数比に応じて $V_{IN} - V_{OUT}$ の差と関連します。

$$V_{FLYBACK} = V_{SEC} + (V_{IN} - V_{OUT5}) \times N$$

ここで、Nはトランス巻数比(2次巻線/1次巻線)で、 $V_{SEC}$ は最大2次DC出力電圧です。2次巻線がグランドではなく $V_{OUT5}$ に戻る場合は、上式において $V_{FLYBACK}$ から $V_{OUT5}$ を差し引いてください。また、ダイオードの逆方向ブレイクダウンの電圧定格は、リークインダクタンスによるリングングにも対応する必要があります。ダイオードの電流定格は、2次出力側のDC負荷電流の2倍以上である必要があります。

## 過渡応答

インダクタリップル電流は、特に $V_{IN} - V_{OUT}$ の差が小さいときは過渡応答性能にも影響を与えます。インダクタ値が小さい場合はインダクタ電流が早くスルーするため、急な負荷ステップによって出力フィルタコンデンサから流出した電荷が補充されます。全出力電圧サグは、インダクタがランプアップしている間の電圧サグと次のパルスが発生する前の電圧サグとの合計です。

$$V_{SAG} = \frac{L (\Delta I_{LOAD(MAX)})^2}{2C_{OUT} (V_{IN} \times D_{MAX} - V_{OUT})} + \frac{\Delta I_{LOAD(MAX)} (T - \Delta T)}{C_{OUT}}$$

ここで、 $D_{MAX}$ は最大デューティファクタ([Electrical Characteristics (電気的特性)]の表を参照)、Tはスイッチング周期( $1 / f_{OSC}$ )、 $\Delta T$ はPWMモード状態では $V_{OUT} /$

$V_{IN} \times T$ であり、またスキップモード状態では $L \times 0.2 \times I_{MAX} / (V_{IN} - V_{OUT})$ になります。インダクタの蓄積エネルギーに起因する最大負荷から無負荷への過渡中のオーバershootの大きさは、次式のように計算することができます。

$$V_{SOAR} = \frac{(\Delta I_{LOAD(MAX)})^2 L}{2C_{OUT} V_{OUT}}$$

## 電流制限値の設定

最小電流制限スレッショルドは、電流制限値が最小許容値にある場合、最大負荷電流に対応可能な十分な大きさである必要があります。ピークインダクタ電流は、 $I_{LOAD(MAX)}$ にリップル電流の1/2を加えた値で発生しますので、

$$I_{LIMIT} > I_{LOAD(MAX)} + \left( \frac{\Delta I_{INDUCTOR}}{2} \right)$$

です。

ここで、 $I_{LIMIT}$ は、最小電流制限スレッショルド電圧を電流検出抵抗( $R_{SENSE}$ )で割った値になります。デフォルト設定の場合、最小電流制限スレッショルドは70mVです。

デフォルトの電流制限スレッショルドの場合は、 $I_{LIM\_}$ を $V_{CC}$ に接続してください。可変モードでは、電流制限スレッショルドは、 $I_{LIM\_}$ の電圧のちょうど1/10になります。可変スレッショルドの場合は、 $I_{LIM\_}$ をセンタタップに接続した状態で、抵抗分圧器をREFとアナロググランド(GND)の間に接続してください。500mV~2Vの外部調整範囲は、50mV~200mVの電流制限スレッショルドに対応しています。電流制限を調整するときは、電流制限許容差が著しく不正確になるのを防ぐために、許容差が1%の抵抗と電流が約10 $\mu$ Aの分圧器を使用してください。

電流検出方式(図9)と振幅は、実現可能な電流制限精度と電力損失を決定します。一般に、電流検出制限値が大きくなると精度が厳密になりますが、消費する電力も大きくなります。大部分のアプリケーションは50mV~100mVの電流制限スレッショルド( $V_{LIMIT}$ )を採用しているため、検出抵抗を次式によって求めることができます。

$$R_{SENSE} = V_{LIMIT} / I_{LIM}$$

最良の電流検出精度と過電流保護を得るために、図9aに示すように、インダクタと出力間に許容差が1%の電流検出抵抗を使用してください。この構成はインダクタ

# ノートブックコンピュータ用、 高効率、5倍出力、主電源コントローラ

電流を常に監視するため、正確な電流制限保護が可能です。

また、あまり高精度の電流制限保護を必要としないハイパワーアプリケーションでは、下記の等価時定数を備える直列RC回路をインダクタの両端に接続することによって、電力損失全体を低減することができます(図9b)。

$$\frac{L}{R_L} = C_{EQ} \times R_{EQ}$$

ここで、 $R_L$ はインダクタの直列DC抵抗です。この構成では、電流検出抵抗がインダクタのDC抵抗に等しくなります( $R_{SENSE} = R_L$ )。インダクタメーカーが提供する最悪の場合のインダクタンスと $R_L$ の値を使用して、全温度範囲と全負荷範囲にわたるインダクタンスの低下に対して若干の余裕を持たせます。

## 出力コンデンサの選択

出力フィルタコンデンサの等価直列抵抗(ESR)は、出力リップルおよび負荷過渡要件を満たすのに十分低い値である必要があると同時に、安定性の要件を満たすの

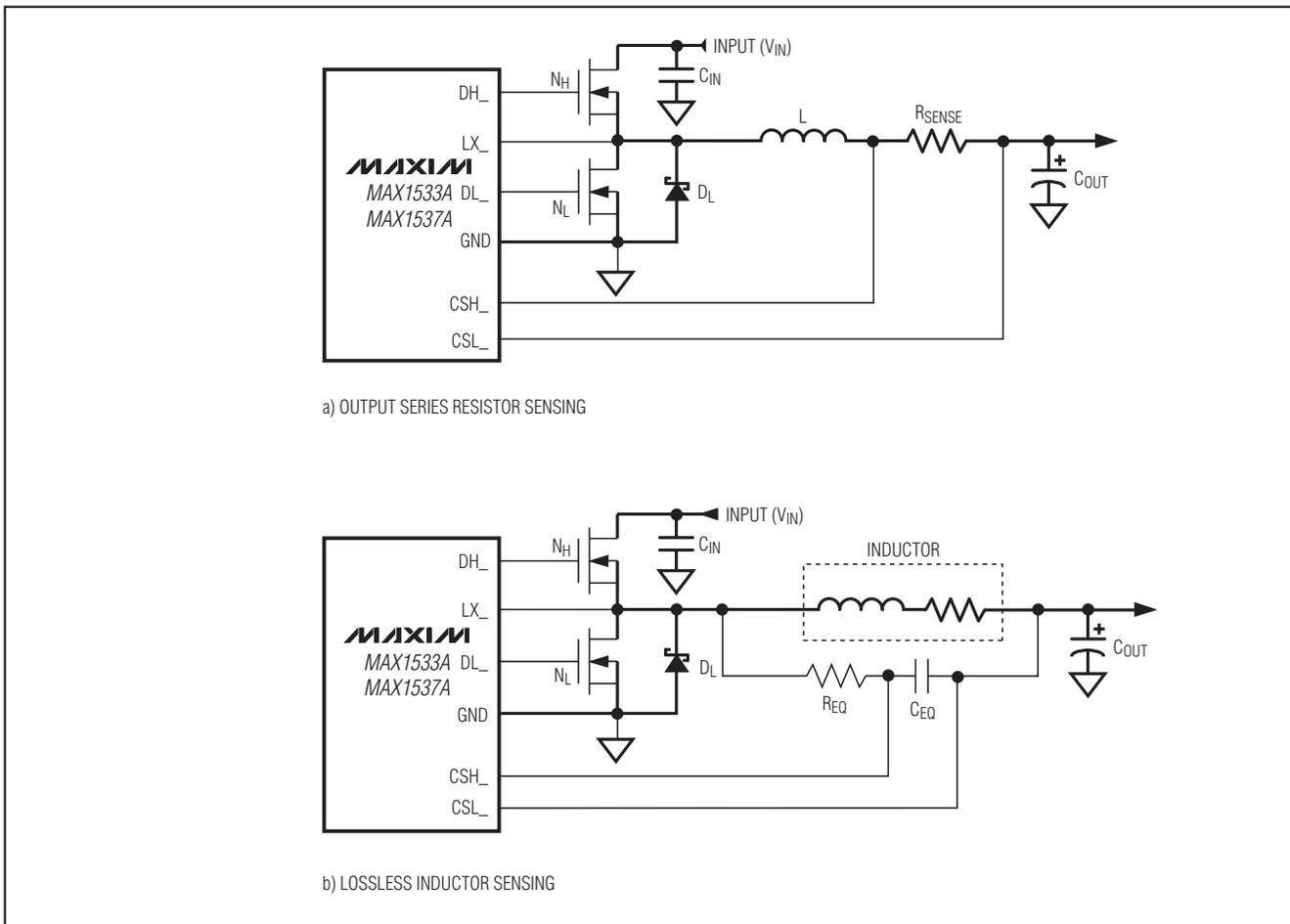


図9. 電流検出構成

# ノートブックコンピュータ用、 高効率、5倍出力、主電源コントローラ

に十分高い値である必要があります。出力容量は、過電圧障害保護が働くことなく、最大負荷状態から無負荷状態に移行する間にインダクタエネルギーを吸収するのに十分な容量である必要があります。大容量の低ESRコンデンサを使用するときは(「出力コンデンサの安定性に関して」の項を参照)、フィルタコンデンサのESRが出力電圧リップルを左右します。したがって、出力コンデンサのサイズは、下記の出力電圧リップル( $V_{RIPPLE(P-P)}$ )仕様を満たすのに必要な最大ESRに依存します。

$$V_{RIPPLE(P-P)} = R_{ESR} I_{LOAD(MAX)} LIR$$

アイドルモードでは、インダクタ電流が不連続になり、ピーク電流はアイドルモード電流検出スレッショルド( $V_{IDLE} = 0.2V_{LIMIT}$ )によって設定された値になります。アイドルモードでは、無負荷出力リップルを次のように求めることができます。

$$V_{RIPPLE(P-P)} = \frac{V_{IDLE} R_{ESR}}{R_{SENSE}}$$

実際に必要な容量値は、コンデンサの種類との相性のほかに、低ESRを得るのに必要な物理的サイズも関係します。このため、コンデンサは通常、容量値よりもむしろESRおよび電圧定格によって選択します(これはタンタル、OS-CON、ポリマ、およびその他の電解コンデンサにも該当)。セラミックコンデンサなどの低容量フィルタコンデンサを使用する場合は、サイズは通常、負荷過渡中の $V_{SAG}$ や $V_{SOAR}$ による問題発生を排除するのに必要な容量によって決まります。一般的に、オーバシュートの要件を満たすのに十分な容量が追加されると、負荷の立上りエッジにおけるアンダーシュートは問題にならなくなります(「過渡応答」の項の $V_{SAG}$ および $V_{SOAR}$ の式を参照)。ただし、低容量フィルタコンデンサは通常、安定性全体に影響を及ぼす可能性のある高ESRゼロを備えています(「出力コンデンサの安定性に関して」の項を参照)。

## 出力コンデンサの安定性に関して

安定性は、スイッチング周波数に対するESRゼロの値によって決まります。不安定性の境界は、次式から求められます。

$$f_{ESR} \leq \frac{f_{OSC}}{\pi}$$

$$\text{ここで、} f_{ESR} = \frac{1}{2\pi R_{ESR} C_{OUT}}$$

標準的な300kHzアプリケーションの場合は、ESRゼロの周波数は95kHzを十分に下回る必要があります、できれば50kHz以下とします。現時点で広く使用されているタンタルやOS-CONコンデンサの標準的なESRゼロ周波数は25kHzです。インダクタの選択に用いられた設計例では、25mV<sub>p-p</sub>リップルに対応するのに必要なESRは、

25mV / 1.5A = 16.7mΩです。1個の220μF/4Vの三洋のポリマ(TPE)コンデンサは、ESRが15mΩ (max)です。この結果、48kHzでゼロになり、十分に安定性の境界内にあります。

デューティサイクルが50% ( $V_{OUT} / V_{IN}$ が50%以上)を超える低入力電圧アプリケーションの場合、出力リップル電圧は内部スロープ補償電圧の2倍以下である必要があります。

$$V_{RIPPLE} \leq 0.02 \times V_{OUT}$$

ここで、 $V_{RIPPLE} = \Delta I_{INDUCTOR} \times R_{ESR}$ です。最悪のESR限界は $V_{IN} = 2 \times V_{OUT}$ の場合に発生するため、上の式を簡単にして以下の境界条件を得ることができます：

$$R_{ESR} \leq 0.04 \times L \times f_{OSC}$$

値の大きいセラミックコンデンサをフィードバック検出ポイントに直接接続する場合は、安定性の確保に注意してください。大容量セラミックコンデンサはESRゼロ周波数が高く、不規則で不安定な動作をもたらす場合があります。ただし、フィードバック検出ポイントから数インチ離れた所にコンデンサをインダクタにできる限り近づけて配置することによって、十分な直列抵抗を容易に追加することができます。

不安定な動作は、スイッチング周波数の低下を招く、短いパルスや長いパルス、またはパルススキッピングという、関連性があっても明らかに異なる2つの形態で発生します。不安定性は出力のノイズが原因で発生するか、またはESRが小さすぎて出力電圧信号の電圧ランプが十分でないことが原因で発生します。この結果、エラーコンバータが「誤って」早めにトリガされたり、1サイクルをスキップしたりします。サイクルスキッピングは有害というよりも厄介で、悪影響はせいぜい出力リップルの増大くらいです。ただし、不十分なESRによってループの不安定性が発生するおそれもあります。ループの不安定性は、ラインまたは負荷ステップ後の出力に振動をもたらすことがあります。こうした変動は一般に減衰しますが、出力電圧が許容範囲を超えて上昇したり降下したりすることがあります。

安定性をチェックする最も簡単な方法は、負荷をゼロから最大まで超高速で過渡させて、出力電圧リップルのエンベロープにオーバシュートやリングがないか観察する方法です。これによって、AC電流プローブでインダクタ電流を同時に監視することができます。初期のステップ応答のアンダーシュートやオーバシュート後に、1サイクルを超えるリングを発生させないでください。

## 入力コンデンサの選択

入力コンデンサは、スイッチング電流によって生じるリップル電流要件( $I_{RMS}$ )を満たす必要があります。逆位相レギュレータの場合、入力コンデンサの全RMS電流は、負荷電流、入力電流、デューティサイクル、および図10で定義するオーバラップ量の関数です。

# ノートブックコンピュータ用、 高効率、5倍出力、主電源コントローラ

MAX1533A/MAX1537Aの最適な40/60インタリーブアーキテクチャによって、デューティサイクルがオーバーラップし始める前に入力電圧を8.3Vまで下げることができます。

これによって、デューティサイクルが10V以下でオーバーラップし始める標準の180°逆位相のアーキテクチャよりも効率が向上します。図10は、5V/5Aおよび3.3V/5Aを必要とするアプリケーションの入力コンデンサのRMS電流対入力電圧を示しています。この図は、50/50インタリーブおよび同位相動作と比べて、最適な40/60インタリーブが向上していることを示しています。

大部分のアプリケーションでは、入力と直列の機械式スイッチやコネクタを備えるシステムに特有のパワーアップサージ電流に対する耐性のために、タンタル以外のコンデンサ(セラミック、アルミ、またはOS-CON)が推奨されます。最適な信頼性と寿命を確保するために、RMS入力電流における温度上昇が10°C以下のコンデンサを選択してください。

## パワーMOSFETの選択

以下のMOSFETガイドラインの大部分は、高電圧(>20V)のACアダプタの使用時に大負荷電流能力を確保するという課題に焦点を当てています。低電流のアプリケーションでは通常、注意はあまり必要ありません。

ハイサイドMOSFET ( $N_H$ )は、 $V_{IN(MIN)}$ および $V_{IN(MAX)}$ の両方において抵抗性損失とスイッチング損失を消散させる必要があります。理想的には、 $V_{IN(MIN)}$ における

損失が $V_{IN(MAX)}$ における損失とほぼ等しく両者の間で低い必要があります。 $V_{IN(MIN)}$ における損失の方がかなり大きい場合は、 $N_H$ のサイズの増大を検討してください。逆に $V_{IN(MAX)}$ における損失の方がかなり大きい場合は、 $N_H$ のサイズの縮小を検討してください。 $V_{IN}$ が広範囲にわたって変動しない場合は、スイッチング損失に等しい導通損失を持ったハイサイドMOSFET ( $N_H$ )を選択することによって、最高効率が得られます。

オン抵抗( $R_{DS(ON)}$ )が最小で、中サイズのパッケージ(すなわち、SO-8、DPAK、またはD<sup>2</sup>PAK)で提供される適度な価格のローサイドMOSFET ( $N_L$ )を選択してください。MAX1533A/MAX1537AのDL<sub>1</sub>のゲートドライバが、ゲート電荷に対応するのに十分な電流と、ハイサイドMOSFETのターンオンによって生じる寄生ドレイン~ゲート間コンデンサに注入される電流を確実に供給可能であるようにしてください。そうでない場合は、交差導通の問題が発生することがあります。ステップダウンポロジで使用されるローサイドMOSFETはゼロ電圧スイッチデバイスであるため、そのスイッチング損失は問題になりません。

## パワーMOSFETの電力消費

ワーストケースの導通損失は、最小または最大のデューティファクタで発生します。ハイサイドMOSFET ( $N_H$ )の場合は、以下のように抵抗に起因する最悪のケースの電力損失は最低入力電圧で発生します。

$$PD(N_H \text{ Resistive}) = \left( \frac{V_{OUT}}{V_{IN}} \right) (I_{LOAD})^2 R_{DS(ON)}$$

通常は、小型のハイサイドMOSFETを使用して、高入力電圧でのスイッチング損失を抑制してください。ただし、パッケージの電力損失制限値内にとどまるために必要な $R_{DS(ON)}$ によって、MOSFETの最小サイズが通常制限されます。スイッチング損失が導通( $R_{DS(ON)}$ )損失と等しい場合が最適です。入力が約15Vを上回らない限り、ハイサイドスイッチング損失は問題になりません。

ターンオンおよびターンオフ時間に影響を与える、数値化が困難な要素に対応する必要があるため、スイッチング損失があるハイサイドMOSFET ( $N_H$ )内での電力損失を計算するのは困難です。これらの要素としては、内部ゲート抵抗、ゲート電荷、スレッショルド電圧、ソースインダクタンス、およびPCBのレイアウト特性などがあります。以下のスイッチング損失の計算はおおよその見積を提供するだけで、ブレッドボード評価の代わりにはならず、 $N_H$ に取り付けられた熱電対による検証などが推奨されます。

$$PD(N_H \text{ Switching}) = \frac{(V_{IN(MAX)})^2 C_{RSS} f_{SW} I_{LOAD}}{I_{GATE}}$$

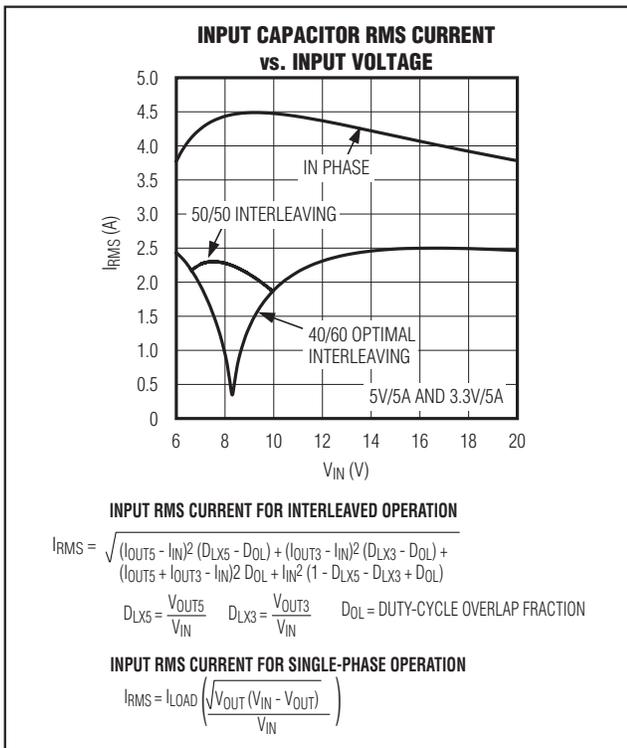


図10. 入力RMS電流

# ノートブックコンピュータ用、 高効率、5倍出力、主電源コントローラ

ここで、 $C_{RSS}$ は $N_H$ の帰還容量で、 $I_{GATE}$ はピークゲート駆動ソース/シンク電流(1A、typ)です。

最大ACアダプタ電圧が印加されると、スイッチング損失の式( $C \times V_{IN}^2 \times f_{SW}$ )の2乗項によって、ハイサイドMOSFETのスイッチング損失が熱に関する問題になる場合があります。低バッテリー電圧に適した $R_{DS(ON)}$ として選択されたハイサイドMOSFETが、 $V_{IN(MAX)}$ の印加によって非常に高温になる場合は、寄生容量の小さい別のMOSFETを選択することを検討してください。

ローサイドMOSFET ( $N_L$ )の場合は、以下のように最悪の場合の電力損失は常に最大バッテリー電圧で発生します。

$$PD(N_L \text{ Resistive}) = \left[ 1 - \left( \frac{V_{OUT}}{V_{IN(MAX)}} \right) \right] (I_{LOAD})^2 R_{DS(ON)}$$

MOSFETの電力損失の絶対的な最悪のケースは、 $I_{LOAD(MAX)}$ を上回っていても、電流制限値を超え障害ラッチをトリップさせるほど大きくない重過負荷状態で発生します。これを防ぐには、以下の $I_{LOAD}$ に耐える「余裕をもたせた」回路設計を行ってください。

$$I_{LOAD} = I_{LIMIT} - \left( \frac{\Delta I_{INDUCTOR}}{2} \right)$$

ここで、 $I_{LIMIT}$ は電流制限回路が許容するピーク電流で、スレッシュホールドの許容差や検出抵抗のバラツキを含みます。MOSFETは、過負荷時の電力損失に対応できるように、比較的大きいヒートシンクを備える必要があります。

ローサイドMOSFETのボディダイオードがテッドタイム中にターンオンしないような、順方向電圧降下の低いショットキダイオード( $D_L$ )を選択してください。一般的には、DC電流定格が負荷電流の1/3に等しいダイオードを選択してください。このダイオードはオプションであり、効率を重視しない場合は取り除くことができます。

## ブーストコンデンサ

ブーストコンデンサ( $C_{BST}$ )は、ハイサイドMOSFETのゲート充電要件に対応するのに十分な大きさのものを選択する必要があります。通常、0.1 $\mu$ Fのセラミックコンデンサが、中サイズのMOSFETを駆動する低電力アプリケーションに適しています。ただし、大型のハイサイドMOSFETを駆動する大電流アプリケーションには、0.1 $\mu$ Fよりも大きいブーストコンデンサが必要です。こうしたアプリケーションには、ハイサイドMOSFETのゲートの充電中に、コンデンサが200mVを超えて放電することのないようなブーストコンデンサを選択して

ください。

$$C_{BST} = \frac{Q_{GATE}}{200mV}$$

ここで、 $Q_{GATE}$ は、ハイサイドMOSFETのデータシートで規定された全ゲート電荷です。たとえば、nチャネルMOSFETのFDS6612Aをハイサイドで使用するものと想定します。製造メーカーのデータシートによると、1個のFDS6612Aの最大ゲート電荷は13nC ( $V_{GS} = 5V$ )です。上の式を使うと、必要なブースト容量は次のようになります。

$$C_{BST} = \frac{13nC}{200mV} = 0.065\mu F$$

最も近い標準値を選択します。この例では0.1 $\mu$ Fのセラミックコンデンサが必要です。

## アプリケーション情報

### デューティサイクル制限値

#### 最小入力電圧

最小入力動作電圧(ドロップアウト電圧)は、最大デューティサイクルの仕様によって制限されます(「Electrical Characteristics (電気的特性)」の表を参照)。ただし、ステップダウンレギュレータがドロップアウト電圧に近づくにつれて過渡性能が悪化するため、大きい出力容量を追加する必要があることに留意してください(「設計手順」の項の電圧サグおよびサージの式を参照)。ドロップアウトの絶対点は、オンタイム( $\Delta I_{UP}$ )の間にランプアップするのと同じだけ、オフタイム( $\Delta I_{DOWN}$ )の間にインダクタ電流がランプダウンするときに発生します。この結果、次式で規定される最小動作電圧になります。

$$V_{IN(MIN)} = V_{OUT} + V_{CHG} + h \left( \frac{1}{D_{MAX}} - 1 \right) (V_{OUT} + V_{DIS})$$

ここで、 $V_{CHG}$ と $V_{DIS}$ は、それぞれ充電および放電経路の寄生電圧降下です。hに関する適正な最小値は1.5で、絶対最小入力電圧は $h = 1$ として計算されます。

#### 最大入力電圧

MAX1533A/MAX1537Aコントローラは最小オンタイムの仕様を備え、これによって選択したスイッチング周波数を維持する最大入力動作電圧が決定されます(「Electrical Characteristics (電気的特性)」の表を参照)。この最大入力電圧を超える動作は、SKIPによって選択された動作モードに関係なく、パルススキッピング動作となります。

# ノートブックコンピュータ用、 高効率、5倍出力、主電源コントローラ

各サイクルの初期に、出力電圧がフィードバックレギュレーション電圧を依然として上回っている場合は、コントローラはオンタイムパルスをトリガせずに、効率的に1サイクルをスキップします。このため、コントローラは最大入力電圧を上回ってレギュレーションを維持することができますが、低いスイッチング周波数で効率的に動作するように強制されます。これによって、コントローラがパルスのスキップを開始する入力レギュレーション電圧( $V_{IN(SKIP)}$ )がもたらされます。

$$V_{IN(SKIP)} = V_{OUT} \left( \frac{1}{f_{OSC} t_{ON(MIN)}} \right)$$

ここで、 $f_{OSC}$ はFSELによって選択されるスイッチング周波数です。

## PCBレイアウトのガイドライン

低スイッチング損失とクリーンで安定した動作を実現するには、PCBの注意深いレイアウトが不可欠です。スイッチングパワースタックには、特に注意が必要です(図11)。できればすべての電力部品を基板の上面に配置し、それぞれのグランド端子同士が輝線で表示されるようにしてください。適切なPCBレイアウトを行うために、以下のガイドラインに従ってください。

- 大電流経路は、特にグランド端子部で短くしてください。この手法は、安定したジッタのない動作には不可欠です。
- 電源配線と負荷接続部を短くしてください。この手法は、高効率を実現するには不可欠です。厚い銅のPCB (2オンス対1オンス)を使用すると、最大負荷効率を1%以上向上することができます。PCBの適切な配線は、コンマ数センチ単位で処理する必要がある骨の折れる作業で、配線の抵抗が1mΩ大きくなると、明らかに効率が低下します。
- CSH\_とCSL\_を電流検出抵抗器( $R_{SENSE}$ )の両端に直接接続して、電流検出誤差を最小限に抑えてください。

- 配線長に妥協が必要な場合は、できればインダクタ充電経路の方を放電経路よりも長くなるようにします。たとえば、入力コンデンサとハイサイドMOSFET間の距離を、インダクタとローサイドMOSFET間の距離またはインダクタと出力フィルタコンデンサ間の距離よりも幾分長くすることが適切です。
- 敏感なアナログ領域(REF、FB\_、CSH\_、CSL\_)から離して、高速スイッチングノード(BST\_、LX\_、DH\_、およびDL\_)を配線してください。

## レイアウト手順

- 1) 各グランド端子( $N_L$  ソース、 $C_{IN}$ 、 $C_{OUT}$ 、および  $D_L$  アノード)を隣接させて、まず電力部品を配置してください。可能であれば、これらの接続はすべて、広くて全面銅領域の最上層で行ってください。
- 2) コントローラICは、ローサイドMOSFETに隣接させて配置しますが、裏面の $N_L$ と $N_H$ の反対側に配置して、LX\_、GND、DH\_およびDL\_の各ゲート駆動のラインを短くかつ幅広くすることが推奨されます。ドライバインピーダンスを低くするとともに、適正な適応型テッドタイム検出を行うために、DL\_およびDH\_ゲート配線は、短くかつ幅広くする必要があります(MOSFETがコントローラICから1インチ離れている場合の幅は50mil~100mil)。
- 3) ゲート駆動部品(BST\_ダイオードおよびコンデンサ、LDO5のバイパスコンデンサ)は、コントローラICの近くでひとまとめにしてください。
- 4) 図1と図11に示すように、DC-DCコントローラのグランド接続を行ってください。この図には、2種類のグランドプレーンがあります。すなわち、すべてのハイパワー部品が集まる電源グランドプレーン、および敏感なアナログ部品用のアナロググランドプレーンです。アナロググランドプレーンと電源グランドプレーンは、ICの1点のみで直接接続する必要があります。
- 5) 出力電源プレーンを出力フィルタコンデンサの正および負端子に複数のピアで直接に接続してください。DC-DCコンバータ回路全体をできる限り負荷の近くに配置してください。

# ノートブックコンピュータ用、 高効率、5倍出力、主電源コントローラ

MAX1533A/MAX1537A

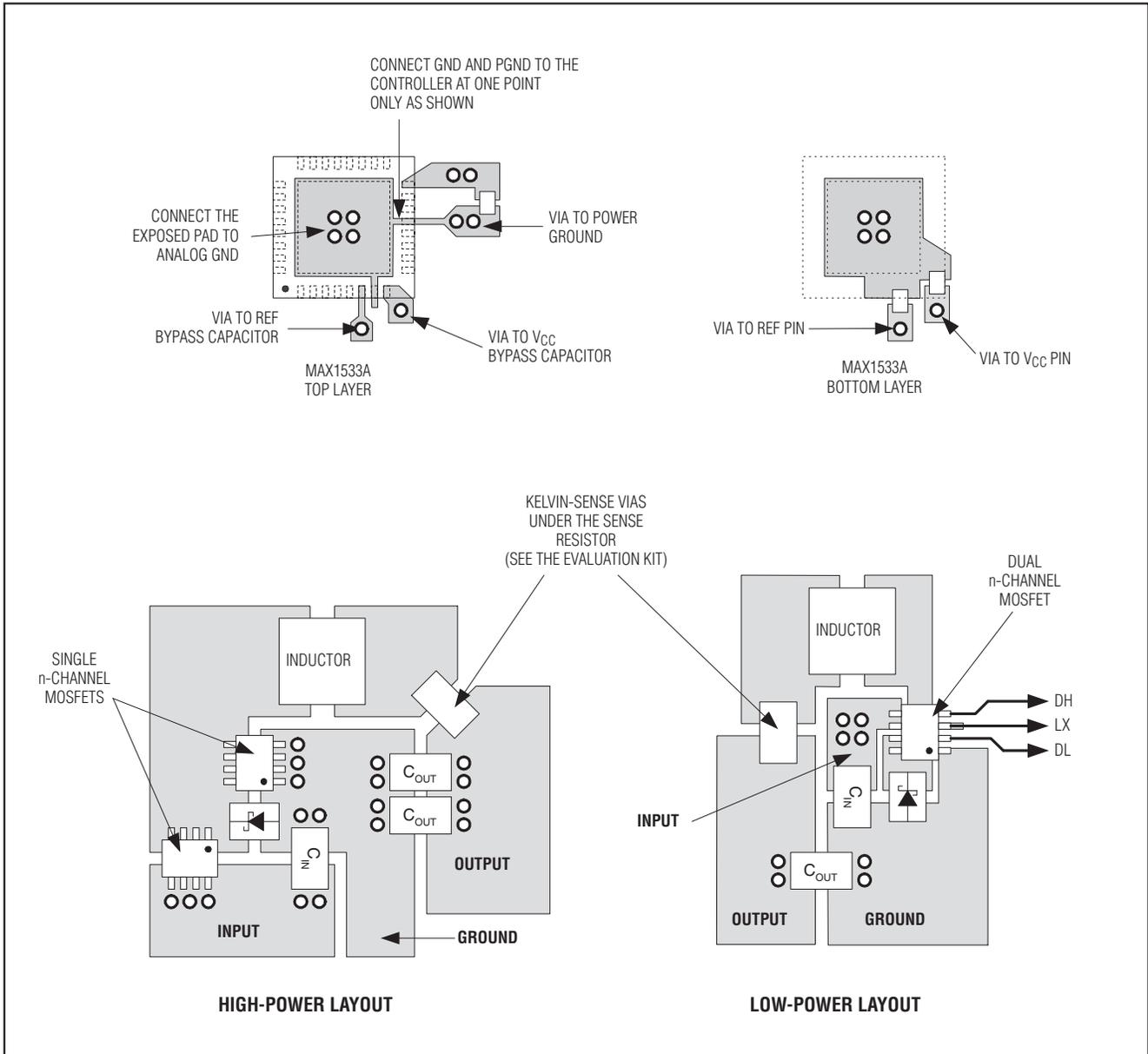
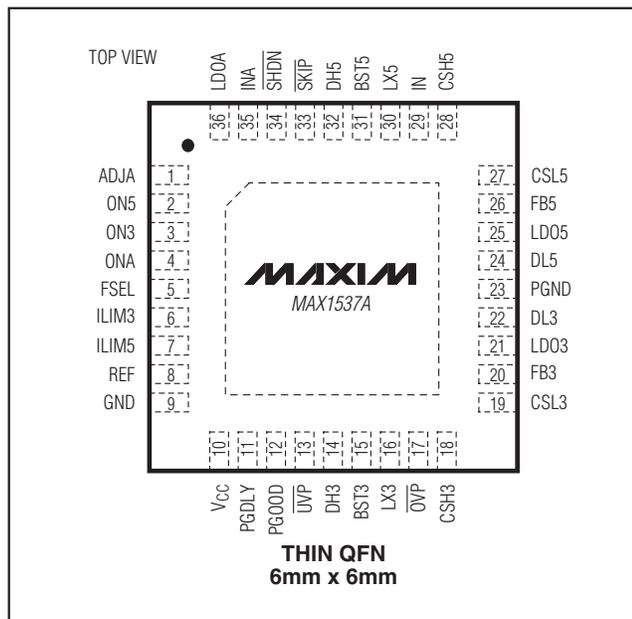


図11. PCBのレイアウト

# ノートブックコンピュータ用、 高効率、5倍出力、主電源コントローラ

**MAX1533A/MAX1537A**

## ピン配置(続き)



## チップ情報

TRANSISTOR COUNT: 6890

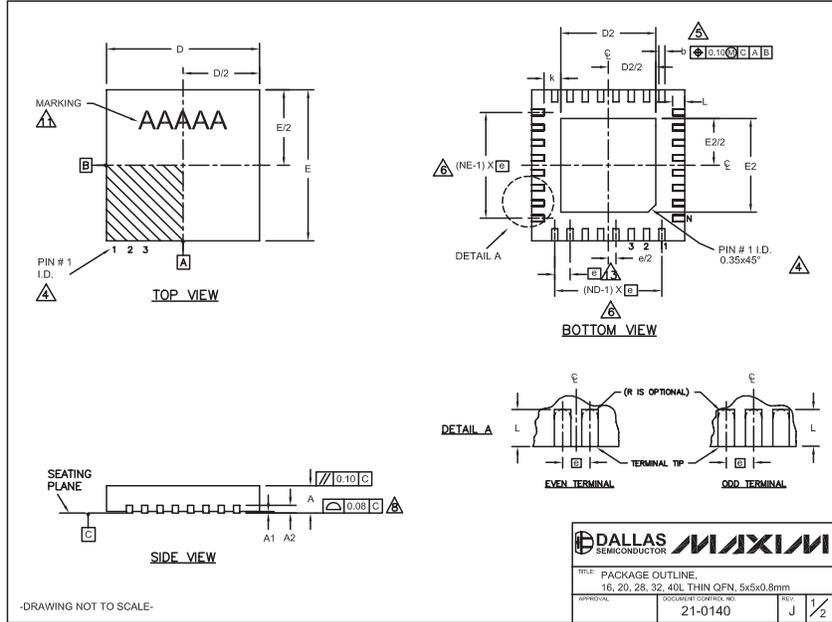
PROCESS: BICMOS

# ノートブックコンピュータ用、 高効率、5倍出力、主電源コントローラ

MAX1533A/MAX1537A

## パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、[japan.maxim-ic.com/packages](http://japan.maxim-ic.com/packages)をご参照下さい。)



COMMON DIMENSIONS											EXPOSED PAD VARIATIONS						
PKG	16L 5x5		20L 5x5		28L 5x5		32L 5x5		40L 5x5		PKG	D2		E2			
SYMBOL	MIN	NOM	MAX	MIN	NOM	MAX	MIN	NOM	MAX	MIN	NOM	MAX	MIN	NOM	MAX		
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	3.00	3.10	3.20		
A1	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05	3.00	3.10	3.20		
A2	0.20 REF.		0.20 REF.		0.20 REF.		0.20 REF.		0.20 REF.		T1655-2	3.00	3.10	3.20	3.00	3.10	3.20
b	0.25	0.30	0.35	0.25	0.30	0.35	0.20	0.25	0.30	0.20	0.25	0.30	0.15	0.20	0.25		
D	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10		
E	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10		
a	0.80 BSC.		0.65 BSC.		0.50 BSC.		0.50 BSC.		0.40 BSC.		T1655-3	3.00	3.10	3.20	3.00	3.10	3.20
k	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-	3.15	3.25	3.35		
L	0.30	0.40	0.50	0.45	0.55	0.65	0.45	0.55	0.65	0.30	0.40	0.50	3.15	3.25	3.35		
N	16	20	28	32	40								T2055-4	3.00	3.10	3.20	
ND	4	5	7	8	10								T2055-5	3.15	3.25	3.35	
NE	4	5	7	8	10								T2855-3	3.15	3.25	3.35	
JEDEC	WHHB	WHHC	WHHD-1	WHHD-2	----								T2855-4	2.60	2.70	2.80	
													T2855-5	2.60	2.70	2.80	
													T2855-6	3.15	3.25	3.35	
													T2855-7	2.60	2.70	2.80	
													T2855-8	3.15	3.25	3.35	
													T2855-N-1	3.15	3.25	3.35	
													T3255-3	3.00	3.10	3.20	
													T3255-4	3.00	3.10	3.20	
													T3255-5	3.00	3.10	3.20	
													T3255-N-1	3.00	3.10	3.20	
													T4055-1	3.40	3.50	3.60	
													T4055-2	3.40	3.50	3.60	

NOTES:

- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
- N IS THE TOTAL NUMBER OF TERMINALS.
- THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JEDEC 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- DIMENSION *b* APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.
- ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
- DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
- COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- DRAWING CONFORMS TO JEDEC MO220, EXCEPT EXPOSED PAD DIMENSION FOR T2855-3 AND T2855-6.
- WARPAGE SHALL NOT EXCEED 0.10 mm.
- MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY.
- NUMBER OF LEADS SHOWN ARE FOR REFERENCE ONLY.
- LEAD CENTERLINES TO BE AT TRUE POSITION AS DEFINED BY BASIC DIMENSION "e", ±0.05.

-DRAWING NOT TO SCALE-

DALLAS SEMICONDUCTOR MAXIM

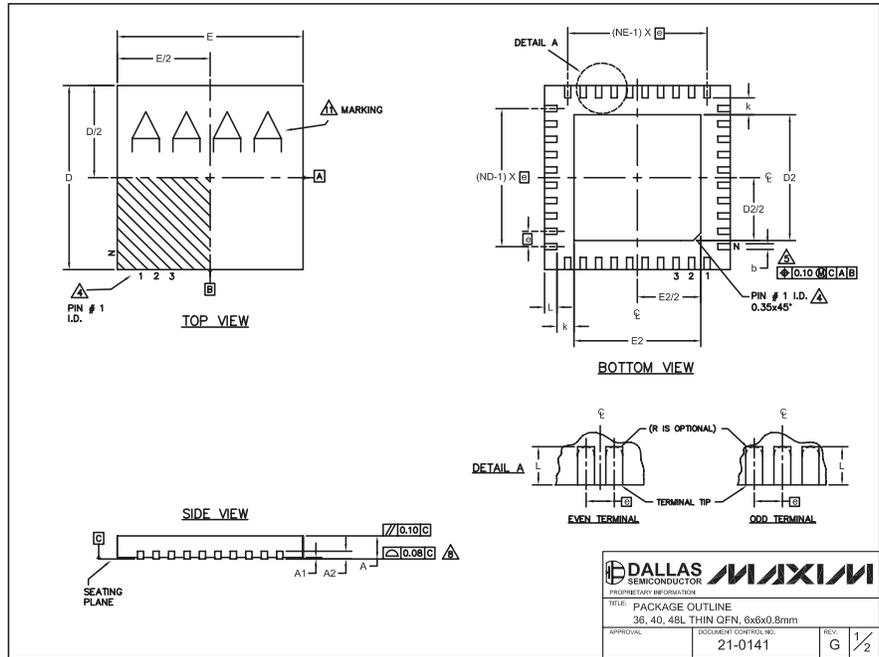
TITLE: PACKAGE OUTLINE.  
16, 20, 28, 32, 40L THIN QFN, 5x5x0.8mm

APPROVAL: 21-0140 REV: J 1/2

# ノートブックコンピュータ用、 高効率、5倍出力、主電源コントローラ

## パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、[japan.maxim-ic.com/packages](http://japan.maxim-ic.com/packages)をご参照下さい。)



COMMON DIMENSIONS									
PKG. SYMBOL	36L 6x6			40L 6x6			48L 6x6		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80
A1	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05
A2	0.20 REF.			0.20 REF.			0.20 REF.		
b	0.20	0.25	0.30	0.20	0.25	0.30	0.15	0.20	0.25
D	5.90	6.00	6.10	5.90	6.00	6.10	5.90	6.00	6.10
E	5.90	6.00	6.10	5.90	6.00	6.10	5.90	6.00	6.10
e	0.50 BSC.			0.50 BSC.			0.40 BSC.		
k	0.25	-	-	0.25	-	-	0.25	-	-
L	0.45	0.55	0.65	0.30	0.40	0.50	0.30	0.40	0.50
N	36			40			48		
ND	9			10			12		
NE	9			10			12		
JEDEC	WJJD-1			WJJD-2			-		

PKG. CODES	D2			E2		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
T3666-2	3.60	3.70	3.80	3.60	3.70	3.80
T3666-3	3.60	3.70	3.80	3.60	3.70	3.80
T3666N-1	3.60	3.70	3.80	3.60	3.70	3.80
T4066-2	4.00	4.10	4.20	4.00	4.10	4.20
T4066-3	4.00	4.10	4.20	4.00	4.10	4.20
T4066-4	4.00	4.10	4.20	4.00	4.10	4.20
T4066-5	4.00	4.10	4.20	4.00	4.10	4.20
T4866-1	4.40	4.50	4.60	4.40	4.50	4.60
T4866-2	4.40	4.50	4.60	4.40	4.50	4.60

NOTES:

- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
- N IS THE TOTAL NUMBER OF TERMINALS.
- THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JESD 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.
- ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
- DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
- COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- DRAWING CONFORMS TO JEDEC MO220, EXCEPT FOR 0.4mm LEAD PITCH PACKAGE T4866-1.
- WARRPAGE SHALL NOT EXCEED 0.10 mm.
- MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY.
- NUMBER OF LEADS SHOWN FOR REFERENCE ONLY.

A table at the bottom right of the drawing provides the title 'PACKAGE OUTLINE 36, 40, 48L THIN QFN, 6x6x0.8mm' and revision information: APPROVAL, DOCUMENT CONTROL NO. 21-0141, REV. G, 2/2.

マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16(ホリゾン1ビル)  
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

38 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

© 2006 Maxim Integrated Products, Inc. All rights reserved. **MAXIM** is a registered trademark of Maxim Integrated Products, Inc.