

## MAX14827A

## 低電力、超小型、デュアルドライバ、IO-Linkデバイストランシーバ

### 概要

MAX14827Aは、産業用センサーで一般的に使用される高電圧機能(ドライバやレギュレータなど)を内蔵しています。MAX14827Aは、アクティブ逆極性保護を内蔵した2つの超低電力ドライバを備えています。通常の24V電源電圧(最大60V)での動作が保証されています。高電圧耐性によって過渡保護が簡素化され、マイクロTVSの使用が可能です。

このデバイスは柔軟な制御インタフェースを備えています。ピン制御ロジック入力によって、マイクロコントローラを使用しないスイッチングセンサーとの動作が可能です。マイクロコントローラを使用するセンサーの場合は、広範な診断機能を備えたSPIインタフェースが利用可能です。IO-Link動作には、3線式UARTインタフェースが提供され、マイクロコントローラのUARTとのインタフェースが可能です。最後に、多重化されたUART/SPIオプションによって、1つのシリアルマイクロコントローラインタフェースをSPIおよびUARTインタフェースに共用することが可能です。

このデバイスは、低ノイズアナログ/ロジック電源レール用の3.3Vおよび5Vリニアレギュレータを内蔵しています。

MAX14827Aは、24ピンTQFNパッケージ(4mm x 4mm)および25ピンウェハレベルパッケージ(WLP) (2.5mm x 2.5mm)で提供され、-40°C ~ +125°Cの拡張温度範囲での動作が保証されています。

### アプリケーション

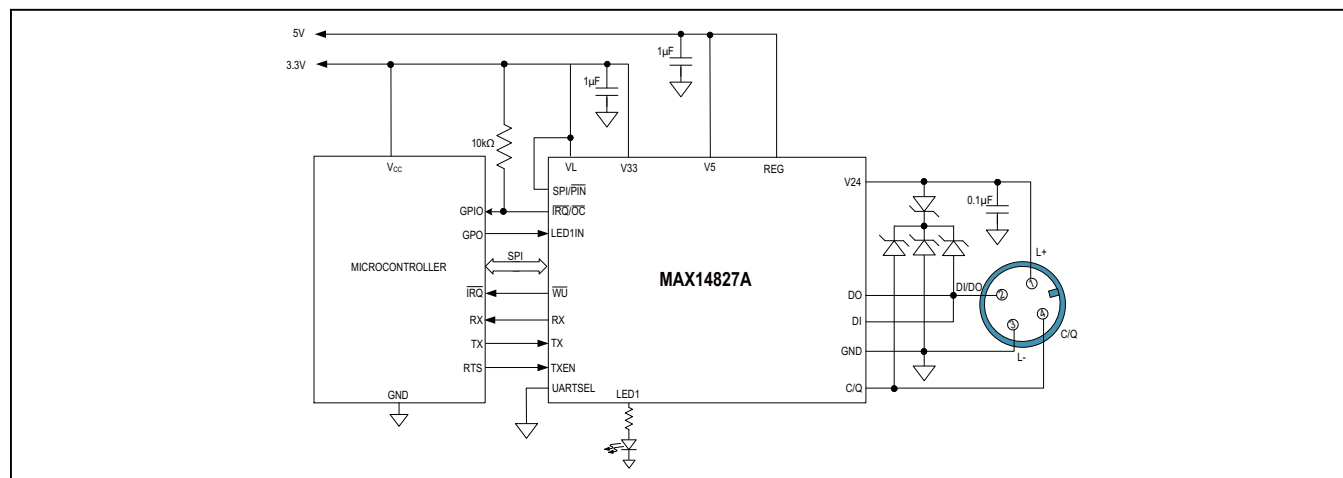
- 産業用センサー
- IO-Linkセンサーおよびアクチュエータ
- セーフティアプリケーション

### 利点と特長

- 小型センサー用の低消費電力
  - ドライバオン抵抗: 2.3Ω/2.7Ω (typ)
  - 消費電力: 70mW (typ) (100mA、C/QおよびDOドライバの両方が駆動時)
- 高い設計自由度と集積によってSKUを削減
  - 補助24Vデジタル出力および入力
  - 選択可能なドライバ電流: 50mA~250mA
  - SPI/ピン制御インタフェースによる設定および監視
  - 多重化SPI/UARTインタフェースオプション
  - 5Vおよび3.3Vリニアレギュレータ
  - オプションの外付けトランジスタでより高いレギュレータ負荷能力に対応
- LEDドライバ内蔵
- 選択可能な保護回路内蔵ドライバによって堅牢な通信を実現
  - インタフェースおよび電源端子の65Vの絶対最大定格によって柔軟なTVS保護が可能
  - 動作保証: 9V~60V
  - グリッチフィルタによってバースト耐性およびノイズを改善
  - サーマルシャットダウン自動再試行サイクル
  - ホットプラグ電源保護
  - 全センサーインタフェース入出力の逆極性保護
  - 動作温度範囲: -40°C ~ +125°C

型番はデータシートの最後に記載されています。

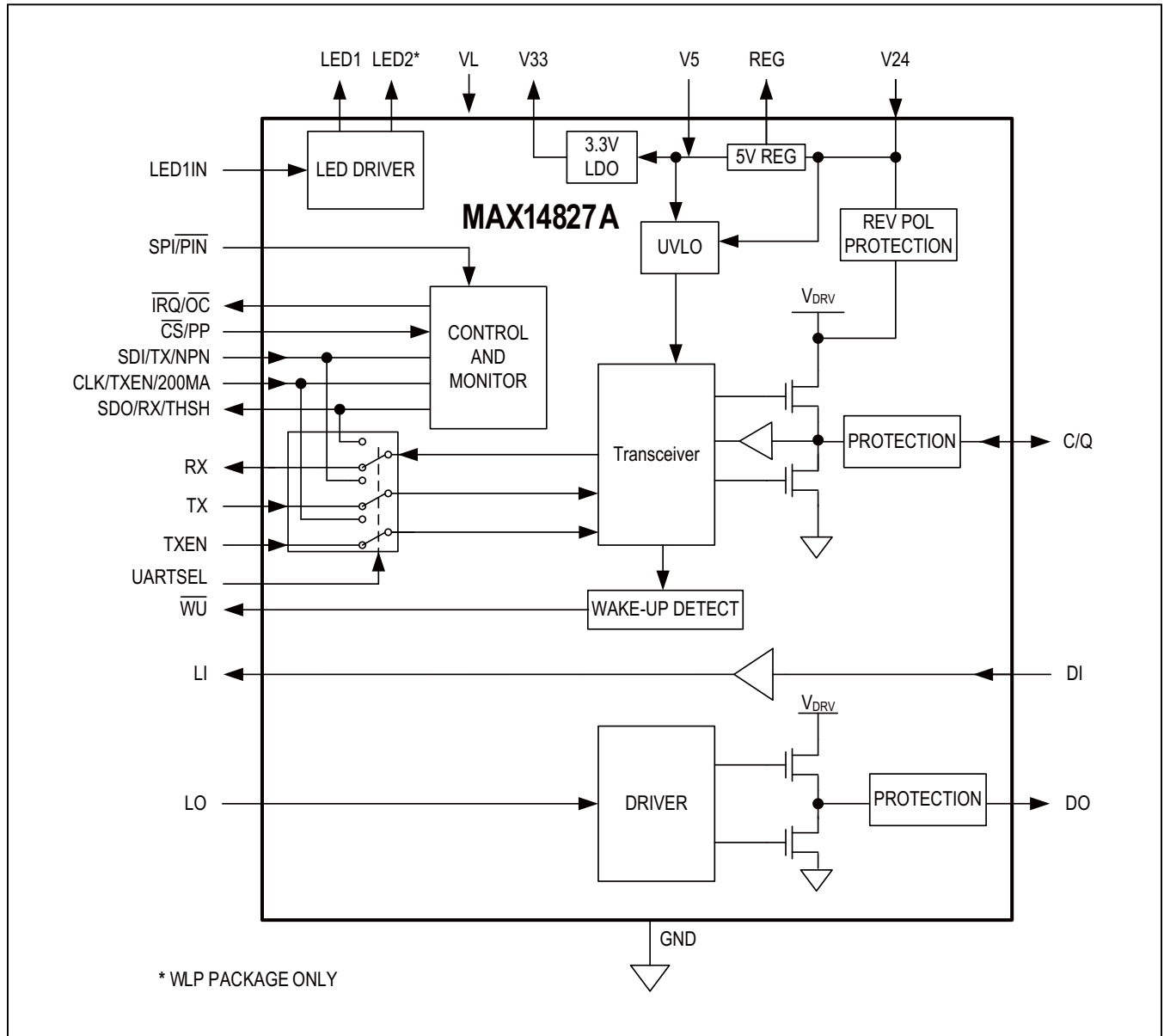
### 標準動作回路



IO-LinkはProfibus User Organization (PNO)の登録商標です。  
SPIはMotorola, Inc.の商標です。



ファンクションダイアグラム



### Absolute Maximum Ratings

(All voltages referenced to GND, unless otherwise noted.)  
 V24 .....-70V to +65V  
 REG .....-0.3V to (V<sub>5</sub> + 16V)  
 V5, VL .....-0.3V to +6V  
 V33 .....-0.3V to (V<sub>5</sub> + 0.3V)  
 C/Q, DO, DI ..... MIN: Larger of -70V and (V<sub>24</sub> - 70V) to  
 MAX: the lower of +70V and (V<sub>24</sub> + 70V)  
 Logic Inputs:  
 CS/PP, TXEN, TX, LED1IN, LI,  
 UARTSEL, CLK/TXEN/200MA, SPI/PIN,  
 SDI/TX/NPN .....-0.3V to (V<sub>L</sub> + 0.3V)  
 Logic Outputs:  
 RX, LI, LO WU, SDO/RX/THSH .....-0.3V to (V<sub>L</sub> + 0.3V)  
 IRQ/OC .....-0.3V to +6V

LED1, LED2 .....-0.3V to (V<sub>5</sub>+0.3V)  
 Continuous Current Into GND and V24 .....±1A  
 Continuous Current Into C/Q and DO .....±500mA  
 Continuous Current Into V5 and REG .....±100mA  
 Continuous Current Into Any Other Pin .....±50mA  
 Continuous Power Dissipation  
 TQFN (derate 27.8mW/°C above +70°C) .....2222mW  
 WLP (derate 22.7mW/°C above +70°C) .....1816mW  
 Operating Temperature Range .....-40°C to +125°C  
 Maximum Junction Temperature .....Internally Limited  
 Storage Temperature Range .....-65°C to +150°C  
 Soldering Temperature (reflow, TQFN and WLP) .....+260°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

### Package Thermal Characteristics (Note 1)

TQFN  
 Junction-to-Ambient Thermal Resistance (θ<sub>JA</sub>) .....36°C/W  
 Junction-to-Case Thermal Resistance (θ<sub>JC</sub>) .....3°C/W  
 WLP  
 Junction-to-Ambient Thermal Resistance (θ<sub>JA</sub>) .....44°C/W

**Note 1:** Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to [www.maximintegrated.com/jp/thermal-tutorial](http://www.maximintegrated.com/jp/thermal-tutorial).

### DC Electrical Characteristics

(V<sub>24</sub> = 9V to 60V, V<sub>5</sub> = 4.5V to 5.5V, V<sub>L</sub> = 2.5V to 5.5V, V<sub>GND</sub> = 0V; REG unconnected, all logic inputs at V<sub>L</sub> or GND; T<sub>A</sub> = -40°C to +125°C, unless otherwise noted. Typical values are at V<sub>24</sub> = 24V, V<sub>5</sub> = 5V, V<sub>L</sub> = 3.3V, and T<sub>A</sub> = +25°C, unless otherwise noted.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
V24 Supply Voltage	V <sub>24</sub>			9		60	V
V24 Undervoltage-Lockout Threshold	V <sub>24UVLO</sub>	V <sub>24</sub> rising		6	7.8	9	V
		V <sub>24</sub> falling		6	7.2	9	
V24 Undervoltage-Lockout-Threshold Hysteresis	V <sub>24UVLO_HYST</sub>				570		mV
V24 Supply Current	I <sub>24</sub>	V5 powered externally, REG is unconnected	C/Q and DO disabled (CQ_Dis = 1, DO_Dis = 1)		0.14	0.5	mA
			C/Q and DO in push-pull configuration, CL[10] = 11, C/Q and DO high, no load on C/Q or DO		1.1	1.75	
			C/Q and DO in push-pull configuration, CL[10] = 11, C/Q and DO low, no load on C/Q or DO		1.4	1.8	
V24 Low-Voltage Warning Threshold	V <sub>24W</sub>			14.5	16.5	18	V

**DC Electrical Characteristics (continued)**

( $V_{24} = 9V$  to  $60V$ ,  $V_5 = 4.5V$  to  $5.5V$ ,  $V_L = 2.5V$  to  $5.5V$ ,  $V_{GND} = 0V$ ; REG unconnected, all logic inputs at  $V_L$  or GND;  $T_A = -40^\circ C$  to  $+125^\circ C$ , unless otherwise noted. Typical values are at  $V_{24} = 24V$ ,  $V_5 = 5V$ ,  $V_L = 3.3V$ , and  $T_A = +25^\circ C$ , unless otherwise noted.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
V5 Supply Voltage				4.5		5.5	V
V5 Undervoltage-Lockout Threshold	$V_{5UVLO}$	$V_5$ rising		2.8	3.5	4.5	V
		$V_5$ falling		2.8	3.45	4.5	
V5 Supply Current	$I_{5\_IN}$	External 5V applied to V5, REG is unconnected, no load on LED1 or LED2	C/Q and DO disabled (CQ_Dis = 1, DO_Dis = 1), V33 disabled (V33_Dis = 1)		0.64	0.9	mA
			C/Q and DO in push-pull configuration, CL[10] = 11, C/Q and DO high, V33 enabled, no load on C/Q, DO, or V33		1.37	1.75	
			C/Q and DO in push-pull configuration, CL[10] = 11, C/Q and DO low, V33 enabled, no load on C/Q, DO, or V33		1.41	1.8	
VL Logic-Level Supply Voltage	$V_L$			2.5		5.5	V
VL Undervoltage Threshold	$V_{LUVLO}$			0.9	1.7	2.4	V
VL Logic-Level Supply Current	$I_L$	All logic inputs at $V_L$ or GND, all logic outputs unconnected			0.25	3	$\mu A$
<b>5V LINEAR REGULATOR/CONTROLLER (V5)</b>							
V5 Output Voltage	$V_5$	REG = V5, no load on V5, $9V \leq V_{24} \leq 60V$		4.75	5.00	5.25	V
Load Regulation	$\Delta V_{5\_LDR}$	REG = V5, $0mA < I_{LOAD} < 30mA$ , $V_{24} = 24V$			0.02	0.2	%
Line Regulation	$\Delta V_{5\_LNR}$	REG = V5, $I_{LOAD} = 1mA$ , $V_{24}$ from 9V to 60V			0.01	4	mV/V
REG Output Current	$I_{REG}$	Internal regulator or external NPN				30	mA
V24 REG Dropout Voltage	$\Delta V_{REG}$	$V_{24} = 9V$ , $V_5 = 4.5V$ , $I_{REG} = 5mA$			2.35		V
REG Open Voltage	$V_{REG\_OPN}$	$V_{24} = 60V$ , $V_5 = 4.5V$ , no load on REG		10	13	16	V
V5 Capacitance	$CV_5$	Allowed capacitance on V5, REG connected to V5 (Note 3)		0.8	1	2	$\mu F$

**DC Electrical Characteristics (continued)**

( $V_{24} = 9V$  to  $60V$ ,  $V_5 = 4.5V$  to  $5.5V$ ,  $V_L = 2.5V$  to  $5.5V$ ,  $V_{GND} = 0V$ ; REG unconnected, all logic inputs at  $V_L$  or GND;  $T_A = -40^\circ C$  to  $+125^\circ C$ , unless otherwise noted. Typical values are at  $V_{24} = 24V$ ,  $V_5 = 5V$ ,  $V_L = 3.3V$ , and  $T_A = +25^\circ C$ , unless otherwise noted.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
<b>3.3V LINEAR REGULATOR (V33)</b>							
V33 Output Voltage	$V_{33}$	No load on V33	3.1	3.3	3.5	V	
V33 Load Regulation	$V_{33\_LDR}$	$0mA < I_{LOAD} < 30mA$	0	0.4	0.8	%	
V33 Capacitance	$CV_{33}$	Allowed capacitance on V33, V33 enabled (Note 3)	0.8	1		$\mu F$	
<b>C/Q, DO DRIVER</b>							
Driver On-Resistance	$R_{OH}$	High-side enabled, $V_{24} = 24V$ , $CL[10] = 11$ , $I_{LOAD} = -200mA$ (Note 3)		2.65	4.6	$\Omega$	
	$R_{OL}$	Low-side enabled, $V_{24} = 24V$ , $CL[10] = 11$ , $I_{LOAD} = +200mA$ (Note 3)		2.3	4.45		
Driver Current Limit	$I_{CL}$	SPI/ $\overline{PIN}$ = high, $V_{DRIVER} = (V_{24} - 3V)$ or $3V$ , $CL\_Dis = 0$	$CL[10] = 00$	50	65	80	mA
			$CL[10] = 01$	100	120	150	
			$CL[10] = 10$	200	230	275	
			$CL[10] = 11$	250	290	350	
		SPI/ $\overline{PIN}$ = low, $V_{DRIVER} = (V_{24} - 3V)$ or $3V$	CLK/TXEN/200MA = low	100	120	150	
			CLK/TXEN/200MA = high	200	230	275	
Driver Peak Current	$I_{CL\_PEAK}$	DC current			490	mA	
C/Q Leakage Current	$I_{LEAK\_CQ}$	C/Q driver is disabled ( $C/Q\_Dis = 1$ ), RX disabled ( $Rx\_Dis = 1$ ), $V_{24} = 24V$ , $(V_{24} - 65V) \leq V_{C/Q} \leq +60V$		-70		+10	$\mu A$
		C/Q driver enabled	NPN mode, set to high impedance (TX = low), $V_{C/Q} = 24V$		17.4		
			PNP mode, set to high impedance (TX = high) $V_{C/Q} = 0V$		0		
			PNP mode, set to high impedance (TX = 0) $V_{C/Q} = 24V$		22.9		
			PNP mode, set to high impedance (TX = 0) $V_{C/Q} = 0V$		-43.5		

## DC Electrical Characteristics (continued)

( $V_{24} = 9V$  to  $60V$ ,  $V_5 = 4.5V$  to  $5.5V$ ,  $V_L = 2.5V$  to  $5.5V$ ,  $V_{GND} = 0V$ ; REG unconnected, all logic inputs at  $V_L$  or GND;  $T_A = -40^\circ C$  to  $+125^\circ C$ , unless otherwise noted. Typical values are at  $V_{24} = 24V$ ,  $V_5 = 5V$ ,  $V_L = 3.3V$ , and  $T_A = +25^\circ C$ , unless otherwise noted.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
DO Leakage Current	$I_{LEAK\_DO}$	DO driver is disabled ( $DO\_Dis = 1$ ), $V_{24} = 24V$ , $(V_{24} - 65V) \leq V_{DO} \leq +60V$		-10		+10	$\mu A$
		DO driver enabled	NPN mode, set to high impedance (LO = low), $V_{DO} = 24V$		6.0		
			PNP mode, set to high impedance (LO = high) $V_{DO} = 0V$		0		
			PNP mode, set to high impedance (CQ- $DO_{PAR} = 1$ , TXEN = 0), $V_{DO} = 24V$		11.6		
			PNP mode, set to high impedance (CQ- $DO_{PAR} = 1$ , TXEN = 0), $V_{DO} = 0V$		-42.4		
C/Q Output Reverse Current	$I_{REV\_CQ}$	C/Q driver enabled and in push-pull configuration, $V_{24} = 30V$ , $V_{C/Q} = (V_{24} + 5V)$ or $(V_{GND} - 5V)$		-60		+1000	$\mu A$
DO Output Reverse Current	$I_{REV\_DO}$	DO driver enabled and in push-pull configuration, $V_{24} = 30V$ , $V_{DO} = (V_{24} + 5V)$ or $(V_{GND} - 5V)$		-60		+1000	$\mu A$
Weak Pulldown Current	$I_{PD}$	SPI/ $\overline{PIN}$ = high, driver disabled ( $CQ\_Dis = 1$ , $DO\_Dis = 1$ )	$V_{DRIVER} = 5V$ , CQ_WPD = 1, DO_WPD = 1, CQ_WPU = 0, DO_WPU = 0	200	300	400	$\mu A$
			$V_{DRIVER} = 24V$ , CQ_WPD = 1, DO_WPD = 1, CQ_WPU = 0, DO_WPU = 0	200	470	1000	
Weak Pullup Current	$I_{PU}$	SPI/ $\overline{PIN}$ = high, driver disabled ( $CQ\_Dis = 1$ , $DO\_Dis = 1$ ), $V_{DRIVER} = V_{24} - 5V$	CQ_WPU = 1, DO_WPU = 1, CQ_WPD = 0, DO_WPD = 0,	-400	-300	-200	$\mu A$
<b>C/Q, DI RECEIVER</b>							
Input Voltage Range	$V_{IN}$	For valid RX/LI logic		$V_{24} - 65$		+65	V
C/Q, DI Input Threshold High	$V_{TH}$	C/Q driver disabled	$V_{24} > 18V$	11	11.8	12.5	V
			$V_{24} < 18V$	59	65.5	72	% of $V_{24}$
C/Q, DI Input Threshold Low	$V_{TL}$	C/Q driver disabled	$V_{24} > 18V$	9	9.8	10.5	V
			$V_{24} < 18V$	45	54.5	63	% of $V_{24}$

**DC Electrical Characteristics (continued)**

( $V_{24} = 9V$  to  $60V$ ,  $V_5 = 4.5V$  to  $5.5V$ ,  $V_L = 2.5V$  to  $5.5V$ ,  $V_{GND} = 0V$ ; REG unconnected, all logic inputs at  $V_L$  or GND;  $T_A = -40^\circ C$  to  $+125^\circ C$ , unless otherwise noted. Typical values are at  $V_{24} = 24V$ ,  $V_5 = 5V$ ,  $V_L = 3.3V$ , and  $T_A = +25^\circ C$ , unless otherwise noted.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
C/Q, DI Input Hysteresis	$V_{HYS\_CQ}$	C/Q driver disabled	$V_{24} > 18V$	2		V
			$V_{24} < 18V$	11		% of $V_{24}$
C/Q Input Capacitance	$C_{IN\_CQ}$	Driver disabled, weak pull-up and pull-down disabled, $f = 100kHz$		50		pF
DI Input Capacitance	$C_{IN\_DI}$	$f = 100kHz$		10		pF
C/Q Input Current	$I_{IN\_CQ}$	C/Q driver disabled ( $CQ\_Dis = 1$ ), C/Q receiver enabled, $V_{24} = 24V$	$-5V \leq V_{C/Q} \leq (V_{24} + 5V)$	-10	+30	$\mu A$
			$(V_{24} - 65V) \leq V_{C/Q} \leq +60V$	-70	+70	
DI Leakage Current	$I_{LEAK\_DI}$	DI receiver disabled ( $DI\_Dis = 1$ ), $V_{24} = 24V$ , $(V_{24} - 65V) \leq V_{DI} \leq +60V$	-40		+150	$\mu A$
DI Input Current	$I_{IN\_DI}$	DI receiver enabled, $V_{24} = 24V$	$-5V \leq V_{DI} \leq (V_{24} + 5V)$	-10	+35	$\mu A$
			$(V_{24} - 65V) \leq V_{DI} \leq +60V$	-40	+200	
<b>LOGIC INPUTS (<math>\overline{CS}/PP</math>, TXEN, TX, LO, LED1IN, CLK/TXEN/200MA, SPI/<math>\overline{PIN}</math>, SDI/TX/NPN)</b>						
Logic Input Voltage Low	$V_{IL}$				$0.2 \times V_L$	V
Logic Input Voltage High	$V_{IH}$		$0.8 \times V_L$			V
Logic Input Leakage Current	$I_{LEAK}$	Logic input = GND or $V_L$	-1		+1	$\mu A$
<b>LOGIC OUTPUTS (RX, LI, <math>\overline{WU}</math>, <math>\overline{IRQ}/OC</math>, SDO/RX/THSH)</b>						
Logic Output Voltage Low	$V_{OL}$	$I_{OUT} = -5mA$			0.4	V
Logic Output Voltage High	$V_{OH}$	$I_{OUT} = 5mA$	$V_L - 0.4$			V
$\overline{IRQ}/OC$ Open-Drain Leakage Current	$I_{LK\_OD}$	$\overline{IRQ}/OC$ high impedance, $\overline{IRQ}/OC = GND$ or $V_L$	-1		+1	$\mu A$
SDO Leakage Current	$I_{LK\_SDO}$	SPI/ $\overline{PIN}$ = high, $\overline{CS}/PP$ = high, SDO/RX/THSH = GND or $V_L$	-1		+1	$\mu A$
RX, LI Leakage Current	$I_{LK\_RXLI}$	SPI/ $\overline{PIN}$ = high, $DI\_Dis = 1$ , $RX\_Dis = 1$ , RX/LI = GND or $V_L$	-1		+1	$\mu A$
<b>LED DRIVERS (LED1, LED2)</b>						
LED Output Voltage Low	$V_{LEDOL}$	$I_{OUT} = -5mA$			0.4	V
LED Output Voltage High	$V_{LEDOH}$	$I_{OUT} = 10mA$	$V_5 - 0.4$			V
<b>THERMAL MANAGEMENT</b>						
Thermal Warning Threshold	$T_{WRN}$	Die junction temperature rising, TempW and TempWInt bits are set		+140		$^\circ C$
Thermal Warning Threshold Hysteresis	$T_{WRN\_HYS}$	Die junction temperature falling, TempW bit cleared		15		$^\circ C$
Per-Driver Thermal Shutdown Temperature	$T_{SHUT\_D}$	Driver temperature rising, temperature at which the driver is turned off		+160		$^\circ C$

**DC Electrical Characteristics (continued)**

( $V_{24} = 9V$  to  $60V$ ,  $V_5 = 4.5V$  to  $5.5V$ ,  $V_L = 2.5V$  to  $5.5V$ ,  $V_{GND} = 0V$ ; REG unconnected, all logic inputs at  $V_L$  or GND;  $T_A = -40^\circ C$  to  $+125^\circ C$ , unless otherwise noted. Typical values are at  $V_{24} = 24V$ ,  $V_5 = 5V$ ,  $V_L = 3.3V$ , and  $T_A = +25^\circ C$ , unless otherwise noted.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Per-Driver Thermal Shutdown Temperature Hysteresis	$T_{SHUT\_DHYS}$	Driver temperature falling		15		$^\circ C$
IC Thermal Shutdown	$T_{SHUT\_IC}$	Die temperature rising, ThShut and ThuShutInt bits are set		+170		$^\circ C$
IC Thermal-Shutdown Hysteresis	$T_{SHUT\_ICHYS}$	Die temperature falling, ThShut bit is cleared		15		$^\circ C$

**AC Electrical Characteristics**

( $V_{24} = 18V$  to  $30V$ ,  $V_5 = 4.5V$  to  $5.5V$ ,  $V_L = 2.5V$  to  $5.5V$ ,  $V_{GND} = 0V$ ; REG unconnected, all logic inputs at  $V_L$  or GND;  $T_A = -40^\circ C$  to  $+125^\circ C$ , unless otherwise noted. Typical values are at  $V_{24} = 24V$ ,  $V_5 = 5V$ ,  $V_L = 3.3V$ , and  $T_A = +25^\circ C$ , unless otherwise noted.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>C/Q, DO DRIVER</b>						
Driver Low-to-High Propagation Delay	$t_{PDLH\_PP}$	Push-pull and PNP configuration, Figure 1		0.16	0.4	$\mu s$
		NPN configuration, Figure 1		0.16		
Driver High-to-Low Propagation Delay	$t_{PDHL\_PP}$	Push-pull and NPN configuration, Figure 1		0.28	0.4	$\mu s$
		PNP configuration, Figure 1		0.28		
Driver Skew	$t_{SKEW}$	Push-pull configuration, Figure 1 $ t_{PDLH} - t_{PDHL} $	-0.3		+0.3	$\mu s$
Driver Rise Time	$t_{RISE}$	Push-pull and PNP configuration, Figure 1		0.12	0.4	$\mu s$
Driver Fall Time	$t_{FALL}$	Push-pull and NPN configuration, Figure 1		0.12	0.4	$\mu s$
Driver Enable Time High	$t_{ENH}$	Push-pull and PNP configuration, CQ-DOPar = 1 for DO, Figure 2		0.15	0.4	$\mu s$
Driver Enable Time Low	$t_{ENL}$	Push-pull and NPN configuration, CQ-DOPar = 1 for DO, Figure 3		0.27	0.4	$\mu s$
Driver Disable Time High	$t_{DISH}$	Push-pull and PNP configuration, CQ-DOPar = 1 for DO, Figure 2		1.8	3	$\mu s$
Driver Disable Time Low	$t_{DISL}$	Push-pull and NPN configuration, CQ-DOPar = 1 for DO, Figure 3		1.5	3	$\mu s$
<b>C/Q, DI RECEIVER (Figure 4)</b>						
C/Q Receiver Low-to-High Propagation Delay	$t_{PRLH\_CQ}$	SPI/ $\overline{PIN}$ = high or low, CQFil = 0	0.85	1.3	2.1	$\mu s$
		SPI/ $\overline{PIN}$ = high, CQFil = 1	0.2	0.3	0.5	
C/Q Receiver High-to-Low Propagation Delay	$t_{PRHL\_CQ}$	SPI/ $\overline{PIN}$ = high or low, CQFil = 0	0.85	1.3	2.1	$\mu s$
		SPI/ $\overline{PIN}$ = high, CQFil = 1	0.2	0.3	0.5	
DI Receiver Low-to-High Propagation Delay	$t_{PRLH\_DI}$		1.3	2.2	3.5	$\mu s$
DI Receiver High-to-Low Propagation Delay	$t_{PRHL\_DI}$		1.3	2.2	3.5	$\mu s$



## AC Electrical Characteristics (continued)

( $V_{24} = 18V$  to  $30V$ ,  $V_5 = 4.5V$  to  $5.5V$ ,  $V_L = 2.5V$  to  $5.5V$ ,  $V_{GND} = 0V$ ; REG unconnected, all logic inputs at  $V_L$  or GND;  $T_A = -40^\circ C$  to  $+125^\circ C$ , unless otherwise noted. Typical values are at  $V_{24} = 24V$ ,  $V_5 = 5V$ ,  $V_L = 3.3V$ , and  $T_A = +25^\circ C$ , unless otherwise noted.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>DRIVER CURRENT LIMITING</b>						
Blanking Time	$t_{CL\_ARBL}$	SPI/ $\overline{PIN}$ = high	CL_BL[10] = 00	0.128		ms
			CL_BL[10] = 01	0.5		
			CL_BL[10] = 10	1		
			CL_BL[10] = 11	5		
		SPI/ $\overline{PIN}$ = low		0.128		
<b>PARAMETER</b>	<b>SYMBOL</b>	<b>CONDITIONS</b>	<b>MIN</b>	<b>TYP</b>	<b>MAX</b>	<b>UNITS</b>
Autoretry Period	$t_{CL\_ARP}$	SPI/ $\overline{PIN}$ = high, ArEn = 1 (Note 4)	TAr[10] = 00	50		ms
			TAr[10] = 01	100		
			TAr[10] = 10	200		
			TAr[10] = 11	500		
<b>WAKE-UP DETECTION (Figure 5)</b>						
Wake-Up Input Minimum Pulse Width	$t_{WUMIN}$	$C_L = 3nF$	55	66	75	$\mu s$
Wake-Up Input Maximum Pulse Width	$t_{WUMAX}$		85	95	110	$\mu s$
$\overline{WU}$ Output Low Time	$t_{WUL}$	Valid wake-up condition on C/Q	100	200	300	MS
<b>SPI TIMING (<math>\overline{CS}/PP</math>, CLK/TXEN/200MA, SDI, TX/NPN, SDO/RX/THSH) (Figure 6)</b>						
Maximum SPI Clock Frequency			12.5			MHz
CLK/TXEN/200MA Clock Period	$t_{CH+CL}$		80			ns
CLK/TXEN/200MA Pulse-Width High	$t_{CH}$		40			ns
CLK/TXEN/200MA Pulse-Width Low	$t_{CL}$		40			ns
$\overline{CS}/PP$ Fall to CLK/TXEN/200MA Rise Time	$t_{CSS}$		20			ns
CLK/TXEN/200MA Rise to $\overline{CS}/PP$ Rise Hold Time	$t_{CSH}$		40			ns
SDI/TX/NPN Hold Time	$t_{DH}$		10			ns
SDI/TX/NPN Setup Time	$t_{DS}$				25	ns
Output Data Propagation Delay	$t_{DO}$				20	ns
SDO/RX/THSH Rise and Fall Times	$t_{FT}$				20	ns
Minimum $\overline{CS}/PP$ Pulse	$t_{CSW}$				10	ns

**Note 2:** All devices are 100% production tested at  $T_A = +25^\circ C$ . Limits over the operating temperature range are guaranteed by design.

**Note 3:** Not production tested. Guaranteed by design.

**Note 4:** Autoretry functionality is not available in pin-mode.

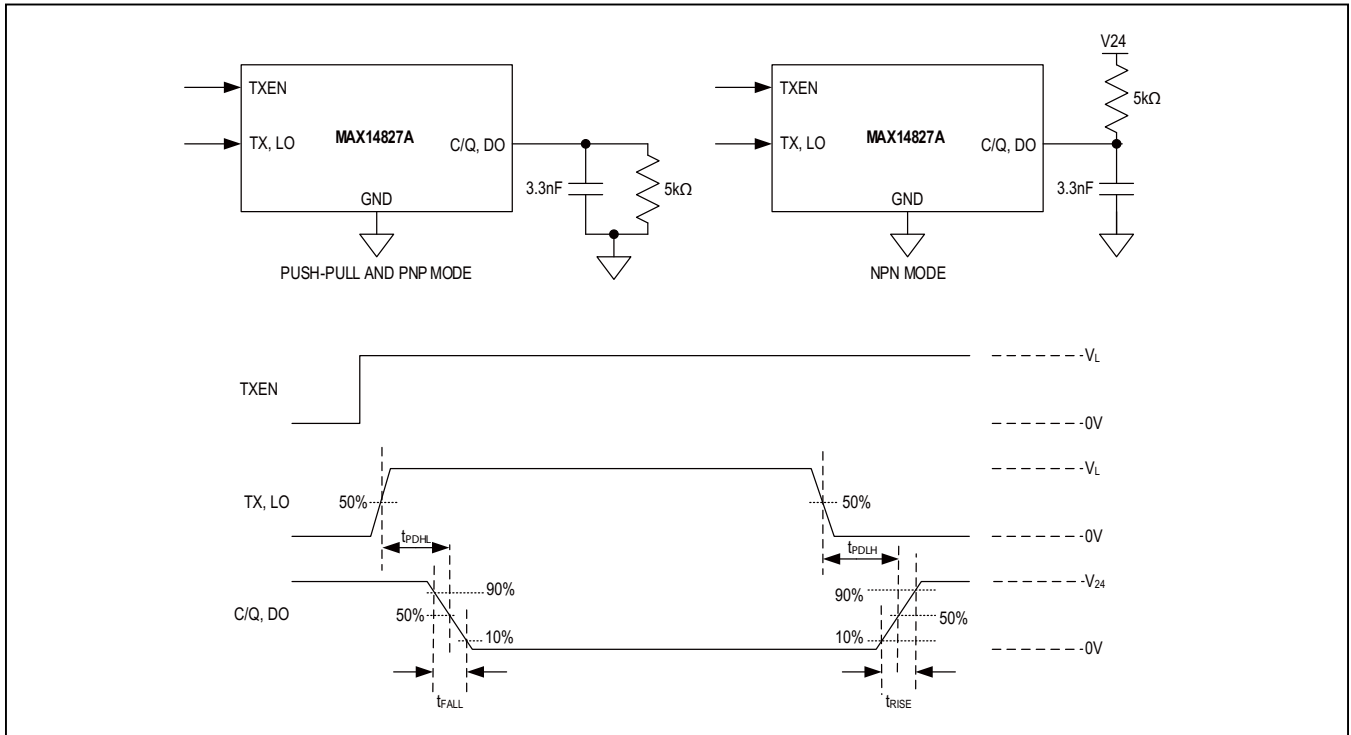


図1. C/QおよびLOドライバの伝播遅延および立上り/立下り時間

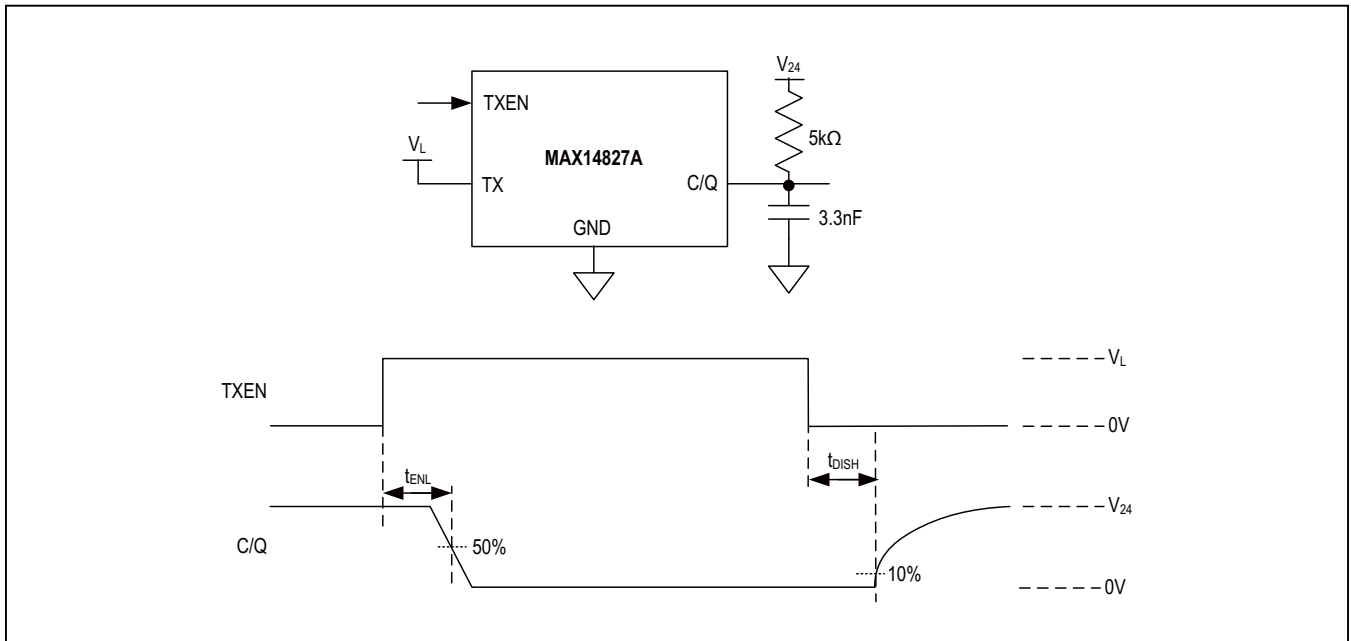


図2. C/Qドライバのイネーブルローおよびディセーブルハイタイミング(外付けプルアップ抵抗使用時)

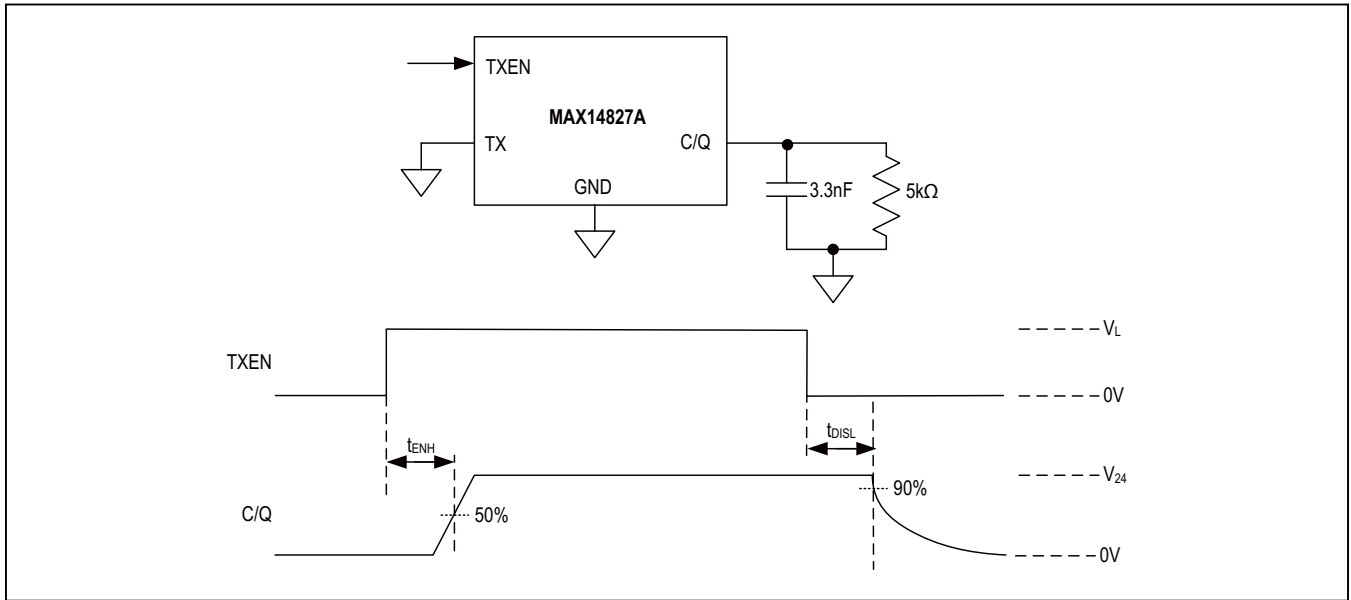


図3. C/Qドライバのイネーブルハイおよびディセーブルロータイミング

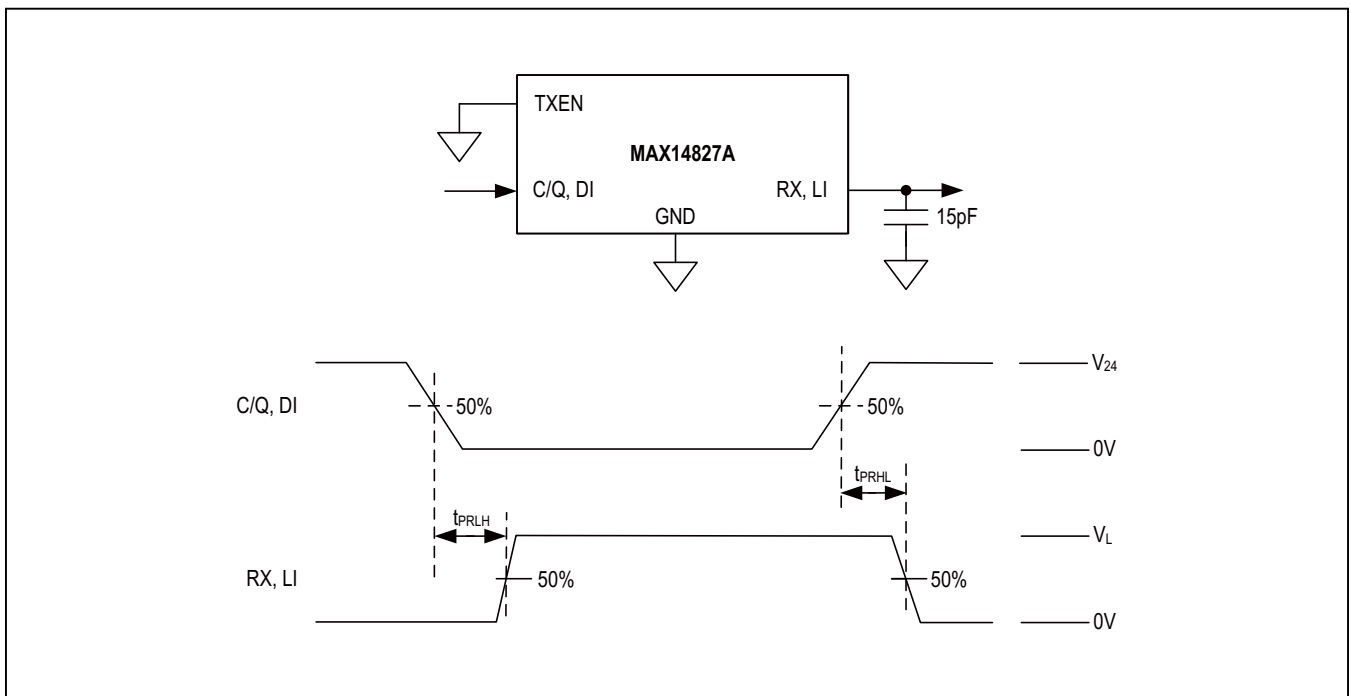


図4. C/QおよびDIレシーバの伝播遅延

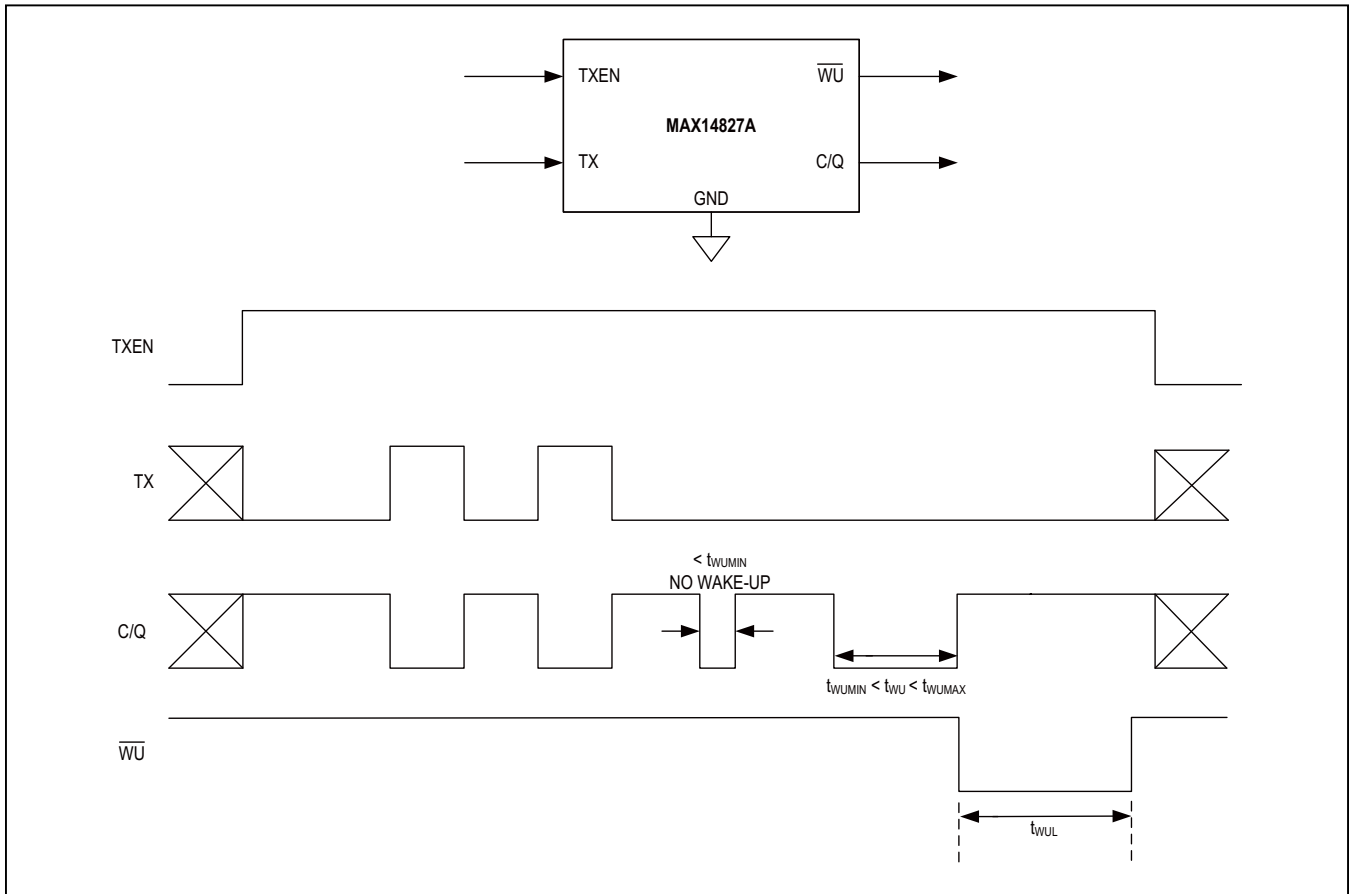


図5. ウェイクアップ検出タイミング

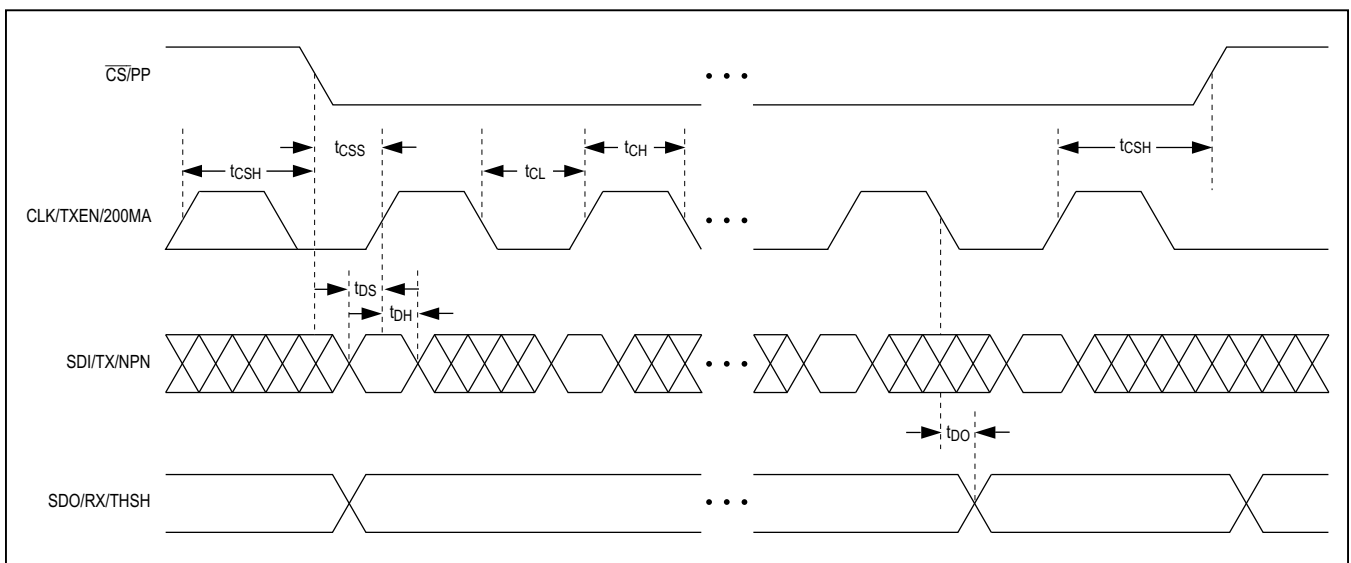
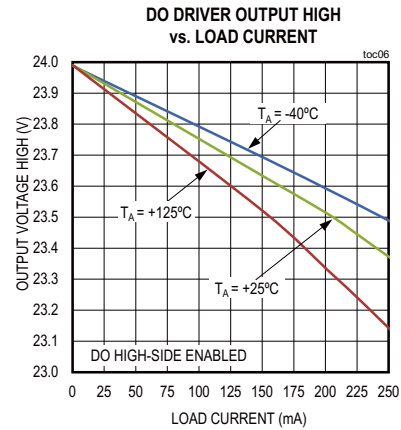
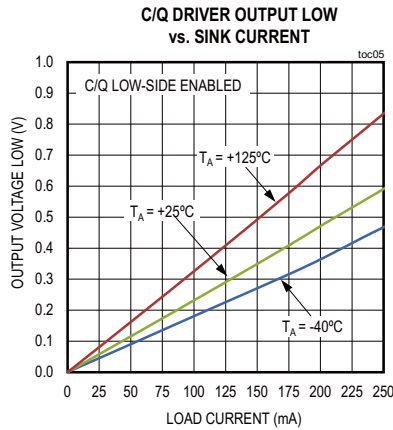
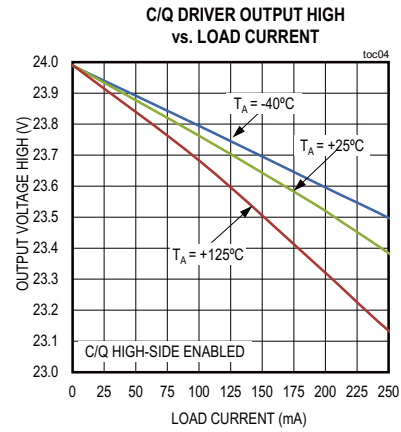
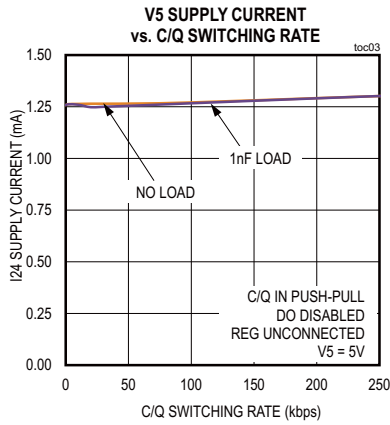
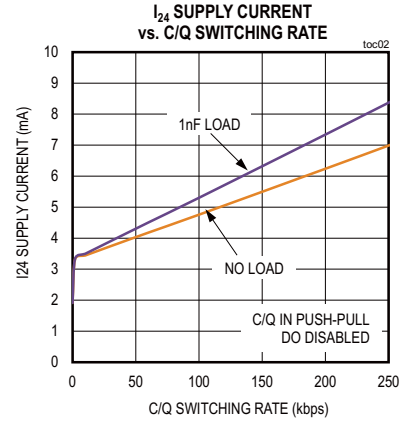
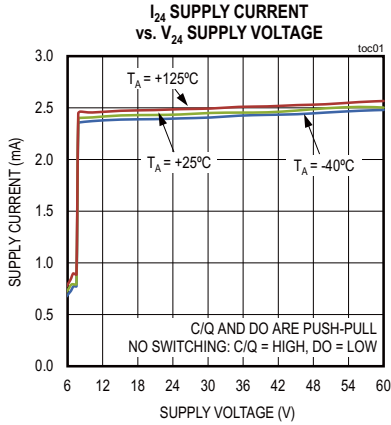


図6. SPIのタイミング図

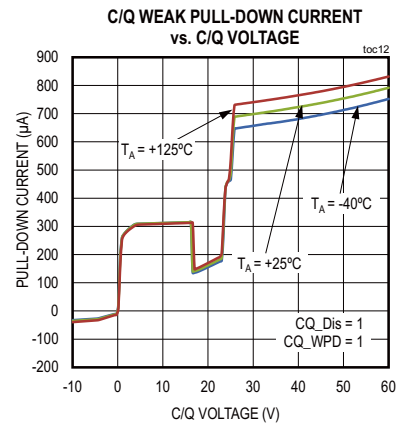
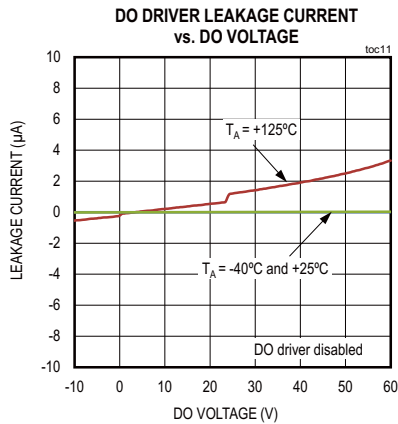
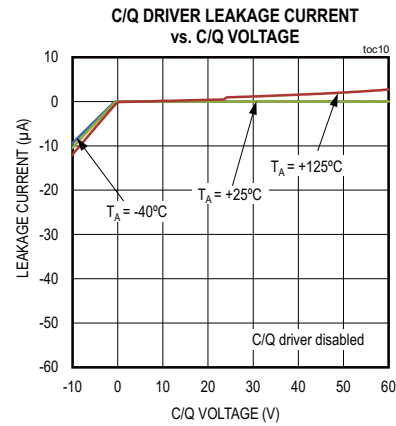
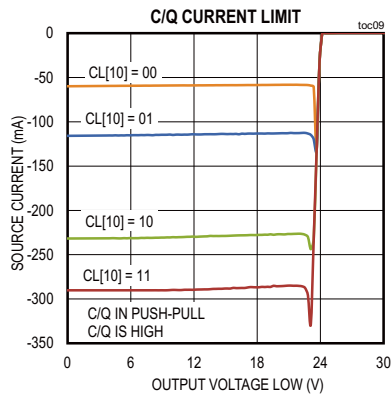
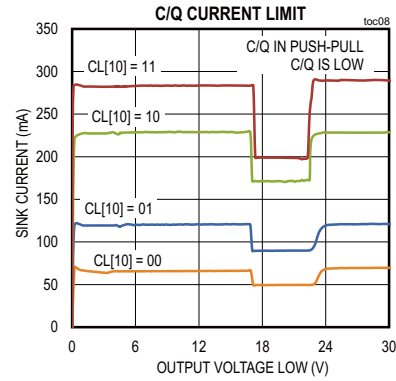
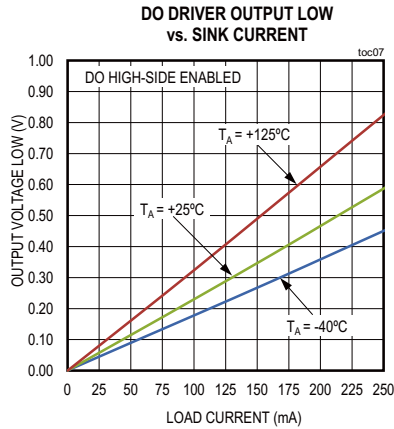
標準動作特性

( $V_{24} = 24V$ ,  $V_L = V_{33}$ , REG is shorted to  $V_5$ , C/Q and DO in push-pull configuration,  $T_A = +25^\circ C$ , unless otherwise noted.)



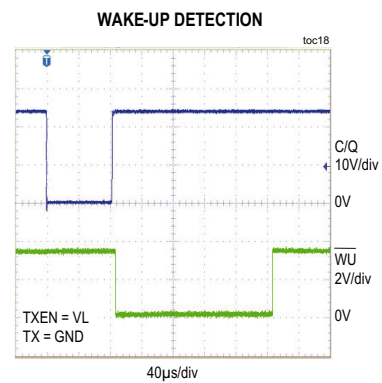
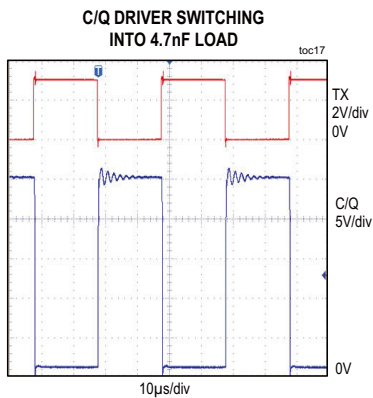
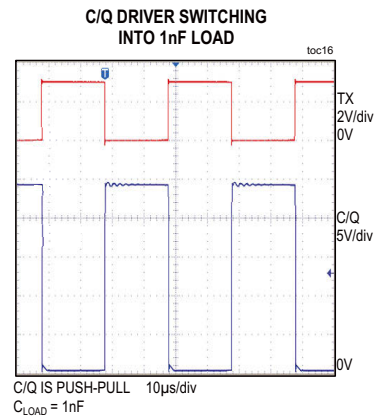
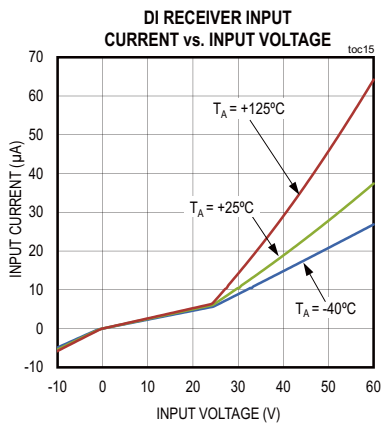
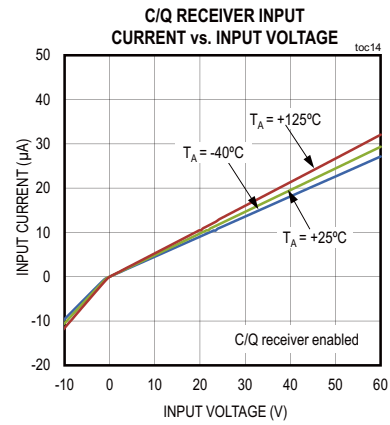
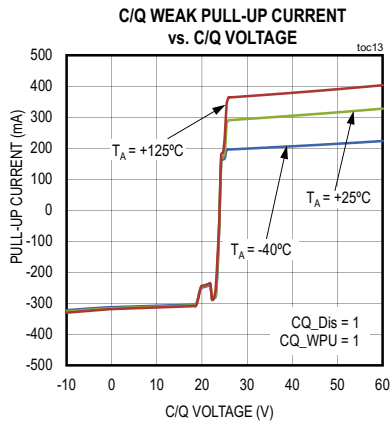
標準動作特性(続き)

( $V_{24} = 24V$ ,  $V_L = V_{33}$ , REG is shorted to V5, C/Q and DO in push-pull configuration,  $T_A = +25^\circ C$ , unless otherwise noted.)



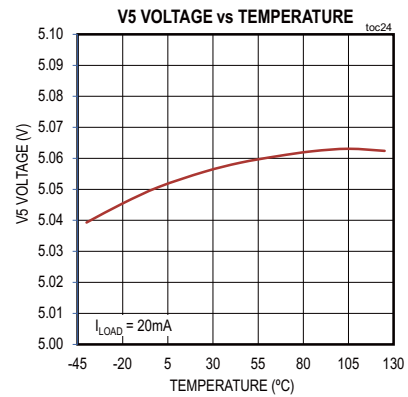
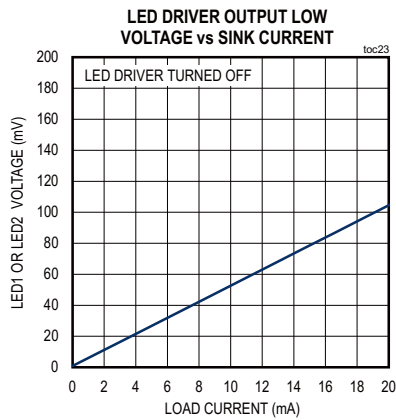
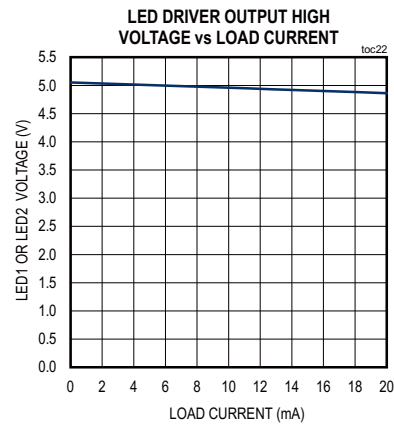
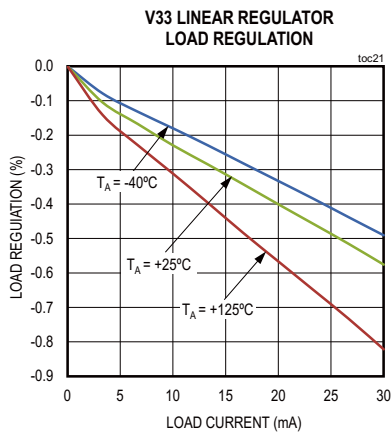
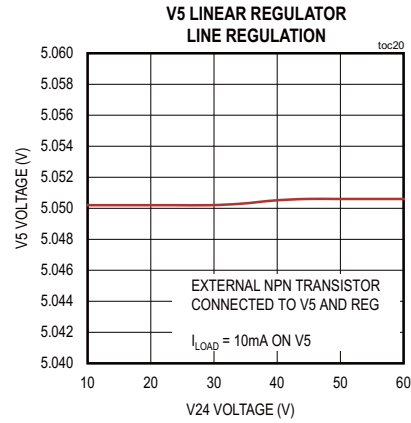
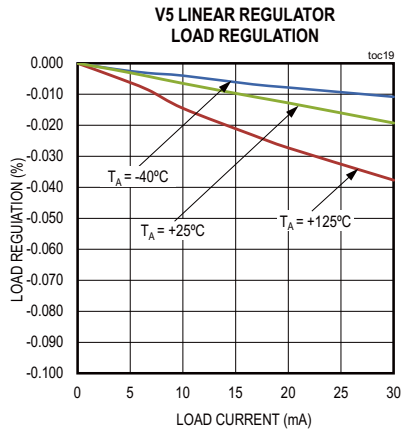
標準動作特性(続き)

( $V_{24} = 24V$ ,  $V_L = V_{33}$ , REG is shorted to V5, C/Q and DO in push-pull configuration,  $T_A = +25^\circ C$ , unless otherwise noted.)



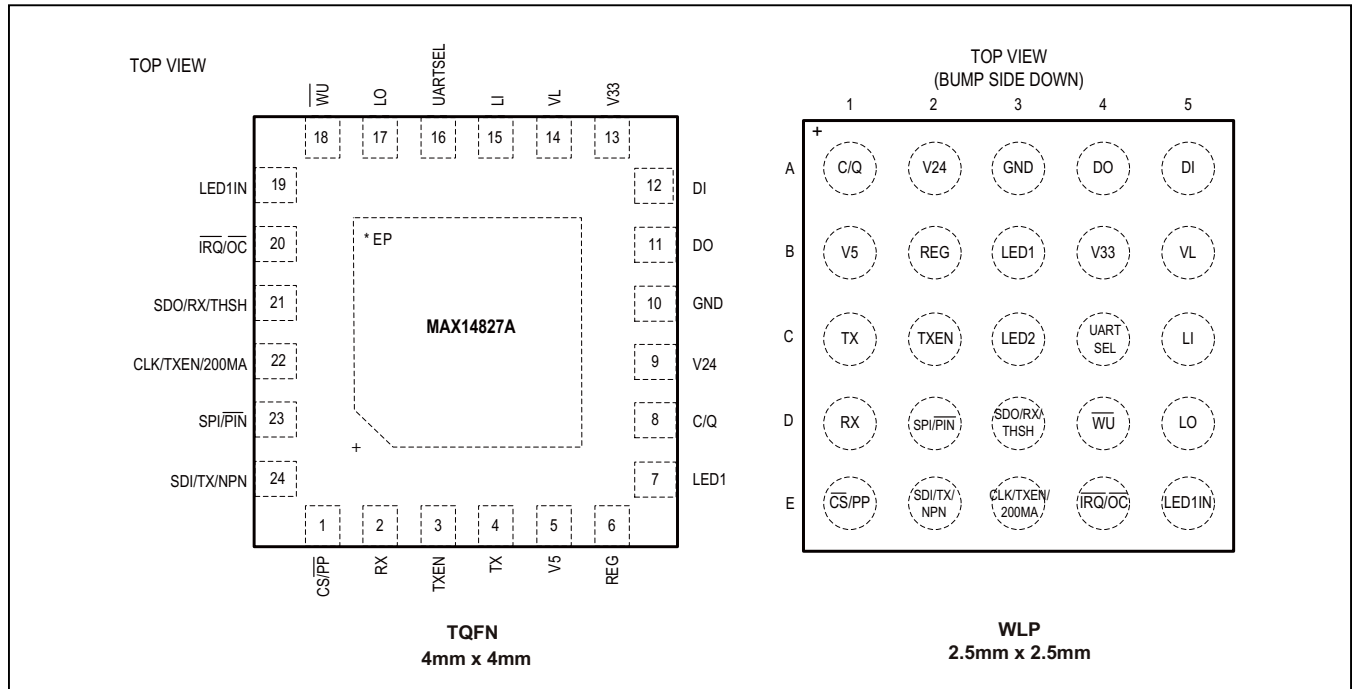
標準動作特性(続き)

( $V_{24} = 24V$ ,  $V_L = V_{33}$ , REG is shorted to V5, C/Q and DO in push-pull configuration,  $T_A = +25^\circ C$ , unless otherwise noted.)





ピン配置



端子説明

端子		名称	端子説明	機能		
TQFN	WLP			パラレルモード (SPI/PIN = ハイ)	多重モード (SPI/PIN = ハイ)	ピンモード (SPI/PIN = ロー)
				UARTSEL = ロー	UARTSEL = ハイ	
1	E1	$\overline{CS}/PP$	$\overline{CS}/PP$ ロジック入力	SPIアクティブローチップセレクト入力。SPI読取り/書き込みサイクルを開始する場合、 $\overline{CS}/PP$ をローに駆動してください。SPIサイクルを終了する場合、 $\overline{CS}/PP$ をハイに駆動してください。RX、TX、およびTXENでUARTインタフェースがイネーブルされます。	SPIチップセレクトおよびUART信号選択入力。 $\overline{CS}/PP$ がハイの場合、SPIインタフェースはディセーブルされ、SDO/RX/THSH、SDI/TX/NPN、およびCLK/TXEN/200MAの各ロジック端子でUARTインタフェースモードがイネーブルされます。	プッシュプル選択入力。C/QおよびDOドライバのプッシュプルモードをイネーブルする場合、 $\overline{CS}/PP$ をハイに駆動してください。ドライバのPNPまたはNPN動作を選択する場合、 $\overline{CS}/PP$ をローに駆動してください。
2	D1	RX	C/Qレシーバロジック出力	RXはC/Qの反転ロジックです。SPIインタフェースでRXをディセーブルすることができます。Rx_Dis = 1の場合、RXはハイインピーダンスです。	RXはC/Qの反転ロジックです。RXは常時アクティブです。	

## 端子説明(続き)

端子		名称	端子説明	機能		
TQFN	WLP			パラレルモード (SPI/PIN = ハイ)	多重モード (SPI/PIN = ハイ)	ピンモード (SPI/PIN = ロー)
				UARTSEL = ロー	UARTSEL = ハイ	
3	C2	TXEN	C/Qドライバ イネーブル ロジック入力	C/Qドライバをイネーブルする 場合、TXENをハイに駆 動してください。表1を参照 してください。	C/Qをイネーブルする場合、 CS/PPがローでENMPX = 0の状態、TXENをハイ に駆動してください。	C/Qドライバをイネーブ ルする場合、TXENを ハイに駆動してくださ い。C/Qドライバをデ イセーブルしてC/Qレシ ーバをイネーブルする場 合、TXENをローに駆 動してください。
4	C1	TX	C/Qドライバ 通信入力	C/Q出力のロジックは、TX 入力の信号の反転ロジック レベルです。表1を参照し てください。	CS/PPがローでENMPX = 0の場合、C/Q出力のロジ ックはSDI/TX/NPN入力 の信号の反転ロジックレ ベルです。TXの信号は無 視されます。モード選択 表を参照してください。	TXENがハイの場合、 C/Q出力のロジックは TX入力の信号の反転ロ ジックレベルです。
5	B1	V5	5V電源 入出力	通常動作の場合、V5に5Vを印加する必要があります。1μFのコンデンサで、V5をGNDに接続してください。V5は、内蔵5Vリニアレギュレータまたは外付けレギュレータによる給電が可能です。内蔵レギュレータを使用する場合、V5をREGに接続するか、または外付けNPNトランジスタのエミッタに接続してください。内蔵レギュレータをバイパスする場合、外部5V電源をV5に直接接続してください。		
6	B2	REG	5Vレギュレータ 制御出力	内蔵リニアレギュレータを使用する場合、REGをV5に接続するか、またはREGを外付けNPNトランジスタのベースに接続してください。内蔵レギュレータをバイパスする場合は、REGを未接続のままにして、V5を外部5V電源に接続してください。		
7	B3	LED1	LEDドライバ 出力1	LED1は、5Vロジック出力です。LED1とLEDの間に電流制限抵抗を直列に接続して、LED電流を制限してください。LED1は、LED1INをハイまたはローに駆動することによって制御するか、またはSPIインタフェースを介して制御することができます。LEDをオンにする場合はLED1bビットをハイに設定し、LEDをオフにする場合はLED1bビットをクリアしてください。あるいは、LEDをオンにする場合はLED1IN入力をハイに駆動し、LEDをオフにする場合はLED1INをローに駆動してください。表2を参照してください。	LED1は、5Vロジック出力です。LED1とLEDの間に電流制限抵抗を直列に接続して、LED電流を制限してください。LEDをオンにする場合はLED1IN入力をハイに駆動し、LEDをオフにする場合はLED1INをローに駆動してください。	
—	C3	LED2	LEDドライバ 出力2	LED2は、5Vロジック出力です。LED2とLEDの間に電流制限抵抗を直列に接続して、LED電流を制限してください。LEDをオンにする場合はLED2bビットをハイに設定し、LEDをオフにする場合はLED2bビットをクリアしてください。	LED2は、ピンモードでは制御することができません。LED2はオフです。	

## 端子説明(続き)

端子		名称	端子説明	機能		
TQFN	WLP			パラレルモード (SPI/PIN = ハイ)	多重モード (SPI/PIN = ハイ)	ピンモード (SPI/PIN = ロー)
				UARTSEL = ロー	UARTSEL = ハイ	
8	A1	C/Q	C/Qトランシーバ 出力/入力	C/Qドライバは、ロジック入出力端子またはSPIインタフェースを介して制御および監視することができます。C/Qドライバをイネーブルする場合、TXENをハイに駆動してください。C/Q出力のロジックは、TX入力の信号の反転ロジックレベルです。RXはC/Qのロジック反転です。	C/Qドライバをイネーブルする場合、TXENをハイに駆動してください。C/Q出力のロジックは、TX入力の信号の反転ロジックレベルです。RXはC/Qのロジック反転です。ピンモードの入力でC/Qドライバを設定してください。	
9	A2	V24	電源入力	できる限りデバイスの近くに配置した0.1μFのセラミックコンデンサで、V24をGNDに接続してください。		
10	A3	GND	グラウンド			
11	A4	DO	DOドライバ出力	DOは、LO入力の反転ロジックレベルです。DOドライバは、ロジック入出力端子またはSPIインタフェースを介してイネーブル/ディセーブル、設定、制御、および監視することができます。	DOは、LO入力の反転ロジックレベルです。ピンモードの入力でDOドライバを設定してください。DOは、ピンモードではディセーブルすることができません。	
12	A5	DI	DIレシーバ入力	DIレシーバは、LI出力またはSPIインタフェースを介して監視することができます。LI出力は、DI入力の信号の反転ロジックレベルです。	LI出力は、DI入力の信号の反転ロジックレベルです。DIレシーバは、ピンモードではディセーブルすることができません。	
13	B4	V33	3.3Vリニアレギュレータ出力	できる限りICの近くに配置した1μFのコンデンサで、V33をGNDに接続してください。V33レギュレータは、SPIインタフェースを介してディセーブルすることができます。	できる限りICの近くに配置した1μFのコンデンサで、V33をGNDに接続してください。V33は、ピンモードではディセーブルすることができません。	
14	B5	VL	ロジックレベル電源入力	VLは、全ロジック入力および出力のロジックレベルを定義します。2.5V~5.5Vの電圧をVLに印加してください。0.1μFのセラミックコンデンサで、VLをGNDに接続してください。		
15	C5	LI	DIレシーバロジック出力	LI出力は、DI入力の信号の反転ロジックレベルです。LI出力のディセーブルは、SPIインタフェースを介して行ってください。DI_Disビットに1が設定されている場合、LIはハイインピーダンスです。	LI出力は、DI入力の信号の反転ロジックレベルです。LIは、ピンモードではディセーブルすることができません。	
16	C4	UARTSEL	UARTインタフェース選択ロジック入力	RX、TX、およびTXENをUART信号方式に使用する場合、UARTSELをローに駆動してください。	$\overline{CS}$ /PPがハイの場合、SDO/RX/THSH、SDI/TX/NPN、およびCLK/TXEN/200MAはUART信号方式に使用してください。	SPI/PINがローの場合、UARTSELは非アクティブです。

## 端子説明(続き)

端子		名称	端子説明	機能		
TQFN	WLP			パラレルモード (SPI/PIN = ハイ)	多重モード (SPI/PIN = ハイ)	ピンモード (SPI/PIN = ロー)
				UARTSEL = ロー	UARTSEL = ハイ	
17	D5	LO	DOドライバ ロジック入力	DO出力のロジックは、LO入力の信号の反転ロジックレベルです。ロジック端子またはSPIインタフェースを介してDO出力を設定、制御、および監視してください。	DO出力のロジックは、LO入力の信号の反転ロジックレベルです。ピンモードの入力でDOドライバを設定してください。	
18	D4	$\overline{WU}$	ウェイクアップ 要求プッシュプル 出力	C/QラインでIO-Linkの80 $\mu$ sのウェイクアップ条件が検出された場合、 $\overline{WU}$ は200 $\mu$ sにわたってローにアサートします。		
19	E5	LED1IN	LED1ドライバ ロジック入力	LED1INをハイまたはローに駆動して、LED1ドライバをイネーブル/ディセーブルします。LED1ドライバは、SPIインタフェースを介して制御することもできます。表2を参照してください。	LED1に接続されたLEDをオンにする場合、LED1INをハイに駆動してください。LEDドライバをオフにする場合、LED1INをローに駆動してください。	
20	E4	$\overline{IRQ/OC}$	オープンドレイン の割込み/過電流 出力	$\overline{IRQ/OC}$ は、INTERRUPTレジスタのいずれかのビットに1が設定された場合にアサートします。 $\overline{IRQ/OC}$ は、INTERRUPTレジスタが読み取られたときにデアサートします。	$\overline{IRQ/OC}$ は、C/QまたはDO出力の負荷電流が設定された電流制限を超えた場合にローにアサートします。	
21	D3	SDO/ RX/ THSH	SPIシリアルデータ 出力/ RXロジック出力/ サーマルシャット ダウンインジケータ	SPIシリアルデータ出力	$\overline{CS/PP}$ がハイの場合、SPIインタフェースはディセーブルされ、UARTインタフェースモードがイネーブルされます。SDO/RX/THSHはC/Qのロジック反転です。	SDO/RX/THSHは、ICがサーマルシャットダウンに移行するときローにアサートします。SDO/RX/THSHは、デバイスが通常動作に復帰するときデアサートします。

## 端子説明(続き)

端子		名称	端子説明	機能		
TQFN	WLP			パラレルモード (SPI/PIN = ハイ)	多重モード (SPI/PIN = ハイ)	ピンモード (SPI/PIN = ロー)
				UARTSEL = ロー	UARTSEL = ハイ	
22	E3	CLK/ TXEN/ 200MA	SPIクロック入力/ UART TXEN入力/ 電流制限設定入力	SPIクロック入力	$\overline{CS}/PP$ がハイの場合、 SPIインタフェースはディ セーブルされ、UARTイン タフェースモードがイネー ブルされます。C/Qドライ バをイネーブする場合、 CLK/TXEN/200MAをハ イに駆動してください。	C/QおよびDOドライ バ出力の200mAの 電流制限をイネーブ ルする場合、CLK/ TXEN/200MAをハ イに駆動してくださ い。ドライバ出力の電 流制限を100mAに 設定する場合、CLK/ TXEN/200MAをロー に駆動してください。
23	D2	SPI/ $\overline{PIN}$	SPIまたは ピンモード 選択入力	SPIまたはUARTインタフェース動作の場合、SPI/ $\overline{PIN}$ をハイに駆動してください。 ピンモード動作の場合、SPI/ $\overline{PIN}$ をローに駆動してください。		
24	E2	SDI/TX/ NPN	SPIシリアルデータ 入力/ TXロジック入力/ NPNドライバ モード選択入力	SPIシリアルデータ入力	$\overline{CS}/PP$ がハイの場合、 SPIインタフェースはディ セーブルされ、UART インタフェースモードがイ ネーブされます。SDI/ TX/NPNを駆動して、C/ Qをスイッチングしてく ださい。C/Qは、SDI/TX/ NPN入力のロジック反転 です。	C/QおよびDOドライ バ出力をNPNモードに 設定する場合、SDI/ TX/NPNをハイに駆動 してください。ドライ バ出力をPNPモードに 設定する場合、SDI/ TX/NPNをローに駆 動してください。 $\overline{CS}/$ PP入力が高いの場合、 SDI/TX/NPNは無視さ れます。
EP	-	EP	エクスポーズドパッド。グランドに接続してください。主なグランド接続として使用するものではありません。			

表1. C/QおよびDOの制御

SPI/ $\overline{\text{PIN}}$	TXEN	TX OR LO	CQ_DIS OR DO_DIS	CQ_Q OR DO_Q	NPN MODE		PNP MODE		PP MODE		
					C/Q	DO	C/Q	DO	C/Q	DO	
L	L	L	-	-	Z	Z	Z	H	Z	H	
		H	-	-	Z	L	Z	Z	Z	L	
	H	L	-	-	Z	Z	H	H	H	H	
		H	-	-	L	L	Z	Z	L	L	
H	L	L	0	0	Z	Z	Z	H	Z	H	
		L	0	1	Z	Z	H	H	H	H	
		H	0	0	Z	L	Z	Z	Z	L	
		H	0	1	Z	Z	H	H	H	H	
	H	L	0	0	Z	Z	H	H	H	H	
		L	0	1	Z	Z	H	H	H	H	
		H	0	0	L	L	Z	Z	L	L	
		H	0	1	Z	Z	H	H	H	H	
	X	X	X	1	X	Z	Z	Z	Z	Z	Z

X = 任意、Z = ハイインピーダンス

表2. LED1の設定

LED1IN	LED1B BIT	LED1 DRIVER STATUS
L	0	OFF
	1	ON
H	0	ON
	1	ON

表3. ドライバのNPN、PNP、PPの選択  
(ピンモード時)

SPI/ $\overline{\text{PIN}}$	$\overline{\text{CS}}$ /PP	SDI/TX/NPN	C/Q AND DO DRIVER MODE
L	L	L	PNP
L	L	H	NPN
L	H	L	PUSH-PULL
L	H	H	PUSH-PULL
H	X	X	C/Q and DO Modes are set with the SPI interface

## 詳細

MAX14827Aは、産業用センサー出力ドライバ/IO-Link デバイストランシーバです。このICは、2つの24Vラインドライバおよび2つの内蔵リアレギュレータ(LDO)を含む、センサーで一般的に使用される高電圧機能を内蔵しています。MAX14827Aの設定および監視は、SPIインタフェースを介して、またはロジックインタフェース端子の設定によって行うことができます。

MAX14827Aは複数の設定可能な機能を備えているため、ユーザーはさまざまな負荷およびアプリケーションのシナリオに応じて動作と消費電力を最適化することができます。

内蔵の3.3Vおよび5V LDOは、低ノイズアナログおよびロジック電源レールに必要な電力を提供します。

## SPI、UART、またはピンモードインタフェース

### ピンモード

MAX14827Aは、デバイスの動作を設定および監視するための、選択可能なSPIまたはピンインタフェースを提供します。SPIを使用する場合、SPI/PIN入力をハイに駆動してください。ピンインタフェース(ピンモード制御)を使用する場合、SPI/PINをローに駆動してください。

ピンモード動作時は以下の機能が設定され、変更することはできません。

- RXおよびDIはイネーブル(ディセーブル不可)
- RXデグリッチフィルタはイネーブル
- C/QおよびDOの弱プルアップ/プルダウンはディセーブル
- 自動再試行機能はディセーブル
- C/QおよびDOのブランキング時間は128μs

### SPI動作(パラレル動作モード)

MAX14827AがSPIモードで動作する場合、外部UARTを個別のUARTインタフェース端子(TX、RX、TXEN)に接続することができます。これはパラレルSPI/UART動作モードと呼ばれます。これは、[標準動作回路](#)においてマイクロコントローラがUARTおよび個別のSPIポートを提供する場合に使用される一般的な方法です。パラレルモードでの動作の場合、UARTSELをローに駆動してください。

### SPI動作(多重モード)

SPIとUARTの両方の機能で利用可能なマイクロコントローラのシリアルポートが1つのみの場合、MAX14827Aを多重SPI/UARTモードで動作させることができます。IO-Linkのサイクルタイムでアイドル時間が定義されているため、これはIO-Link動作で実行可能です。多重モードでは、UARTおよびSPI端子は共用されます。多重モードでは2つの動作モードが利用可能で、ENMPXビットによって選択します。

ENMPX = 0の場合、UARTおよびSPI動作はCS/PP入力の設定によって選択します。このモードでは、CS/PPがローの場合SPIインタフェースがアクティブになり、CS/PPがハイの場合UART動作になります。

ENMPX = 1の場合、UARTおよびSPI動作はUARTSEL入力の設定によって選択します。C/Qのグリッチを防止するため、このモードではCLK/TXEN/200MAおよびSDI/TX/NPNはUARTSELの立下りエッジでサンプリングされます。詳細については、[モード選択表](#)を参照してください。

多重モードへの移行時には、TXENをローに設定しTXをハイに設定してドライバをディセーブルしてください。

IRQ/OCは両方の多重モードでUART通信時にアクティブです。

## 24Vインタフェース

MAX14827Aは、最大60Vの電圧で動作可能なIO-Linkトランシーバインタフェースを備えています。これは24Vインタフェースで、C/Q入出力、ロジックレベルデジタル出力(DO)、ロジックレベルデジタル入力(DI)、およびV24電源が含まれます。

MAX14827Aは、選択可能なプッシュプル、ハイサイド(PNP)、またはローサイド(NPN)スイッチングドライバをC/QおよびDOに備えています。

### 設定可能ドライバ(ピンモード)

ピンモードでは、SDI/TX/NPNおよびCS/PP入力を使用してC/QおよびDOドライバをプッシュプル、PNP、またはNPNモードに設定することができます([表3](#))。このモードでは、TXEN、TX、およびLOをトグルしてC/QおよびDO出力をスイッチングしてください。

### 設定可能ドライバ(SPIモード)

SPI動作では、C/QおよびDOドライバを個別に設定することができます。CQConfigレジスタのビットの設定によって、C/Qドライバの設定およびC/Qの弱プルアップ/プルダウン電流のイネーブル/ディセーブルを行います。DIOConfigレジスタのビットの設定によって、DOドライバの設定およびDOの弱プルアップ/プルダウン電流のイネーブル/ディセーブルを行います。CQ\_DisおよびDO\_Disビットに1を設定することによって、C/QおよびDOドライバをディセーブルすることができます。これらのビットに1が設定されている場合、ドライバ出力はハイインピーダンスで、消費電力が低減されます。ドライバの設定の詳細については、「[レジスタの機能](#)」の項を参照してください。

IO-Link動作の場合、TX、TXEN、およびRXはC/Q通信を制御するためのUARTインタフェースです。CQ\_Dis = CQ\_Q = 0に設定し、TXおよびTXEN入力を駆動してC/Qドライバの制御を行ってください。

C/QおよびDOドライバをより低速でスイッチングする場合、レジスタビットを使用してC/QおよびDO制御を行うことが可能です。ビット制御を行う場合、TXEN、TX、およびLOをハイに駆動し、CQ\_QおよびDO\_Qビットを使用してC/QおよびDOドライバの状態を制御してください。このモードでは、CQ\_DisおよびDO\_Disビットをドライバのイネーブル/ディセーブルに使用します。



### C/Qドライバのイネーブル/ディセーブル

ピンモードでは、TXEN入力でC/Qドライバをイネーブル/ディセーブルします。C/Qドライバをイネーブルする場合、TXENをハイに駆動してください。C/Qは、TX入力のロジック反転です。

SPIモードでは、CQConfigレジスタでC/Qドライバのイネーブル/ディセーブル、設定、および制御も行うことができます。

### C/Qの電流制限

C/Qドライバは、大きい容量性負荷および動的インピーダンス(白熱電球など)の駆動用に最適化されています。ピンモードでは、ドライバ電流制限はCLK/TXEN/200mA入力をハイまたはローに設定することによって選択可能です。最大負荷電流を100mAにする場合は、CLK/TXEN/200mAをローに設定してください。最大負荷電流を200mAにする場合は、CLK/TXEN/200mAをハイに設定してください。

SPI動作では、最大ドライバ電流制限はCURRLIMレジスタのCL1およびCLOビットを設定することによって50mA、100mA、200mA、または250mAとして選択可能です。

### C/Qドライバのフォルト検出

ブランキング時間より長時間にわたる短絡を検出した場合、MAX14827AはC/Qドライバのフォルト条件を検出します。短絡条件は、C/Qドライバの負荷電流が電流制限を超えているときに存在します。SPIモードでは、電流制限およびブランキング時間の両方を設定することができます。

ピンモードでは、C/QまたはDOで短絡フォルトが発生した場合、IRQ/OC出力がローにアサートします。SPIモードでは、C/QFaultおよびC/QFaultIntビットに1が設定され、IRQ/OCがアサートします。

C/Qで短絡が発生した場合、ドライバがサーマルシャットダウンに移行するまで選択された電流の供給を続けるように設定するか、または過電流が発生した場合に自動再試行モードに移行するように設定することができます。自動再試行モードでは、ドライバは電流ブランキング時間後に自動的にディセーブルされ、その後再イネーブルされます。

### C/Qレシーバ出力(RX)

RXは、C/Qレシーバの出力です。RXは、C/Q入力の反転ロジックです。

ピン制御モードでは、C/Qレシーバは常時オンです。

SPIモードでは、CQConfigレジスタのRx\_Disビットに1を設定することによってレシーバをディセーブルすることができます。Rx\_Disに1が設定されている場合、RXはハイインピーダンスです。Rx\_Disビットに1が設定されている場合、StatusレジスタのCQLvlビットは無効であることに注意してください。

多重モードでの動作時、SDO/RX/THSHはC/Qレシーバの出力です。このモードでは、CS/PPがハイでRx\_Disビットに1が設定されている場合、SDO/RX/THSHはハイインピーダンスです。

### C/Qレシーバのスレッショルド

IO-Link規格は、18V~30Vの範囲のセンサー電源でのデバイスの動作を定義しています。しかし、一般的に産業用センサーは最小9Vの電源電圧で動作します。MAX14827AのC/Qレシーバは、V24が18V以下( $V_{24} < 18V$ )の場合にレシーバのスレッショルドをスケールリングすることによって、より低い電源電圧での動作に対応します。

### DOドライバ

ピンモードでは、DOドライバは常時イネーブルです。DOは、LO入力のロジック反転です。

SPIモードでは、DIOConfigレジスタでDOドライバのイネーブル/ディセーブル、設定、および制御を行うことができます。

### DOの電流制限

DOドライバは、大きい容量性負荷および動的インピーダンス(白熱電球など)の駆動用に最適化されています。ピン制御モードでは、ドライバ電流制限はCLK/TXEN/200mA入力をハイまたはローに設定することによって選択可能です。最大負荷電流を100mAにする場合は、CLK/TXEN/200mAをローに設定してください。最大負荷電流を200mAにする場合は、CLK/TXEN/200mAをハイに設定してください。

SPI動作では、最大ドライバ電流制限はCURRLIMレジスタのCL1およびCLOビットを設定することによって50mA、100mA、200mA、または250mAとして選択可能です。

### DOのフォルト検出

ブランキング時間より長時間にわたる短絡を検出した場合、MAX14827AはDO出力のフォルト条件を検出します。短絡条件は、DOドライバの負荷電流が電流制限を超えているときに存在します。SPIモードでは、電流制限およびブランキング時間の両方を設定することができます。

ピンモードでは、C/QまたはDOで短絡フォルトが発生した場合、IRQ/OC出力がローにアサートします。SPIモードでは、DoFaultおよびDoFaultIntビットに1が設定され、IRQ/OCがアサートします。

DOで短絡が発生した場合、ドライバがサーマルシャットダウンに移行するまで選択された電流の供給を続けるように設定するか、または過電流が発生した場合に自動再試行モードに移行するように設定することができます。自動再試行モードでは、ドライバは電流ブランキング時間後に自動的にディセーブルされ、その後再イネーブルされます。

### DOおよびC/Qのトラッキング

SPIモードでは、C/Qドライバに追従するようにDOドライバを設定することができます。この機能をイネーブルする場合、CQConfigレジスタのCQDOParビットに1を設定してください。DOドライバがC/Qに追従するように設定されている場合、C/QおよびDOの両方がTXおよびTXEN入力またはCQ\_Qビットの関数としてスイッチングします。

ピンモード時、またはCQDOParが0の場合、C/QおよびDOは個別に動作します。



### 逆極性保護

MAX14827Aは、V24、C/Q、DO、DI、およびGNDの逆極性接続に対して保護されています。これらの端子の任意の組み合わせを最大65V (max)のDC電圧に接続することが可能で、その場合に生じる電流フローは1mA以下になります。

これらの端子のいずれの間の最大電圧も65Vを超えないことを確保してください。

### ドライバ短絡検出

MAX14827Aは、DOおよびC/Qドライバ出力の過電流およびドライバ過熱条件を監視します。

ピンモードでは、CLK/TXEN/200mA入力ドライバ短絡電流制限を設定してください。C/QまたはDOドライバのいずれかで過電流または過熱条件が発生すると、IRQ/OCがアサートします。過電流または過熱条件が取り除かれると、IRQ/OCはデアサートします。

SPIモードでは、DOおよびC/Qは個別に監視されます。CURRLIMレジスタのCL1およびCL0ビットを使用して、両方のドライバのドライバ電流制限を設定してください。C/Qで過電流または過熱条件が発生した場合、CQFaultおよびCQFaultIntビットに1が設定され、IRQ/OCがアサートします。DOで過電流または過熱条件が発生した場合、DOFaultおよびDOFaultIntビットに1が設定されます。CQFaultおよびDOFaultビットは、C/QおよびDOドライバの過電流または過熱条件が取り除かれると直ちにクリアされます。IRQ/OCがデアサートされCQFaultIntおよびDOFaultIntビットがクリアされるのは、INTERRUPTレジスタが読み取られた場合のみです。

### 5Vおよび3.3Vリニアレギュレータ

MAX14827Aは、5V (V5)および3.3V (V33)を生成する2つのレギュレータを内蔵しています。

V5レギュレータは、デバイスおよび3.3V LDOの消費電流を含めて、最大30mAの外部負荷を駆動可能です。より大きい負荷を駆動する場合、外付けパストランジスタを使用して必要な5Vを生成してください。外付けトランジスタを使用する場合、REGをトランジスタのベースに接続して電圧を安定化し、V5をエミッタに接続してください(図10)。

内蔵5Vリニアレギュレータを使用しない場合、V5は内部アナログおよびデジタル機能の電源入力になり、外部で給電する必要があります。通常動作のためにV5が確実に印加されるようにしてください。

3.3Vレギュレータは、最大30mAの外部負荷を駆動可能です。SPIモードでは、ModeレジスタのV33Disビットの設定によって3.3V LDOをイネーブル/ディセーブルすることができます。

V5およびV33は短絡に対して保護されていません。

### 起動

起動時にV24、V5、VL、および/またはV33の電圧がそれぞれの低電圧スレッショルド以下だった場合、C/QおよびDOドライバ出力はハイインピーダンスになります。

V24、V5、またはVLがそのスレッショルドを下回ると、各ドライバは自動的にディセーブルされます。

### 電圧低下および低電圧検出

SPIモードでは、デバイスはV24電源の電圧低下および低電圧条件を監視します。電圧低下警告はMODEレジスタでイネーブルする必要があります。

V24が16V (typ)の電圧低下警告スレッショルドを下回ると、STATUSレジスタのV24Wビットに1が設定されます。V24WEnに1が設定された場合、V24WInt割り込みビットにも1が設定されてIRQ/OCがアサートします。

V24が7.4V (typ)の低電圧ロックアウト(UVLO)スレッショルドを下回ると、STATUSレジスタのUV24ビットに1が設定されます。同様に、INTERRUPTレジスタのUV24Intビットに1が設定されてIRQ/OCがアサートします。UVLOの監視および割り込みはディセーブルすることができません。

### ウェイクアップ検出

MAX14827Aは、プッシュプル、ハイサイド(PNP)、またはローサイド(NPN)動作モードで、C/QラインのIO-Linkウェイクアップ条件を検出します。ウェイクアップ条件は、C/Q出力が80μs (typ)にわたって短絡された場合に検出されます。デバイスがC/Q上のウェイクアップパルスを検出した場合、WUは200μs (typ)にわたってローのパルスを出力します(図5)。

SPIモードでは、IO-Linkのウェイクアップ発生が検出された場合、INTERRUPTレジスタのWuIntビットに1が設定され、IRQ/OCがアサートします。

SPIモードでは、MODEレジスタのWU\_Disビットに0を設定することによってウェイクアップ検出をディセーブルすることができます。ピンモードでは、ウェイクアップ検出をディセーブルすることはできません。

このデバイスは、C/Qのウェイクアップ誤検出を防ぐためのウェイクアップ検出アルゴリズムを内蔵しています。ウェイクアップ誤検出ブランキング時間は、電流制限ブランキング時間によって定義されます。ピンモードでは、これは128μsです。SPIモードでは、これはCURRLIMレジスタのCL\_BLOおよびCL\_BL1ビットによって設定されます。

### 熱保護および考慮点

内蔵LDOおよびドライバは、デバイスのパッケージが安全に消費することができる量より多くの電力を生成する可能性があります。ドライバおよびLDOの負荷が、パッケージが消費可能な量より少ないことを確保してください。デバイスの総消費電力は、次式を使用して計算されます。

$$P_{TOTAL} = P_{C/Q} + P_{DO} + P_{V5} + P_{33} + P_{24} + (2 \times P_{PU}) + (2 \times P_{PD})$$

ここで、 $P_{C/Q}$ はC/Qドライバで生成される電力、 $P_{DO}$ はDOドライバによって消費される電力、 $P_{V5}$ および $P_{V33}$ はLDOによって生成される電力、 $P_{24}$ はデバイスによって生成される自己消費電力、 $P_{PU}$ および $P_{PD}$ はそれぞれC/QおよびDOの弱プルアップ/プルダウン電流ソース/シンクで生成される電力です。

総消費電力が「[Absolute Maximum Ratings \(絶対最大定格\)](#)」の項に記載された制限より小さいことを確保してください。

以下の式を使用して、C/Qドライバによる消費電力(単位: mW)を計算してください。

$$P_{C/Q} = [I_{C/Q}(\max)]^2 \times R_O$$

ここで、 $R_O$ はドライバのオン抵抗です。

DOドライバの内部消費電力は、次式を使用して計算します。

$$P_{DO} = [I_{DO}(\max)]^2 \times R_O$$

ここで、 $R_O$ はドライバのオン抵抗です。

5V LDO、 $V_5$ の消費電力は、次式を使用して計算します。

$$P_5 = (V_{24} - V_5) \times I_5$$

ここで、 $I_5$ は $V_{33}$ から供給される電流 $I_{33}$ を含みます。

3.3V LDO、 $V_{33}$ の消費電力は、次式を使用して計算します。

$$P_{33} = 1.7V \times I_{LOAD33}$$

デバイスの自己消費電力は、次式を使用して計算します。

$$P_{24} = I_{24}(\max) \times V_{24}(\max)$$

弱電流シンク/ソースをイネーブルしている場合、それらにともなう消費電力を次のように計算してください。

$$P_{PD} = I_{PD}(\max) \times V_{C/Q}(\max)$$

$$P_{PU} = I_{PU}(\max) \times [V_{24} - V_{C/Q}](\max)$$

### 過熱警告

SPIモードでは、いずれかのドライバ(C/QまたはDO)のジャンクション温度が+140°C (typ)の警告スレッショルドを超えた場合、デバイスは割込みを生成します。これらの条件下では、STATUSレジスタのTempWビットに1が設定され、INTERRUPTレジスタのTempWIntに1が設定されてIRQ/OCがアサートします。

TempWビットは、チップ温度が+125°Cに低下するとクリアされます。TempWIntビットをクリアしIRQ/OCをデアサートするには、INTERRUPTレジスタを読み取る必要があります。

デバイスはチップ温度が+165°Cのサーマルシャットダウンスレッショルドに達しない限り通常動作を継続し、スレッショルドに達した時点でサーマルシャットダウンに移行します。

ピンモードでの動作時、デバイスは過熱警告を生成しません。

### サーマルシャットダウン

C/QおよびDOドライバと、 $V_5$ および $V_{33}$ レギュレータは、ジャンクション温度が+165°C (typ)のサーマルシャットダウンスレッショルドを超えると自動的にオフになります。サーマルシャットダウン時、SPI通信および内部レギュレータはディセーブルされません。SPIモードでは、STATUSレジスタのThShutビットおよびINTERRUPTレジスタのThShutIntに1が設定されます。

内部チップ温度がサーマルシャットダウンスレッショルドとヒステリシスの和を下回ると、レギュレータは自動的にオンになります。内蔵 $V_5$ レギュレータを使用している場合、 $V_5$ レギュレータが再びオンになるとき内部レジスタはそれぞれのデフォルト状態に戻ります。

## モード選択表

OPERATING MODE	SPI/PIN	UARTSEL	ENMPX BIT	CS/PP	PIN NAME	PIN FUNCTION	FUNCTION				
PIN	L	X	X	LOW OR HIGH	SDI/TX/NPN	NPN	Parallel configuration/monitoring				
					SDO/RX/THSH	THSH	Parallel configuration/monitoring				
					CLK/TXEN/200MA	200MA	Parallel configuration/monitoring				
					$\overline{\text{CS}}/\text{PP}$	PP	Parallel configuration/monitoring				
					$\overline{\text{IRQ}}/\overline{\text{OC}}$	$\overline{\text{OC}}$	Parallel configuration/monitoring				
					RX	C/Q RX	Parallel configuration/monitoring/ UART communication				
					TX	C/Q TX	Parallel configuration/monitoring/ UART communication				
					TXEN	C/Q TXEN	Parallel configuration/monitoring/ UART communication				
PARALLEL UART + SPI	H	L	0	LOW OR HIGH	SDI/TX/NPN	SDI	SPI configuration/monitoring				
					SDO/RX/THSH	SDO	SPI configuration/monitoring				
					CLK/TXEN/200MA	CLK	SPI configuration/monitoring				
					$\overline{\text{CS}}/\text{PP}$	CS	SPI configuration/monitoring				
					$\overline{\text{IRQ}}/\overline{\text{OC}}$	$\overline{\text{IRQ}}$	SPI configuration/monitoring				
					RX	C/Q RX	UART communication				
					TX	C/Q TX	UART communication				
					TXEN	C/Q TXEN	UART communication				
MULTIPLEXED UART/SPI	H	H	0	L	SDI/TX/NPN	SDI	SPI configuration/monitoring				
					SDO/RX/THSH	SDO	SPI configuration/monitoring				
					CLK/TXEN/200MA	CLK	SPI configuration/monitoring				
					$\overline{\text{CS}}/\text{PP}$	LOW	SPI configuration/monitoring				
					$\overline{\text{IRQ}}/\overline{\text{OC}}$	$\overline{\text{IRQ}}$	SPI configuration/monitoring				
					RX	C/Q RX	UART communication				
					TX	C/Q TX	UART communication				
									TXEN	C/Q TXEN	UART communication
								H	SDI/TX/NPN	C/Q TX	UART communication
									SDO/RX/THSH	C/Q RX	UART communication
									CLK/TXEN/200MA	C/Q TXEN	UART communication
									$\overline{\text{CS}}/\text{PP}$	HIGH	
									$\overline{\text{IRQ}}/\overline{\text{OC}}$	$\overline{\text{IRQ}}$	SPI configuration/monitoring
									RX	C/Q RX	Active
				TX	C/Q TX	Ignored					
									TXEN	C/Q TXEN	Ignored

## モード選択表(続き)

OPERATING MODE	SPI/PIN	UARTSEL	ENMPX BIT	CS/PP	PIN NAME	PIN FUNCTION	FUNCTION
MULTIPLEXED UART/SPI	H	0	1	LOW OR HIGH	SDI/TX/NPN	SDI	SPI configuration/monitoring
					SDO/RX/THSH	SDO	SPI configuration/monitoring
					CLK/TXEN/200MA	CLK	SPI configuration/monitoring
					$\overline{\text{CS}}/\text{PP}$	$\overline{\text{CS}}$	SPI configuration/monitoring
					$\overline{\text{IRQ}}/\text{OC}$	$\overline{\text{IRQ}}$	SPI configuration/monitoring
					RX		Active
		TX				Ignored	
		TXEN				Ignored	
		SDI/TX/NPN			C/Q TX	UART communication	
		SDO/RX/THSH			C/Q RX	UART communication	
		CLK/TXEN/200MA			C/Q TXEN	UART communication	
		$\overline{\text{CS}}/\text{PP}$				Not used	
		$\overline{\text{IRQ}}/\text{OC}$			$\overline{\text{IRQ}}$	SPI monitoring	
		RX				Active	
		TX				Ignored	
		TXEN				Ignored	

## レジスタの機能

これらのデバイスは設定および監視のための4つの8ビット幅レジスタを備えています(表1)。

表4. レジスタの概要

REGISTER	ADD	R/W	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
INTERRUPT	00h	R	ThShutInt	WuInt	DoFaultInt	CQFaultInt	V24WInt	UV24Int	-	TempWInt
STATUS	01h	R	ThShut	DiLvl	DoFault	CQFault	V24W	UV24	CQLvl	TempW
MODE	02h	R/W	RST	WU_Dis	V33_Dis	ENMPX	V24WEn	CQFil	LED2b	LED1b
CURRLIM	03h	R/W	CL1	CL0	CLDis	CL_BL1	CL_BL0	TAr1	TAr0	ArEn
CQConfig	04h	R/W	Rx_Dis	CQ_WPD	CQ_WPU	CQDOPar	CQ_NPN	CQ_PP	CQ_Q	CQ_Dis
DIOConfig	05h	R/W	DI_Dis	DO_WPD	DO_WPU	DO_AV	DO_NPN	DO_PP	DO_Q	DO_Dis

## INTERRUPTレジスタ[A2、A1、A0] = [000]

Bit	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit Name	ThShutInt	WuInt	DoFaultInt	CQFaultInt	V24WInt	UV24Int	-	TempWInt
Read/Write	R	R	R	R	R	R	R	R
POR State	0	0	0	0	0	0	0	0
Reset Upon Read	N	N	N	N	N	N	N	N

INTERRUPTレジスタは、さまざまなフォルト条件の現在の状態を反映します。 $\overline{IRQ}/\overline{OC}$ 出力はINTERRUPTレジスタのいずれかのビットに1が設定されるとアサートします。INTERRUPTレジスタのビットはラッチされ、契機となった条件が取り除かれてもクリアされません。INTERRUPTレジスタを読み取ると、すべてのビットがクリアされ、 $\overline{IRQ}/\overline{OC}$ がデアサートします。 $\overline{IRQ}/\overline{OC}$ は、別のフォルト条件が発生した場合のみ再アサートします。

BIT	NAME	DESCRIPTION
7	ThShutInt	<p><b>Thermal Shutdown Interrupt</b></p> <p>1: This bit is set when the MAX14827A has entered thermal shutdown mode. Once set, this bit is not cleared until the register is read. The current status of the thermal shutdown condition can be read in the Status register.</p> <p>0: The MAX14827A is not in thermal shutdown.</p>
6	WuInt	<p><b>Wake-Up Event Interrupt</b></p> <p>1: This bit is set when an IO-Link wake-up condition is detected on the C/Q line.</p> <p>0: No wake-up condition is detected.</p> <p>The wake-up interrupt can be disabled by setting the WuDis bit to 1.</p>

## INTERRUPTレジスタ[A2、A1、A0] = [000] (続き)

BIT	NAME	DESCRIPTION
5	DoFaultInt	<p><b>DO Driver Fault Interrupt</b></p> <p>1: This bit is set when a fault occurs on the DO driver (over current or over heating). Once set, this bit is not cleared until the register is read. The current status of the thermal shutdown condition can be read in the Status register.</p> <p>0: No fault on the DO driver.</p>
4	CQ_FaultInt	<p><b>C/Q Driver Fault Interrupt</b></p> <p>1: This bit is set when a fault occurs on the C/Q driver (over current or over heating). Once set, this bit is not cleared until the register is read. The current status of the thermal shutdown condition can be read in the Status register.</p> <p>0: No fault on the C/Q driver.</p>
3	V24WInt	<p><b>V24 Low Voltage Warning Interrupt</b></p> <p>1: This bit is set when <math>V_{24}</math> falls below the IO-Link low-voltage warning threshold fault (<math>V_{24} &lt; V_{24W}</math>). Once set, this bit is not cleared until the register is read. The current status of the thermal shutdown condition can be read in the Status register.</p> <p>0: <math>V_{24}</math> is greater than the low-voltage warning threshold.</p>
2	UV24Int	<p><b>V24 Supply Undervoltage Interrupt</b></p> <p>1: This bit is set when <math>V_{24}</math> falls below the UVLO threshold (<math>V_{24} &lt; V_{24UVLO}</math>). Once set, this bit is not cleared until the register is read. The current status of the thermal shutdown condition can be read in the Status register.</p> <p>0: <math>V_{24}</math> is greater than the UVLO threshold.</p>
1	—	This bit is not used.
0	TempWInt	<p><b>Overtemperature Warning Interrupt</b></p> <p>1: This bit is set when the die temperature exceeds the warning threshold (<math>T_J &gt; T_{WRN}</math>). Once set, this bit is not cleared until the register is read. The current status of the thermal shutdown condition can be read in the Status register.</p> <p>0: The die temperature has not exceeded the overtemperature warning threshold.</p>

## STATUSレジスタ[A2、A1、A0] = [001]

Bit	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit Name	ThShut	DiLvl	DoFault	CQFault	V24W	UV24	CQLvl	TempW
Read/Write	R	R	R	R	R	R	R	R
POR State	0	0	0	0	0	0	0	0
Reset Upon Read	N	N	N	N	N	N	N	N

Statusレジスタは、さまざまなIC機能の現在の状態を反映します。

BIT	NAME	DESCRIPTION
7	ThShut	<p><b>Thermal Shutdown Status</b></p> <p>1: This bit is set when the MAX14827A has entered thermal shutdown mode. 0: This bit is cleared automatically when the device exits thermal shutdown.</p>
6	DiLvl	<p><b>DI Logic Level</b></p> <p>1: This bit is set when the DI voltage is a logic high (<math>V_{DI} &lt; V_{TL}</math>). 0: This bit is clear when the DI voltage is a logic low (<math>V_{DI} &gt; V_{TH}</math>).</p>
5	DoFault	<p><b>DO Driver Fault Status</b></p> <p>1: This bit is set when a fault occurs on the DO driver (over current or over heating). 0: This bit is cleared automatically when the fault on DO is removed.</p>
4	CQ_Fault	<p><b>C/Q Driver Fault Status</b></p> <p>1: This bit is set when a fault occurs on the C/Q driver (over current or over heating). 0: This bit is cleared automatically when the fault on C/Q is removed.</p>
3	V24W	<p><b>V24 Low Voltage Warning Status</b></p> <p>1: This bit is set when V24 falls below the IO-Link low-voltage warning threshold (<math>V_{24} &lt; V_{24W}</math>). 0: This bit is cleared automatically when V24 rises above the low-voltage warning threshold.</p>
2	UV24	<p><b>V24 Supply Status</b></p> <p>1: This bit is set when V24 falls below the UVLO threshold (<math>V_{24} &lt; V_{24UVLO}</math>). 0: This bit is cleared automatically when V24 rises above the UVLO threshold.</p>
1	CQLvl	<p><b>C/Q Logic Level</b></p> <p>1: This bit is set when the C/Q voltage is a logic high (<math>V_{C/Q} &lt; V_{TL}</math>). 0: This bit is clear when the C/Q voltage is a logic low (<math>V_{C/Q} &gt; V_{TH}</math>).</p>
0	TempW	<p><b>Overtemperature Warning</b></p> <p>1: This bit is set when the die temperature exceeds the warning threshold (<math>T_J &gt; T_{WRN}</math>). 0: This bit is cleared automatically when the when the die temperature falls below the warning threshold and hysteresis (<math>T_J &lt; T_{WRN} - T_{WRN\_HYST}</math>).</p>

## MODEレジスタ[A2、A1、A0] = [010]

Bit	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit Name	RST	WU_Dis	V33_Dis	ENMPX	V24WEn	CQFil	LED2b	LED1b
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR State	0	0	0	0	0	0	0	0
Reset upon Read	N	N	N	N	N	N	N	N

Modeレジスタを使用して、MAX14827Aの設定および3.3V LDOの管理を行います。

BIT	NAME	DESCRIPTION
7	RST	<p><b>Register Reset</b></p> <p>1: Reset all registers to their default power-up state. The Status register is cleared and IRQ deasserts (if asserted) when RST = 1. Interrupts are not generated while RST = 1.</p> <p>0: Normal operation.</p>
6	WU_Dis	<p><b>Wake-Up Interrupt Disable/Enable</b></p> <p>1: Wake-up detection is disabled.</p> <p>0: Enable IO-Link wake-up detection.</p>
5	V33_Dis	<p><b>V33 Enable/Disable</b></p> <p>1: Disable the V33 linear regulator.</p> <p>0: Enable the V33 linear regulator.</p>
4	ENMPX	<p><b>Enable/Disable SPI/UART Multiplexing</b></p> <p>1: Enable UART multiplexing on SPI interface pins. See the Mode Selection Table for more information.</p> <p>0: Disable UART multiplexing on SPI interface pins.</p>
3	V24WEn	<p><b>V24 Undervoltage Warning Enable</b></p> <p>1: Enable the V24 undervoltage warning interrupt. V24WInt is set when V24 falls below the UVLO threshold.</p> <p>0: Disable the V24 undervoltage warning interrupt.</p>
2	CQFil	<p><b>C/Q Deglitch Filter Enable/Disable</b></p> <p>1: Deglitch filter is disabled on RX.</p> <p>0: Deglitch filter is enabled on RX.</p>
1	LED2b	<p><b>LED2 Driver Logic</b></p> <p>1: Set the LED2 output high.</p> <p>0: Set the LED2 output low.</p>
0	LED1b	<p><b>LED1 Driver Logic.</b></p> <p>1: Set the LED1 output high.</p> <p>0: LED1 output is driven by the LED1IN logic input.</p>



## CURRLIMレジスタ[A2、A1、A0] = [011]

Bit	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit Name	CL1	CL0	CL_Dis	CL_BL1	CL_BL0	TAr1	TAr0	ArEN
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR State	0	0	0	0	0	0	0	0
Reset Upon Read	N	N	N	N	N	N	N	N

CURRLIMレジスタは、C/QおよびDOドライバの電流制限、およびドライバがそれぞれのサーマルシャットダウンスレッショルドを超えたあとの固定オフ時間を設定します。

BIT	NAME	DESCRIPTION
7	CL1	<b>Driver Current Limit</b> Set the CL1 and CL0 bits to select the active current limit for the C/Q and DO drivers when CL_Dis = 0.
6	CL0	00: Driver current limit is set to 50mA 01: Driver current limit is set to 100mA 10: Driver current limit is set to 200mA 11: Driver current limit is set to 250mA
5	CL_Dis	<b>Driver Current Limit Disable/Enable</b> 1: Disable the driver current limit for the C/Q and DO drivers. 0: Enable the driver current limit (as set by the CL1 and CL0 bits).
4	CL_BL1	<b>Current Limit Blanking Time</b> Set the CL_BL1 and CL_BL0 bits to select the minimum blanking time to signal a current limit or thermal fault.
3	CL_BL0	00: Blanking time is 128μs 01: Blanking time is 500μs 10: Blanking time is 1ms 11: Blanking time is 5ms
2	TAr1	<b>Auto-Retry Fixed Off-Time</b> Set the TAr1 and TAr0 bits to select the fixed driver off-time after a fault has been generated when auto-retry functionality is enabled (ArEn = 1). The driver is re-enabled automatically after the fixed off-delay.
1	TAr0	00: Fixed off-time is 50ms 01: Fixed off-time is 100ms 10: Fixed off-time is 200ms 11: Fixed off-time is 500ms
0	ArEN	<b>Auto-Retry Fixed Off-Time Enable/Disable</b> 1: Fixed off-time functionality is enabled. C/Q and DO drivers are disabled for a fixed time after an overcurrent or thermal fault occurs. The driver is re-enabled automatically after the fixed off-delay. 0: Fixed off-time functionality is disabled. The driver is re-enabled after temperature falls below the thermal hysteresis.

## CQConfigレジスタ[A2、A1、A0] = [100]

Bit	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit Name	RX_Dis	CQ_WPD	C/Q_WPU	C/QDOPar	C/Q_NPN	CQ_PP	CQ_Q	CQ_Dis
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR State	0	0	0	0	0	0	0	1
Reset Upon Read	N	N	N	N	N	N	N	N

CQConfigレジスタを使用して、C/Qドライバおよびレシーバのパラメータを制御します。CQConfigレジスタの全ビットは読み書き可能です。

BIT	NAME	DESCRIPTION
7	RX_Dis	<b>Receiver Disable/Enable</b> 1: The RX receiver output is disabled. RX is high impedance when disabled. 0: RX is enabled.
6	CQ_WPD	<b>C/Q Weak Pull-Down Enable</b> 1: Enable the weak pull-down current sink on the C/Q driver. 0: Disable the weak pull-down current sink on the C/Q driver.
5	CQ_WPU	<b>C/Q Weak Pull-Up Enable</b> 1: Enable the weak pull-up current source on the C/Q driver. 0: Disable the weak pull-up current source on the C/Q driver.
4	CQDOPar	<b>C/Q and DO Driver Tracking</b> 1: Enable C/Q and DO tracking. In this mode, both C/Q and DO switch as a function of the TX input or the CQ_Q bit. 0: C/Q and DO operate independently.
3	CQ_NPN	<b>C/Q Driver NPN/PNP Mode</b> 1: Enable NPN operation (when CQ_PP = 0) on the C/Q driver. 0: Enable PNP operation (when CQ_PP = 0) on the C/Q driver. CQ_NPN is ignored when CQ_PP = 1.
2	CQ_PP	<b>C/Q Driver Push-Pull Mode</b> 1: Enable push-pull operation on the C/Q driver. 0: Enable open-drain (PNP or NPN mode) operation on the C/Q driver.
1	CQ_Q	<b>C/Q Driver Output Logic</b> 1: Set the C/Q driver high (push-pull mode), set the C/Q PNP switch on (PNP mode), or set the C/Q NPN switch off (NPN mode). See Table 1. 0: CQ is high impedance when CQ_Q = 0 and TXEN is low (or CQ_Dis = 1). CQ logic is the inverse of TX logic when TXEN is high (and CQ_Dis = 0) and CQ_Q = 0. See Table 1.
0	CQ_Dis	<b>C/Q Driver Disable/Enable</b> 1: Disable the C/Q driver, regardless of the state of the TXEN input. The driver is high impedance in this mode. 0: Status of the C/Q driver is determined by the TXEN input or CQ_Q bit.

## DIOConfigレジスタ[A2、A1、A0] = [101]

Bit	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Bit Name	DI_Dis	DO_WPD	DO_WPU	DO_AV	DO_NPN	DO_PP	DO_Q	DO_Dis
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR State	0	0	0	0	0	0	0	1
Reset Upon Read	N	N	N	N	N	N	N	N

DIOConfigレジスタを使用して、DIおよびDOインタフェースを制御します。DIOConfigレジスタの全ビットは読み書き可能です。

BIT	NAME	DESCRIPTION
7	DI_Dis	<p><b>DI Receiver Enable/Disable</b></p> <p>1: The DI receiver is disabled. LI is high impedance when the DI receiver is disabled.</p> <p>0: DI receiver is enabled.</p>
6	DO_WPD	<p><b>DO Weak Pulldown Enable</b></p> <p>1: Enable the weak pull-down current sink on the DO driver.</p> <p>0: Disable the weak pull-down current sink on the DO driver.</p>
5	DO_WPU	<p><b>DO Weak Pullup Enable</b></p> <p>1: Enable the weak pull-up current source on the DO driver.</p> <p>0: Disable the weak pull-up current source on the DO driver.</p>
4	DO_AV	<p><b>DO Antivalent Operation</b></p> <p>1: Enable antivalent operation on the C/Q and DO outputs. In this mode, DO switches as a function of the LO input or the DO_Q bit, but with opposite logic. If CQDOPar = 1, both C/Q and DO switch as a function of TX and/or CQ_Q, but with opposite logic.</p> <p>0: C/Q and DO switch with normal polarity.</p>
3	DO_NPN	<p><b>DO Driver NPN/PNP Mode</b></p> <p>1: Enable NPN operation (when DO_PP = 0) on the DO driver.</p> <p>0: Enable PNP operation (when DO_PP = 0) on the DO driver.</p> <p>DO_NPN is ignored when DO_PP = 1.</p>
2	DO_PP	<p><b>DO Driver Push-Pull Mode</b></p> <p>1: Enable push-pull operation on the DO driver.</p> <p>0: Enable open-drain (PNP or NPN mode) operation on the DO driver.</p>
1	DO_Q	<p><b>DO Driver Output Logic</b></p> <p>1: Set the DO driver high (push-pull mode), set the DO PNP switch on (PNP mode), or set the DO NPN switch off (NPN mode). See Table 1.</p> <p>0: DO logic is the inverse of LO logic when DO_Dis = 0 and DO_Q = 0. See Table 1.</p>
0	DO_Dis	<p><b>DO Driver Disable/Enable</b></p> <p>1: Disable the DO driver. DO is high impedance when disabled.</p> <p>0: State of the DO driver is determined by the LO input or the DO_Q bit.</p>

**SPIインタフェース**

このデバイスは、SPI対応4線式シリアルインタフェースを介して通信します。MAX14827Aは、バースト読み取り/書き込みアクセスに対応します。デバイスの最大SPIクロックレートは12MHzです。SPIインタフェースは、クロック極

性CPOL = 0およびクロック位相CPHA = 0に準拠します(図7および図8を参照)。

V5またはVLが印加されていない場合、SPIインタフェースは利用することができません。

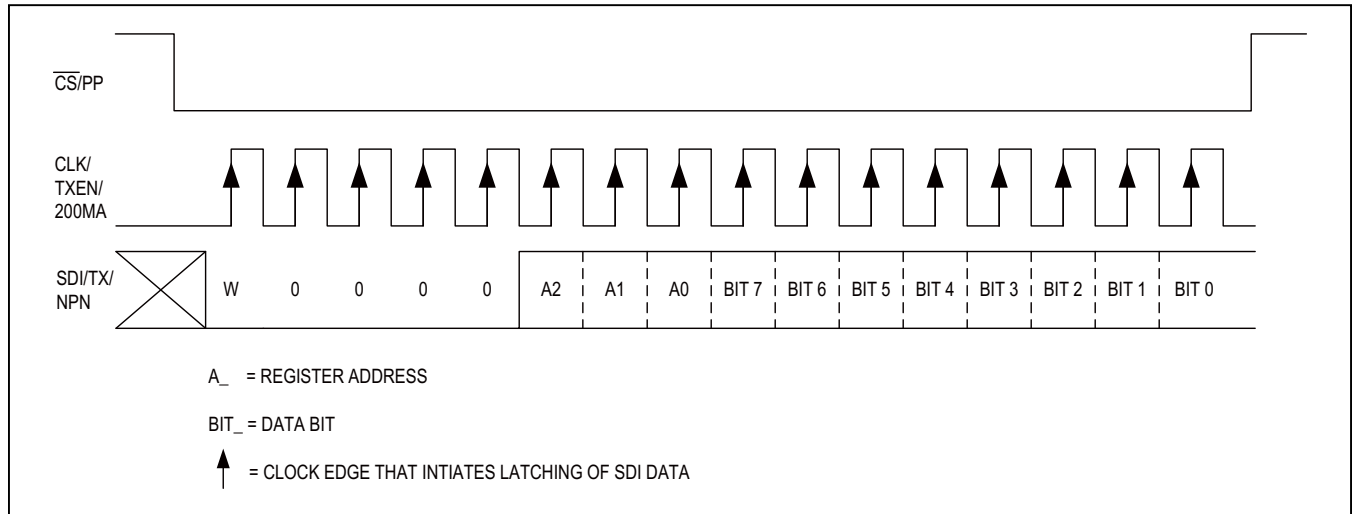


図7. SPIの書き込みサイクル

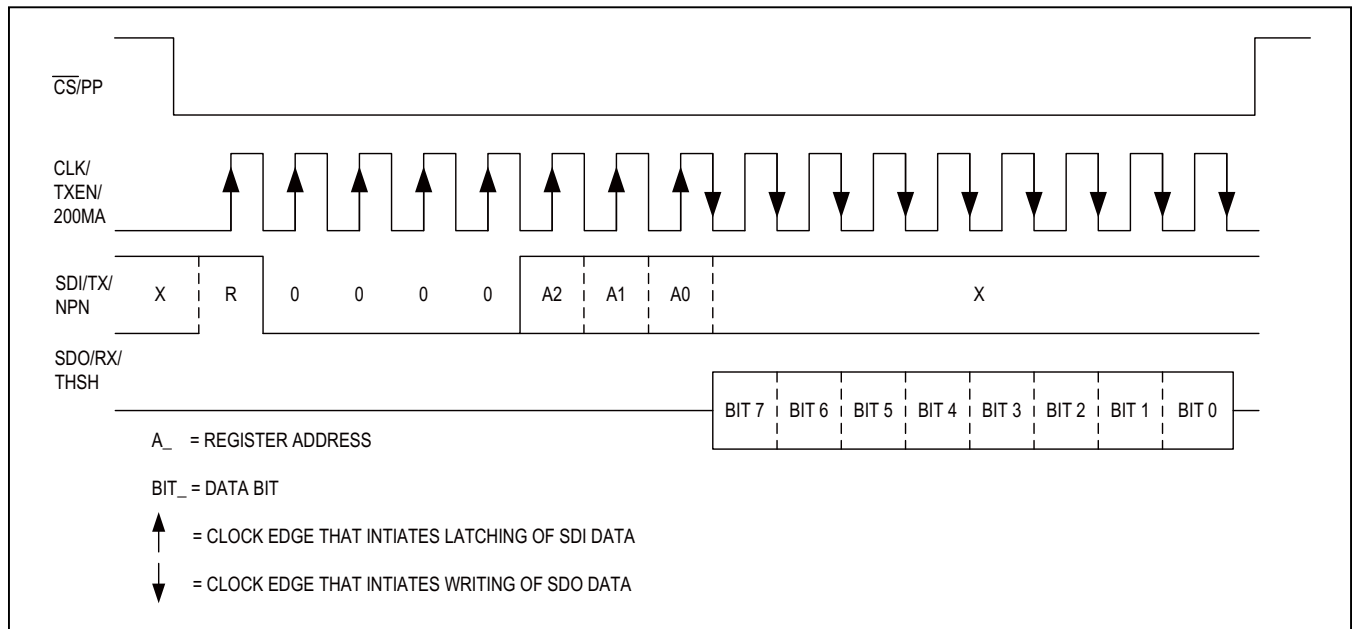


図8. SPIの読み取りサイクル

### SPIバーストアクセス

バーストアクセスは、SPIコマンドバイトで最初のレジスタアドレスのみを定義することによって、1つのブロックでの書き込みまたは読取りを可能にします。最初のSPIアドレスを受信すると、MAX14827Aは各SPIデータバイトの後にレジスタを自動的にインクリメントします。これによって、複数の連続するレジスタの効率的なプログラミングが可能になります。チップセレクト(CS/PP)は、書き込み/読取りサイクル全体にわたってローに維持する必要があります。

SPIクロックは、バーストアクセスサイクル全体にわたってクロック供給を継続します。SPIマスターがCS/PPをハイにすると、バーストサイクルは終了します。

### アプリケーション情報

#### マイクロコントローラとの接続

マイクロコントローラインタフェースI/Oのロジックレベルは、VLによって定義されます。通常動作の場合、2.5V~5.5Vの電圧をVLに印加してください。ロジック出力はVLによって給電されます。

デバイスを同時または多重UART通信用に設定することが可能です。多重UARTインタフェース用に設定した場合、SPIインタフェース端子とUARTインタフェース端子は共用されます。詳細については、モード選択表を参照してください。

#### 過渡保護

誘導性負荷スイッチング、ESD、バースト、およびサージによって、高い過渡電圧が発生します。V24、C/Q、DI、およびDOは、高い過電圧および低電圧過渡に対して保護する必要があります。V24、C/Q、DO、およびDIの正の電圧過渡は、GNDを基準として+70Vまでに制限する必要があります。負の電圧過渡は、V24を基準として-70Vまでに制限する必要があります。図9に示すように、C/Q、DO、およびDIに保護ダイオードを使用してください。

IO-Link仕様によって要求される標準的なESDおよびバースト保護の場合、小型パッケージのTVS (uClamp3603TまたはSPT01-335など)を使用することができます。より高レベルのサージ定格を達成する必要がある場合(IEC 61000-4-5 ±1kV/42Ω)、SMAJ33AまたはSMBJ36A TVSプロテクタを使用することもできます。

#### 外付けトランジスタと5Vレギュレータの組み合わせ

V5がREGに接続されている場合、内蔵5Vレギュレータ(V5)は最大30mAの総負荷電流(V33 LDOへの電流を含む)を

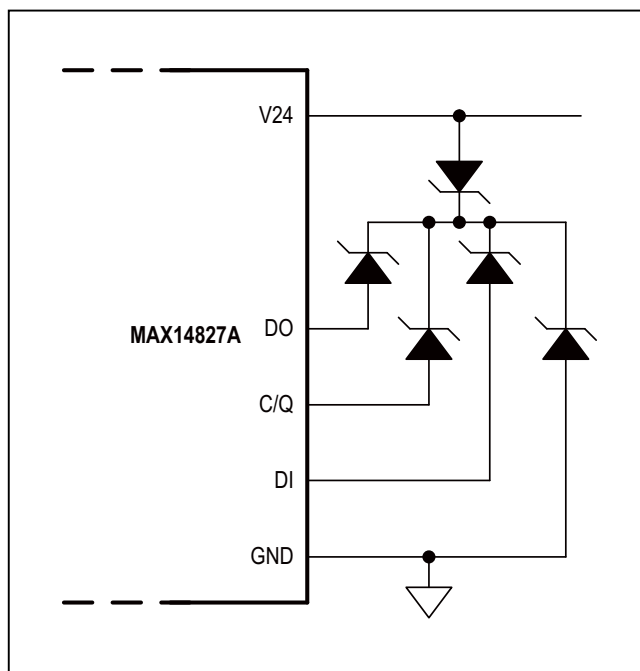


図9. TVS保護を備えたMAX14827Aの動作回路

供給することができます。より大きい負荷電流を実現するため、または消費電力をMAX14827Aから遠ざけるために、図10に示すように外付けNPNトランジスタを接続することができます。

最大のL+電源電圧に対応するため、高いVCE電圧を備えたNPNトランジスタを選択してください。L+/L-電源端子の逆極性に対してNPNトランジスタを保護するため、逆接続されたL+/L-に対して十分な大きさの逆電圧能力を備えたシリコンまたはショットキーダイオードを、NPNトランジスタのコレクタと直列に接続してください。安定性を実現するため、V5には1μFのコンデンサが必要です。

#### ステップダウンレギュレータと5Vレギュレータの組み合わせ

MAX14827Aの消費電力を低減するため、外付けステップダウンレギュレータによってV5に給電することができます。外付けレギュレータの出力をV5入力に接続し、REGは未接続のままにしてください(図11)。

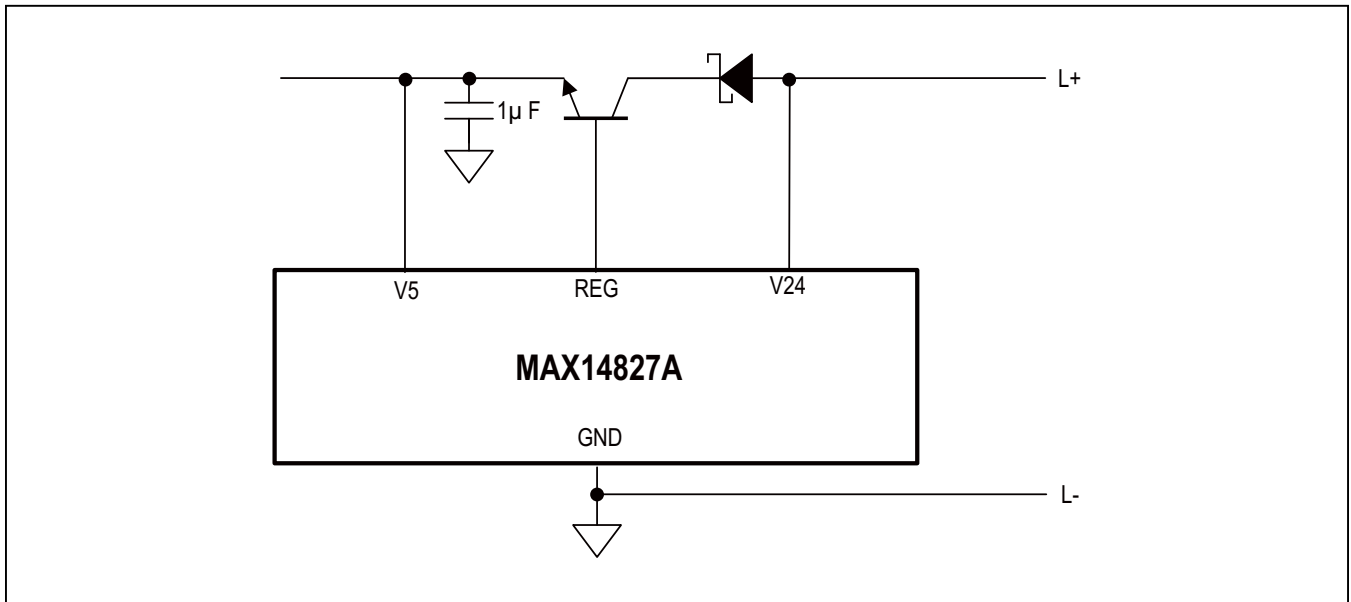


図10. 外付けNPNトランジスタと5Vレギュレータの組み合わせ

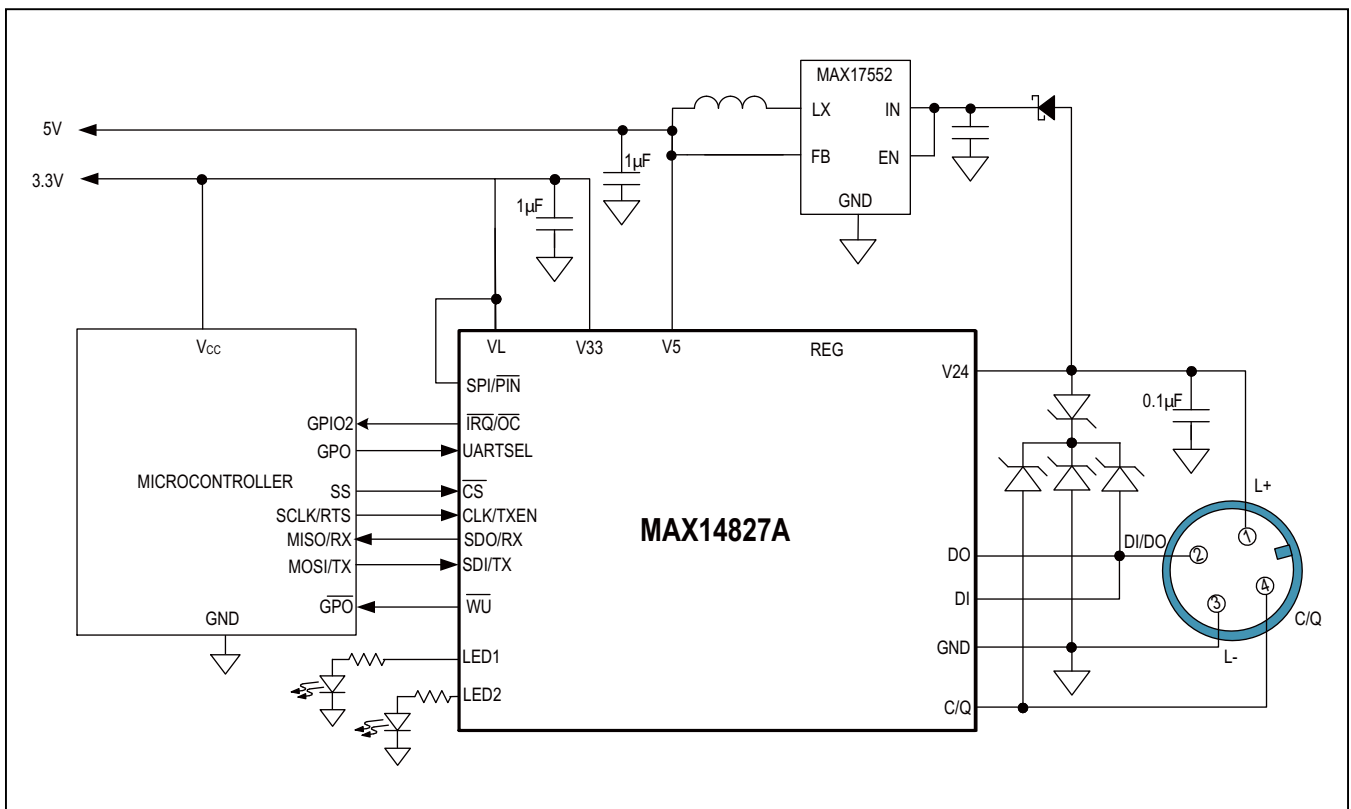


図11. 外付けステップダウンと5Vレギュレータの組み合わせ

共用SPI/UARTインタフェース

図12は、最小の端子数のマイクロコントローラの使用例です。UARTおよびSPI機能の両方に対応するマイクロコントローラのシリアルポートを使用して、トランシーバの制御(SPI)およびIO-Linkデータ通信(UART)の両方を管理します。マイクロコントローラの共用UARTおよびSPIインタフェース端子は多重化されています。トランシーバのSPIは、

通常は起動時の設定のみに使用され、その後は随時の再設定、および診断に使用されます。IO-Linkマスターデバイスの通信サイクルで、C/Qインタフェースのアイドル時間をSPIのアクティビティに使用することができます。これは、IO-Linkデバイスの最小サイクル時間をわずかに増やすことによって可能になります。

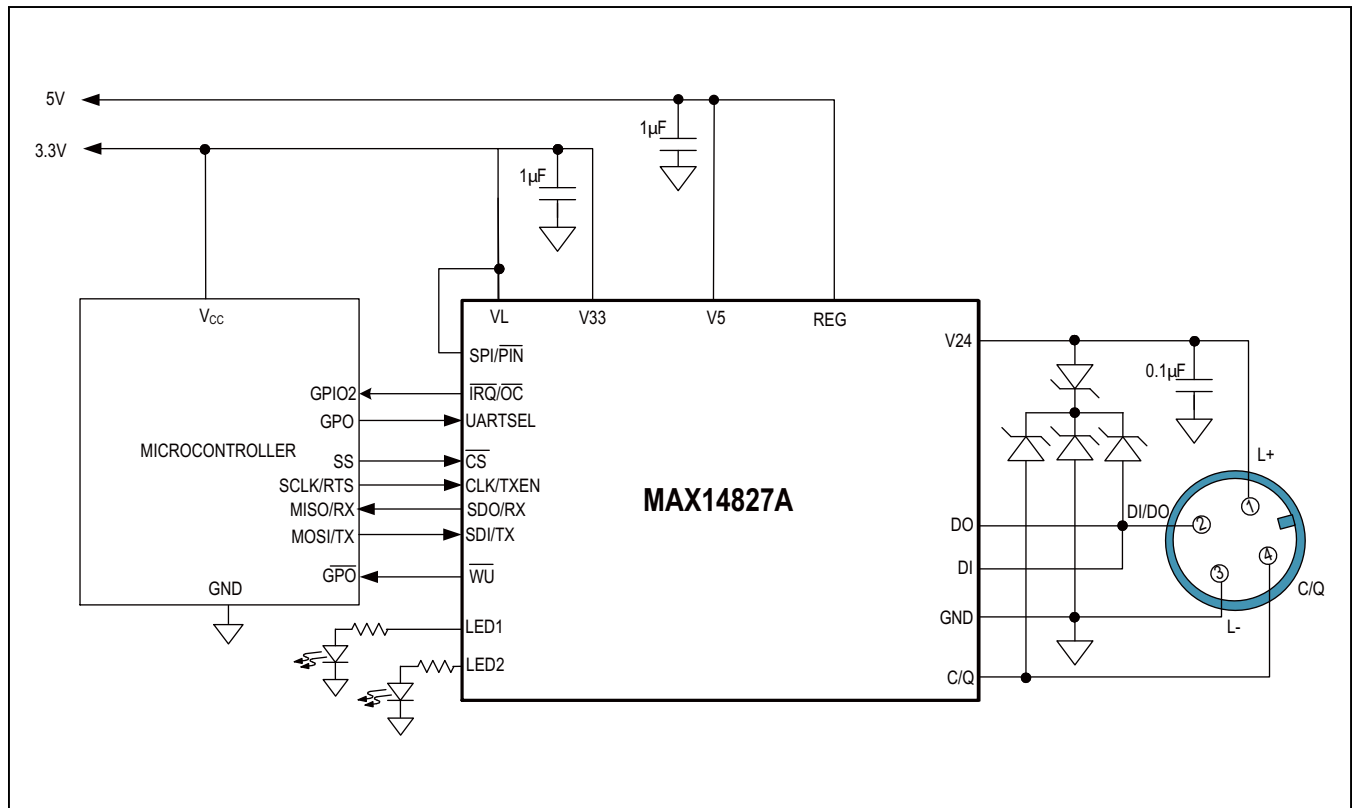


図12. 多重SPI/UARTモードの構成

## 型番

PART	TEMP RANGE	PIN-PACKAGE
<b>MAX14827AATG+</b>	-40°C to +125°C	24 TQFN-EP*
MAX14827AATG+T	-40°C to +125°C	24 TQFN-EP*
<b>MAX14827AAWA+</b>	-40°C to +125°C	25 WLP
MAX14827AAWA+T	-40°C to +125°C	25 WLP

+は鉛(Pb)フリー/RoHS準拠パッケージを表します。

\*EP = エクスポーズドパッド。

T = テープ&リール。

## チップ情報

PROCESS: BICMOS

## パッケージ

最新のパッケージ図面情報およびランドパターン(フットプリント)は [www.maximintegrated.com/jp/packages](http://www.maximintegrated.com/jp/packages) を参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なることがある点に注意してください。

パッケージタイプ	パッケージコード	外形図No.	ランドパターンNo.
24 TQFN-EP	T2444+4	<a href="#">21-0139</a>	<a href="#">90-0022</a>
25 WLP	W252L2+1	<a href="#">21-0787</a>	<a href="#">アプリケーションノート1891</a> を参照



## 改訂履歴

版数	改訂日	説明	改訂ページ
0	7/16	初版	—
1	9/16	DI_Disの情報を追加	30, 36



マキシム・ジャパン株式会社 〒141-0032 東京都品川区大崎1-6-4 大崎ニューシティ 4号館 20F TEL: 03-6893-6600

Maxim Integratedは完全にMaxim Integrated製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maxim Integratedは随時予告なく回路及び仕様を変更する権利を留保します。「Electrical Characteristics (電気的特性)」の表に示すパラメータ値 (min、maxの各制限値)は、このデータシートの他の場所で引用している値より優先されます。