

+2.7V、ローパワー、8チャンネル  
シリアル12ビットADC

## 概要

MAX146/MAX147は、8チャンネルマルチプレクサ、高帯域幅トラック/ホールド及びシリアルインタフェースに高速変換及び超低消費電流特性を加えた12ビットデータ収集システムです。MAX146は+2.7V~+3.6Vの単一電源で動作し、MAX147は+2.7V~+5.25Vの単一電源で動作します。どちらもアナログ入力はソフトウェアにより、ユニポーラ/バイポーラ及びシングルエンド/差動動作に設定できます。

4線シリアルインタフェースは外部ロジック無しで直接SPI™、QSPI™及びMicrowire™機器に接続できます。シリアルストローブ出力により、TMS320ファミリのデジタル信号プロセッサに直接接続できます。MAX146/MAX147は内部クロック又は外部シリアルインタフェースクロックを用いることで逐次比較型のアナログデジタル変換を行います。

MAX146は2.5Vリファレンスを内蔵し、MAX147は外部リファレンスを必要とします。どちらも電圧調整範囲±1.5%のレファレンスバッファアンプを備えています。

これらの製品はハードによるSHDNピン及びソフトウェア選択によるパワーダウン機能を備えており、変換の最後に自動的にシャットダウンするようにプログラムできます。MAX146/MAX147はシリアルインタフェースにアクセスすると自動的にパワーアップし、ターンオンが速いために全ての変換と変換の間にシャットダウンすることができます。このため、サンプリングレートが低い場合には消費電流を60µA以下に抑えることができます。

MAX146/MAX147は20ピンDIPパッケージ、及び8ピンDIPよりも面積が30%小さいSSOPパッケージで供給されています。

これらの製品の4チャンネルバージョンはMAX1246/MAX1247のデータシートを参照してください。

## アプリケーション

ポータブルデータロギング	データ収集
医療機器	バッテリー駆動機器
ペンディジタイザ	プロセス制御

Pin Configuration appears at end of data sheet.

SPI及びQSPIはMotorola, Inc.の商標です。

MicrowireはNational Semiconductor Corp.の商標です。

## 特長

- ◆ 入力：8チャンネルシングルエンド又は4チャンネル差動
- ◆ 電源：+2.7V~+3.6V単一(MAX146)  
+2.7V~+5.25V単一(MAX147)
- ◆ 2.5Vリファレンス内蔵(MAX146)
- ◆ 低電力：1.2mA(133ksps、3V電源)  
54µA(1ksps、3V電源)  
1µA(パワーダウンモード)
- ◆ 4線シリアルインタフェース：  
SPI/QSPI/Microwire/TMS320コンパチブル
- ◆ ユニポーラ又はバイポーラ入力：  
ソフトウェアで設定
- ◆ パッケージ：20ピンDIP/SSOP

## 型番

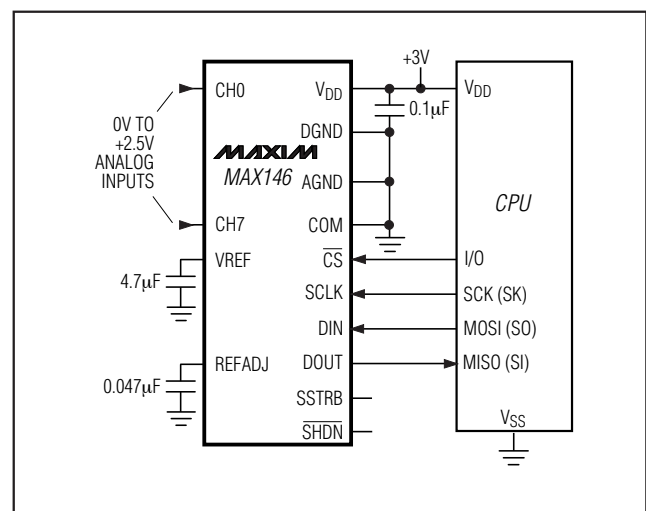
PART†	TEMP. RANGE	PIN-PACKAGE	INL (LSB)
MAX146ACPP	0°C to +70°C	20 Plastic DIP	±1/2
MAX146BCPP	0°C to +70°C	20 Plastic DIP	±1
MAX146ACAP	0°C to +70°C	20 SSOP	±1/2
MAX146BCAP	0°C to +70°C	20 SSOP	±1
MAX146BC/D	0°C to +70°C	Dice*	±1

Ordering Information continued at end of data sheet.

† Contact factory for availability of alternate surface-mount packages.

\*Dice are specified at  $T_A = +25^\circ\text{C}$ , DC parameters only.

## 標準動作回路



# +2.7V、ローパワー、8チャンネル シリアル12ビットADC

MAX146/MAX147

## ABSOLUTE MAXIMUM RATINGS

V <sub>DD</sub> to AGND, DGND.....	-0.3V to 6V	SSOP (derate 8.00mW/°C above +70°C) .....	640mW
AGND to DGND .....	-0.3V to 0.3V	CERDIP (derate 11.11mW/°C above +70°C).....	889mW
CH0–CH7, COM to AGND, DGND .....	-0.3V to (V <sub>DD</sub> + 0.3V)	Operating Temperature Ranges	
VREF, REFADJ to AGND .....	-0.3V to (V <sub>DD</sub> + 0.3V)	MAX146_C_P/MAX147_C_P .....	0°C to +70°C
Digital Inputs to DGND .....	-0.3V to 6V	MAX146_E_P/MAX147_E_P.....	-40°C to +85°C
Digital Outputs to DGND .....	-0.3V to (V <sub>DD</sub> + 0.3V)	MAX146_MJP/MAX147_MJP .....	-55°C to +125°C
Digital Output Sink Current .....	25mA	Storage Temperature Range .....	-60°C to +150°C
Continuous Power Dissipation (T <sub>A</sub> = +70°C)		Lead Temperature (soldering, 10sec) .....	+300°C
Plastic DIP (derate 11.11mW/°C above +70°C) .....	889mW		

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(V<sub>DD</sub> = +2.7V to +3.6V (MAX146); V<sub>DD</sub> = +2.7V to +5.25V (MAX147); COM = 0V; f<sub>SCLK</sub> = 2.0MHz; external clock (50% duty cycle); 15 clocks/conversion cycle (133ksps); MAX146—4.7μF capacitor at VREF pin; MAX147—external reference, VREF = 2.500V applied to VREF pin; T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>; unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>DC ACCURACY</b> (Note 1)						
Resolution			12			Bits
Relative Accuracy (Note 2)	INL	MAX14_A			±0.5	LSB
		MAX14_B			±1.0	
Differential Nonlinearity	DNL	No missing codes over temperature			±1	LSB
Offset Error		MAX14_A		±0.5	±3	LSB
		MAX14_B		±0.5	±4	
Gain Error (Note 3)				±0.5	±4	LSB
Gain Temperature Coefficient				±0.25		ppm/°C
Channel-to-Channel Offset Matching				±0.25		LSB
<b>DYNAMIC SPECIFICATIONS</b> (10kHz sine-wave input, 0V to 2.500V <sub>p-p</sub> , 133ksps, 2.0MHz external clock, bipolar input mode)						
Signal-to-Noise + Distortion Ratio	SINAD		70	73		dB
Total Harmonic Distortion	THD	Up to the 5th harmonic		-88	-80	dB
Spurious-Free Dynamic Range	SFDR		80	90		dB
Channel-to-Channel Crosstalk		65kHz, 2.500V <sub>p-p</sub> (Note 4)		-85		dB
Small-Signal Bandwidth		-3dB rolloff		2.25		MHz
Full-Power Bandwidth				1.0		MHz
<b>CONVERSION RATE</b>						
Conversion Time (Note 5)	t <sub>CONV</sub>	Internal clock, $\overline{\text{SHDN}} = \text{FLOAT}$	5.5		7.5	μs
		Internal clock, $\overline{\text{SHDN}} = \text{VDD}$	35		65	
		External clock = 2MHz, 12 clocks/conversion	6			
Track/Hold Acquisition Time	t <sub>ACQ</sub>				1.5	μs
Aperture Delay				30		ns
Aperture Jitter				<50		ps
Internal Clock Frequency		$\overline{\text{SHDN}} = \text{FLOAT}$		1.8		MHz
		$\overline{\text{SHDN}} = \text{VDD}$		0.225		
External Clock Frequency			0.1		2.0	MHz
		Data transfer only	0		2.0	

# +2.7V、ローパワー、8チャンネル シリアル12ビットADC

MAX146/MAX147

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = +2.7V$  to  $+3.6V$  (MAX146);  $V_{DD} = +2.7V$  to  $+5.25V$  (MAX147);  $COM = 0V$ ;  $f_{SCLK} = 2.0MHz$ ; external clock (50% duty cycle); 15 clocks/conversion cycle (133ksps); MAX146— $4.7\mu F$  capacitor at VREF pin; MAX147—external reference,  $V_{REF} = 2.500V$  applied to VREF pin;  $T_A = T_{MIN}$  to  $T_{MAX}$ ; unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>ANALOG/COM INPUTS</b>						
Input Voltage Range, Single-Ended and Differential (Note 6)		Unipolar, $COM = 0V$	0 to $V_{REF}$			V
		Bipolar, $COM = V_{REF} / 2$	$\pm V_{REF} / 2$			
Multiplexer Leakage Current		On/off leakage current, $V_{CH\_} = 0V$ or $V_{DD}$	$\pm 0.01$		$\pm 1$	$\mu A$
Input Capacitance			16			pF
<b>INTERNAL REFERENCE (MAX146 only, reference buffer enabled)</b>						
VREF Output Voltage		$T_A = +25^\circ C$	2.480	2.500	2.520	V
VREF Short-Circuit Current			30			mA
VREF Temperature Coefficient		MAX146_C	$\pm 30$		$\pm 50$	ppm/ $^\circ C$
		MAX146_E	$\pm 30$		$\pm 60$	
		MAX146_M	$\pm 30$		$\pm 80$	
Load Regulation (Note 7)		0mA to 0.2mA output load	0.35			mV
Capacitive Bypass at VREF		Internal compensation mode	0			$\mu F$
		External compensation mode	4.7			
Capacitive Bypass at REFADJ			0.047			$\mu F$
REFADJ Adjustment Range			$\pm 1.5$			%
<b>EXTERNAL REFERENCE AT VREF (Buffer disabled)</b>						
VREF Input Voltage Range (Note 8)			1.0		$V_{DD} + 50mV$	V
VREF Input Current		$V_{REF} = 2.500V$		100	150	$\mu A$
VREF Input Resistance			18	25		$k\Omega$
Shutdown VREF Input Current				0.01	10	$\mu A$
REFADJ Buffer Disable Threshold			$V_{DD} - 0.5$			V
<b>EXTERNAL REFERENCE AT REFADJ</b>						
Capacitive Bypass at VREF		Internal compensation mode	0			$\mu F$
		External compensation mode	4.7			
Reference Buffer Gain		MAX146	2.06			V/V
		MAX147	2.00			
REFADJ Input Current		MAX146	$\pm 50$			$\mu A$
		MAX147	$\pm 10$			

# +2.7V、ローパワー、8チャンネル シリアル12ビットADC

MAX146/MAX147

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = +2.7V$  to  $+3.6V$  (MAX146);  $V_{DD} = +2.7V$  to  $+5.25V$  (MAX147);  $COM = 0V$ ;  $f_{SCLK} = 2.0MHz$ ; external clock (50% duty cycle); 15 clocks/conversion cycle (133ksp/s); MAX146— $4.7\mu F$  capacitor at  $V_{REF}$  pin; MAX147—external reference,  $V_{REF} = 2.500V$  applied to  $V_{REF}$  pin;  $T_A = T_{MIN}$  to  $T_{MAX}$ ; unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
<b>DIGITAL INPUTS (DIN, SCLK, <math>\overline{CS}</math>, SHDN)</b>							
DIN, SCLK, $\overline{CS}$ Input High Voltage	$V_{IH}$	$V_{DD} \leq 3.6V$	2.0			V	
		$V_{DD} > 3.6V$ , MAX147 only	3.0				
DIN, SCLK, $\overline{CS}$ Input Low Voltage	$V_{IL}$				0.8	V	
DIN, SCLK, $\overline{CS}$ Input Hysteresis	$V_{HYST}$			0.2		V	
DIN, SCLK, $\overline{CS}$ Input Leakage	$I_{IN}$	$V_{IN} = 0V$ or $V_{DD}$		$\pm 0.01$	$\pm 1$	$\mu A$	
DIN, SCLK, $\overline{CS}$ Input Capacitance	$C_{IN}$	(Note 9)			15	pF	
$\overline{SHDN}$ Input High Voltage	$V_{SH}$		$V_{DD} - 0.4$			V	
$\overline{SHDN}$ Input Mid Voltage	$V_{SM}$		1.1	$V_{DD} - 1.1$		V	
$\overline{SHDN}$ Input Low Voltage	$V_{SL}$				0.4	V	
$\overline{SHDN}$ Input Current	$I_S$	$SHDN = 0V$ or $V_{DD}$			$\pm 4.0$	$\mu A$	
$\overline{SHDN}$ Voltage, Floating	$V_{FLT}$	$SHDN = FLOAT$		$V_{DD} / 2$		V	
$\overline{SHDN}$ Maximum Allowed Leakage, Mid Input		$SHDN = FLOAT$			$\pm 100$	nA	
<b>DIGITAL OUTPUTS (DOOUT, SSTRB)</b>							
Output Voltage Low	$V_{OL}$	$I_{SINK} = 5mA$			0.4	V	
		$I_{SINK} = 16mA$			0.8		
Output Voltage High	$V_{OH}$	$I_{SOURCE} = 0.5mA$	$V_{DD} - 0.5$			V	
Three-State Leakage Current	$I_L$	$\overline{CS} = V_{DD}$		$\pm 0.01$	$\pm 10$	$\mu A$	
Three-State Output Capacitance	$C_{OUT}$	$\overline{CS} = V_{DD}$ (Note 9)			15	pF	
<b>POWER REQUIREMENTS</b>							
Positive Supply Voltage	$V_{DD}$	MAX146	2.70		3.60	V	
		MAX147	2.70		5.25		
Positive Supply Current, MAX146	$I_{DD}$	$V_{DD} = 3.6V$	Operating mode, full-scale input		1.2	2.0	mA
			Fast power-down		30	70	$\mu A$
			Full power-down		1.2	10	
Positive Supply Current, MAX147	$I_{DD}$	Operating mode, full-scale input	$V_{DD} = 5.25V$		1.8	2.5	mA
			$V_{DD} = 3.6V$		0.9	1.5	
Positive Supply Current, MAX147	$I_{DD}$	Full power-down	$V_{DD} = 5.25V$		2.1	15	$\mu A$
			$V_{DD} = 3.6V$		1.2	10	
Supply Rejection (Note 10)	PSR	Full-scale input, external reference = 2.500V, $V_{DD} = 2.7V$ to $V_{DD}(MAX)$		$\pm 0.3$		mV	

# +2.7V、ローパワー、8チャンネル シリアル12ビットADC

MAX146/MAX147

## TIMING CHARACTERISTICS

( $V_{DD} = +2.7V$  to  $+3.6V$  (MAX146);  $V_{DD} = +2.7V$  to  $+5.25V$  (MAX147);  $T_A = T_{MIN}$  to  $T_{MAX}$ ; unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Acquisition Time	$t_{ACQ}$			1.5			$\mu s$
DIN to SCLK Setup	$t_{DS}$			100			ns
DIN to SCLK Hold	$t_{DH}$			0			ns
SCLK Fall to Output Data Valid	$t_{DO}$	Figure 1	MAX14_ _C/E	20		200	ns
			MAX14_ _M	20		240	
$\overline{CS}$ Fall to Output Enable	$t_{DV}$	Figure 1				240	ns
$\overline{CS}$ Rise to Output Disable	$t_{TR}$	Figure 2				240	ns
$\overline{CS}$ to SCLK Rise Setup	$t_{CSS}$			100			ns
$\overline{CS}$ to SCLK Rise Hold	$t_{CSH}$			0			ns
SCLK Pulse Width High	$t_{CH}$			200			ns
SCLK Pulse Width Low	$t_{CL}$			200			ns
SCLK Fall to SSTRB	$t_{SSTRB}$	Figure 1				240	ns
$\overline{CS}$ Fall to SSTRB Output Enable	$t_{SDV}$	External clock mode only, Figure 1				240	ns
$\overline{CS}$ Rise to SSTRB Output Disable	$t_{STR}$	External clock mode only, Figure 2				240	ns
SSTRB Rise to SCLK Rise	$t_{SCK}$	Internal clock mode only (Note 9)		0			ns

**Note 1:** Tested at  $V_{DD} = 2.7V$ ;  $COM = 0V$ ; unipolar single-ended input mode.

**Note 2:** Relative accuracy is the deviation of the analog value at any code from its theoretical value after the full-scale range has been calibrated.

**Note 3:** MAX146—internal reference, offset nulled; MAX147—external reference ( $V_{REF} = +2.500V$ ), offset nulled.

**Note 4:** Ground “on” channel; sine wave applied to all “off” channels.

**Note 5:** Conversion time defined as the number of clock cycles multiplied by the clock period; clock has 50% duty cycle.

**Note 6:** The common-mode range for the analog inputs is from AGND to  $V_{DD}$ .

**Note 7:** External load should not change during conversion for specified accuracy.

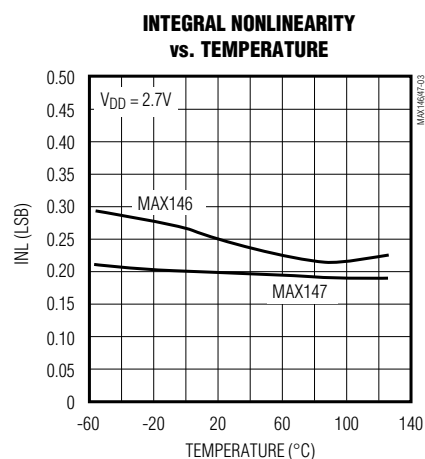
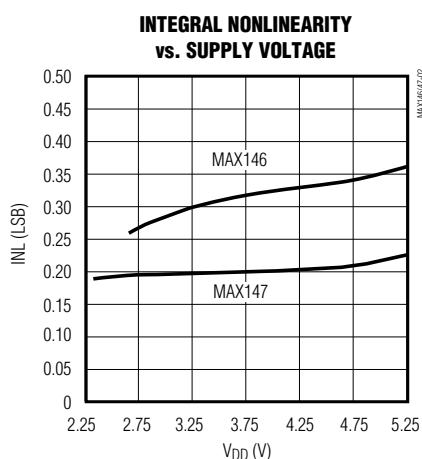
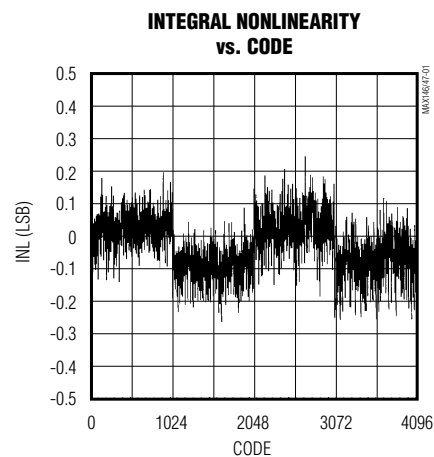
**Note 8:** ADC performance is limited by the converter’s noise floor, typically  $300\mu V_{p-p}$ .

**Note 9:** Guaranteed by design. Not subject to production testing.

**Note 10:** Measured as  $|V_{FS}(2.7V) - V_{FS}(V_{DD, MAX})|$ .

## 標準動作特性

( $V_{DD} = 3.0V$ ,  $V_{REF} = 2.500V$ ,  $f_{SCLK} = 2.0MHz$ ,  $C_{LOAD} = 20pF$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)

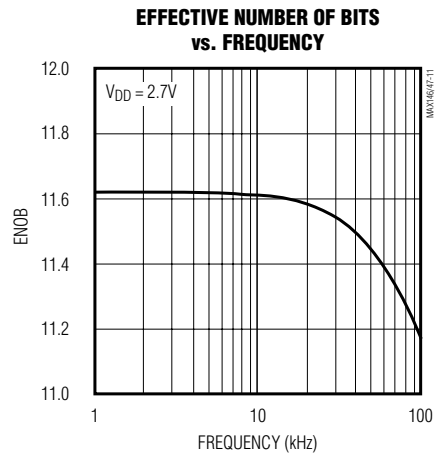
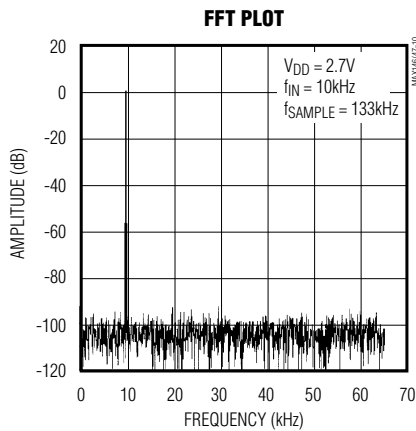
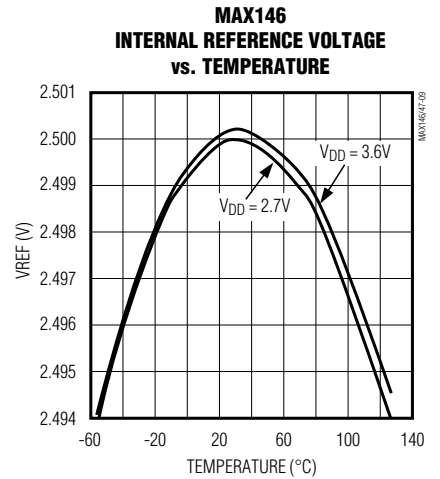
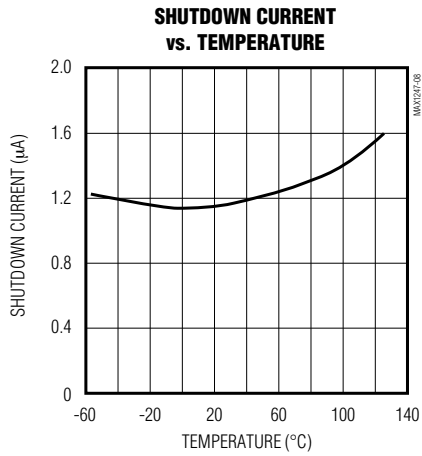
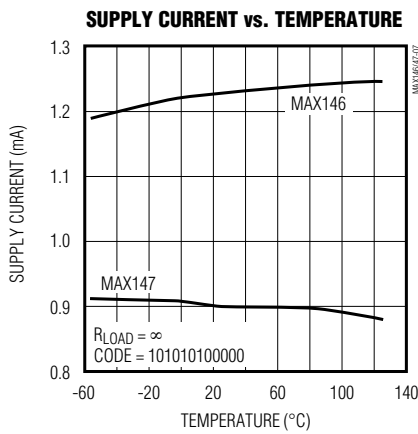
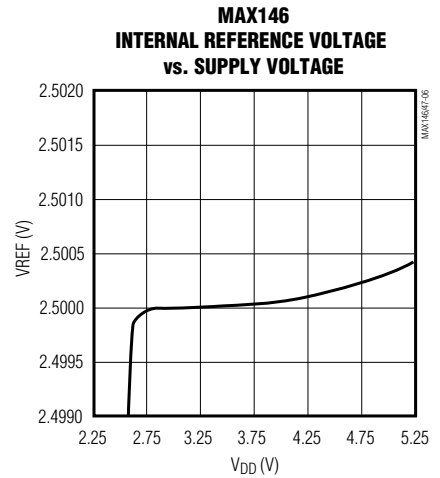
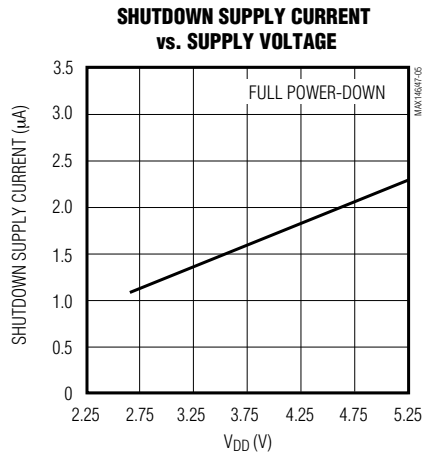
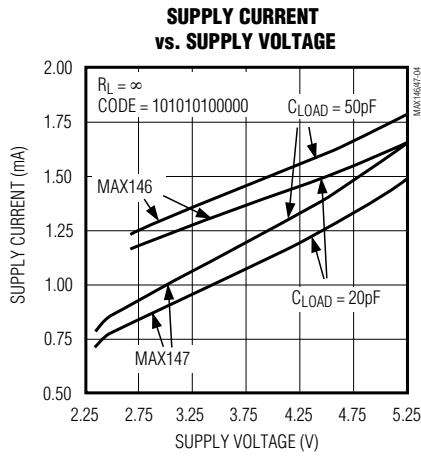


# +2.7V、ローパワー、8チャンネル シリアル12ビットADC

MAX146/MAX147

## 標準動作特性( 続き )

( $V_{DD} = 3.0V$ ,  $V_{REF} = 2.500V$ ,  $f_{SCLK} = 2.0MHz$ ,  $C_{LOAD} = 20pF$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)

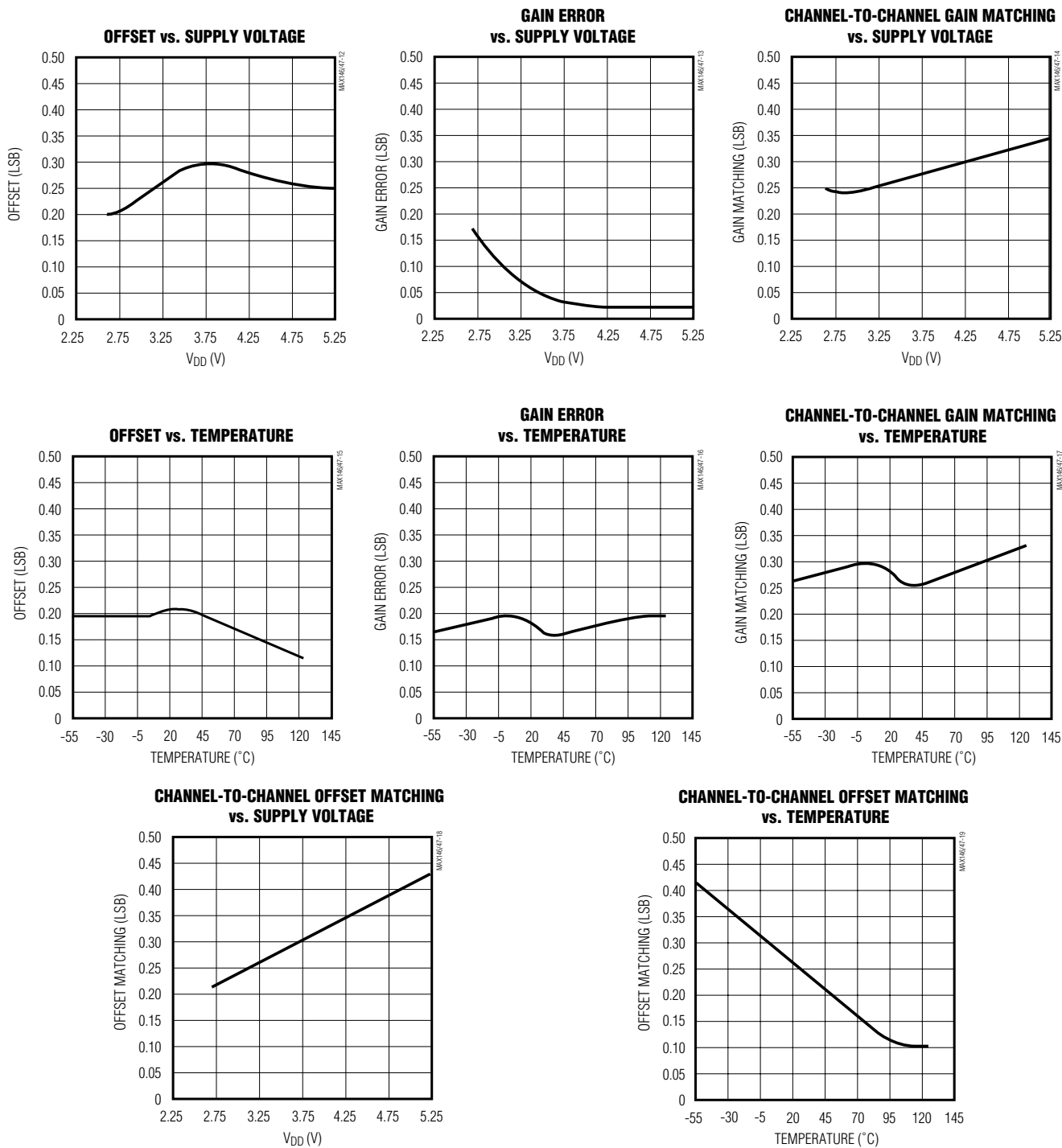


# +2.7V、ローパワー、8チャンネル シリアル12ビットADC

MAX146/MAX147

## 標準動作特性( 続き )

( $V_{DD} = 3.0V$ ,  $V_{REF} = 2.500V$ ,  $f_{SCLK} = 2.0MHz$ ,  $C_{LOAD} = 20pF$ ,  $T_A = +25^{\circ}C$ , unless otherwise noted.)



# +2.7V、ローパワー、8チャンネル シリアル12ビットADC

## 端子説明

端子	名称	機能
1-8	CH0-CH7	サンプリングアナログ入力
9	COM	アナログ入力のグランドリファレンス。シングルエンドモードでのCOMはゼロコード電圧を設定します。±0.5LSBの安定性が必要です。
10	$\overline{\text{SHDN}}$	3レベルシャットダウン入力。 $\overline{\text{SHDN}}$ をローにするとMAX146/MAX147はシャットダウンします。それ以外の場合は、完全動作状態です。 $\overline{\text{SHDN}}$ をハイにするとリファレンスバッファアンプは内部補償モードになります。 $\overline{\text{SHDN}}$ をフロートにするとリファレンスバッファアンプは外部補償モードになります。
11	VREF	リファレンスバッファ出力/ADCリファレンス入力。AD変換用のリファレンス電圧。内部リファレンスモード(MAX146のみ)では、リファレンスバッファは公称2.500V出力を生成し、REFADJで外部的に調整します。外部リファレンスモードでは、REFADJをV <sub>DD</sub> に接続することで内部バッファをディセーブルします。
12	REFADJ	リファレンスバッファアンプ入力。リファレンスバッファアンプをディセーブルするにはREFADJをV <sub>DD</sub> に接続してください。
13	AGND	アナロググランド
14	DGND	デジタルグランド
15	DOUT	シリアルデータ出力。データはSCLKの立下がりエッジでクロック出力されます。 $\overline{\text{CS}}$ がハイのときハイインピーダンスになります。
16	SSTRB	シリアルストローブ出力。内部クロックモードでは、SSTRBはMAX146/MAX147がA/D変換を開始したときにローになり、変換終了時にハイになります。外部クロックモードでは、SSTRBはMSBの決定前に1クロックサイクルだけパルスのハイになります。 $\overline{\text{CS}}$ がハイ(外部クロックモード)のときはハイインピーダンスになります。
17	DIN	シリアルデータ入力。データはSCLKの立上がりエッジでクロック入力されます。
18	$\overline{\text{CS}}$	アクティブローのチップセレクト。 $\overline{\text{CS}}$ がローでない限り、データはDINにクロック入力されません。 $\overline{\text{CS}}$ がハイのとき、DOUTはハイインピーダンスになります。
19	SCLK	シリアルクロック入力。シリアルインタフェースのデータをクロック入力及び出力します。外部クロックモードではSCLKは変換速度も設定します。(デューティサイクルは40%~60%でなければなりません。)
20	V <sub>DD</sub>	正電源電圧

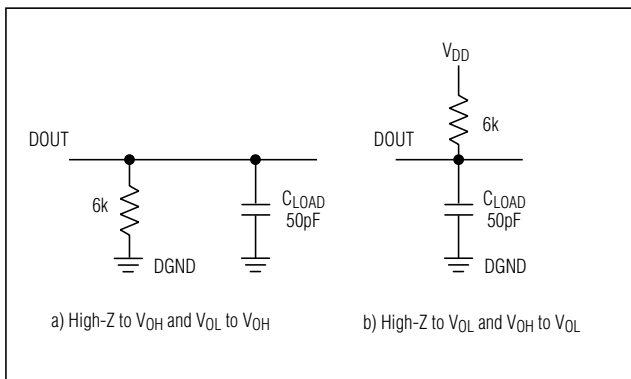


図1. イネーブル時間用の負荷回路

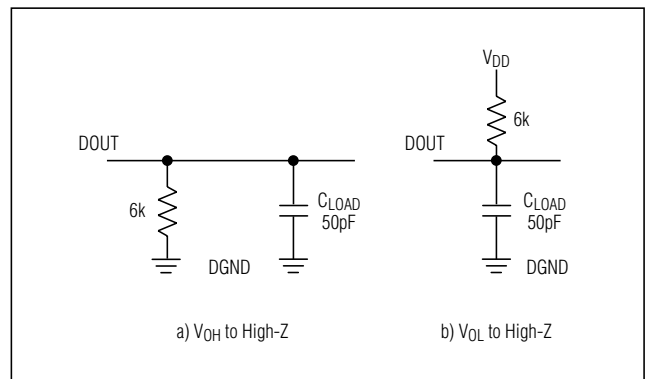


図2. ディセーブル時間用の負荷回路



# +2.7V、ローパワー、8チャンネル シリアル12ビットADC

MAX146/MAX147

## 詳細

MAX146/MAX147アナログデジタルコンバータ(ADC)は逐次比較型の変換技法と入力トラック/ホールド(T/H)回路を用いることでアナログ信号を12ビットのデジタル出力に変換します。フレキシブルなシリアルインタフェースがマイクロプロセッサ( $\mu$ P)とのインタフェースを容易にしています。図3にMAX146/MAX147のブロック図を示します。

## 疑似差動入力

このADCのアナログコンパレータのサンプリング構造は入力等価回路(図4)に図解されています。シングルエンドモードでは、IN+は内部でCH0~CH7にスイッチングされ、IN-はCOMにスイッチングされます。差動モードでは、IN+及びIN-はCH0/CH1、CH2/CH3、CH4/CH5及びCH6/CH7の組み合わせから選択されます。チャンネルの設定は表2及び表3を参考に行ってください。

差動モードでは、IN-及びIN+は内部でアナログ入力のどちらかにスイッチングされます。この構成ではIN+のところの信号だけがサンプリングされるため、この構成を疑似差動と呼んでいます。リターン側(IN-)は変換中、AGNDに対して $\pm 0.5$ LSB(ベストの結果を得るためには $\pm 0.1$ LSB)以内で安定していなければなりません。これを実現するために、IN-(選択されたアナログ入力)とAGNDの間に $0.1\mu\text{F}$ のコンデンサを接続してください。

アキュイジション期間中は正入力(IN+)として選択されたチャンネルがコンデンサ $C_{\text{HOLD}}$ を充電します。アキュイジション期間は3 SCLKサイクル間だけ続き、入力制御

ワードの最後のビットが入力された後のSCLKの立下がりエッジで完了します。アキュイジション期間の終了時にT/Hスイッチが開き、 $C_{\text{HOLD}}$ の電荷をIN+の信号のサンプルとして保持します。

変換期間は、入力マルチプレクサが $C_{\text{HOLD}}$ を正入力(IN+)から負入力(IN-)に、スイッチングしたときから始まります。シングルエンドモードではIN-はCOMです。このため、コンパレータの入力でのノードZEROが不平衡になります。変換サイクルの残りの時間で、容量性DACがノードZEROを12ビット分解能の制限範囲で0Vに調節します。この動作は $16\text{pF} \times [(V_{\text{IN}+}) - (V_{\text{IN}-})]$ の電荷を $C_{\text{HOLD}}$ からバイナリ重み付の容量性DACに移すのと等価です。この結果、アナログ入力信号のデジタル表示が生成されます。

## トラック/ホールド

T/Hは8ビット制御ワードの5番目のビットがシフトインされた後の立下がりクロックエッジでトラックモードに入り、制御ワードの8番目のビットがシフトインされた後の立下がりクロックエッジでホールドモードに入ります。コンバータがシングルエンド入力用に設定されている場合はIN-がCOMに接続され、コンバータは「+」入力をサンプリングします。コンバータが差動入力用に設定されている場合はIN-が「-」入りに接続され、 $\text{IN+} - \text{IN-}$ の差がサンプリングされます。変換完了時に正入力(+)が再びIN+に接続され、 $C_{\text{HOLD}}$ は入力信号電圧まで充電されます。

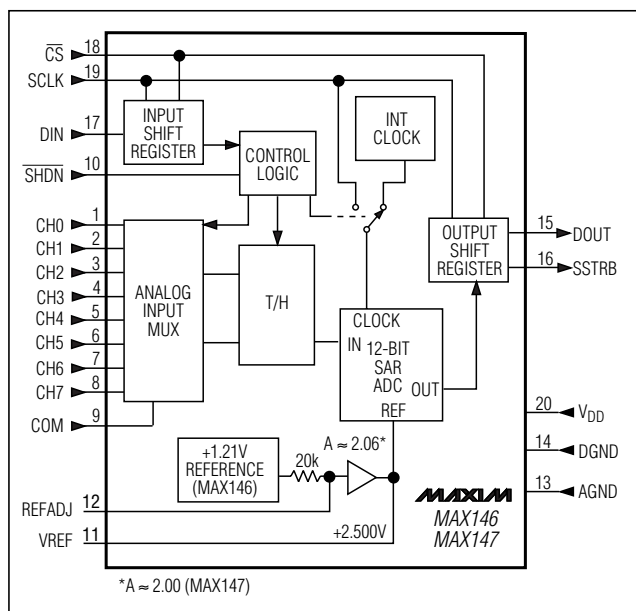


図3. ブロック図

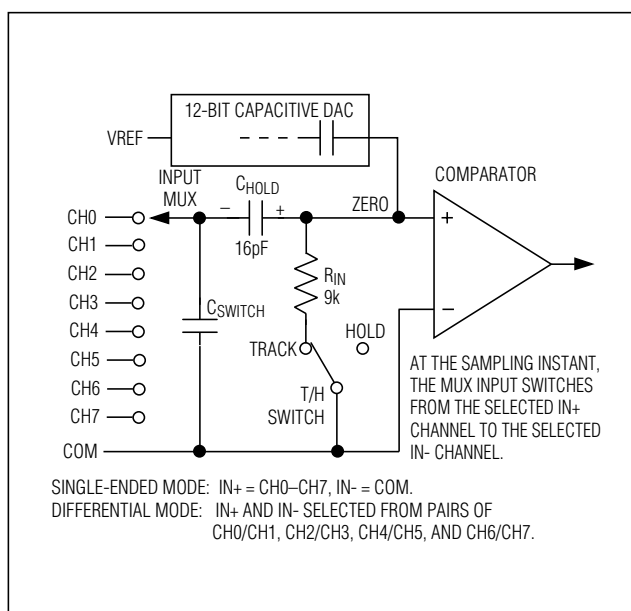


図4. 等価入力回路

# +2.7V、ローパワー、8チャンネル シリアル12ビットADC

T/Hが入力信号を取込むのに要する時間は、入力容量が充電される速さの関数になっています。入力信号のソースインピーダンスが高いとアキュイジション時間は長くなるため、変換と変換の間の時間を長くしなければなりません。アキュイジション時間 $t_{ACQ}$ は素子が信号を取込むのに要する最大時間であり、信号の取込みに必要な最低時間でもあります。 $t_{ACQ}$ は次式で計算されます。

$$t_{ACQ} = 9 \times (R_S + R_{IN}) \times 16pF$$

ここで、 $R_{IN} = 9k$ 、 $R_S =$  入力信号のソースインピーダンス、そして $t_{ACQ}$ は必ず $1.5\mu s$ 以上です。ソースインピーダンスが $1k$ 以下であれば、ADCのAC性能に大きな影響はありません。

$0.01\mu F$ コンデンサが各アナログ入力に接続されている場合は、より高いソースインピーダンスを使用できます。入力コンデンサは入力ソースインピーダンスと共にRCフィルタを構成し、ADCの信号帯域幅を制限します。

## 入力帯域幅

ADCの入力トラッキング回路の小信号帯域幅は $2.25MHz$ であるため、アンダーサンプリング技法を用いることで、帯域幅がADCのサンプリングレート以上の周期信号を測定し、高速トランジェント現象を数値化することができます。高周波信号が計測したい周波数帯域にエイリアシングしてくるのを防ぐために、アンチエイリアシングフィルタリングをお勧めします。

## アナログ入力保護

内部保護ダイオードがアナログ入力を $V_{DD}$ とAGNDにクランプしているため、チャンネル入力ピンは $(AGND - 0.3V) \sim (V_{DD} + 0.3V)$ の範囲で、損傷を起こすことなくスイングできます。しかし、フルスケール付近で正確な変換を行うためには、入力が $V_{DD}$ を $50mV$ 以上超えてはならず、またAGNDを $50mV$ 以上下回ってはなりません。

アナログ入力電源を $50mV$ 以上超えた場合、オフチャンネルの保護ダイオードに $2mA$ 以上の順方向バイアスをかけないでください。

## 性能チェック回路

MAX146/MAX147のアナログ性能を簡便に評価するには、図5の回路を使用してください。MAX146/MAX147では各変換の前に制御バイトがDINに書き込まれる必要があります。DINを $+3V$ にすると、 $\$FF$ (HEX)という制御バイトが書き込まれます。これは、変換と変換の間にパワーダウンのない外部クロックモードでのCH7のシングルエンドユニポーラ変換をトリガします。外部クロックモードでは、12ビット変換結果の最高位ビットがDOUTからシフトアウトされる前に、SSTRB出力が1クロック周期だけパルス的にハイになります。CH7へのアナログ入力を変化させると、DOUTから出るビットのシーケンスが変わります。1変換当たり合計15クロックサイクルが必要です。SSTRB及びDOUTの遷移は全てSCLKの立下がりエッジで起こります。

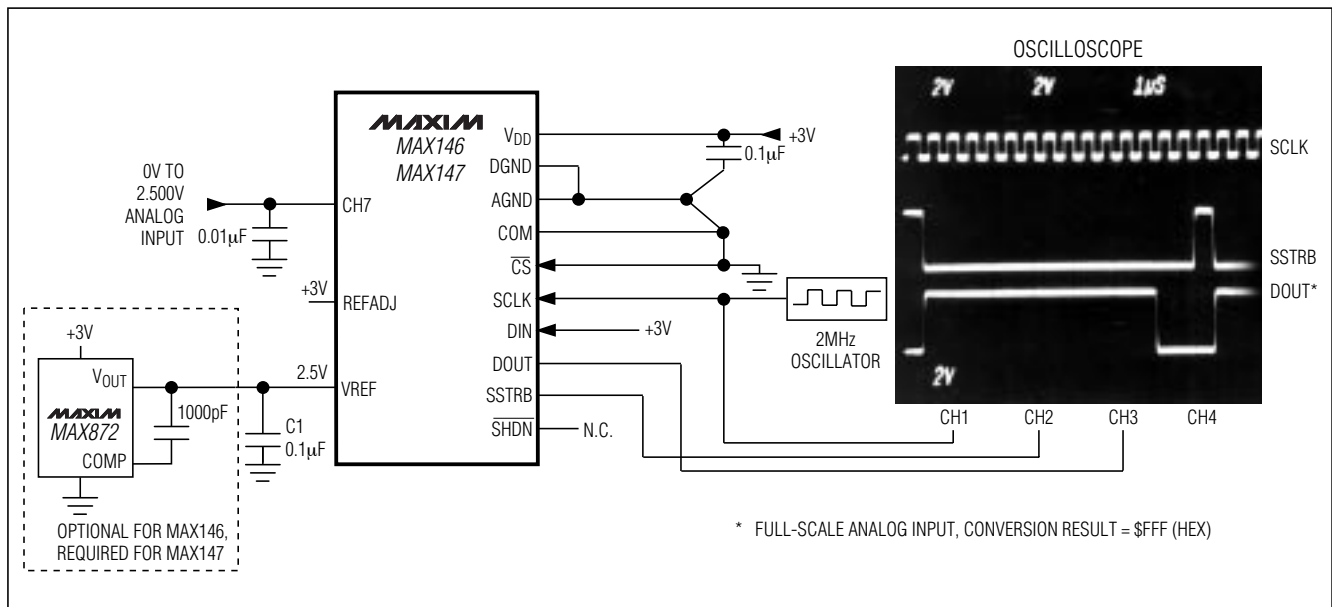


図5. 性能チェック回路

# +2.7V、ローパワー、8チャンネル シリアル12ビットADC

MAX146/MAX147

表1. 制御バイトフォーマット

BIT 7 (MSB)	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0 (LSB)
START	SEL2	SEL1	SEL0	UNI/BIP	SGL/DIF	PD1	PD0
BIT	NAME	DESCRIPTION					
7(MSB)	START	The first logic "1" bit after $\overline{CS}$ goes low defines the beginning of the control byte.					
6 5 4	SEL2 SEL1 SEL0	These three bits select which of the eight channels are used for the conversion (Tables 2 and 3).					
3	UNI/BIP	1 = unipolar, 0 = bipolar. Selects unipolar or bipolar conversion mode. In unipolar mode, an analog input signal from 0V to VREF can be converted; in bipolar mode, the signal can range from -VREF/2 to +VREF/2.					
2	SGL/DIF	1 = single ended, 0 = differential. Selects single-ended or differential conversions. In single-ended mode, input signal voltages are referred to COM. In differential mode, the voltage difference between two channels is measured (Tables 2 and 3).					
1 0(LSB)	PD1 PD0	Selects clock and power-down modes.					
		PD1	PD0	Mode			
		0	0	Full power-down			
		0	1	Fast power-down (MAX146 only)			
		1	0	Internal clock mode			
		1	1	External clock mode			

表2. シングルエンドモードでのチャンネル選択(SGL/ $\overline{DIF}$  = 1)

SEL2	SEL1	SEL0	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7	COM
0	0	0	+								-
1	0	0		+							-
0	0	1			+						-
1	0	1				+					-
0	1	0					+				-
1	1	0						+			-
0	1	1							+		-
1	1	1								+	-

表3. 差動モードでのチャンネル選択(SGL/ $\overline{DIF}$  = 0)

SEL2	SEL1	SEL0	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7
0	0	0	+	-						
0	0	1			+	-				
0	1	0					+	-		
0	1	1							+	-
1	0	0	-	+						
1	0	1			-	+				
1	1	0					-	+		
1	1	1							-	+

# +2.7V、ローパワー、8チャンネル シリアル12ビットADC

## 変換開始方法

変換は制御バイトをDINにクロックインすることで始まります。 $\overline{CS}$ がローの場合、SCLKクロックの各立上がりエッジ毎にDINからMAX146/MAX147の内部シフトレジスタへと1ビットずつクロックインされます。 $\overline{CS}$ が下がった後で最初に来たロジック「1」のビットが制御バイトのMSBを定義します。この最初の「スタート」ビットが来るまでは、ロジック「0」のビットがいくつDINにクロックインされたとしても一切影響はありません。表1に制御バイトのフォーマットを示します。

MAX146/MAX147はMicrowire™、SPI™及びQSPI™機器とコンパチブルです。SPIの場合は、SPI制御レジスタで正しいクロック極性とサンプリングエッジを選択してください(CPOL = 0及びCPHA = 0に設定してください)。Microwire、SPI及びQSPIはいずれもバイトの送信とバイトの受信を同時に行います。「標準動作回路」を用いた場合、最もシンプルなソフトウェアインタフェースでは8ビット転送を僅か3回行うだけで変換が行えます(1回の8ビット転送ではADCを設定し、残り後2回の8ビット転送では12ビット変換結果をクロックアウトします)。MAX146/MAX147のQSPI接続法については図20を参照してください。

## シンプルなソフトウェアインタフェース

CPUがシリアルクロックを発生するために、CPUのシリアルインタフェースがマスターモードで動作していることを確認してください。クロック周波数は100kHz~2MHzの範囲から選択してください。

- 1) 制御バイトを外部クロックモードに設定し、これをTB1と呼びます。TB1はバイナリの1XXXXX11というフォーマットになるはずですが、ここで、Xは選択された特定のチャンネル及び変換モードを意味します。

- 2) CPUの汎用I/Oラインを用いて $\overline{CS}$ をローにします。
- 3) TB1を送信し、同時にバイトを受信します。受信したバイトをRB1と呼びます。RB1は無視します。
- 4) 全てゼロで構成されるバイト(\$00 HEX)を送信し、同時にバイトRB2を受信します。
- 5) 全てゼロで構成されるバイト(\$00 HEX)を送信し、同時にバイトRB3を受信します。
- 6)  $\overline{CS}$ をハイにします。

図6にこのシーケンスのタイミングを示します。バイトRB2とRB3は、先頭のゼロ1個及び最後の3つのゼロにはさまれた変換結果を含んでいます。総変換時間はシリアルクロック周波数及び8ビット転送間のアイドル時間の関数です。T/Hが過剰にドループするのを防ぐために、総変換時間が120 $\mu$ sを超えないようにしてください。

## デジタル出力

ユニポーラ入力モードでは出力はストレートなバイナリです(図17)。バイポーラ入力の場合、出力は2の補数形式になります(図18)。データはSCLKの立下がりエッジで、MSBを先頭にクロックアウトされます。

## クロックモード

MAX146/MAX147は外部シリアルクロック又は内部クロックを用いることで、逐次比較型変換を行うことができます。どちらのクロックモードの場合も、外部クロックがMAX146/MAX147からデータをシフトイン/アウトします。T/Hは制御バイトの最後の3ビットがDINにクロックインされるときに入力信号を取込みます。制御バイトのビットPD1及びPD0がクロックモードをプログラムします。図7~10に両方のモードに共通するタイミング特性を示します。

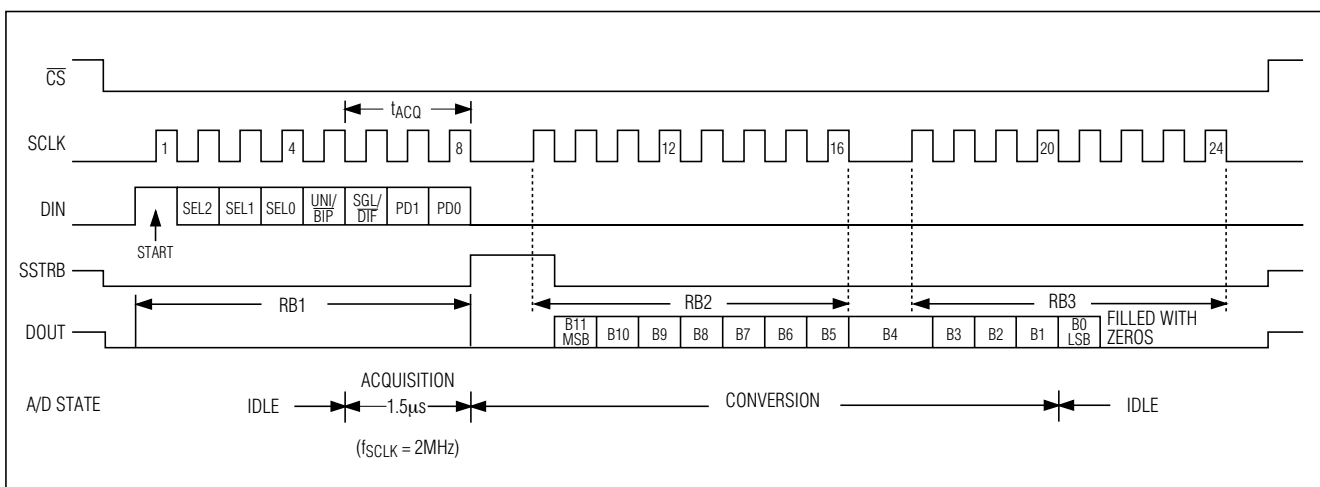


図6. 24クロック外部クロックモードの変換タイミング(Microwire及びSPIコンパチブル、 $f_{SCLK}$  2MHzでQSPIコンパチブル)

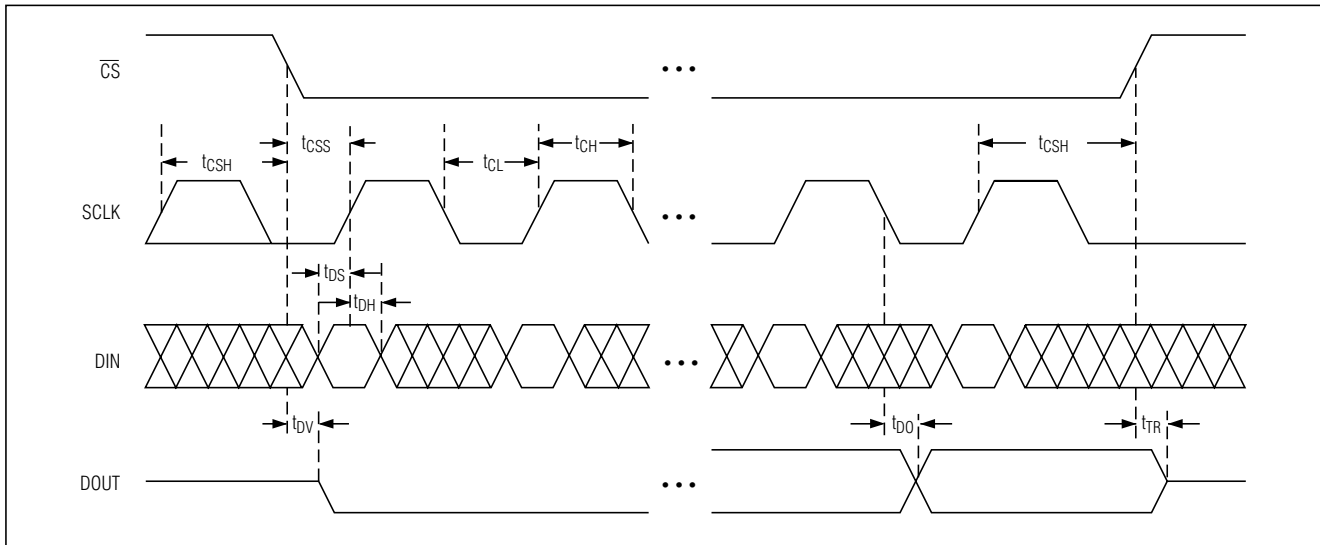


図7. シリアルインタフェースのタイミングの詳細

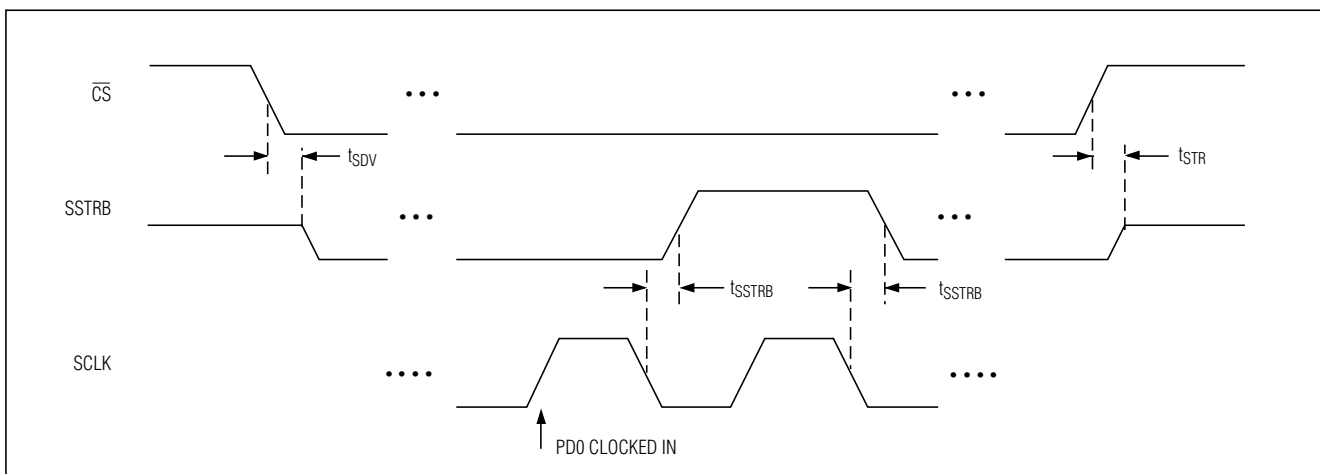


図8. 外部クロックモードでのSSTRBのタイミングの詳細

## 外部クロック

外部クロックモードでは、外部クロックはデータをシフトイン/アウトするだけでなく、アナログデジタル変換ステップの駆動も行います。SSTRBは制御バイトの最後のビットの後で、1クロック周期だけパルス的にハイになります。逐次比較用のビット決定はそれに続くSCLKの立下がりエッジ12個でそれぞれ行われ、DOUTに出力されます(図6)。CSがハイになると、SSTRB及びDOUTはハイインピーダンス状態になります。そして、その次のCSの立下がりエッジでSSTRBはロジックローを出力します。図8に外部クロックモードでのSSTRBのタイミングを示します。

変換は一定した最小時間内に完了しなければなりません。

完了しない場合は、サンプルアンドホールドコンデンサのドレージが変換結果を劣化させます。シリアルクロック周波数が100kHz以下の場合、あるいはシリアルクロックの割込みが原因で変換期間が120μsを超える可能性がある場合は、内部クロックモードを使用してください。

## 内部クロック

内部クロックモードでは、MAX146/MAX147自体が変換クロックを内部で発生します。この結果、μPIはSAR変換クロックを動作させる役目から解放され、変換結果はプロセッサの都合のよいときに、0~2MHzの任意のクロックレートで読取ることができます。SSTRBは変換開始時にローになり、変換が完了するとハイにな

# +2.7V、ローパワー、8チャンネル シリアル12ビットADC

ります。SSTRBは最大7.5 $\mu$ s間ローに留まりますが ( $\overline{\text{SHDN}} = \text{FLOAT}$ )、最高のノイズ性能を得るためには、その間SCLKをローに保つようしてください。

変換が行われている間は内部レジスタがデータを保管します。変換の完了後、任意の時点で、SCLKがこのレジスタからデータをクロックアウトします。SSTRBが高になった後、次の立下がりクロックエッジでDOUTに変換のMSBが出力され、続いて残りのビットがMSBを先頭にしたフォーマットで出力されます(図9)。一旦変換が開始されれば、 $\overline{\text{CS}}$ をローに保持する必要はありません。 $\overline{\text{CS}}$ をハイにするとデータがMAX147にクロック

インされなくなり、DOUTがスリーステートになります。すでに進行中の内部クロックモードの変換に悪影響を与えることはありません。内部クロックモードが選択されている場合、 $\overline{\text{CS}}$ がハイになってもSSTRBはハイインピーダンス状態にはなりません。

図10に内部クロックモードでのSSTRBのタイミングを示します。このモードでは、最小アキュイジションタイム( $t_{\text{ACQ}}$ )が1.5 $\mu$ s以上に保持されている限り、2.0MHz以上のクロックレートでデータをMAX146/ MAX147にシフトインでき、また、MAX147からデータをシフトアウトすることもできます。

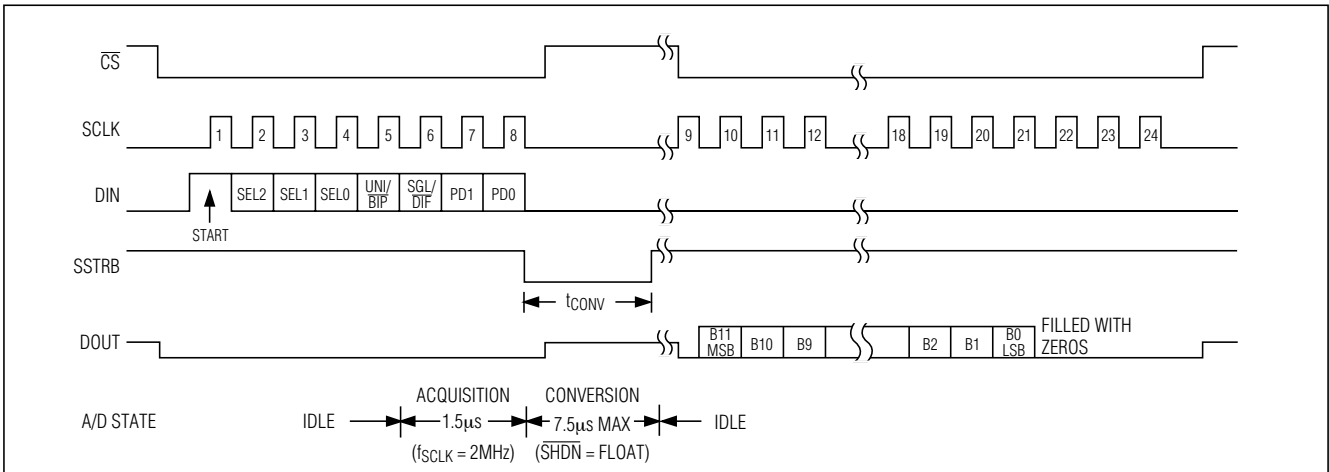


図9. 内部クロックモードのタイミング

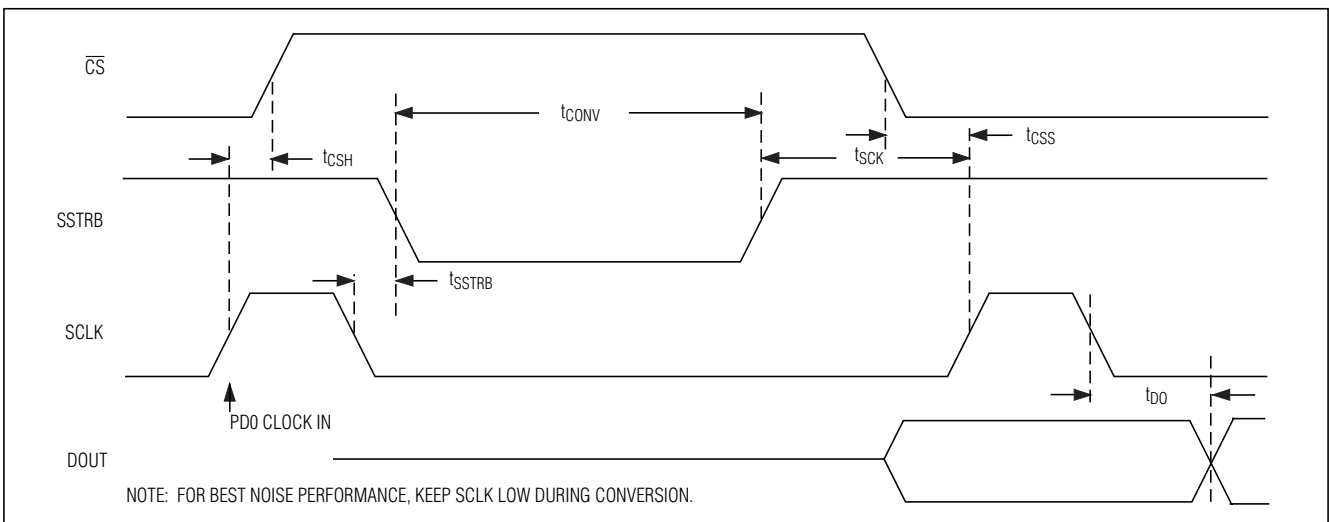


図10. 内部クロックモードでのSSTRBのタイミングの詳細

# +2.7V、ローパワー、8チャンネル シリアル12ビットADC

## データフレーミング

$\overline{CS}$ の立下がりエッジでは変換は開始されません。DINにクロックインされる最初のロジックハイはスタートビットとして解釈され、これが制御バイトの最初のビットの定義付けを行います。変換は、8番目の制御ビット(PD0ビット)がDINにクロックインされた後のSCLKの立下がりエッジで開始されます。スタートビットの定義は以下のとおりです。

コンバータがアイドル状態である任意の時間(例えば  $V_{DD}$ が印加された後)に $\overline{CS}$ がローの状態にDINにクロックインされてきた最初のハイビット。

又は

進行中の変換のビット3がDOOUTピンにクロックされた後にDINにクロックインされてきた最初のハイビット。

現在の変換が完了する前に $\overline{CS}$ がトグルされると、その次にDINにクロックインされるハイビットがスタートビットと見なされます。そうすると、現在の変換は中止され、新しい変換が開始されます。

MAX146/MAX147が動作できる最高速度は、変換中 $\overline{CS}$ がローに維持されている場合15クロック/変換になります。図11aに、外部クロックモードで15 SCLKサイクル毎に変換を実行するために必要なシリアル

インタフェースタイミングを示します。 $\overline{CS}$ がローでSCLKが連続的であれば、スタートビットは最初に16ゼロをクロックインすることで保証されます。

殆どのマイクロコントローラの場合、変換は8 SCLKクロックの倍数で起きなければなりません。従って、マイクロコントローラがMAX146/MAX147を動作させられる最高速度は通常16クロック/変換という事になります。図11bに、外部クロックモードで16 SCLKサイクル毎に変換を実行するために必要なシリアルインタフェースタイミングを示します。

## アプリケーション情報

### パワーオンリセット

最初に電源が入ったときに $\overline{SHDN}$ がローでなければ、パワーオンリセット回路が内部クロックモードでMAX146/MAX147を起動します。このときSSTRB = ハイの状態、変換を開始できる体勢にあります。電源が安定した後、内部リセット時間が10 $\mu$ sありますが、この間は変換を行わないでください。SSTRBはパワーアップ時にはハイで、 $\overline{CS}$ がローの場合は、DINの最初のロジック1がスタートビットと見なされます。変換が行われるまではDOOUTはゼロをシフトアウトします(表4を参照)。

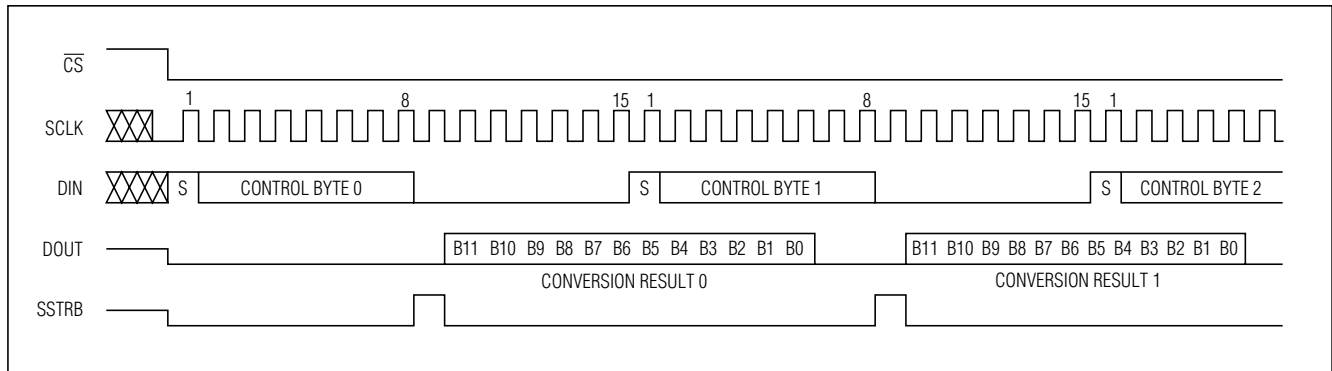


図11a. 外部クロックモード、15クロック/変換のタイミング

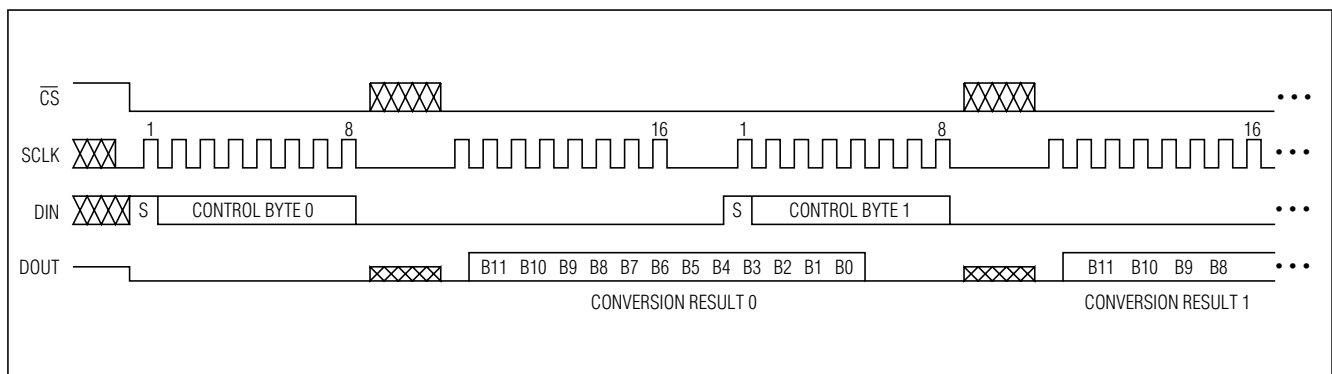


図11b. 外部クロックモード、16クロック/変換のタイミング

# +2.7V、ローパワー、8チャンネル シリアル12ビットADC

## リファレンスバッファの補償

$\overline{\text{SHDN}}$ は、シャットダウン機能の他に、内部又は外部補償の選択に使用します。この補償は、パワーアップ時間及び最大変換速度の両方に影響します。最小クロックレートは、補償の状態に関らず、サンプルアンドホールドのドループのために100kHzに制限されます。

$\overline{\text{SHDN}}$ をフローティングにすると、外部補償になります。「標準動作回路」では、VREFにおいて4.7 $\mu\text{F}$ コンデンサを使用しています。4.7 $\mu\text{F}$ の場合は安定性が保証され、2MHzのフルクロック速度の変換動作が可能になります。外部補償の場合は、パワーアップ時間が増加します(「パワーダウンモードの選択」及び表4を参照)。

$\overline{\text{SHDN}}$ をハイにすると、内部補償になります。内部補償ではVREFの外部コンデンサを必要としないため、パワーアップ時間を最も短くできます。最大クロックレートは、内部クロックモードで2MHz、外部クロックモードでは400kHzとなっています。

## パワーダウンモードの選択

変換と変換の間にコンバータを低電流のシャットダウン状態にすることにより、電力を節約できます。フルパワーダウン又は高速パワーダウンモードを選択するには、 $\overline{\text{SHDN}}$ がハイ又はフローティングの状態、DIN制御バイトのビット1及びビット0を使用します(表1及び表5)。いずれのソフトウェアシャットダウンモードでも、シリアルインターフェースは動作状態に留まりますが、ADCは変換しません。 $\overline{\text{SHDN}}$ をローにすることにより、いつでもコンバータを完全にシャットダウンできます。 $\overline{\text{SHDN}}$ は、制御バイトのビット1及びビット0に優先します。

フルパワーダウンモード時には、電流を消費する全てのチップ機能がターンオフされ、消費電流が2 $\mu\text{A}$ (typ)まで低下します。高速パワーダウンモードでは、バンドギャップリファレンス以外の全ての回路がターンオフされます。高速パワーダウンモードの消費電流は30 $\mu\text{A}$ となっています。内部補償モードでは、パワーアップ

時間を5 $\mu\text{s}$ まで短縮できます。

表4は、どのリファレンスバッファ補償及びパワーダウンモードを選択するかによって、パワーアップディレイ及び最大サンプリングレートがどのように影響されるかを示しています。外部補償モードにおいて、コンデンサが初めに完全に放電している場合のパワーアップ時間は、4.7 $\mu\text{F}$ の補償コンデンサを使用した場合に20msとなります。高速パワーダウンからのスタートアップ時間については、シャットダウン中に1/2LSB以上放電しない低リークコンデンサを使用することによって完全に無くすることができます。パワーダウン中には、VREFにおけるリーク電流によって、リファレンスバイパスコンデンサでドループが生じます。図12a及び図12bに、外部及び内部クロックモード時の様々なパワーダウンシーケンスを示します。

## ソフトウェアのパワーダウン

制御バイトのビットPD1及びPD0を用いることで、ソフトウェアのパワーダウンを起動することができます。表5に示すように、PD1及びPD0はクロックモードを指定するためにも用いられます。ソフトウェアのシャットダウンが発生すると、変換が完了するまでADCは最後に指定されたクロックモードで動作し続けます。その後、ADCはパワーダウンし、低自己消費電流状態になります。内部クロックモードでは、MAX146/MAX147がソフトウェアのパワーダウンに入った後でもインターフェースはアクティブ状態を保ち、変換結果をクロックアウトすることができます。

DINの最初のロジック「1」がスタートビットと見なされ、これによってMAX146/MAX147はパワーアップします。スタートビットに続いて、データ入力ワード又は制御バイトがやはりクロックモードとパワーダウン状態を判断します。例えば、DINワードがPD1 = 1を含んでいると、チップはパワーアップ状態に留まります。PD0 = PD1 = 0のときは、1回だけ変換を行い、その後再びパワーダウンします。

表4. パワーダウン遅延時間(typ)

REFERENCE BUFFER	REFERENCE-BUFFER COMPENSATION MODE	VREF CAPACITOR ( $\mu\text{F}$ )	POWER-DOWN MODE	POWER-UP DELAY ( $\mu\text{s}$ )	MAXIMUM SAMPLING RATE (ksps)
Enabled	Internal	—	Fast	5	26
Enabled	Internal	—	Full	300	26
Enabled	External	4.7	Fast	See Figure 14c	133
Enabled	External	4.7	Full	See Figure 14c	133
Disabled	—	—	Fast	2	133
Disabled	—	—	Full	2	133



# +2.7V、ローパワー、8チャンネル シリアル12ビットADC

MAX146/MAX147

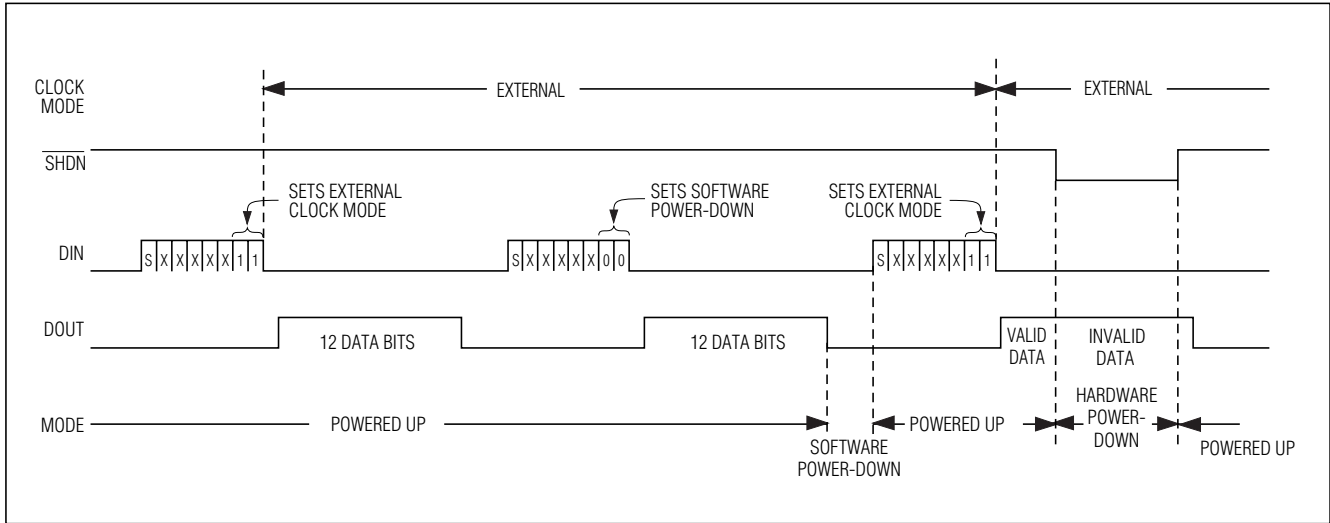


図12a. パワーダウンのタイミング図(外部クロック)

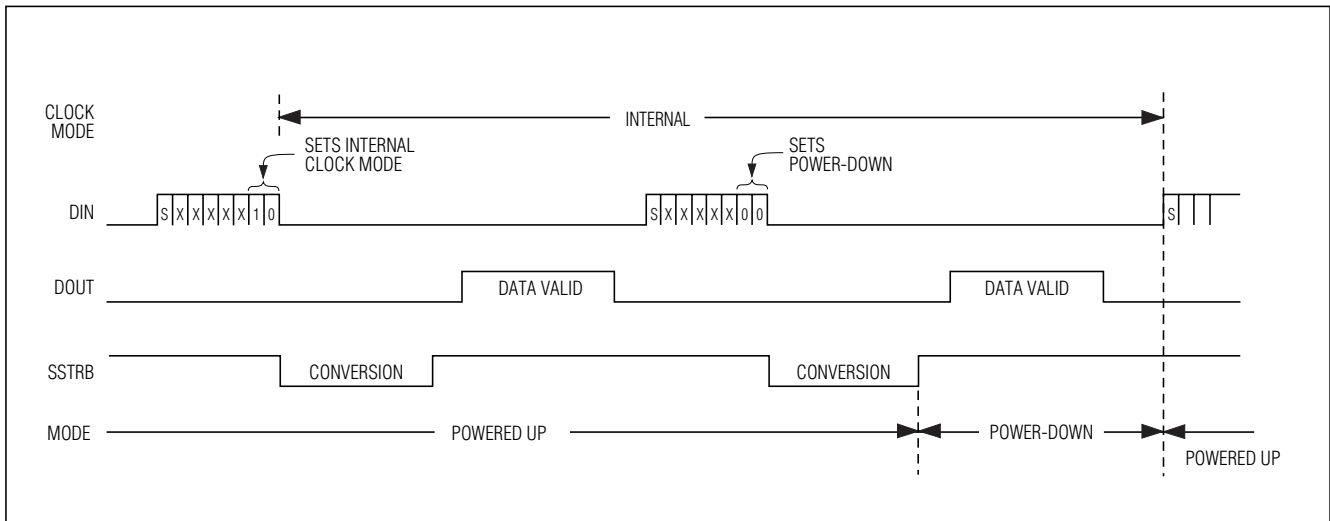


図12b. パワーダウンのタイミング図(内部クロック)

## ハードウェアのパワーダウン

$\overline{\text{SHDN}}$ がローになると、コンバータはハードウェアのパワーダウン状態に入ります(表6)。ソフトウェアのパワーダウンモードとは異なり、変換は完了せずに、 $\overline{\text{SHDN}}$ がローになったときに停止します。 $\overline{\text{SHDN}}$ は内部クロックモードでのクロック周波数も制御します。 $\overline{\text{SHDN}}$ がフローティングのままだと、内部クロック周波数が1.8MHzに設定されます。 $\overline{\text{SHDN}}$ がフローティング

した状態で通常動作に戻った場合、約 $2M \times C_L \times t_{RC}$ の遅延時間があります(ここで $C_L$ は $\overline{\text{SHDN}}$ ピンでの容量性負荷です)。 $\overline{\text{SHDN}}$ をハイにすると内部クロック周波数が225kHzに設定されます。この機能はリファレンス電圧が課すセトリング時間の必要条件を緩和します。外部リファレンスでは、MAX146/MAX147は $\overline{\text{SHDN}}$ がアクティブにハイにされた後2 $\mu\text{s}$ 以内で完全にパワーアップされています。

# +2.7V、ローパワー、8チャンネル シリアル12ビットADC

## パワーダウンシーケンス

最大サンプリングレートよりも遅い速度で動作している場合、MAX146/MAX147を自動パワーダウンモードに設定することで大幅に電力を節約できます。図13、14a及び14bに、平均消費電流とサンプリングレートの関係を示しています。以下に、様々なパワーダウンシーケンスについて説明します。

### 最大500変換/チャンネル/秒までの最低電力動作

以下に、2つのパワーダウンシーケンス例を示します。他のアプリケーションの場合は、これ以外のクロックレート、補償モード及びパワーダウンモードの組み合わせにより最小の消費電力を実現できることもあります。

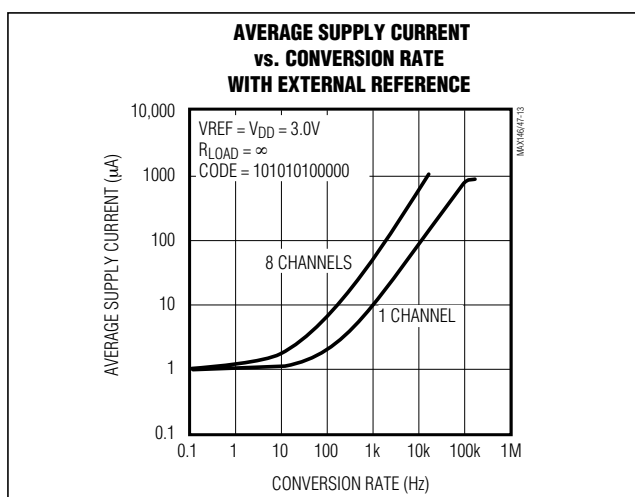


図13. 平均消費電流対変換レート(外部リファレンス)

図14aに、フルパワーダウンモード及び内部リファレンス補償を使用した場合のMAX146の1又は8チャンネル変換に対する消費電力を示します。REFADJの0.047µFバイパスコンデンサは内部20kΩリファレンス抵抗により、時定数0.9msのRCフィルタを形成します。完全12ビット精度を実現するには、パワーアップ後この時定数の10倍(この例では9ms)が必要です。フルパワーアップモードではなく、FASTPDモードでこの9msを待つことで消費電力を10分の1以下に低減できます(図15)。

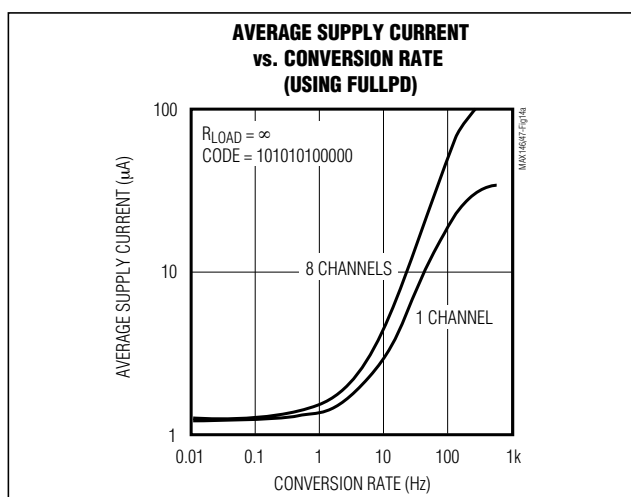


図14a. MAX146の消費電流対変換レート、FULLPD

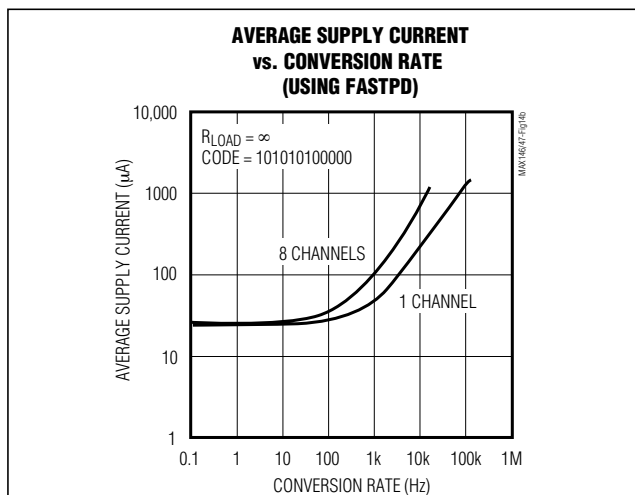


図14b. MAX146の消費電流対変換レート、FASTPD

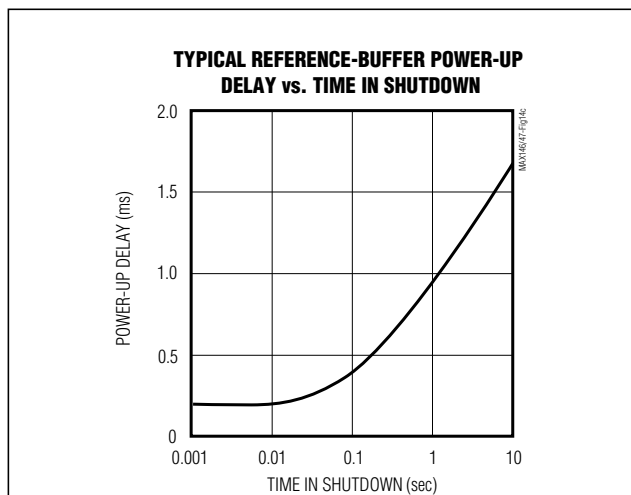


図14c. リファレンスバッファパワーアップ遅延対シャットダウン時間

# +2.7V、ローパワー、8チャンネル シリアル12ビットADC

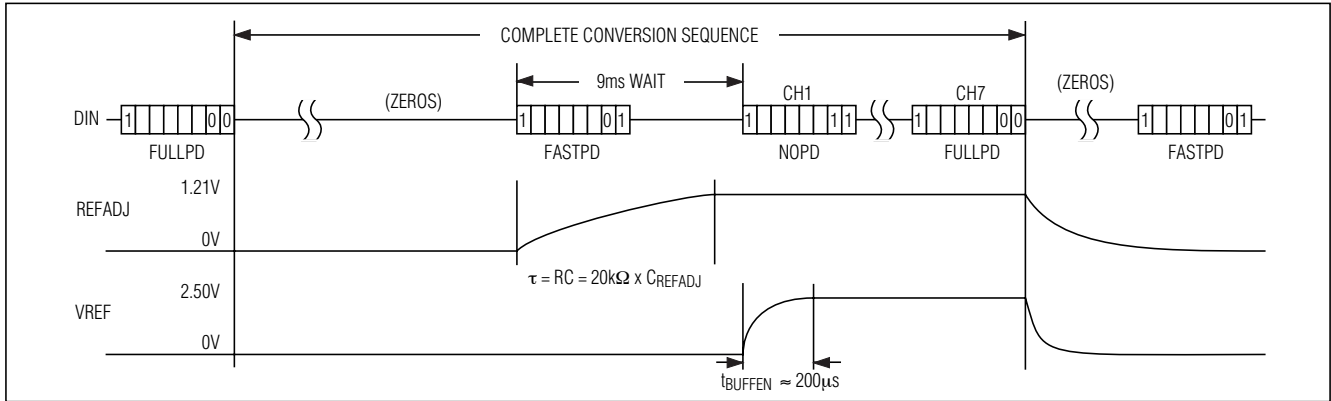


図15. MAX146 FULLPD/FASTPDパワーアップシーケンス

## 高スループットでの最低電力

図14bは1及び8チャンネル変換され高速パワーダウン時の外部リファレンス補償での消費電力を示します。外部4.7μF補償は、ダミー変換でのパワーアップ後200μsのウェイトが必要です。このグラフは最低電力消費で、できる限りの高速多チャンネル変換を示します。MAX146/MAX147が長時間動作しないが、高速変換での断続的なバーストを必要とするアプリケーションでは、フルパワーダウンモードはより省電力を実現します。

## 内部及び外部リファレンス

MAX147は外部リファレンスを必要としますが、MAX146は内部又は外部リファレンス電圧で使用できます。外部リファレンスはVREF又はREFADJピンに直接接続できます。

MAX146及びMAX147で内部バッファはVREFにおいて2.5Vを生成するよう設計されています。MAX149の内部調整された1.21Vリファレンスは、2.06利得でバッファされます。MAX147のREFADJピンは2.00利得でバッファされ、REFADJで外部1.25VリファレンスをVREFで2.5Vにスケールします。

## 内部リファレンス(MAX146)

MAX146の内部リファレンスでのフルスケース範囲は、ユニポーラ入力で2.5V、バイポーラ入力で±1.25Vです。内部リファレンス電圧は図16の回路で±1.5%まで調整できます。

## 外部リファレンス

MAX146及びMAX147で、外部リファレンスは内部リファレンスバッファアンプの入力(REFADJ)又は出力(VREF)に接続できます。REFADJ入力インピーダンスはMAX146で20k (typ)、MAX147で100k 以上です。VREFで、DC入力抵抗は最低18k です。変換時には、VREFの外部リファレンスは最大350μAのDC負

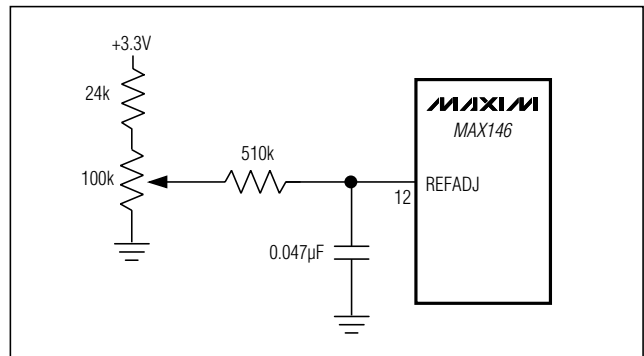


図16. MAX149リファレンス調整回路

表5. ソフトウェアパワーダウン及び  
クロックモード

PD1	PD0	DEVICE MODE
0	0	Full Power-Down
0	1	Fast Power-Down
1	0	Internal Clock
1	1	External Clock

表6. ハード配線のパワーダウン及び  
内部クロック周波数

SHDN STATE	DEVICE MODE	REFERENCE BUFFER COMPENSATION	INTERNAL CLOCK FREQUENCY
1	Enabled	Internal	225kHz
Floating	Enabled	External	1.8MHz
0	Power-Down	N/A	N/A

荷電流を供給できなければならず、出力インピーダンスは10 Ω以下でなければなりません。リファレンスの出力インピーダンスがこれより高い場合やノイズが多い場合は、4.7μFのコンデンサでVREFピンの近くにバイパスしてください。

# +2.7V、ローパワー、8チャンネル シリアル12ビットADC

REFADJ入力を使用すると外部リファレンスをバッファする必要がなくなります。VREF入力を直接使用する場合は、REFADJをVDDに接続し内部バッファをディセーブルします。REFADJがVDDに接続された場合、パワーダウン時のREFADJへの入力バイアス電流は25 $\mu$ A typ(MAX146)です。パワーダウン時に入力バイアス電流を最低限に抑えるにはREFADJをAGNDに接続してください。

## 伝達関数

表7に、ユニポーラ及びバイポーラモードでのフルスケール電圧範囲を示します。

民生用温度範囲(0 ~ +70 )で1LSB以内の精度を達成するためには、外部リファレンスの温度係数は20ppm/以下でなければなりません。

図17は通常のユニポーラ入力/出力(I/O)伝達関数を示しています。図18はバイポーラ入力/出力(I/O)伝達関数です。コード遷移は隣り合う整数LSB値同士の間で起こります。出力コーディングはバイナリで、ユニポーラ動作では1LSB = 610 $\mu$ V(2.500V/4096)、バイポーラ動作では1LSB = 610 $\mu$ V[(2.500V/2 - -2.500V/2)/4096]となります。

## レイアウト、グランド及びバイパス

最高の性能を得るためにはプリント回路基板を使用してください。ワイヤラップボードはお勧めできません。ボードレイアウトはデジタル信号ラインとアナログ信号ラインが分離されるようにしてください。アナログとデジタル(特にクロック)ラインを互いに並行に走らせないでください。又、デジタルラインがADCパッケージの下に来ないようにしてください。

図19に推奨されるシステムグランド接続法を示します。一点アナロググランド(スターグランドポイント)をAGNDのところで設定し、ロジックグランドとは分離してください。その他全てのアナロググランドとDGNDをスターグランドに接続してください。このグランドに他のデジタルシステムグランドを接続しないでください。ノイズを排除するために、スターグランドから電源へのグランドリターンはできるだけ短くし、また、低インピーダンスにしてください。

表7. フルスケール及びゼロスケール

UNIPOLAR MODE		BIPOLAR MODE		
Full Scale	Zero Scale	Positive Full Scale	Zero Scale	Negative Full Scale
VREF + COM	COM	VREF / 2 + COM	COM	-VREF / 2 + COM

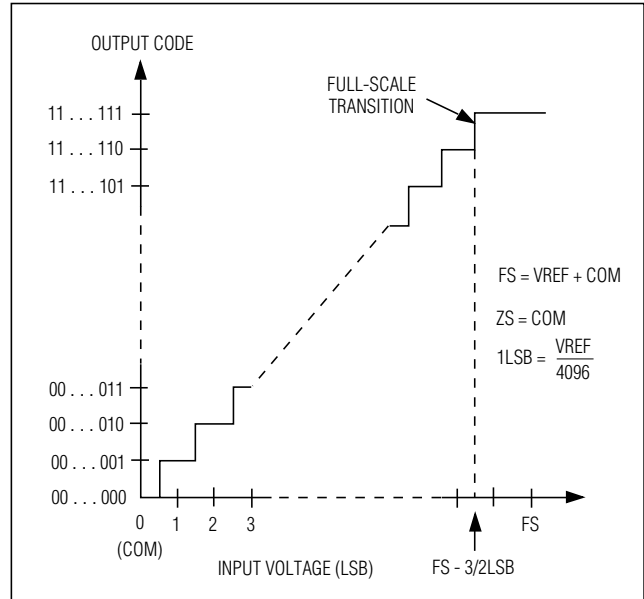


図17. ユニポーラの伝達関数、フルスケール(FS) = VREF + COM、ゼロスケール(ZS) = COM

VDD電源内の高周波ノイズがADC内の高速コンパレータに影響を与える可能性があります。この電源はMAX146/MAX147のピン20に近いところで、0.1 $\mu$ F及び1 $\mu$ Fコンデンサでスターグランドにバイパスしてください。最高の電源ノイズ除去比を得るためには、コンデンサのリード線をできるだけ短くしてください。電源のノイズが特に大きい場合は、10  $\Omega$ 抵抗をローパスフィルタとして接続することができます(図19)。

## QSPIとの高速デジタルインタフェース

図20の回路を用いると、MAX146/MAX147をQSPIとインタフェースさせることができます( $f_{SCLK} = 2.0$ MHz, CPOL = 0, CPHA = 0)。このQSPI回路は8個の各チャンネルの全てで変換を行うようにプログラムできます。QSPIはそれ自身がマイクロシーケンサを備えているため、変換結果はCPUに負担をかけることなくメモリに記憶されます。

最大外部クロック周波数は2.0 MHzであるため、MAX146/MAX147は最大2MHzまでQSPIコンパチブルです。

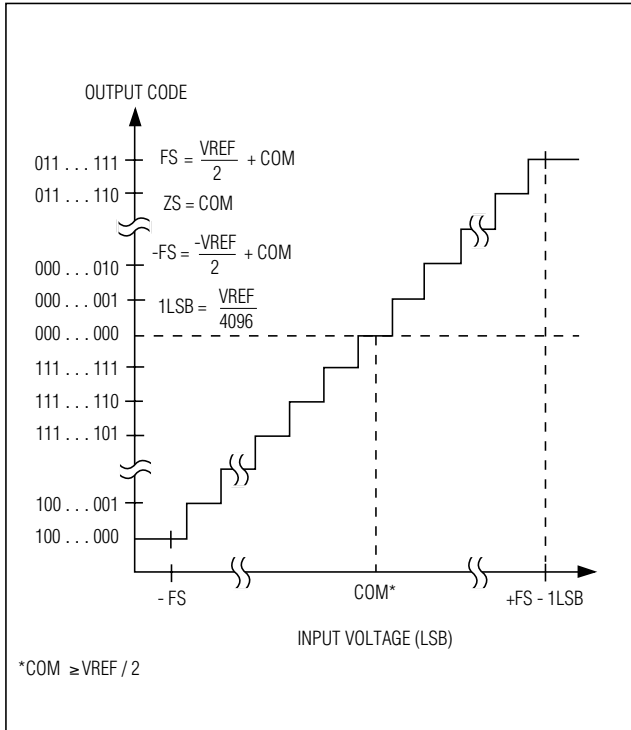


図18. バイポーラの伝達関数、フルスケール(FS) =  $V_{REF}/2 + COM$ 、ゼロスケール(ZS) =  $COM$

### TMS320LC3xとのインタフェース

図21に示すのは、外部クロックモードでMAX146/MAX147をTMS320にインタフェースするためのアプリケーション回路です。このインタフェースのタイミング図を図22に示します。

MAX146/MAX147で変換を開始し、そして結果を読み取るための手順は以下のとおりです。

- 1) TMS320はCLKX(送信クロック)がアクティブハイ出力クロック、CLKR(TMS320受信クロック)がアクティブハイ入力クロックとなるように設定してください。TMS320のCLKXとCLKRはMAX146/MAX147のSCLKと一緒にまとめて接続されています。
- 2) MAX146/MAX147のCSピンはTMS320のXF\_I/Oポートによってローにされています。これはMAX146/MAX147のDINにデータがクロックインできるようにするためです。
- 3) 変換を開始するために8ビットワード(1XXXXX11)をMAX146/MAX147に書き込み、素子を外部クロックモードに設定します。特定のアプリケーションに適したXXXXXビットを選択するためには、表1を参照してください。

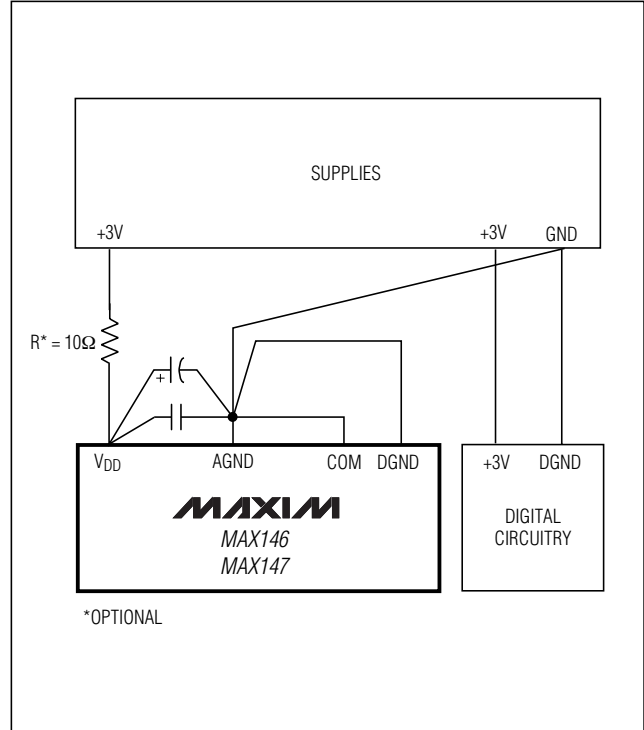


図19. 電源グランド接続図

- 4) MAX146/MAX147のSSTRB出力はTMS320のFSR入力を通じて監視されています。SSTRB出力に立上がりエッジが生じ、これは変換が進行中でデータをMAX146/MAX147から受け取る準備ができていることを示します。
- 5) TMS320は続くSCLK16個の各立上がりエッジで1データビットずつ読み込みます。これらのデータビットは12ビットの変換結果を表しています。この後に続く4ビットは無視してください。
- 6) 次の変換が開始されるまではCSをハイにし、MAX146/MAX147をディセーブルします。

# +2.7V、ローパワー、8チャンネル シリアル12ビットADC

MAX146/MAX147

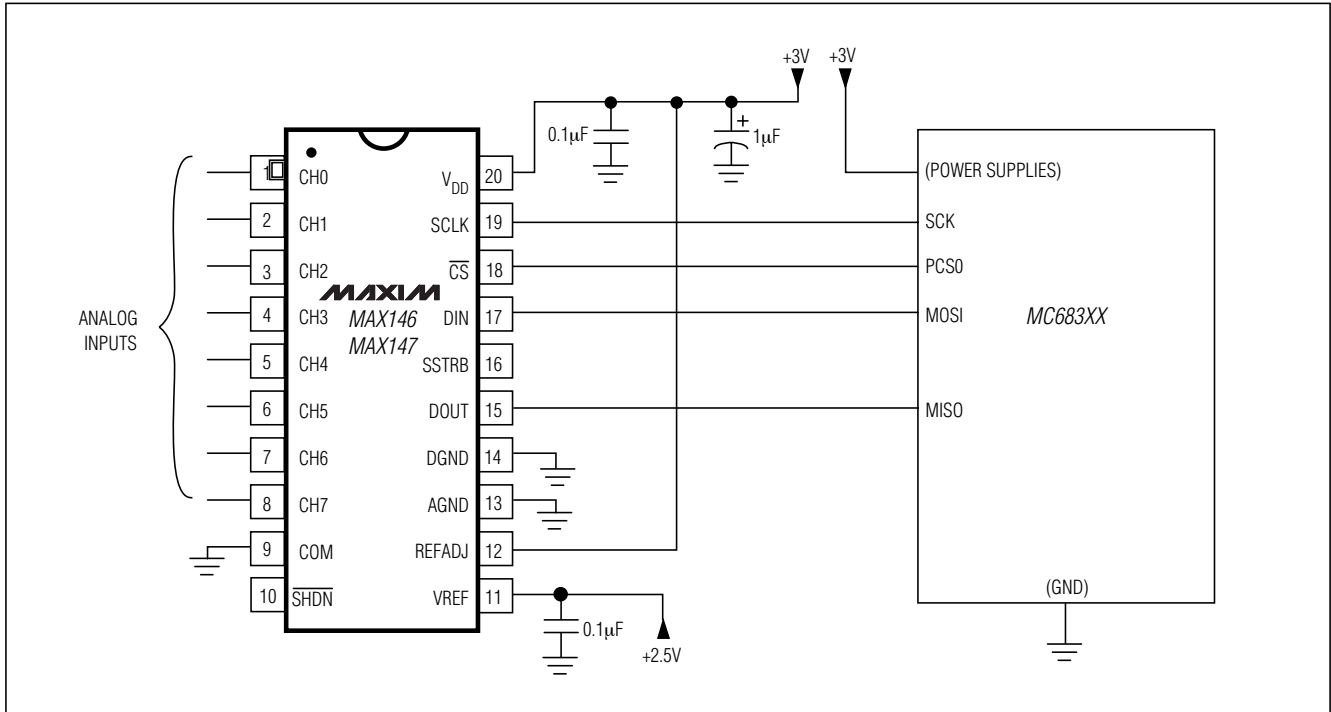


図20. MAX146/MAX147のQSPI接続図、外部リファレンス

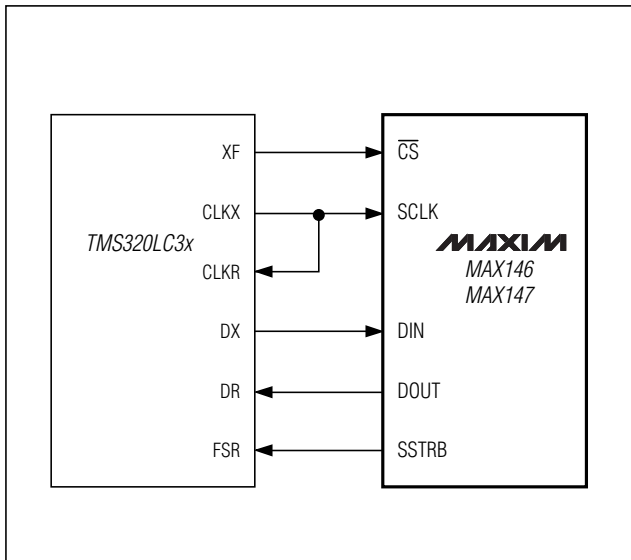


図21. MAX146/MAX147からTMS320へのシリアル  
インタフェース

# +2.7V、ローパワー、8チャンネル シリアル12ビットADC

MAX146/MAX147

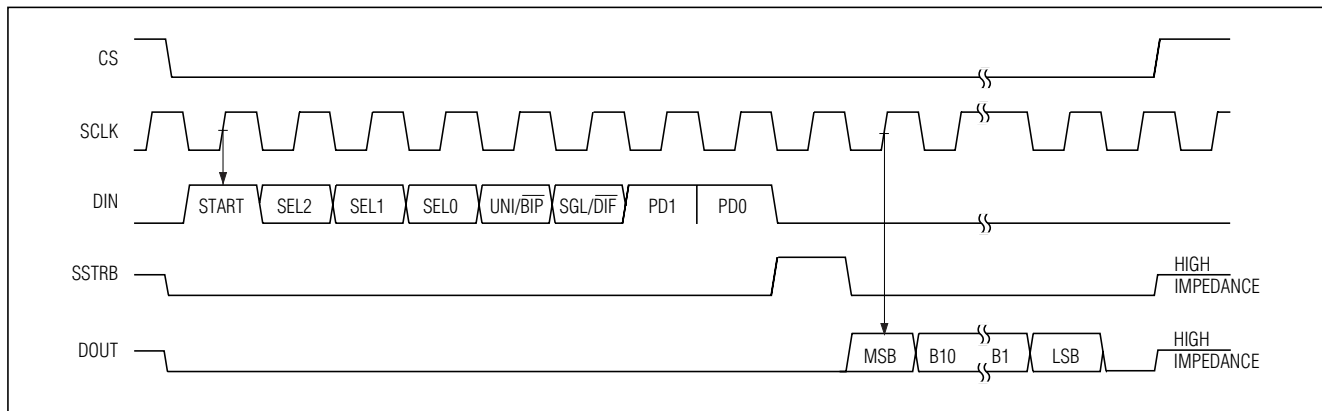


図22. TMS320のシリアルインタフェースタイミング図

型番 ( 続き ) \_\_\_\_\_

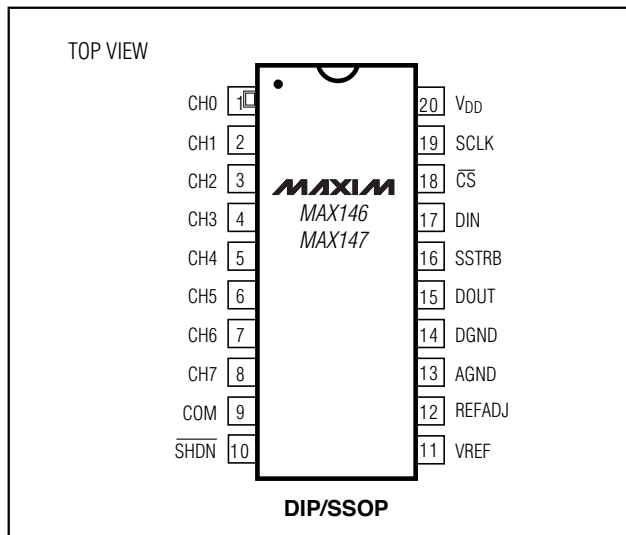
PART†	TEMP. RANGE	PIN-PACKAGE	INL (LSB)
MAX146AEPP	-40°C to +85°C	20 Plastic DIP	±1/2
MAX146BEPP	-40°C to +85°C	20 Plastic DIP	±1
MAX146AEAP	-40°C to +85°C	20 SSOP	±1/2
MAX146BEAP	-40°C to +85°C	20 SSOP	±1
MAX146AMJP	-55°C to +125°C	20 CERDIP**	±1/2
MAX146BMJP	-55°C to +125°C	20 CERDIP**	±1
<b>MAX147ACPP</b>	0°C to +70°C	20 Plastic DIP	±1/2
MAX147BCPP	0°C to +70°C	20 Plastic DIP	±1
MAX147ACAP	0°C to +70°C	20 SSOP	±1/2
MAX147BCAP	0°C to +70°C	20 SSOP	±1
MAX147BC/D	0°C to +70°C	Dice*	±1
MAX147AEPP	-40°C to +85°C	20 Plastic DIP	±1/2
MAX147BEPP	-40°C to +85°C	20 Plastic DIP	±1
MAX147AEAP	-40°C to +85°C	20 SSOP	±1/2
MAX147BEAP	-40°C to +85°C	20 SSOP	±1
MAX147AMJP	-55°C to +125°C	20 CERDIP**	±1/2
MAX147BMJP	-55°C to +125°C	20 CERDIP**	±1

† Contact factory for availability of alternate surface-mount packages.

\* Dice are specified at  $T_A = +25^\circ\text{C}$ , DC parameters only.

\*\* Contact factory for availability of CERDIP package, and for processing to MIL-STD-883B.

ピン配置 \_\_\_\_\_



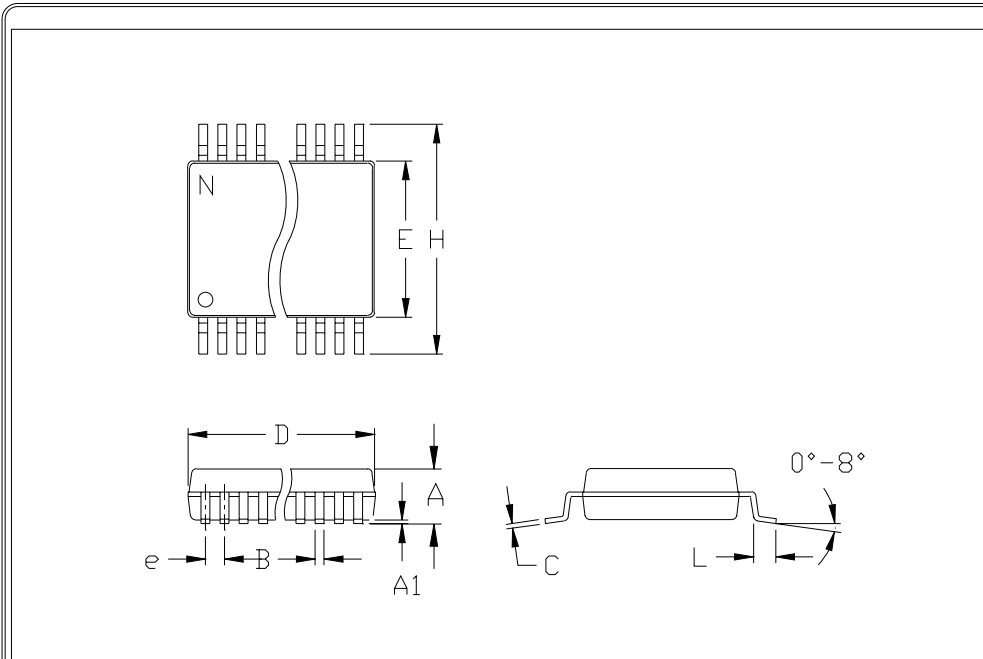
チップ情報 \_\_\_\_\_

TRANSISTOR COUNT: 2554

# +2.7V、ローパワー、8チャンネル シリアル12ビットADC

MAX146/MAX147

パッケージ



SSOP EPS

\*\*\*ADDED TO SSOP.DWG FILE\*\*\*

	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.068	0.078	1.73	1.99
A1	0.002	0.008	0.05	0.21
B	0.010	0.015	0.25	0.38
C	0.005	0.009	0.13	0.22
e	0.0256		0.65	
E	0.205	0.212	5.20	5.38
H	0.301	0.311	7.65	7.90
L	0.022	0.037	0.55	0.95

	INCHES		MILLIMETERS		N
	MIN	MAX	MIN	MAX	
D	0.278	0.289	7.07	7.33	20
D	0.317	0.328	8.07	8.33	24
D	0.397	0.407	10.07	10.33	28

- NOTES:
1. D&E DO NOT INCLUDE MOLD FLASH
  2. MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .15mm (.006")
  3. LEADS TO BE COPLANAR WITHIN .102mm (.004")
  4. CONTROLLING DIMENSION: MILLIMETER
  5. N = NUMBER OF PINS

 <small>120 SAN GABRIEL DR. SUNNYVALE, CA 94086 FAX (408) 737 7754</small> <small>PROPRIETARY INFORMATION</small>	PACKAGE FAMILY OUTLINE: SSOP .200" x .65mm <small>TITLE</small>		21-0039 A
			<small>DOCUMENT CONTROL NUMBER REV</small>

マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16(ホリゾン1ビル)  
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

24 \_\_\_\_\_ **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600**