

EVALUATION KIT  
AVAILABLE

MAXIM

# 内部リファレンス付、 10ビット、60Msps、+3.0V低電力ADC

MAX1446

## 概要

MAX1446は、デジタルエラー補正及び完全差動信号経路付広帯域トラックアンドホールド(T/H)を備えた完全差動入力付パイプライン式10段ADC構造の10ビット、+3Vアナログデジタルコンバータ(ADC)です。本ADCは、画像処理及びデジタル通信分野の低電力、高ダイナミックレンジアプリケーション用に最適化されています。MAX1446は+2.7V~+3.6V単一電源で動作し、消費電力は僅か90mWですが、入力周波数20MHzにおいて59.5dBの信号雑音比(SNR)を実現しています。完全差動入力段は-3dB帯域幅が400MHzで、シングルエンド入力でも動作させることもできます。MAX1446は動作電力が低だけでなく、アイドル期間用に5 $\mu$ Aのパワーダウンモードを備えています。

内部+2.048V高精度バンドギャップリファレンスにより、ADCのフルスケール範囲が設定されます。リファレンス構造がフレキシブルであるため、ユーザはリファレンスソースとしてバッファ付、直接又は外部(高精度又は異なる入力電圧範囲を必要とするアプリケーション用)を選択することができます。

MAX1446には、低速及び高速のピンコンパチブルバージョンがあります。40MspsバージョンについてはMAX1444データシート、80MspsバージョンについてはMAX1448データシートを参照して下さい。

MAX1446はパラレル、オフセットバイナリ、スリーステート出力を備えています。この出力は+1.7V~+3.3Vで動作することが可能であるため、インタフェースがフレキシブルになっています。本デバイスは5x5mm、32ピンTQFPパッケージで提供されており、温度範囲は拡張工業用(-40 $^{\circ}$ C~+85 $^{\circ}$ C)のものが用意されています。

## アプリケーション

- 超音波画像処理
- CCD画像処理
- ベースバンド及びIFデジタル化
- デジタルセットトップボックス
- ビデオデジタル化アプリケーション

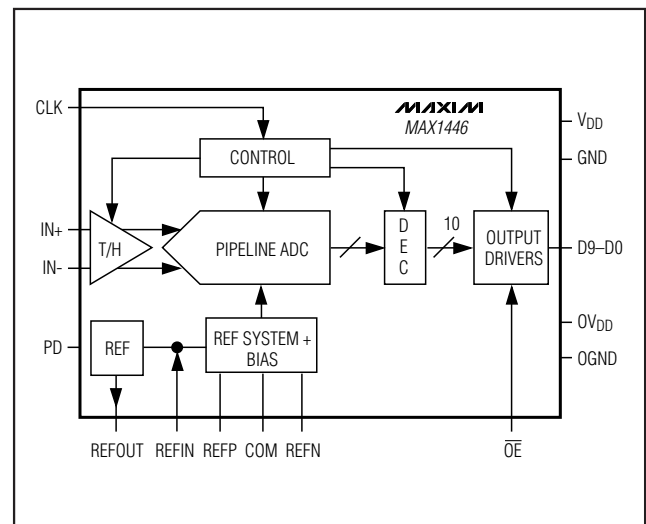
## 特長

- ◆ 単一電源動作：+3.0V
- ◆ 優れた動的性能：
  - SNR：59.5dB( $f_{IN} = 20\text{MHz}$ )
  - SFDR：73dBc( $f_{IN} = 20\text{MHz}$ )
- ◆ 低電力：
  - 30mA(通常動作)
  - 5 $\mu$ A(シャットダウンモード)
- ◆ 完全差動アナログ入力
- ◆ 広差動入力電圧範囲：2V<sub>p-p</sub>
- ◆ -3dB入力帯域幅：400MHz
- ◆ +2.048V高精度バンドギャップリファレンス内蔵
- ◆ CMOSコンパチブルのスリーステート出力
- ◆ パッケージ：32ピンTQFP
- ◆ 評価キット入手可能(MAX1446 EVキット)

## 型番

PART	TEMP RANGE	PIN-PACKAGE
MAX1446EHJ	-40 $^{\circ}$ C to +85 $^{\circ}$ C	32 TQFP

## ファンクションダイアグラム



# 内部リファレンス付、 10ビット、60MSPS、+3.0V低電力ADC

MAX1446

## ABSOLUTE MAXIMUM RATINGS

V <sub>DD</sub> , OV <sub>DD</sub> to GND	-0.3V to +3.6V
OGND to GND	-0.3V to +0.3V
IN+, IN- to GND	-0.3V to V <sub>DD</sub>
REFIN, REFOUT, REFP, REFN, and COM to GND	-0.3V to (V <sub>DD</sub> + 0.3V)
OE, PD, CLK to GND	-0.3V to (V <sub>DD</sub> + 0.3V)
D9–D0 to GND	-0.3V to (OV <sub>DD</sub> + 0.3V)

Continuous Power Dissipation (T <sub>A</sub> = +70°C)	32-Pin TQFP (derate 18.7mW/°C above +70°C)..... 1495.3mW
Operating Temperature Range	-40°C to +85°C
Storage Temperature Range	-60°C to +150°C
Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(V<sub>DD</sub> = 3.0V, OV<sub>DD</sub> = 2.7V; 0.1μF and 1.0μF capacitors from REFP, REFN, and COM to GND; V<sub>REFIN</sub> = 2.048V, REFOUT connected to REFIN through a 10kΩ resistor, V<sub>IN</sub> = 2Vp-p (differential with respect to COM), C<sub>L</sub> ≈ 10pF at digital outputs, f<sub>CLK</sub> = 62.5MHz (50% duty cycle), T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted. ≥+25°C guaranteed by production test, <+25°C guaranteed by design and characterization. Typical values are at T<sub>A</sub> = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>DC ACCURACY</b>						
Resolution			10			Bits
Integral Nonlinearity	INL	f <sub>IN</sub> = 7.492MHz, T <sub>A</sub> ≥ +25°C		±0.6	±1.9	LSB
Differential Nonlinearity	DNL	No missing codes, f <sub>IN</sub> = 7.492MHz		±0.4	±1.0	LSB
Offset Error			-1.6	<±0.1	±1.9	% FS
Gain Error		T <sub>A</sub> ≥ +25°C		0	±2.0	% FS
<b>ANALOG INPUT</b>						
Input Differential Range	V <sub>DIFF</sub>	Differential or single-ended inputs		±1.0		V
Common-Mode Voltage Range	V <sub>COM</sub>			V <sub>DD</sub> /2 ± 0.5		V
Input Resistance	R <sub>IN</sub>	Switched capacitor load		33		kΩ
Input Capacitance	C <sub>IN</sub>			5		pF
<b>CONVERSION RATE</b>						
Maximum Clock Frequency	f <sub>CLK</sub>		60			MHz
Data Latency				5.5		Cycles
<b>DYNAMIC CHARACTERISTICS</b> (f <sub>CLK</sub> = 62.5MHz, 4096-point FFT)						
Signal-to-Noise Ratio	SNR	f <sub>IN</sub> = 7.492MHz	57	59.5		dB
		f <sub>IN</sub> = 19.943MHz	56.5	59.5		
		f <sub>IN</sub> = 39.9MHz (Note 1)		59		
Signal-to-Noise + Distortion (Up to 5th Harmonic)	SINAD	f <sub>IN</sub> = 7.492MHz	56.6	59.4		dB
		f <sub>IN</sub> = 19.943MHz	56.2	59		
		f <sub>IN</sub> = 39.9MHz (Note 1)		58.5		
Spurious-Free Dynamic Range	SFDR	f <sub>IN</sub> = 7.492MHz	65	74		dBc
		f <sub>IN</sub> = 19.943MHz	63	73		
		f <sub>IN</sub> = 39.9MHz (Note 1)		71		

# 内部リファレンス付、 10ビット、60Mps、+3.0V低電力ADC

MAX1446

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = 3.0V$ ,  $OV_{DD} = 2.7V$ ; 0.1 $\mu F$  and 1.0 $\mu F$  capacitors from REFP, REFN, and COM to GND;  $V_{REFIN} = 2.048V$ , REFOUT connected to REFIN through a 10k $\Omega$  resistor,  $V_{IN} = 2V_{p-p}$  (differential with respect to COM),  $C_L \approx 10pF$  at digital outputs,  $f_{CLK} = 62.5MHz$  (50% duty cycle),  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted.  $\geq +25^\circ C$  guaranteed by production test,  $< +25^\circ C$  guaranteed by design and characterization. Typical values are at  $T_A = +25^\circ C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Third-Harmonic Distortion	HD3	$f_{IN} = 7.492MHz$		-74		dBc
		$f_{IN} = 19.943MHz$		-73		
		$f_{IN} = 39.9MHz$ (Note 1)		-71		
Two-Tone Intermodulation Distortion	IMD <sub>TT</sub>	$f_1 = 19MHz$ at -6.5dBFS, $f_2 = 21MHz$ at -6.5dBFS (Note 2)		-75		dBc
Third-Order Intermodulation Distortion	IM3	$f_1 = 19MHz$ at -6.5dBFS $f_2 = 21MHz$ at -6.5dBFS (Note 2)		-75		dBc
Total Harmonic Distortion (First 5 Harmonics)	THD	$f_{IN} = 7.492MHz$		-70	-64	dBc
		$f_{IN} = 19.943MHz$		-70	-63	
		$f_{IN} = 39.9MHz$ (Note 1)		-69		
Small-Signal Bandwidth		Input at -20dBFS, differential inputs		500		MHz
Full-Power Bandwidth	FPBW	Input at -0.5dBFS, differential inputs		400		MHz
Aperture Delay	$t_{AD}$			1		ns
Aperture Jitter	$t_{AJ}$			2		psrms
Overdrive Recovery Time		For 1.5 x full-scale input		2		ns
Differential Gain				$\pm 1$		%
Differential Phase				$\pm 0.25$		$^\circ$
Output Noise		IN+ = IN- = COM		0.2		LSBrms
<b>INTERNAL REFERENCE</b>						
Reference Output Voltage	REFOUT			2.048 $\pm 1\%$		V
Reference Temperature Coefficient	$T_{CREF}$			60		ppm/ $^\circ C$
Load Regulation				1.25		mV/mA
<b>BUFFERED EXTERNAL REFERENCE</b> ( $V_{REFIN} = 2.048V$ )						
REFIN Input Voltage	$V_{REFIN}$			2.048		
Positive Reference Output Voltage	$V_{REFP}$			2.012		V
Negative Reference Output Voltage	$V_{REFN}$			0.988		V
Common-Mode Level	$V_{COM}$			$V_{DD} / 2$		V
Differential Reference Output Voltage Range	$\Delta V_{REF}$	$\Delta V_{REF} = V_{REFP} - V_{REFN}$ , $T_A \geq +25^\circ C$	0.98	1.024	1.07	V
REFIN Resistance	$R_{REFIN}$			>50		M $\Omega$
Maximum REFP, COM Source Current	$I_{SOURCE}$			5		mA
Maximum REFP, COM Sink Current	$I_{SINK}$			-250		$\mu A$

# 内部リファレンス付、 10ビット、60MSPS、+3.0V低電力ADC

MAX1446

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = 3.0V$ ,  $OV_{DD} = 2.7V$ ; 0.1 $\mu F$  and 1.0 $\mu F$  capacitors from REFP, REFN, and COM to GND;  $V_{REFIN} = 2.048V$ , REFOUT connected to REFIN through a 10k $\Omega$  resistor,  $V_{IN} = 2V_{p-p}$  (differential with respect to COM),  $C_L \approx 10pF$  at digital outputs,  $f_{CLK} = 62.5MHz$  (50% duty cycle),  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted.  $\geq +25^\circ C$  guaranteed by production test,  $< +25^\circ C$  guaranteed by design and characterization. Typical values are at  $T_A = +25^\circ C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Maximum REFN Source Current	$I_{SOURCE}$			250		$\mu A$
Maximum REFN Sink Current	$I_{SINK}$			-5		mA
<b>UNBUFFERED EXTERNAL REFERENCE</b> ( $V_{REFIN} = AGND$ , reference voltage applied to REFP, REFN, and COM)						
REFP, REFN Input Resistance	$R_{REFP}$ , $R_{REFN}$	Measured between REFP and COM and REFN and COM		4		k $\Omega$
REFP, REFN, COM Input Capacitance	$C_{IN}$			15		pF
Differential Reference Input Voltage Range	$\Delta V_{REF}$	$\Delta V_{REF} = V_{REFP} - V_{REFN}$		1.024 $\pm 10\%$		V
COM Input Voltage Range	$V_{COM}$			$V_{DD} / 2$ $\pm 10\%$		V
REFP Input Voltage	$V_{REFP}$			$V_{COM} +$ $\Delta V_{REF} / 2$		V
REFN Input Voltage	$V_{REFN}$			$V_{COM} -$ $\Delta V_{REF} / 2$		V
<b>DIGITAL OUTPUTS</b> (CLK, PD, $\overline{OE}$ )						
Input High Threshold	$V_{IH}$	CLK		$0.8 \times$ $V_{DD}$		V
		PD, $\overline{OE}$		$0.8 \times$ $OV_{DD}$		
Input Low Threshold	$V_{IL}$	CLK			$0.2 \times$ $V_{DD}$	V
		PD, $\overline{OE}$			$0.2 \times$ $OV_{DD}$	
Input Hysteresis	$V_{HYST}$			0.1		V
Input Leakage	$I_{IH}$	$V_{IH} = V_{DD} = OV_{DD}$			$\pm 5$	$\mu A$
	$I_{IL}$	$V_{IL} = 0$			$\pm 5$	
Input Capacitance	$C_{IN}$			5		pF
<b>DIGITAL OUTPUTS</b> (D9–D0)						
Output Voltage Low	$V_{OL}$	$I_{SINK} = 200\mu A$			0.2	V
Output Voltage High	$V_{OH}$	$I_{SOURCE} = 200\mu A$			$OV_{DD} -$ 0.2	V
Three-State Leakage Current	$I_{LEAK}$	$\overline{OE} = OV_{DD}$			$\pm 10$	$\mu A$
Three-State Output Capacitance	$C_{OUT}$	$\overline{OE} = OV_{DD}$			5	pF

# 内部リファレンス付、 10ビット、60Mps、+3.0V低電力ADC

MAX1446

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = 3.0V$ ,  $OV_{DD} = 2.7V$ ; 0.1 $\mu F$  and 1.0 $\mu F$  capacitors from REFP, REFN, and COM to GND;  $V_{REFIN} = 2.048V$ , REFOUT connected to REFIN through a 10k $\Omega$  resistor,  $V_{IN} = 2V_{p-p}$  (differential with respect to COM),  $C_L \approx 10pF$  at digital outputs,  $f_{CLK} = 62.5MHz$  (50% duty cycle),  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted.  $\geq +25^\circ C$  guaranteed by production test,  $< +25^\circ C$  guaranteed by design and characterization. Typical values are at  $T_A = +25^\circ C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>POWER REQUIREMENTS</b>						
Analog Supply Voltage	$V_{DD}$		2.7	3.0	3.6	V
Output Supply Voltage	$OV_{DD}$	$C_L = 10pF$	1.7	3.0	3.6	V
Analog Supply Current	$I_{VDD}$	Operating, $f_{IN} = 19.943MHz$ at -0.5dBFS		30	37	mA
		Shutdown, clock idle, $PD = \overline{OE} = OV_{DD}$		4	15	$\mu A$
Output Supply Current	$I_{OVDD}$	Operating, $C_L = 15pF$ , $f_{IN} = 19.943MHz$ at -0.5dBFS		7		mA
		Shutdown, clock idle, $PD = \overline{OE} = OV_{DD}$		1	20	$\mu A$
Power-Supply Rejection	PSRR	Offset		$\pm 0.1$		mV/V
		Gain		$\pm 0.1$		%/V
<b>TIMING CHARACTERISTICS</b>						
CLK Rise to Output Data Valid	$t_{DO}$	Figure 5 (Note 3)		5	8	ns
$\overline{OE}$ Fall to Output Enable	$t_{ENABLE}$	Figure 5		10		ns
$\overline{OE}$ Rise to Output Disable	$t_{DISABLE}$	Figure 5		1.5		ns
CLK Pulse Width High	$t_{CH}$	Figure 6, clock period 16ns		8.3 $\pm 2.5$		ns
CLK Pulse Width Low	$t_{CL}$	Figure 6, clock period 16ns		8.3 $\pm 2.5$		ns
Wake-Up Time	$t_{WAKE}$	(Note 4)		1.5		$\mu s$

**Note 1:** SNR, SINAD, THD, SFDR, and HD3 are based on an analog input voltage of -0.5dBFS referenced to a 1.024V full-scale input voltage range.

**Note 2:** Intermodulation distortion is the total power of the intermodulation products relative to the individual carrier. This number is 6dB better, if referenced to the two-tone envelope.

**Note 3:** Digital outputs settle to  $V_{IH}$ ,  $V_{IL}$ .

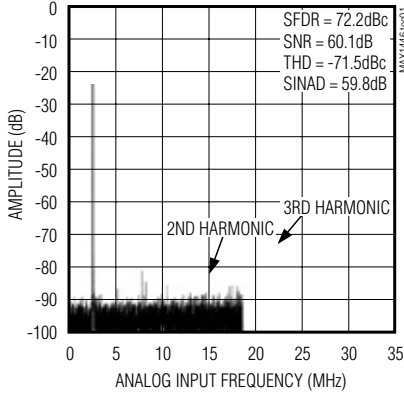
**Note 4:** With  $REFIN$  driven externally, REFP, COM, and REFN are left floating while powered down.

# 内部リファレンス付、 10ビット、60MSPs、+3.0V低電力ADC

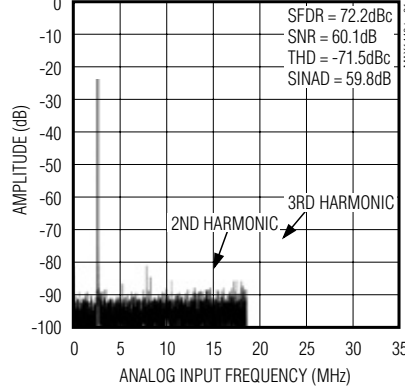
## 標準動作特性

( $V_{DD} = 3.0V$ ,  $OV_{DD} = 2.7V$ , internal reference, differential input at  $-0.5dBFS$ ,  $f_{CLK} = 62.35MHz$ ,  $C_L \approx 10pF$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)

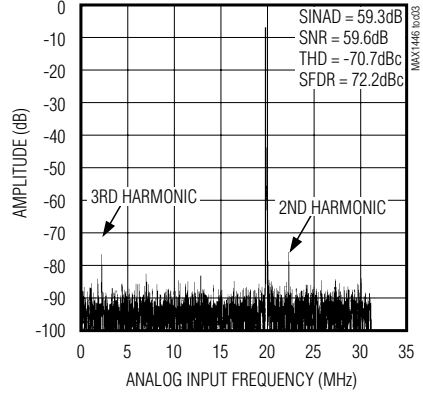
**FFT PLOT**  
( $f_{IN} = 7.5MHz$ , 8192-POINT FFT, DIFFERENTIAL INPUT)



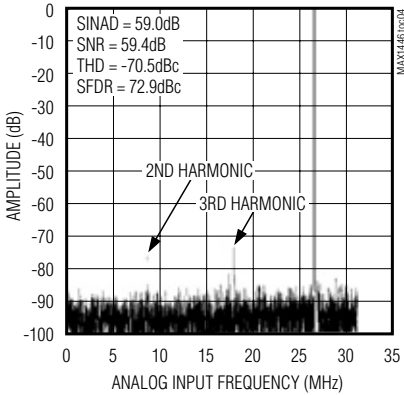
**FFT PLOT**  
( $f_{IN} = 7.5MHz$ , 8192-POINT FFT, DIFFERENTIAL INPUT)



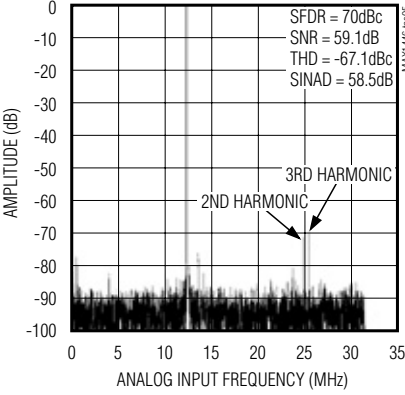
**FFT PLOT**  
( $f_{IN} = 20MHz$ , 8192-POINT FFT, DIFFERENTIAL INPUT)



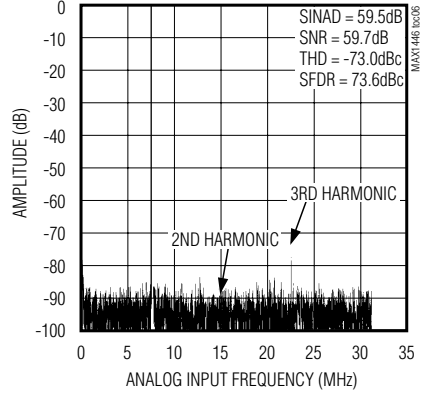
**FFT PLOT**  
( $f_{IN} = 26.8MHz$ , 8192-POINT FFT, DIFFERENTIAL INPUT)



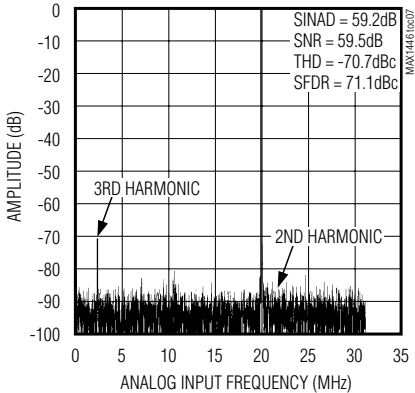
**FFT PLOT**  
( $f_{IN} = 50MHz$ , 8192-POINT FFT, DIFFERENTIAL INPUT)



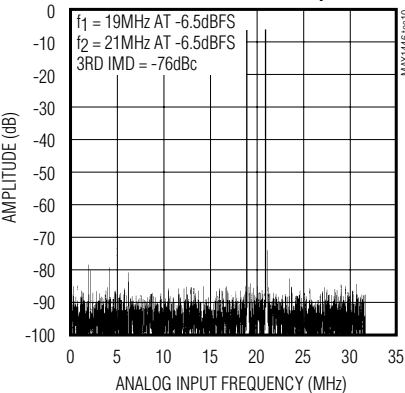
**FFT PLOT**  
( $f_{IN} = 7.5MHz$ , 8192-POINT FFT, SINGLE-ENDED INPUT)



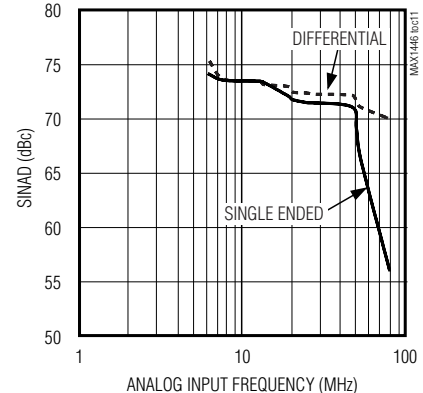
**FFT PLOT**  
( $f_{IN} = 20MHz$ , 8192-POINT FFT, SINGLE-ENDED INPUT)



**TWO-TONE INTERMODULATION**  
(8192-POINT IMD, DIFFERENTIAL INPUT)



**SPURIOUS-FREE DYNAMIC RANGE vs. ANALOG INPUT FREQUENCY**

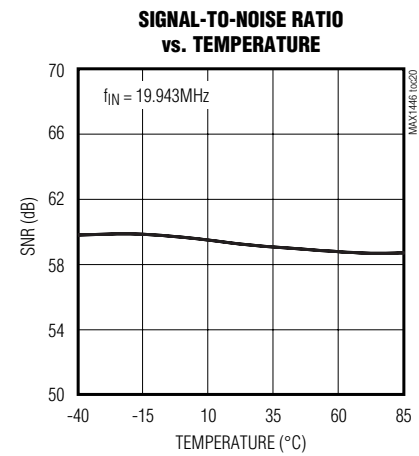
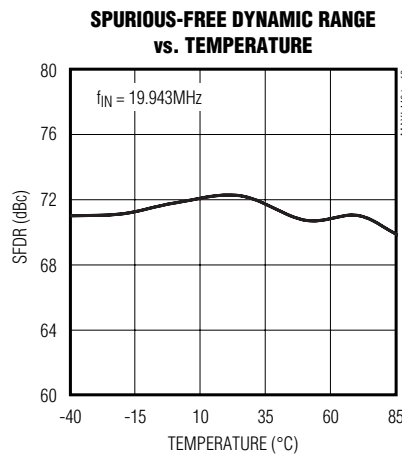
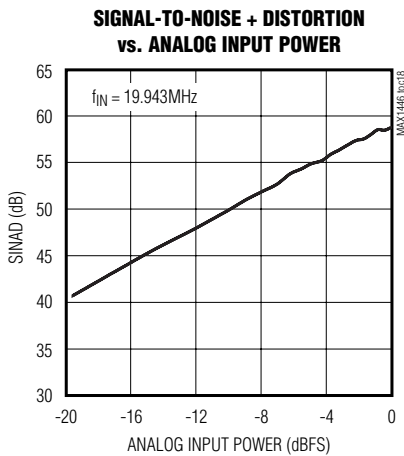
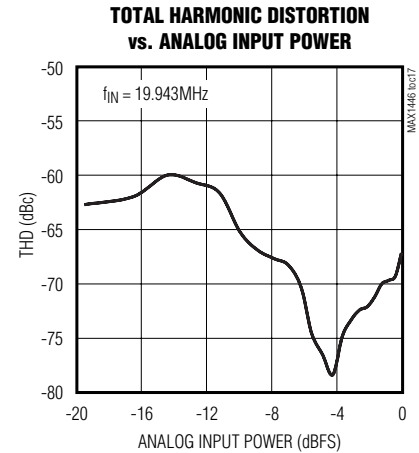
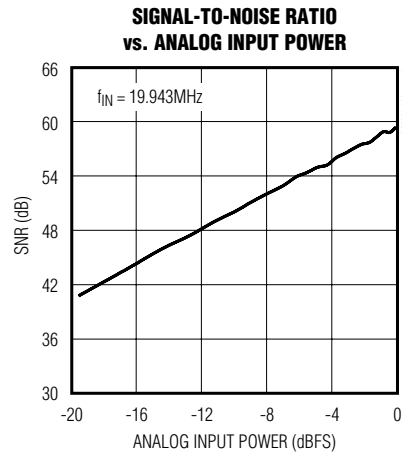
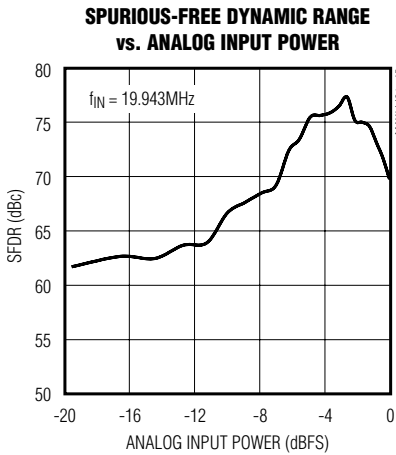
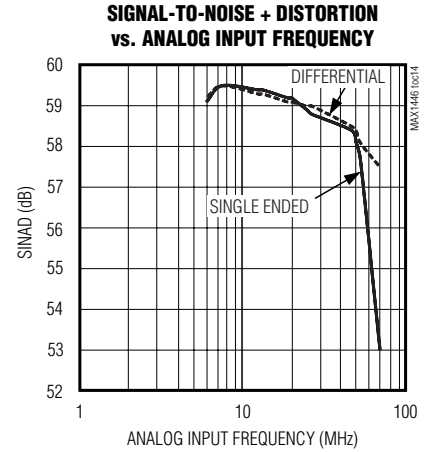
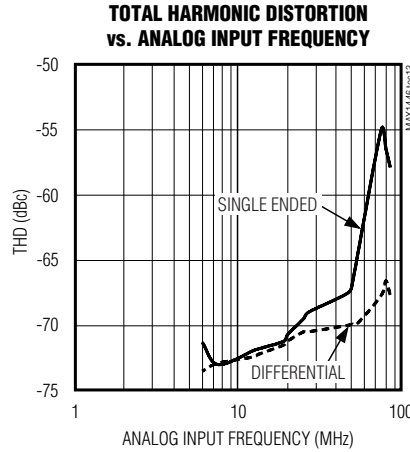
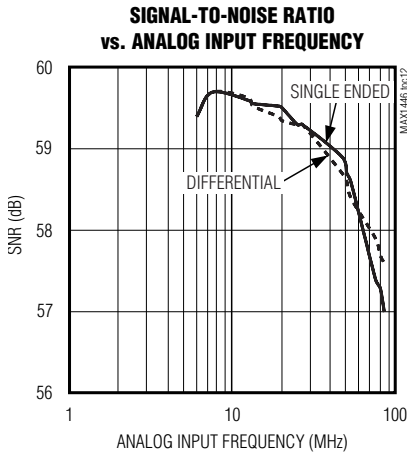


# 内部リファレンス付、 10ビット、60Mps、+3.0V低電力ADC

MAX1446

## 標準動作特性(続き)

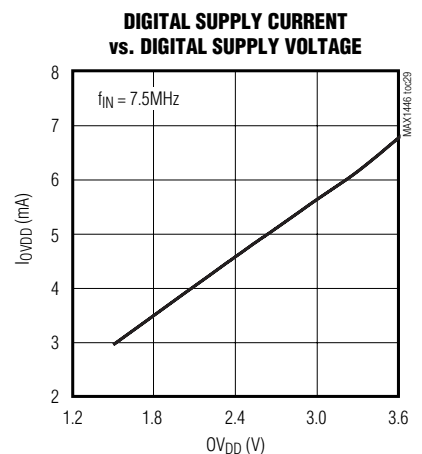
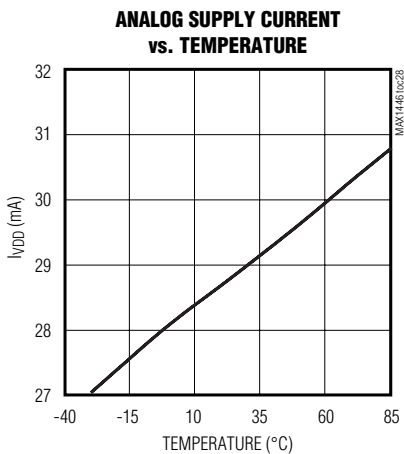
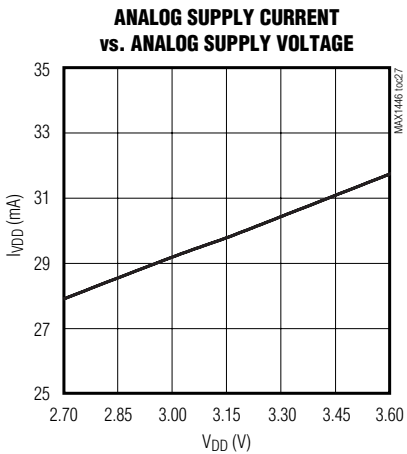
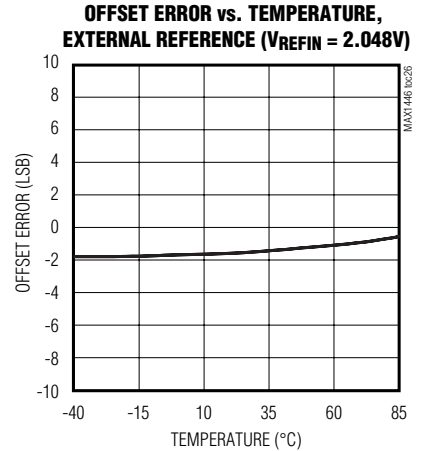
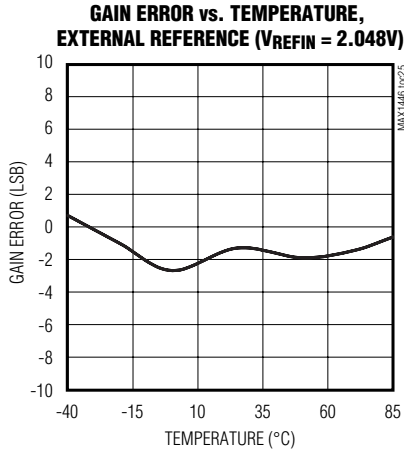
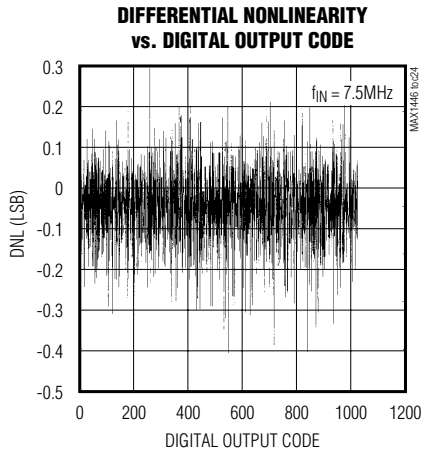
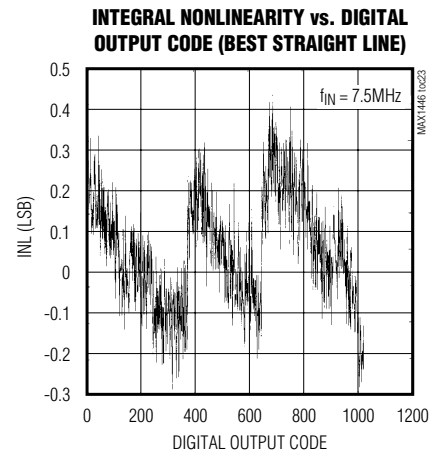
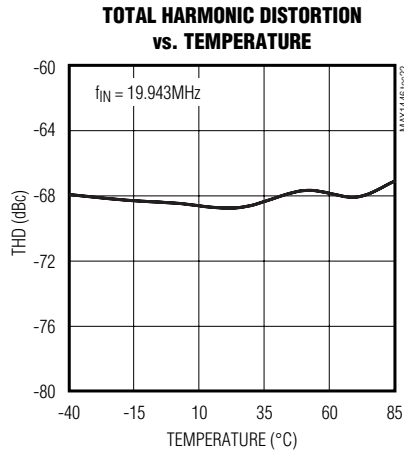
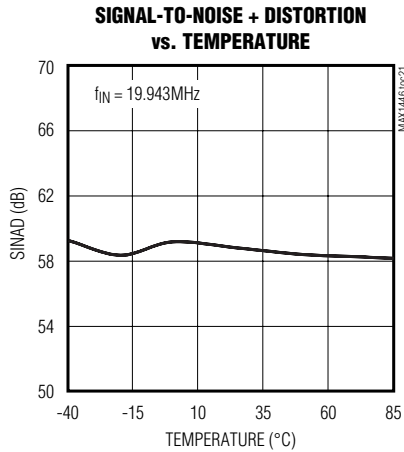
( $V_{DD} = 3.0V$ ,  $OV_{DD} = 2.7V$ , internal reference, differential input at  $-0.5dBFS$ ,  $f_{CLK} = 62.35MHz$ ,  $C_L \approx 10pF$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)



# 内部リファレンス付、 10ビット、60MSPS、+3.0V低電力ADC

## 標準動作特性(続き)

( $V_{DD} = 3.0V$ ,  $OV_{DD} = 2.7V$ , internal reference, differential input at  $-0.5dBFS$ ,  $f_{CLK} = 62.35MHz$ ,  $C_L \approx 10pF$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)



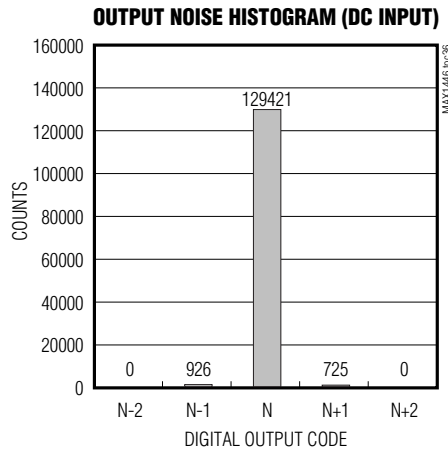
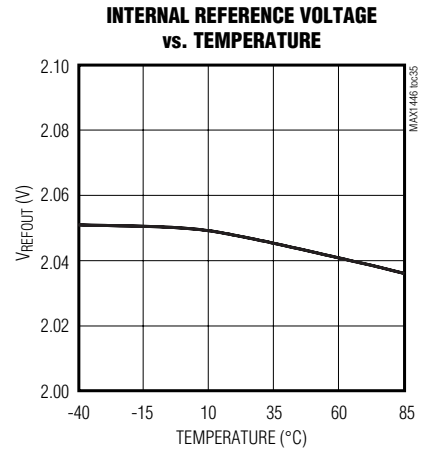
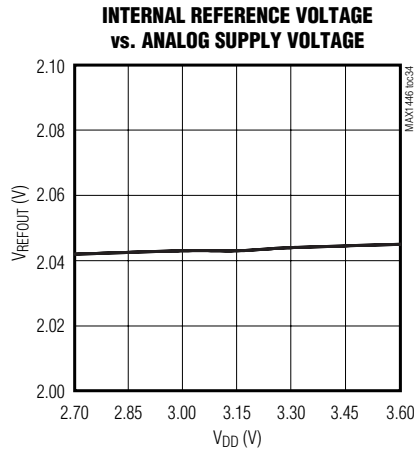
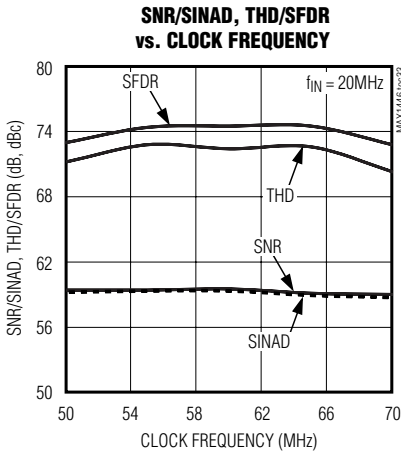
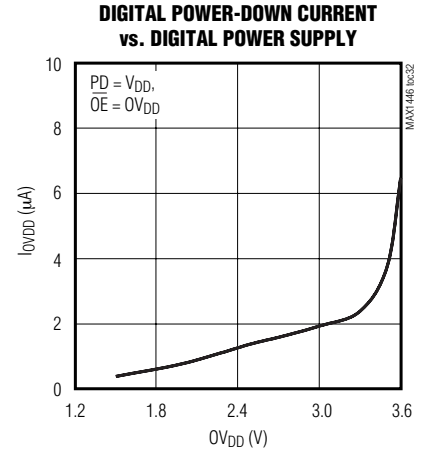
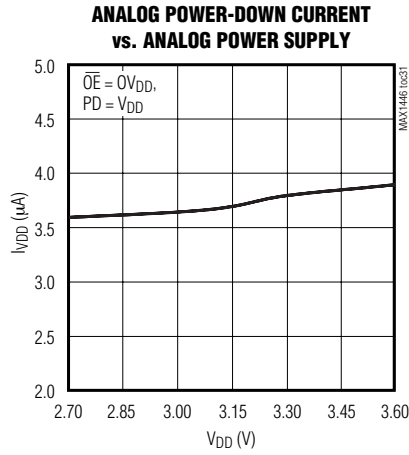
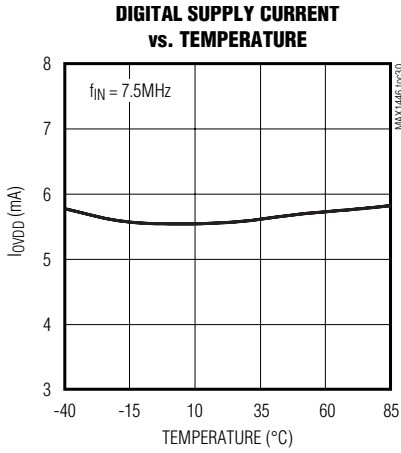


# 内部リファレンス付、 10ビット、60Mps、+3.0V低電力ADC

MAX1446

## 標準動作特性(続き)

( $V_{DD} = 3.0V$ ,  $OV_{DD} = 2.7V$ , internal reference, differential input at  $-0.5dBFS$ ,  $f_{CLK} = 62.35MHz$ ,  $C_L \approx 10pF$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)



# 内部リファレンス付、 10ビット、60MSPS、+3.0V低電力ADC

MAX1446

## 端子説明

端子	名称	機能
1	REFN	低リファレンス。変換範囲は $\pm(V_{REFP} - V_{REFN})$ です。0.1 $\mu$ F以上のコンデンサでGNDにバイパスして下さい。
2	COM	同相電圧出力。0.1 $\mu$ F以上のコンデンサでGNDにバイパスして下さい。
3, 9, 10	VDD	アナログ電源電圧。2.2 $\mu$ Fと0.1 $\mu$ Fの並列コンデンサでGNDにバイパスして下さい。
4, 5, 8, 11, 14, 30	GND	アナロググランド
6	IN+	正アナログ入力。シングルエンド動作の場合は信号ソースをIN+に接続して下さい。
7	IN-	負アナログ入力。シングルエンド動作の場合はIN-をCOMに接続して下さい。
12	CLK	変換クロック入力
13	PD	パワーダウン入力 ハイ：パワーダウンモード ロー：通常動作
15	$\overline{OE}$	出カインエーブル入力 ハイ：デジタル出力をディセーブル ロー：デジタル出力をインエーブル
16-20	D9-D5	スリーステートデジタル出力D9~D5。D9がMSB。
21	OVDD	出力ドライバ電源電圧。2.2 $\mu$ Fと0.1 $\mu$ Fの並列コンデンサでGNDにバイパスして下さい。
22	T.P.	テストポイント。接続しないで下さい。
23	OGND	出力ドライバグランド
24-28	D4-D0	スリーステートデジタル出力D4~D0。D0がLSB。
29	REFOUT	内部リファレンス電圧出力。抵抗又は抵抗分圧器を通じてREFINに接続することができます。
31	REFIN	リファレンス入力。 $V_{REFIN} = 2 \times (V_{REFP} - V_{REFN})$ 。0.01 $\mu$ F以上のコンデンサでGNDにバイパスして下さい。
32	REFP	高リファレンス。変換範囲は $\pm(V_{REFP} - V_{REFN})$ です。0.1 $\mu$ F以上のコンデンサでGNDにバイパスして下さい。

# 内部リファレンス付、 10ビット、60Mps、+3.0V低電力ADC

## 詳細

MAX1446は、最小の消費電力で高速変換を可能にする10段完全差動パイプライン構造(図1)を採用しています。各サンプルは、半クロックサイクル毎にパイプライン段を1つ通過します。出力ラッチにおける遅延を考慮すると、5.5クロックサイクルの待ち時間となります。

1.5ビット(2コンパレータ)のフラッシュADCが、保持されている入力電圧をデジタルコードに変換します。それに続くデジタルアナログコンバータ(DAC)が、数値化された結果をアナログ電圧に変換し戻します。この電圧が元の保持されている入力電圧から差し引かれます。この結果得られるエラー信号に2をかけた積が次のパイプライン段に送られ、そこで同様の処理が繰り返されます。信号が10段全てで処理されるまでこれが続きます。各段が1ビットの分解能を提供します。デジタルエラー補正機能が各パイプライン段においてADCコンパレータのオフセットを補償し、ミッシングコードが出ないことを保証します。

## 入力トラックアンドホールド回路

図2に、トラックモード及びホールドモードにおける入力T/H回路の簡略化ファンクションダイアグラムを示します。トラックモードにおいては、スイッチS1、S2a、S2b、S4a、S4b、S5a及びS5bが閉じています。完全差動回路は、入力信号を2つのコンデンサ(C2a及びC2b)にサンプリングします。S2aとS2bがアンプ入力

の同相電圧を設定します。この結果得られる差動電圧がC2aとC2bに保持されます。次に、S4a、S4b、S5a、S5b、S1、S2a及びS2bが開き、その後S3a、S3b及びS4cが閉じてコンデンサC1aとC1bをアンプ出力に接続し、それからS4cが開きます。これにより、C1aとC1bはC2aとC2bにもともと保持されていたものと同じ値にまで充電されます。この値が初段のデジタル化に提示され、高速変化する入力から分離されます。広入力帯域幅のT/Hアンプにより、MAX1446はナイキストを超える高周波数のアナログ入力に追従し、サンプル/ホールドすることができます。アナログ入力(IN+とIN-)の駆動は、差動又はシングルエンドのどちらでも可能です。最良の性能を得るために、IN+とIN-のインピーダンスをマッチングさせ、同相電圧を電源電圧の中間( $V_{DD}/2$ )に設定することを推奨します。

## アナログ入力及びリファレンス構成

MAX1446のフルスケール範囲は、内部で生成されるREFP( $V_{DD}/2 + V_{REFIN}/4$ )とREFN( $V_{DD}/2 - V_{REFIN}/4$ )の間の電圧差によって決まります。ADCのフルスケール範囲はREFINピンを通じてユーザが調整できます。このピンはそのために高入力インピーダンスになっています。REFOUT、REFP、COM( $V_{DD}/2$ )及びREFNは内部でバッファされた低インピーダンス出力です。

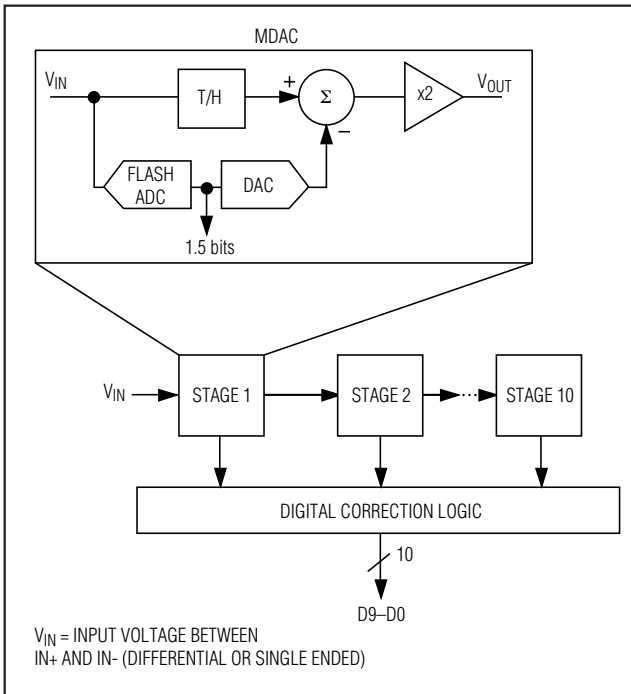


図1. パイプライン構造(段ブロック)

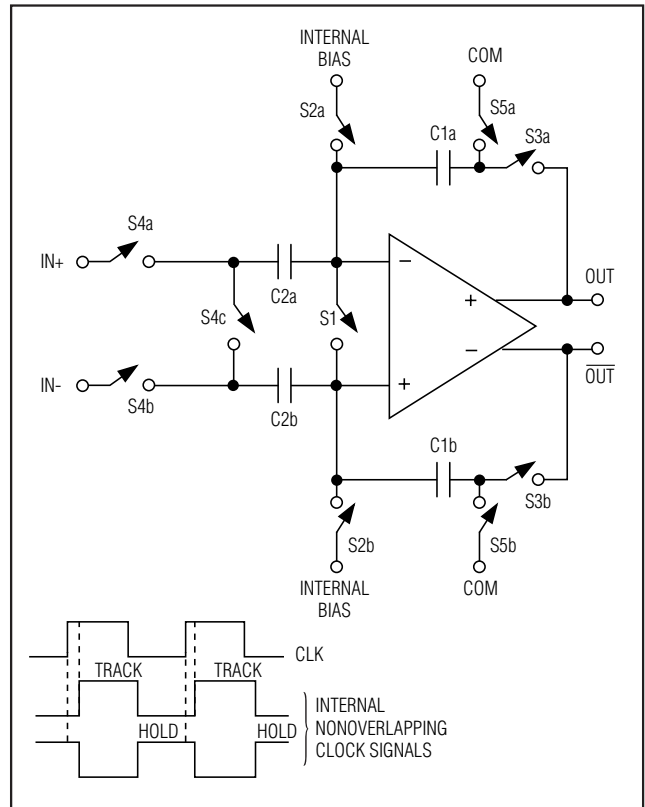


図2. 内部T/H回路

# 内部リファレンス付、 10ビット、60MSPs、+3.0V低電力ADC

MAX1446は3個のリファレンス動作モードを提供しています。

- 内部リファレンスモード
- バッファ付外部リファレンスモード
- バッファなしの外部リファレンスモード

内部リファレンスモードにおいては、抵抗(例えば10kΩ)又は抵抗分圧器(アプリケーションがフルスケール範囲の縮小を必要とする場合)を介して内部リファレンス出力(REFOUT)をREFINピンに接続できます。安定性のため、REFINを10nF以上のコンデンサでGNDにバイパスすることを推奨します。

バッファ付外部リファレンスモードにおいては、REFINに安定な高精度電圧を印加することによってリファレンス電圧レベルを外部から調整できます。このモードにおいては、REFOUTはオープンのままにするか、あるいは10kΩ以上の抵抗を介してREFINに接続できます。

バッファなしの外部リファレンスモードにおいては、REFINはGNDに接続されているため、REFP、COM及びREFNの内部バッファがオフになります。これらのピンはバッファがシャットダウンするとハイインピーダンスになり、外部リファレンスソースから駆動することが可能になります。

## クロック入力(CLK)

MAX1446のCLK入力はCMOSコンパチブルなクロック信号を受け付けます。本デバイスの段間変換は外部クロックの立上がり及び立下がりエッジの再現性に依存するため、クロックとしては低ジッタで立上り/立下り時間の速いもの(2ns未満)を使用して下さい。特に、サンプリングはクロック信号の立下がりエッジで起きるため、このエッジのジッタをできるだけ小さくする必要があります。アパーチャジッタがADCのSNR性能に与える影響は次式で計算されます。

$$\text{SNR} = 20 \times \log \left( \frac{1}{2 \times \pi \times f_{IN} \times t_{AJ}} \right)$$

ここで、 $f_{IN}$ はアナログ入力周波数、 $t_{AJ}$ はアパーチャジッタの時間です。

表1. MAX1446の差動入力に対する出力コード

DIFFERENTIAL INPUT VOLTAGE*	DIFFERENTIAL INPUT	STRAIGHT OFFSET BINARY
$V_{REF} \times 511/512$	+Full Scale -1LSB	11 1111 1111
$V_{REF} \times 510/512$	+Full Scale -2LSB	11 1111 1110
$V_{REF} \times 1/512$	+1LSB	10 0000 0001
0	Bipolar Zero	10 0000 0000
$-V_{REF} \times 1/512$	-1LSB	01 1111 1111
$-V_{REF} \times 511/512$	Negative Full Scale + 1LSB	00 0000 0001
$-V_{REF} \times 512/512$	Negative Full Scale	00 0000 0000

\* $V_{REFIN} = V_{REFP} = V_{REFN}$

クロックジッタは、アンダーサンプリングアプリケーションの場合に特に重要になります。クロック入力は常にアナログ入力とみなして、アナログ入力やその他のデジタル信号ラインから遠ざけて配線して下さい。

MAX1446のクロック入力は、電圧スレッショルドを $V_{DD}/2$ に設定した状態で動作します。デューティサイクルが50%でないクロック入力は、「電気的特性」で示されているハイ及びロー期間の規格に適合している必要があります。スプリアスフリーダイナミックレンジ(SFDR)、信号雑音比(SNR)、全高調波歪み(THD)又は信号雑音+歪み(SINAD)対デューティサイクルの関係については図3a、3b、4a及び4bを参照して下さい。

## 出カインェーブル(OE)、パワーダウン(PD)及び出力データ(D0~D9)

全てのデータ出力D0(LSB)~D9(MSB)は、TTL/CMOSロジックコンパチブルです。サンプルとそれに対する有効な出力データの間には、5.5クロックサイクルの待ち時間があります。出力コーディングはストレートオフセットバイナリです(表1)。OEとPD(パワーダウン)がハイの状態、デジタル出力はハイインピーダンス状態に入ります。PDがハイの状態、OEがローに保持されると、出力はパワーダウンの前の最後の値にラッチされます。

デジタル出力D0~D9における容量性負荷をできるだけ小さく(15pF未満)して下さい。これは、大きなデジタル電流がMAX1446のアナログ部にフィードバックして動的性能を劣化させるのを防ぐためです。ADCのデジタル出力にバッファを使用すると、デジタル出力を大きな容量性負荷から分離することができます。

MAX1446の動的性能をさらに改善するために、デジタル出力経路のADCに近い部分に小さな直列抵抗(例えば100Ω)を追加することができます。

図5に出カインェーブルとデータ出力有効、及びパワーダウン/ウェイクアップとデータ出力有効の間のタイミングの関係を示します。

# 内部リファレンス付、 10ビット、60Mps、+3.0V低電力ADC

MAX1446

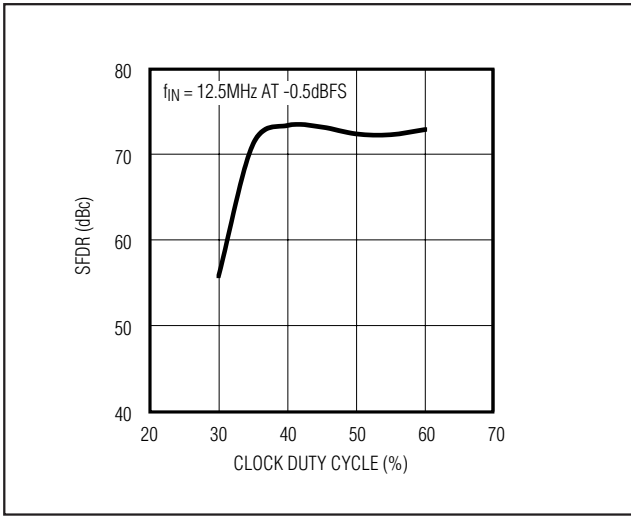


図3a. SFDR対クロックデューティサイクル(差動入力)

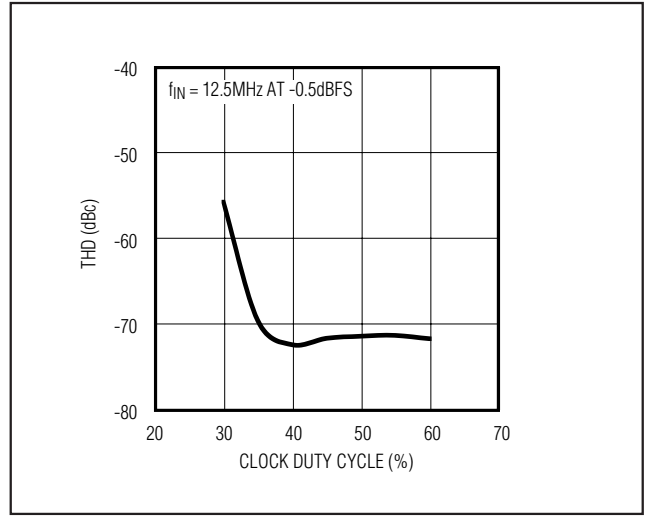


図4a. THD対クロックデューティサイクル(差動入力)

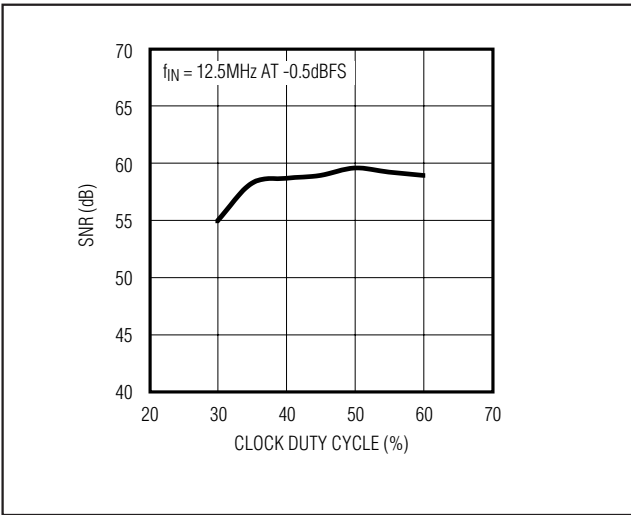


図3b. SNR対クロックデューティサイクル(差動入力)

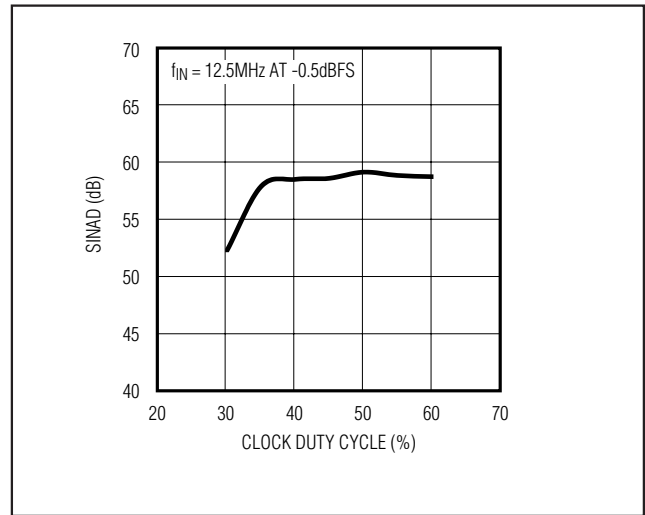


図4b. SINAD対クロックデューティサイクル(差動入力)

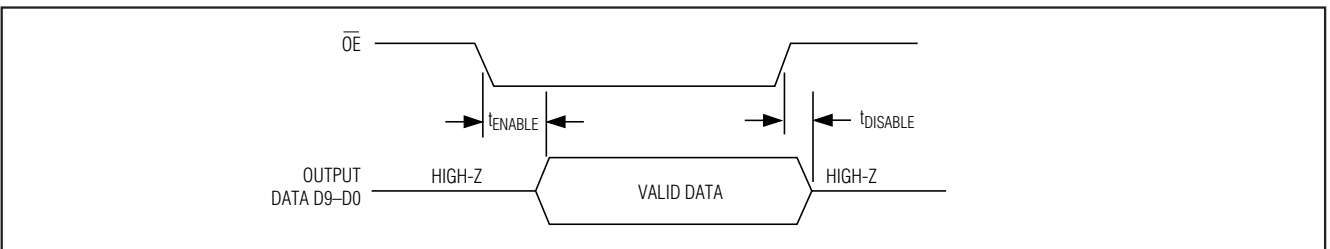


図5. 出力イネーブルのタイミング

# 内部リファレンス付、 10ビット、60MSPs、+3.0V低電力ADC

## システムのタイミング条件

図6にクロック入力、アナログ入力及びデータ出力の間の関係を示します。MAX1446は入力クロックの立下りエッジでサンプリングします。出力データは入力クロックの立上りエッジで有効になります。出力データの内部待ち時間は5.5クロックサイクルです。

図6には、入力クロックパラメータと有効データ出力の間の関係も示されています。

## アプリケーション情報

図7に、シングルエンドから差動へのコンバータを含む標準的なアプリケーション回路を示します。内部リファレンスはレベルシフト用の出力電圧 $V_{DD}/2$ を提供します。入力はバッファされてから電圧フォロワとインバータに分かれます。オペアンプの後のローパスフィルタが高速オペアンプに伴う広帯域ノイズの一部を抑圧します。ユーザは特定のアプリケーションに合わせて、フィルタ性能を最適化するためにRISOとCINを選択することができます。図7のアプリケーションの場合、容量性負荷の前に50 $\Omega$ のRISOを配置してリングングと発振を防いでいます。22pFのCINコンデンサは、小さなバイパスコンデンサとして動作します。

## トランスカップリングの使い方

RFトランス(図8)は、シングルエンドソース信号をMAX1446の最適動作に必要な完全差動信号に変換するための優れた解決法を提供します。トランスのセンタータップをCOMに接続することにより、入力が $V_{DD}/2$ だけ

DCレベルシフトします。図には1:1トランスが示してありますが、駆動条件を緩和するためにステップアップトランスを選択することも可能です。オペアンプ等の入力ドライバからの信号スイングを小さくすることによっても、全体的な歪みを改善できます。

一般に、MAX1446はシングルエンド駆動よりも完全差動入力信号の場合の方が良好なSFDRとTHDを提供します。入力周波数が非常に高い場合は、特にこの傾向が顕著です。差動入力モードにおいては、(IN+, IN-)の両入力に平衡になっているために偶数次の高調波が小さくなり、また、シングルエンドモードに比べて各入力に必要な信号スイングが半分で済みます。

## シングルエンドACカップリング入力信号

図9にACカップリングのシングルエンドアプリケーションを示します。オペアンプのMAX4108は入力信号の完全性を維持するための高速、高帯域幅、低ノイズ、低歪み性能を提供します。

## バッファ付き外部リファレンスによる複数のADCの駆動

MAX1446をベースとしたマルチコンバータシステムは、同相リファレンス電圧と共に用いることが適当です。それらのコンバータのREFIN端子は、外部リファレンスソースに直接接続可能です。MAX6062などの高精度バンドギャップリファレンスは、外部に2.048VのDCレベルを発生させ(図10)、150nV/Hzというノイズ電圧密度を示します。出力は1極の(10Hzカットオフ周波数)

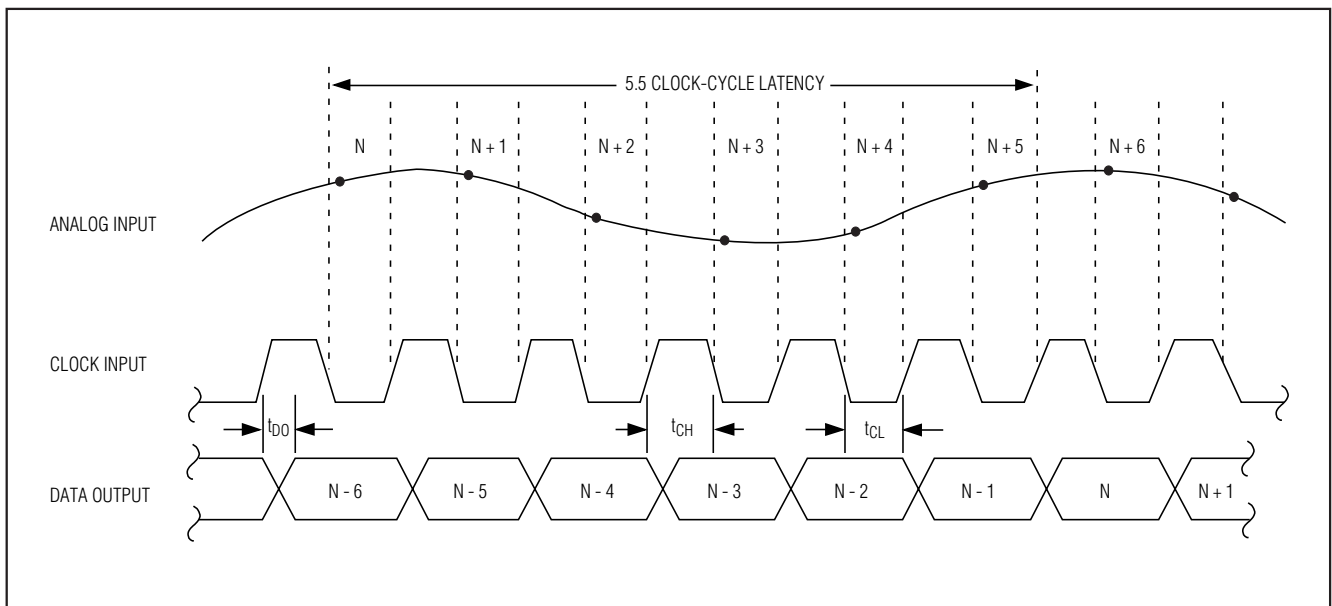


図6. システム及び出力タイミング図

# 内部リファレンス付、 10ビット、60Mps、+3.0V低電力ADC

MAX1446

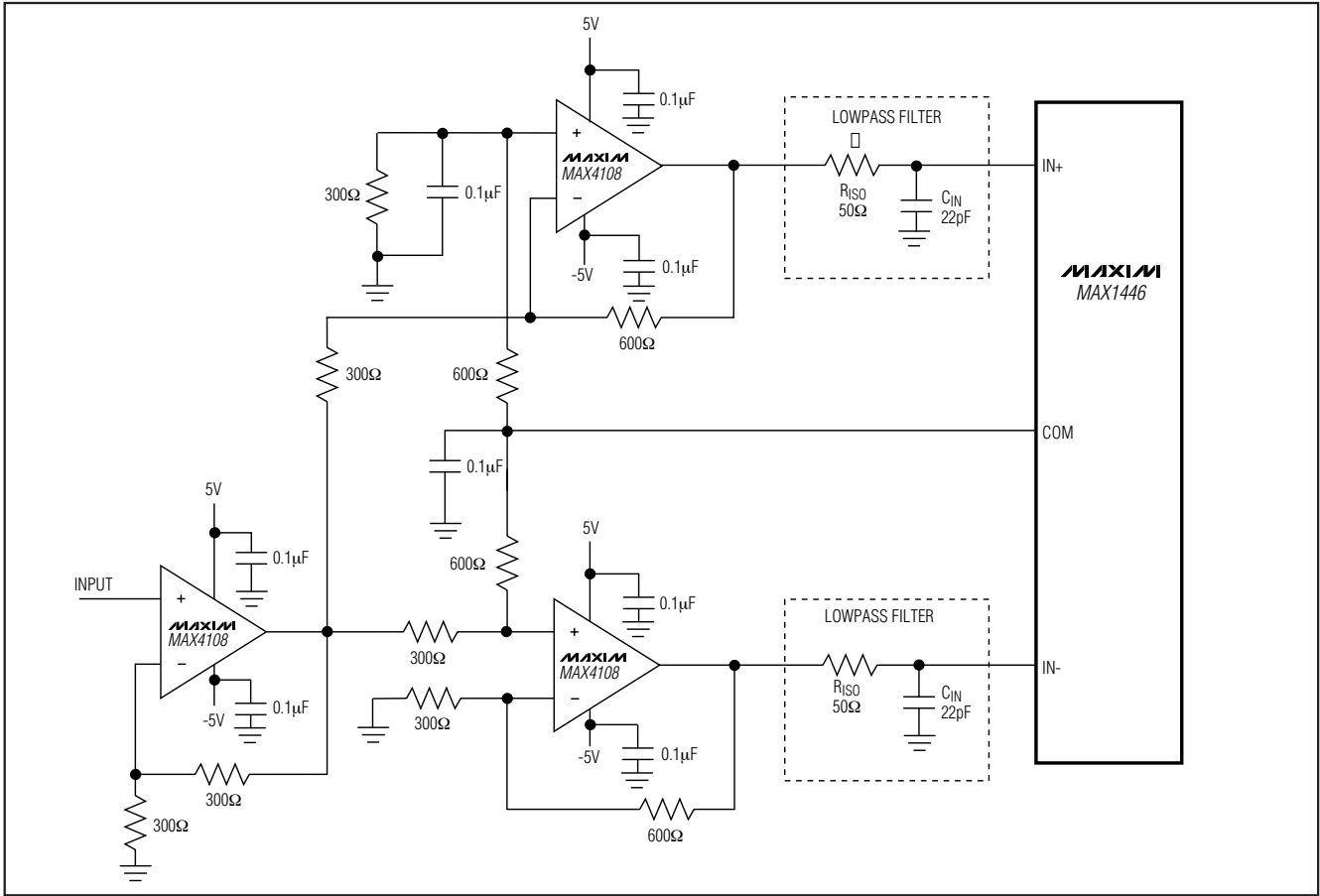


図7. シングルエンドから差動への変換の標準アプリケーション回路

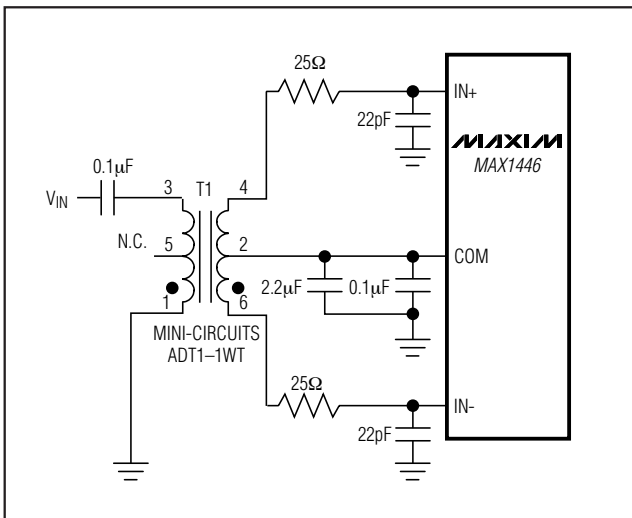


図8. トランスを使用したACカップリング

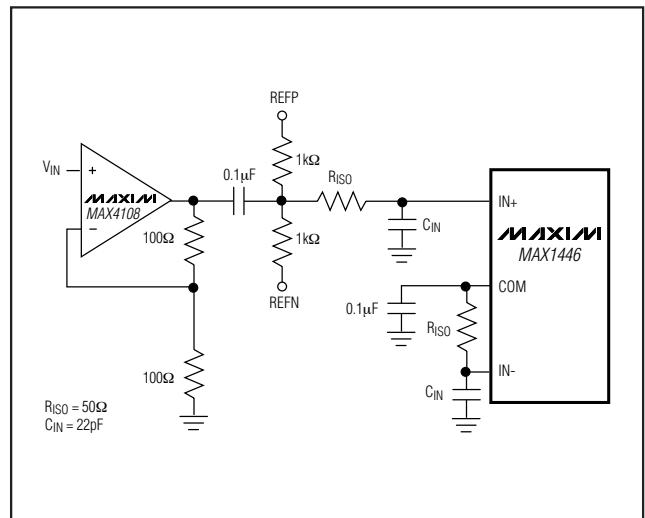


図9. シングルエンドのACカップリング入力

# 内部リファレンス付、 10ビット、60MSPS、+3.0V低電力ADC

MAX1446

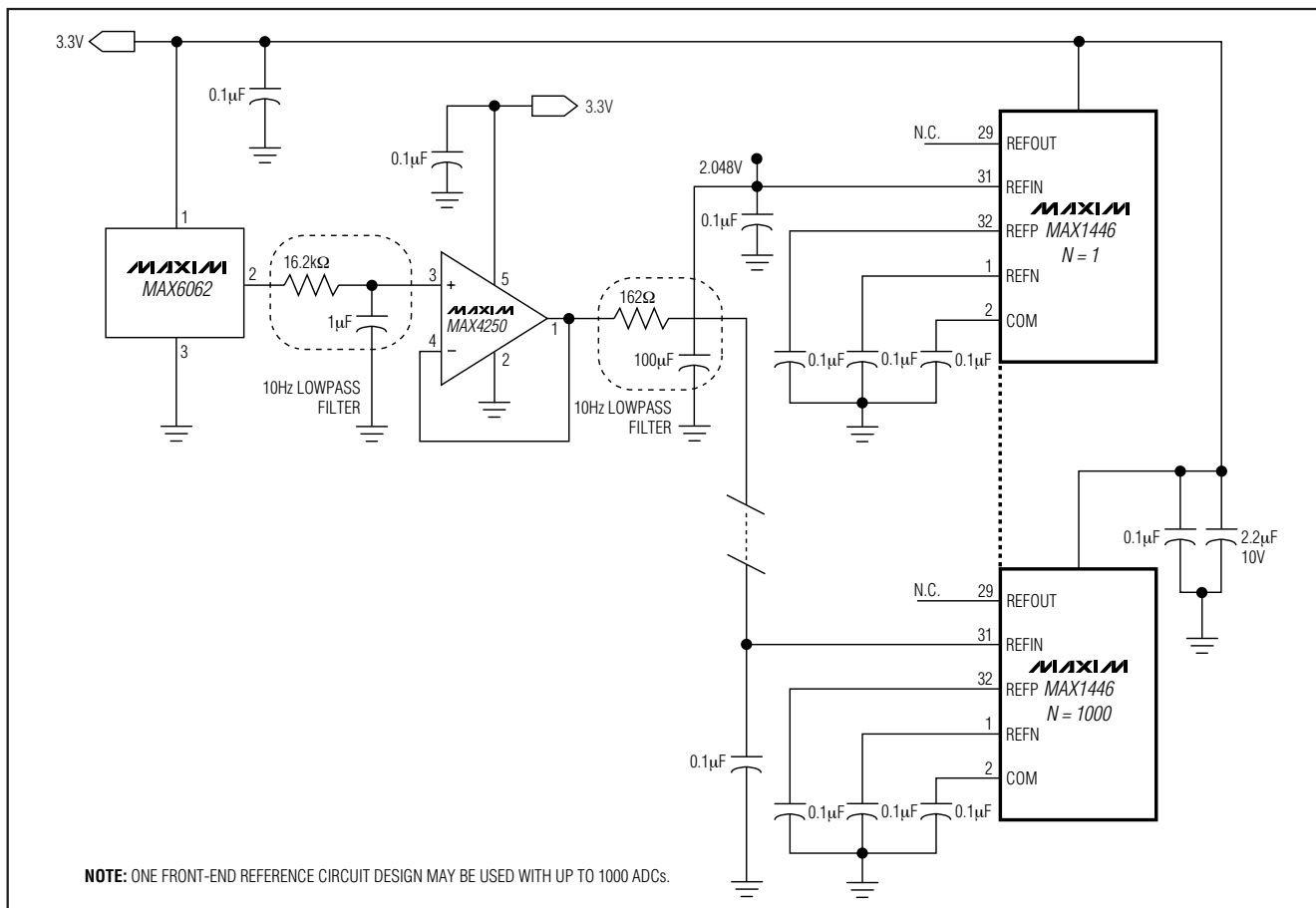


図10. 最高1000個のADCを駆動するバッファ付き外部リファレンス

ローパスフィルタを通過し、MAX4250に到達し、そこでリファレンスがバッファされ、その後、その出力が2つ目の10Hzローパスフィルタをくぐります。MAX4250は低いオフセット電圧(利得精度を高めるため)と低いノイズレベルを提供します。バッファに続く10Hzのパスフィルタは、電圧リファレンスおよびバッファ段で生成されたノイズを減衰します。このフィルタされたノイズ密度は、高周波で小さくなり、高精度ADC動作に要求されるノイズレベルを満足します。

## バッファなし外部リファレンスによる 複数のADCの駆動

各REFINをアナロググランドに接続すると、各デバイスの内部リファレンスをディセーブルにし、一連の外部リファレンスソースによって内部リファレンスラダーを直接駆動することができます。10Hzのローパスフィルタおよび高精度電圧分割器(図11)の前に、MAX6066は2.500VのDCレベルを発生します。この分割器のバッファ出力は、2.0V、1.5V、および1.0Vに設定され、

その精度は電圧分割抵抗器の公差に依存します。この3つの電圧はMAX4542によってバッファされ、低ノイズおよび低DCオフセットが提供されます。各電圧フォロワーは10Hzのローパスフィルタに接続され、そこでリファレンス電圧およびアンプノイズ(3nV/√Hzのレベルまで)バッファされます。2.0Vと1.0Vのリファレンス電圧は関係するADCの差動のフルスケール範囲を2V<sub>p-p</sub>に設定します。2.0Vと1.0Vのバッファは、ADC内部のラダー抵抗を駆動します。すべての能動素子に共通の電源を用いることによって、パワーアップ時およびパワーダウン時の電源シーケンスに関する問題を一切排除することができます。MAX4252の出力マッチングが0.1%以下であることから、バッファおよびそれに続くローパスフィルタの複製が可能で、最高32個のADCをサポートすることができます。32個以上マッチングのとれたADCを必要とするアプリケーションについては、電圧リファレンスと分割器をすべてのコンバータに対して共有させる必要があります。



# 内部リファレンス付、 10ビット、60Mpsps、+3.0V低電力ADC

MAX1446

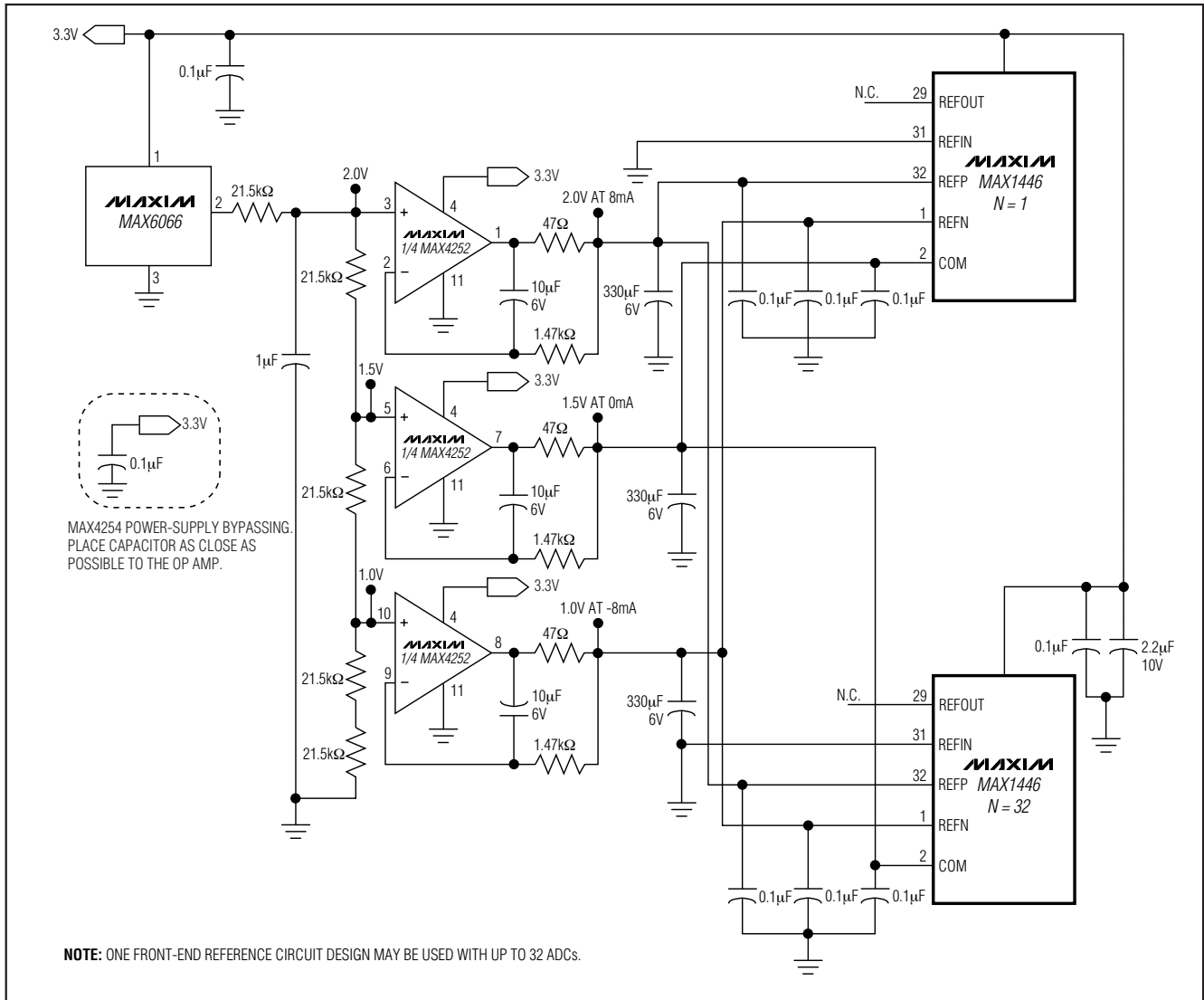


図11. 最高32個のADCを駆動するバッファなし外部リファレンス

## グラウンド、バイパス及び 基板レイアウト

MAX1446は高速基板レイアウト設計技法を必要とします。全てのバイパスコンデンサはデバイスのできるだけ近く、できればADCと同じ側に配置し、インダクタンスを最小限にするために表面実装型を使用して下さい。V<sub>DD</sub>、REFP、REFN及びCOMは、0.1μFセラミックコンデンサと2.2μFバイポーラコンデンサを並列にしたものでGNDにバイパスして下さい。デジタル電源(OV<sub>DD</sub>)をOGNDにバイパスする時も同じ規則を守って下さい。グラウンドプレーンと電源プレーンが別々になった複層基板を使うと、最高の信号完全性を実現できます。ADCパッケージのアナロググラウンド

(GND)とデジタル出力ドライバグラウンド(OGND)の物理的な位置に合わせたスプリットグラウンドプレーンの使用を考慮して下さい。

これら2つのグラウンドプレーンは一点のみで接するようにして下さい。これは、ノイズの大きなデジタルグラウンドがアナロググラウンドプレーンに干渉しないようにするためです。この接続部の最適位置は、2つのグラウンドプレーン間のギャップに沿って、実験的に最高の結果が得られるポイントに決めて下さい。この接続部は値の小さな表面実装抵抗(1Ω~5Ω)又はフェライトビーズを介して、あるいは直接接続して下さい。グラウンドプレーンがノイズの大きなデジタルシステムグラウンドプレーン(例えば下流出力バッファ又はDSPグラウンドプレーン)から十分に分離されている場合は、

# 内部リファレンス付、 10ビット、60MSPs、+3.0V低電力ADC

別方法として全てのグランドピンが同じグランドプレーンを共有するようにすることもできます。高速デジタル信号トレースは敏感なアナログトレースから遠ざけるようにして下さい。信号ラインは全て短くし、また直角に曲げることは避けて下さい。

## 静的パラメータの定義

### 積分非直線性

積分非直線性(INL)は、実際の伝達関数値の直線からの偏差です。この直線は、最良の直線フィットあるいはオフセット及び利得誤差をヌル(ゼロ)にした後に伝達関数の終点間を結んだ線です。MAX1446の静的直線性パラメータは、最良直線フィット法により測定されています。

### 微分非直線性

微分非直線性(DNL)は、実際のステップ幅と1LSBの理想的な値の間の差です。DNL誤差の仕様が1LSB未満であれば、ミッシングコードがないこと、及びコードは単調性であることが保証されます。

## 動的パラメータの定義

### アパーチャジッタ

図10に示すアパーチャジッタ( $t_{AJ}$ )は、サンプル同士のアパーチャ遅延のばらつきです。

### アパーチャ遅延

アパーチャ遅延( $t_{AD}$ )はサンプリングクロックの立下りエッジと、サンプルが実際にとられる時点の間の時間です(図10)。

### 信号対雑音比(SNR)

デジタルサンプルから完ぺきに再構築された波形の場合、理論的最大SNRはフルスケールアナログ入力(RMS値)のRMS数値化エラー(残留エラー)に対する比です。理想的な最小A/Dノイズは数値化エラーのみに起因し、ADCの分解能(Nビット)によって直接決まります。

$$SNR(MAX) = 6.02 \times N + 1.76$$

現実には、数値化ノイズの他にもサーマルノイズ、リファレンスノイズ、クロックジッタ等のノイズソースがあり

ます。このため、SNRの計算にはRMS信号とRMSノイズの比をとります。RMSノイズは、全てのスペクトル成分から基本波、最初の5つの高調波及びDCオフセットを差し引いたものです。

### 信号対雑音+歪み(SINAD)

SINADは、RMS信号と全てのスペクトル成分から基本波とDCオフセットを差し引いたものの比です。

### 実効ビット数(ENOB)

ENOBは、特定の入力周波数及びサンプリング速度におけるADCの全体的な精度を示します。理想的なADCのエラーは、数値化エラーのみに起因します。ENOBは次式で計算できます。

$$ENOB = \frac{(SINAD - 1.76)}{6.02}$$

### 全高調波歪み(THD)

通常、THDは入力信号の最初の5つの高調波RMS和と基本波そのものの比です。これは次式で表されます。

$$THD = 20 \times \log \left( \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2}}{V_1} \right)$$

ここで、 $V_1$ は基本波の振幅、 $V_2 \sim V_5$ は2次～5次高調波の振幅です。

### スプリアスフリーダイナミックレンジ(SFDR)

SFDRは、基本波(最大信号成分)と次に大きな歪み成分(DCオフセットを除く)のRMS値の比をデシベル単位で表現したものです。

### 相互変調歪み(IMD)

ツートーンIMDは、いずれかの入力トーンと最悪の3次(以上)相互変調積の比をデシベル単位で表したものです。個々の入力トーンレベルは-6.5dBフルスケール、そのエンベロープは-0.5dBフルスケールのところまで。

## チップ情報

TRANSISTOR COUNT: 5684

PROCESS: CMOS

# 内部リファレンス付、 10ビット、60Mps、+3.0V低電力ADC

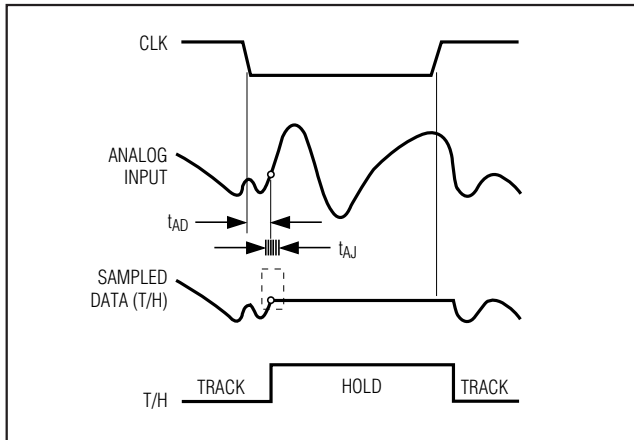
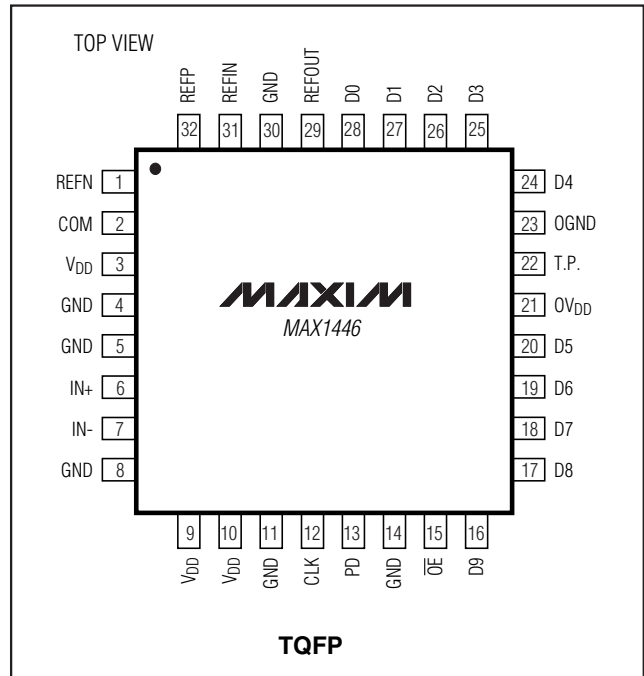


図12. T/Hアパーチャタイミング

## ピン配置(続き)



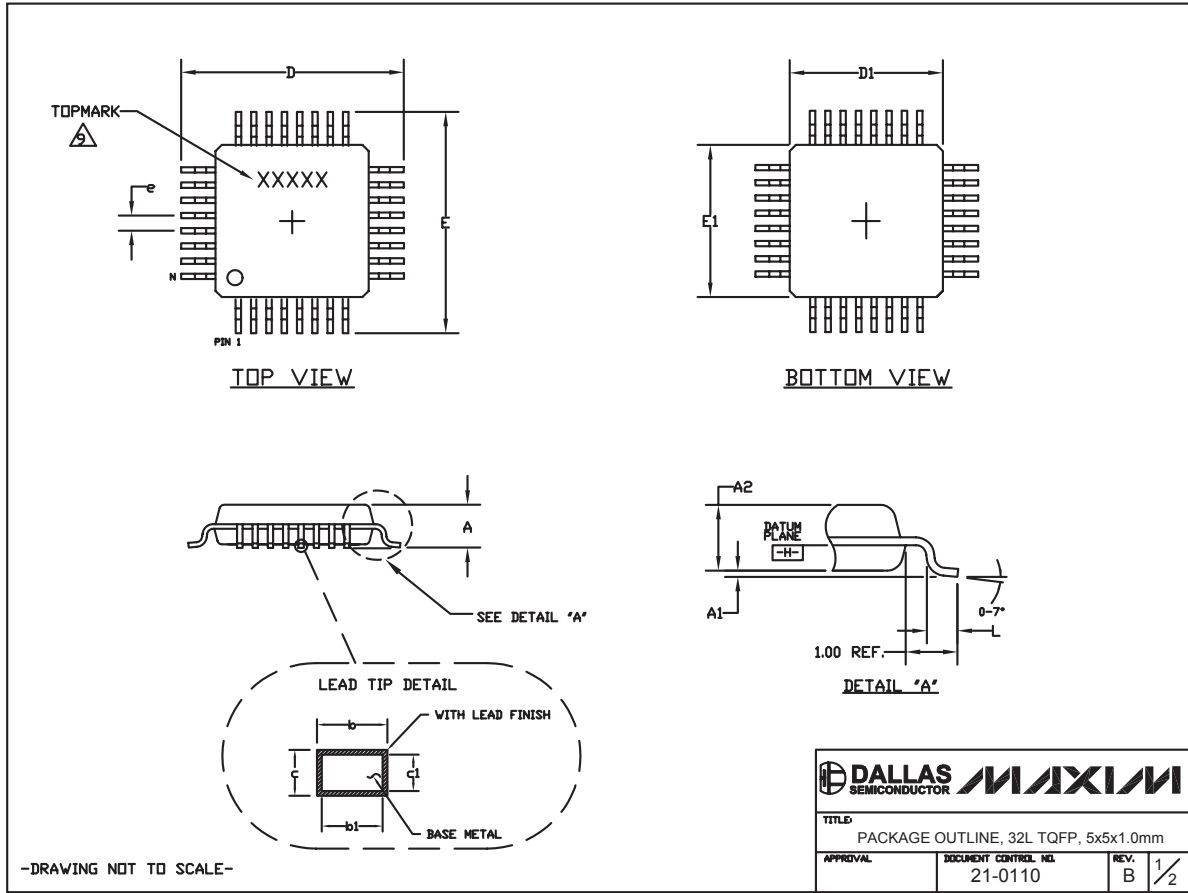
MAX1446

# 内部リファレンス付、 10ビット、60MSPS、+3.0V低電力ADC

MAX1446

## パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、[japan.maxim-ic.com/packages](http://japan.maxim-ic.com/packages)をご参照下さい。)



# 内部リファレンス付、 10ビット、60MSPs、+3.0V低電力ADC

MAX1446


## パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、[japan.maxim-ic.com/packages](http://japan.maxim-ic.com/packages)をご参照下さい。)

### NOTES:

1. ALL DIMENSIONING AND TOLERANCING CONFORM TO ANSI Y14.5-1982.
2. DATUM PLANE [EH] IS LOCATED AT MOLD PARTING LINE AND COINCIDENT WITH LEAD, WHERE LEAD EXITS PLASTIC BODY AT BOTTOM OF PARTING LINE.
3. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE MOLD PROTRUSION IS 0.25 MM ON D1 AND E1 DIMENSIONS.
4. THE TOP OF PACKAGE IS SMALLER THAN THE BOTTOM OF PACKAGE BY 0.15 MILLIMETERS.
5. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08 MM TOTAL IN EXCESS OF THE b DIMENSION AT MAXIMUM MATERIAL CONDITION.
6. ALL DIMENSIONS ARE IN MILLIMETERS.
7. THIS OUTLINE CONFORMS TO JEDEC PUBLICATION 95, REGISTRATION MS-026.
8. LEADS SHALL BE COPLANAR WITHIN .004 INCH.
9. TOPMARK SHOWN IS FOR PACKAGE ORIENTATION REFERENCE ONLY.

JEDEC VARIATIONS DIMENSIONS IN MILLIMETERS		
AAA		
5x5x1.0 MM		
	MIN.	MAX.
A	0.05	1.20
A1	0.05	0.15
A2	0.95	1.05
D	6.80	7.20
D1	4.80	5.20
E	6.80	7.20
E1	4.80	5.20
L	0.45	0.75
N	32	
e	0.50 BSC.	
b	0.17	0.27
b1	0.17	0.23
c	0.09	0.20
c1	0.09	0.16

		
TITLE		
PACKAGE OUTLINE, 32L TQFP, 5x5x1.0mm		
APPROVAL	DOCUMENT CONTROL NO.	REV.
	21-0110	B 2/2

-DRAWING NOT TO SCALE-

## マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)  
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 \_\_\_\_\_ 21

© 2004 Maxim Integrated Products, Inc. All rights reserved. **MAXIM** is a registered trademark of Maxim Integrated Products, Inc.