



# シリアルLVDS出力付き、 オクタール、12ビット、40Msps、1.8V ADC

MAX1436B

## 概要

MAX1436Bはオクタール、12ビット、アナログ-デジタルコンバータ(ADC)で、完全差動入力、パイプラインアーキテクチャ、およびデジタルエラー補正を備え、完全差動信号経路を内蔵しています。このADCは、医療用画像処理装置やデジタル通信アプリケーションにおける低電力、高ダイナミック性能に最適化されています。MAX1436Bは1.8Vの単一電源で動作し、消費電力はわずか743mW (1チャンネル当り93mW)ですが、5.3MHzの入力周波数で69.9dB (typ)の信号対ノイズ比(SNR)を実現します。MAX1436Bは低動作電力に加えて、アイドル期間中の低電力のスタンバイモードも備えています。

1.24Vの高精度内部バンドギャップリファレンスによって、ADCのフルスケール範囲を設定します。リファレンス構造がフレキシブルであるため、高い精度や異なる入力電圧範囲が必要なアプリケーション用に外部リファレンスを使用することができます。リファレンスアーキテクチャは低ノイズに最適化されています。

シングルエンドクロックがデータ変換プロセスを制御します。内蔵デューティサイクルイコライザによって、クロックデューティサイクルの広範囲の変動が補償されます。内蔵PLL (位相ロックループ)は、高速シリアル低電圧差動信号(LVDS)クロックを生成します。

MAX1436Bは、データ、クロック、およびフレーム整列信号に対して自動整列されるシリアルLVDS出力を備えています。出力データは、2の補数またはバイナリ形式で提供されます。

MAX1436Bの最高サンプルレートは40Mspsです。これより高速のバージョンについては、「ピンコンパチブルバージョン」表を参照してください。このデバイスは14mm x 14mm x 1mmのエクスポーズドパッド付き小型100ピンTQFPパッケージで提供され、工業用拡張温度範囲(-40°C ~ +85°C)での動作が保証されています。

## アプリケーション

- 超音波および医療用画像処理
- 計測
- マルチチャンネル通信

## 特長

- ◆ 優れたダイナミック性能
  - SNR : 69.9dB (5.3MHzにおいて)
  - SFDR : 96dBc (5.3MHzにおいて)
  - チャンネルアイソレーション : 95dB
- ◆ 超低電力
  - 1チャンネル当り93mW (通常動作時)
  - スタンバイから200μsの高速ウェイクアップ時間
- ◆ シリアルLVDS出力
- ◆ ピンで選択可能なLVDS/SLVS (スケーラブル低電圧信号)モード
- ◆ LVDS出力は最長30インチのFR-4バックプレーン接続をサポート
- ◆ デジタル信号完全性に関するテストモード
- ◆ 完全差動アナログ入力
- ◆ 広い差動入力電圧範囲 : 1.4V<sub>p-p</sub>
- ◆ 1.24Vの高精度バンドギャップリファレンス内蔵
- ◆ クロックデューティサイクルイコライザ
- ◆ エクスポーズドパッド付き小型100ピンTQFPパッケージ
- ◆ 評価キットを提供(MAX1436BEVKITを注文してください)

## 型番

PART	TEMP RANGE	PIN-PACKAGE
MAX1436BECQ-D	-40°C to +85°C	100 TQFP-EP* (14mm x 14mm x 1mm)
MAX1436BECQ+D	-40°C to +85°C	100 TQFP-EP* (14mm x 14mm x 1mm)

\*EP = エクスポーズドパッド。  
+は鉛フリーパッケージを示します。  
D = ドライパッド。

## ピンコンパチブルバージョン

PART	SAMPLING RATE (Msps)	RESOLUTION (Bits)	POWER-SAVE MODE
MAX1434	50	10	Power-down
MAX1436	40	12	Power-down
MAX1436B	40	12	Standby
MAX1437	50	12	Power-down
MAX1438	65	12	Power-down

ピン配置はデータシートの最後に記載されています。



# シリアルLVDS出力付き、 オクタル、12ビット、40Msps、1.8V ADC

MAX1436B

## ABSOLUTE MAXIMUM RATINGS

AVDD to GND.....	-0.3V to +2.0V
CVDD to GND.....	-0.3V to +3.6V
OVDD to GND.....	-0.3V to +2.0V
IN_P, IN_N to GND.....	-0.3V to (AVDD + 0.3V)
CLK to GND.....	-0.3V to (CVDD + 0.3V)
OUT_P, OUT_N, FRAME_, CLKOUT_ to GND.....	-0.3V to (OVDD + 0.3V)
DT, SLVS/LVDS, LVDSTEST, PLL_, T/B, STBY, REFIO, REFADJ, CMOUT to GND.....	-0.3V to (AVDD + 0.3V)

Continuous Power Dissipation (TA = +70°C) 100-Pin TQFP 14mm x 14mm x 1mm (derated 47.6mW/°C above +70°C).....	3809.5mW
Operating Temperature Range .....	-40°C to +85°C
Maximum Junction Temperature .....	+150°C
Storage Temperature Range .....	-65°C to +150°C
Lead Temperature (soldering, 10s) .....	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(AVDD = 1.8V, OVDD = 1.8V, CVDD = 3.3V, GND = 0, external VREFIO = 1.24V, CREFIO to GND = 0.1µF, CREFP to GND = 10µF, CREFN to GND = 10µF, fCLK = 40MHz (50% duty cycle), VDT = 0, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>DC ACCURACY (Note 2)</b>						
Resolution	N		12			Bits
Integral Nonlinearity	INL			±0.4	±3	LSB
Differential Nonlinearity	DNL	No missing codes over temperature		±0.25	±1	LSB
Offset Error					±0.5	%FS
Gain Error					±2.4	%FS
<b>ANALOG INPUTS (IN_P, IN_N)</b>						
Input Differential Range	V <sub>ID</sub>	Differential input		1.4		V <sub>P-P</sub>
Common-Mode Voltage Range	V <sub>CMO</sub>			0.76		V
Common-Mode Voltage Range Tolerance (Note 3)				±50		mV
Differential Input Impedance	R <sub>IN</sub>	Switched capacitor load		2		kΩ
Differential Input Capacitance	C <sub>IN</sub>			12.5		pF
<b>CONVERSION RATE</b>						
Maximum Conversion Rate	f <sub>S</sub> MAX		40			MHz
Minimum Conversion Rate	f <sub>S</sub> MIN			4.0		MHz
Data Latency				6.5		Cycles
<b>DYNAMIC CHARACTERISTICS (differential inputs, 4096-point FFT) (Note 2)</b>						
Signal-to-Noise Ratio	SNR	f <sub>IN</sub> = 5.3MHz at -0.5dBFS		69.9		dB
		f <sub>IN</sub> = 19.3MHz at -0.5dBFS	66.5	69.6		
Signal-to-Noise and Distortion (First 4 Harmonics)	SINAD	f <sub>IN</sub> = 5.3MHz at -0.5dBFS		69.9		dB
		f <sub>IN</sub> = 19.3MHz at -0.5dBFS	66.5	69.6		
Effective Number of Bits	ENOB	f <sub>IN</sub> = 5.3MHz at -0.5dBFS		11.3		dB
		f <sub>IN</sub> = 19.3MHz at -0.5dBFS		11.3		
Spurious-Free Dynamic Range	SFDR	f <sub>IN</sub> = 5.3MHz at -0.5dBFS		96		dBc
		f <sub>IN</sub> = 19.3MHz at -0.5dBFS	79	90		

# シリアルLVDS出力付き、 オクタル、12ビット、40Msps、1.8V ADC

MAX1436B

## ELECTRICAL CHARACTERISTICS (continued)

(AVDD = 1.8V, OVDD = 1.8V, CVDD = 3.3V, GND = 0, external VREFIO = 1.24V, CREFIO to GND = 0.1μF, CREFP to GND = 10μF, CREFN to GND = 10μF, fCLK = 40MHz (50% duty cycle), VDT = 0, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Total Harmonic Distortion	THD	f <sub>IN</sub> = 5.3MHz at -0.5dBFS		-96		dBc
		f <sub>IN</sub> = 19.3MHz at -0.5dBFS		-92	-79	
Intermodulation Distortion	IMD	f <sub>1</sub> = 5.3MHz at -6.5dBFS f <sub>2</sub> = 6.3MHz at -6.5dBFS		89.8		dBc
Third-Order Intermodulation	IM3	f <sub>1</sub> = 5.3MHz at -6.5dBFS f <sub>2</sub> = 6.3MHz at -6.5dBFS		96.6		dBc
Aperture Jitter	t <sub>AJ</sub>	Figure 11		< 0.4		psRMS
Aperture Delay	t <sub>AD</sub>	Figure 11		1		ns
Small-Signal Bandwidth	SSBW	Input at -20dBFS		100		MHz
Full-Power Bandwidth	LSBW	Input at -0.5dBFS		100		MHz
Output Noise		IN_P = IN_N		0.44		LSBRMS
Over-Range Recovery Time	t <sub>OR</sub>	R <sub>S</sub> = 25Ω, C <sub>S</sub> = 50pF		1		Clock cycle
<b>INTERNAL REFERENCE</b>						
REFADJ Internal Reference-Mode Enable Voltage (Note 4)					0.1	V
REFADJ Low-Leakage Current				1.5		mA
REFIO Output Voltage	VREFIO		1.18	1.24	1.30	V
Reference Temperature Coefficient	TCREFIO			120		ppm/°C
<b>EXTERNAL REFERENCE</b>						
REFADJ External Reference-Mode Enable Voltage (Note 4)			AVDD - 0.1V			V
REFADJ High-Leakage Current				200		μA
REFIO Input Voltage				1.24		V
REFIO Input Voltage Tolerance				±5		%
REFIO Input Current	IREFIO			< 1		μA
<b>COMMON-MODE OUTPUT (CMOUT)</b>						
CMOUT Output Voltage	VCMOUT			0.76		V
<b>CLOCK INPUT (CLK)</b>						
Input High Voltage	VCLKH		0.8 x CVDD			V
Input Low Voltage	VCLKL			0.2 x CVDD		V
Clock Duty Cycle				50		%
Clock Duty-Cycle Tolerance				±30		%
Input Leakage	DI <sub>IN</sub>	Input at GND		5		μA
		Input at AVDD		80		
Input Capacitance	DC <sub>IN</sub>			5		pF

# シリアルLVDS出力付き、 オクタル、12ビット、40Msps、1.8V ADC

MAX1436B

## ELECTRICAL CHARACTERISTICS (continued)

(AVDD = 1.8V, OVDD = 1.8V, CVDD = 3.3V, GND = 0, external VREFIO = 1.24V, CREFIO to GND = 0.1μF, CREFP to GND = 10μF, CREFN to GND = 10μF, fCLK = 40MHz (50% duty cycle), VDT = 0, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>DIGITAL INPUTS (PLL_, LVDSTEST, DT, SLVS, STBY, T/B)</b>						
Input High Threshold	V <sub>IH</sub>		0.8 x AVDD			V
Input Low Threshold	V <sub>IL</sub>			0.2 x AVDD		V
Input Leakage	D <sub>IIN</sub>	Input at GND		5		μA
		Input at AVDD		80		
Input Capacitance	DC <sub>IN</sub>		5			pF
<b>LVDS OUTPUTS (OUT_P, OUT_N), SLVS/LVDS = 0</b>						
Differential Output Voltage	VOHDIFF	RTERM = 100Ω	250		450	mV
Output Common-Mode Voltage	V <sub>OCM</sub>	RTERM = 100Ω	1.125		1.375	V
Rise Time (20% to 80%)	t <sub>RL</sub>	RTERM = 100Ω, C <sub>LOAD</sub> = 5pF		350		ps
Fall Time (80% to 20%)	t <sub>FL</sub>	RTERM = 100Ω, C <sub>LOAD</sub> = 5pF		350		ps
<b>SLVS OUTPUTS (OUT_P, OUT_N, CLKOUTP, CLKOUTN, FRAMEP, FRAMEN), SLVS/LVDS = 1, DT = 1</b>						
Differential Output Voltage	VOHDIFF	RTERM = 100Ω		205		mV
Output Common-Mode Voltage	V <sub>OCM</sub>	RTERM = 100Ω		220		V
Rise Time (20% to 80%)	t <sub>RS</sub>	RTERM = 100Ω, C <sub>LOAD</sub> = 5pF		320		ps
Fall Time (80% to 20%)	t <sub>FS</sub>	RTERM = 100Ω, C <sub>LOAD</sub> = 5pF		320		ps
<b>STANDBY MODE (STBY)</b>						
STBY Fall to Output Enable	t <sub>ENABLE</sub>			200		μs
STBY Rise to Output Disable	t <sub>DISABLE</sub>			60		ns
<b>POWER REQUIREMENTS</b>						
AVDD Supply Voltage Range	AVDD		1.7	1.8	1.9	V
OVDD Supply Voltage Range	OVDD		1.7	1.8	1.9	V
CVDD Supply Voltage Range	CVDD		1.7	1.8	3.6	V
AVDD Supply Current	I <sub>AVDD</sub>	f <sub>IN</sub> = 19.3MHz at -0.5dBFS	STBY = 0	337	380	mA
			STBY = 0, DT = 1	337		
			STBY = 1, standby, no clock input	37		mA
OVDD Supply Current	I <sub>OVDD</sub>	f <sub>IN</sub> = 19.3MHz at -0.5dBFS	STBY = 0	76	100	mA
			STBY = 0, DT = 1	99		
			STBY = 1, standby, no clock input	16		μA
CVDD Supply Current	I <sub>CVDD</sub>	CVDD is used only to bias ESD-protection diodes on CLK input, Figure 2	0			mA
Power Dissipation	P <sub>DISS</sub>	f <sub>IN</sub> = 19.3MHz at -0.5dBFS		743	864	mW

# シリアルLVDS出力付き、 オクタル、12ビット、40Msps、1.8V ADC

MAX1436B

## ELECTRICAL CHARACTERISTICS (continued)

(AVDD = 1.8V, OVDD = 1.8V, CVDD = 3.3V, GND = 0, external VREFIO = 1.24V, CREFIO to GND = 0.1μF, CREFP to GND = 10μF, CREFN to GND = 10μF, fCLK = 40MHz (50% duty cycle), VDT = 0, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>TIMING CHARACTERISTICS (Note 6)</b>						
Data Valid to CLKOUT Rise/Fall (Notes 5, 6)	tOD	Figure 5	(tSAMPLE / 24) - 0.15	(tSAMPLE / 24)	(tSAMPLE / 24) + 0.15	ns
CLKOUT Output-Width High	tCH	Figure 5		tSAMPLE / 12		ns
CLKOUT Output-Width Low	tCL	Figure 5		tSAMPLE / 12		ns
FRAME Rise to CLKOUT Rise (Note 6)	tCF	Figure 4	(tSAMPLE / 24) - 0.15	(tSAMPLE / 24)	(tSAMPLE / 24) + 0.15	ns
Sample CLK Rise to FRAME Rise (Note 6)	tSF	Figure 4	(tSAMPLE / 2) + 1.1	(tSAMPLE / 2)	(tSAMPLE / 2) + 2.6	ns
Crosstalk (Note 2)				-95		dB
Gain Matching (Note 2)	CGM	fIN = 5.3MHz		±0.1		dB
Phase Matching (Note 2)	CPM	fIN = 5.3MHz		±0.25		degrees

**Note 1:** Specifications at TA ≥ +25°C are guaranteed by production testing. Specifications at TA < +25°C are guaranteed by design and characterization and not subject to production testing.

**Note 2:** See definition in the *Parameter Definition* section at the end of this data sheet.

**Note 3:** See the *Common-Mode Output (CMOUT)* section.

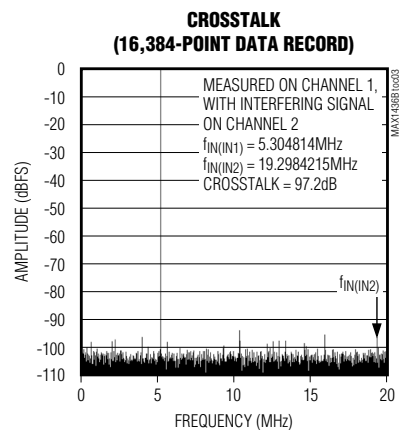
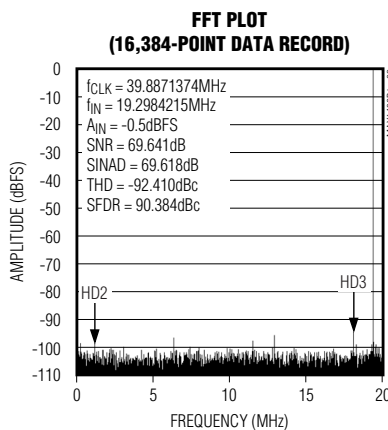
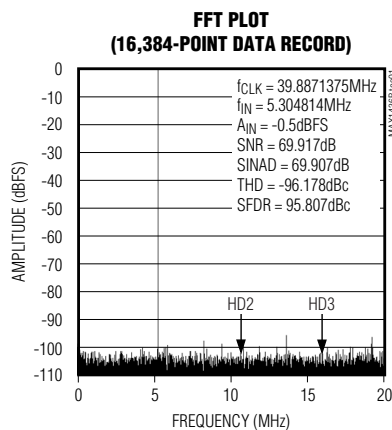
**Note 4:** Connect REFADJ to GND directly to enable internal reference mode. Connect REFADJ to AVDD directly to disable the internal bandgap reference and enable external reference mode.

**Note 5:** Data valid to CLKOUT rise/fall timing is measured from 50% of data output level to 50% of clock output level.

**Note 6:** Guaranteed by design and characterization. Not subject to production testing.

## 標準動作特性

(AVDD = 1.8V, OVDD = 1.8V, CVDD = 3.3V, GND = 0, internal reference, differential input at -0.5dBFS, fIN = 5.3MHz, fCLK = 40MHz (50% duty cycle), VDT = 0, CLOAD = 10pF, TA = +25°C, unless otherwise noted.)



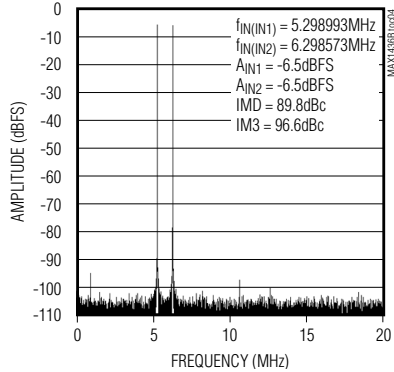
# シリアルLVDS出力付き、 オクタル、12ビット、40MSPS、1.8V ADC

MAX1436B

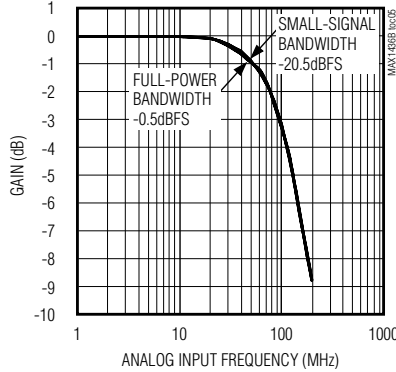
## 標準動作特性(続き)

( $V_{DD} = 1.8V$ ,  $OV_{DD} = 1.8V$ ,  $CV_{DD} = 3.3V$ ,  $GND = 0$ , internal reference, differential input at  $-0.5dBFS$ ,  $f_{IN} = 5.3MHz$ ,  $f_{CLK} = 40MHz$  (50% duty cycle),  $V_{DT} = 0$ ,  $C_{LOAD} = 10pF$ ,  $T_A = +25^{\circ}C$ , unless otherwise noted.)

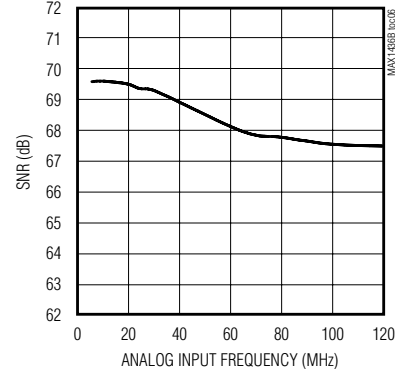
**TWO-TONE INTERMODULATION DISTORTION  
(16,384-POINT DATA RECORD)**



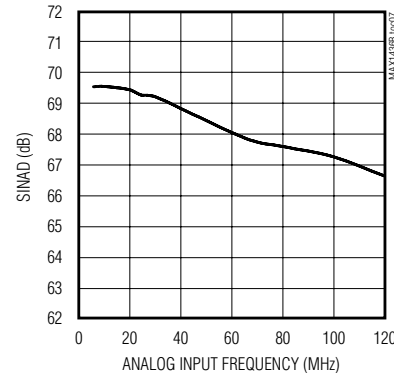
**BANDWIDTH  
vs. ANALOG INPUT FREQUENCY**



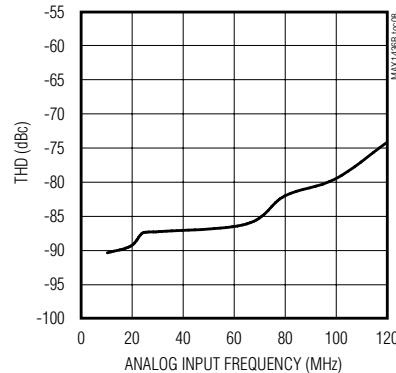
**SIGNAL-TO-NOISE RATIO  
vs. ANALOG INPUT FREQUENCY**



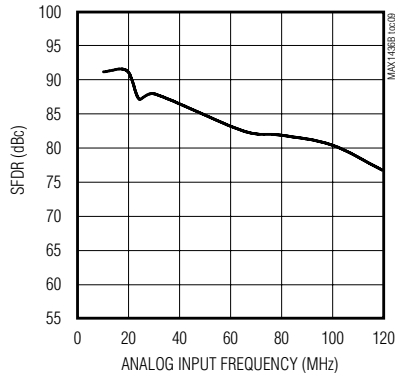
**SIGNAL-TO-NOISE PLUS DISTORTION  
vs. ANALOG INPUT FREQUENCY**



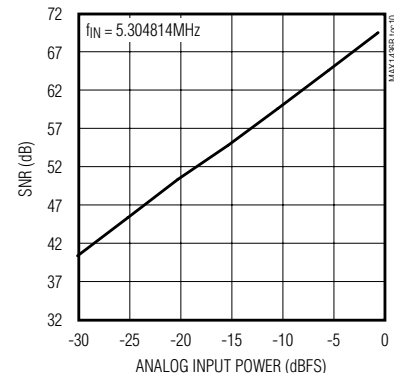
**TOTAL HARMONIC DISTORTION  
vs. ANALOG INPUT FREQUENCY**



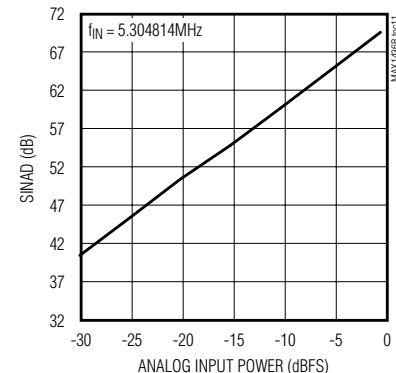
**SPURIOUS-FREE DYNAMIC RANGE  
vs. ANALOG INPUT FREQUENCY**



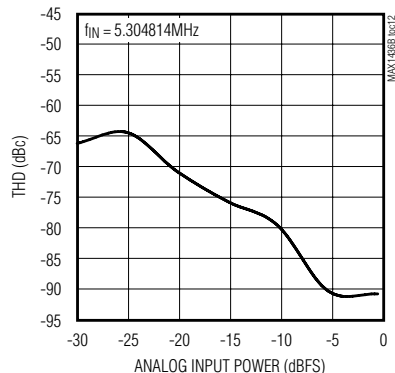
**SIGNAL-TO-NOISE RATIO  
vs. ANALOG INPUT POWER**



**SIGNAL-TO-NOISE PLUS DISTORTION  
vs. ANALOG INPUT POWER**



**TOTAL HARMONIC DISTORTION  
vs. ANALOG INPUT POWER**

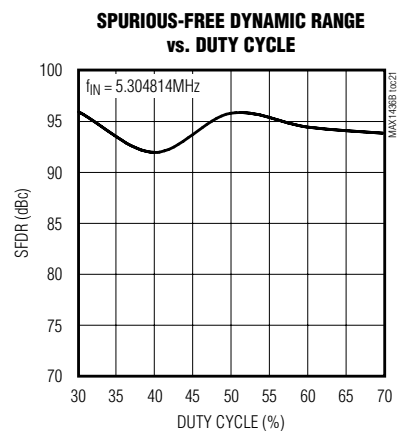
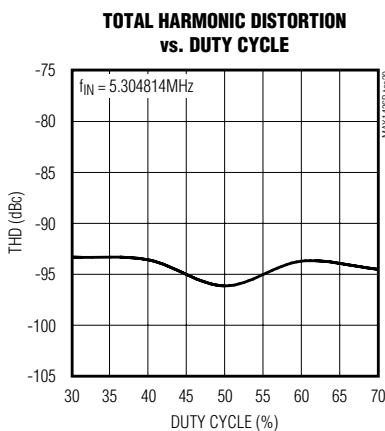
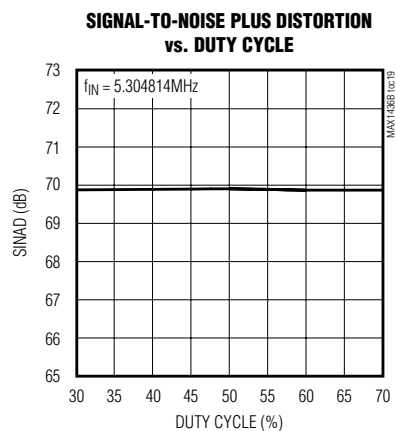
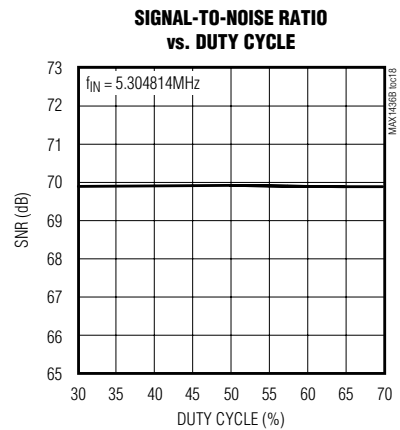
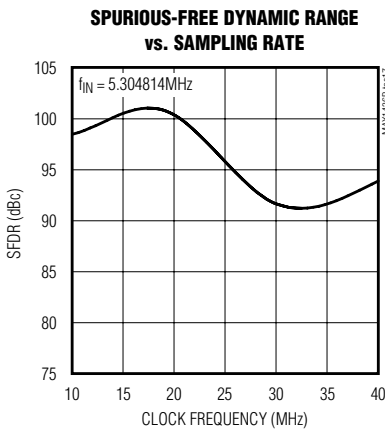
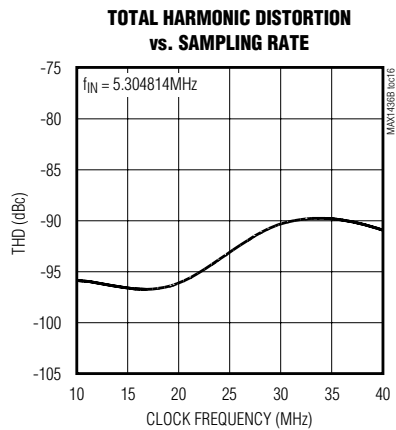
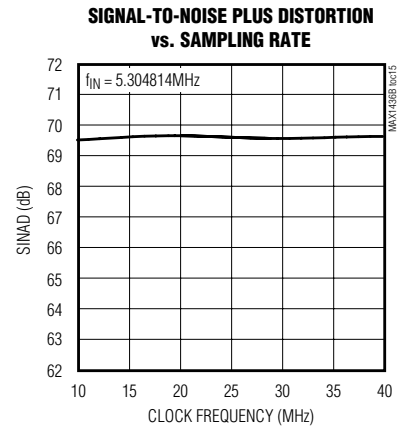
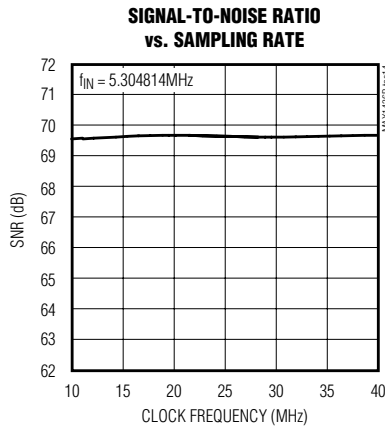
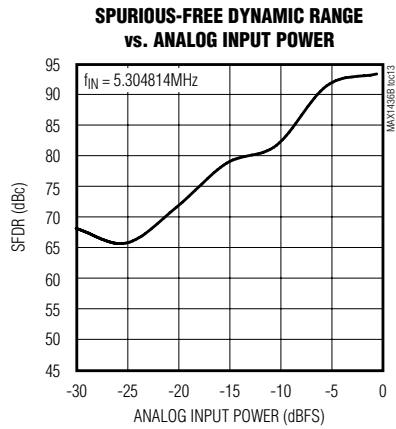


# シリアルLVDS出力付き、 オクタル、12ビット、40Msps、1.8V ADC

MAX1436B

## 標準動作特性(続き)

( $V_{DD} = 1.8V$ ,  $OV_{DD} = 1.8V$ ,  $CV_{DD} = 3.3V$ ,  $GND = 0$ , internal reference, differential input at  $-0.5dBFS$ ,  $f_{IN} = 5.3MHz$ ,  $f_{CLK} = 40MHz$  (50% duty cycle),  $V_{DT} = 0$ ,  $C_{LOAD} = 10pF$ ,  $T_A = +25^{\circ}C$ , unless otherwise noted.)

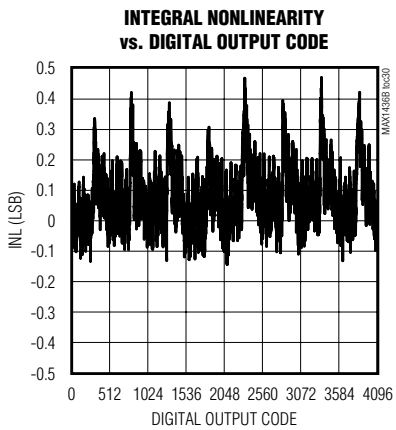
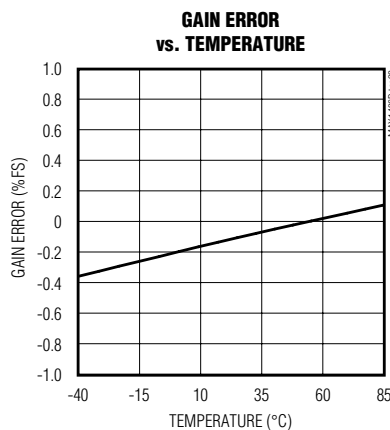
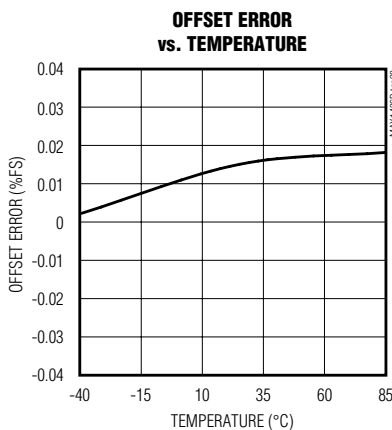
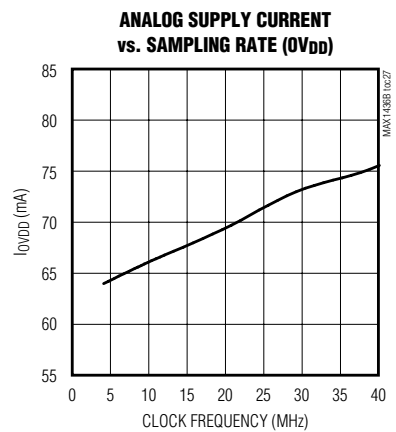
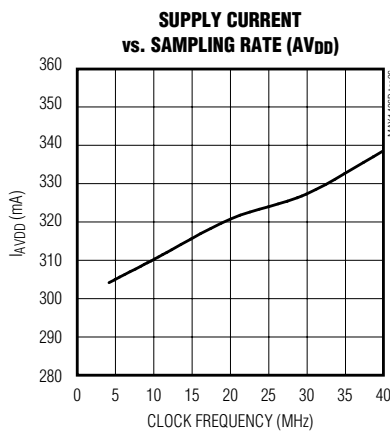
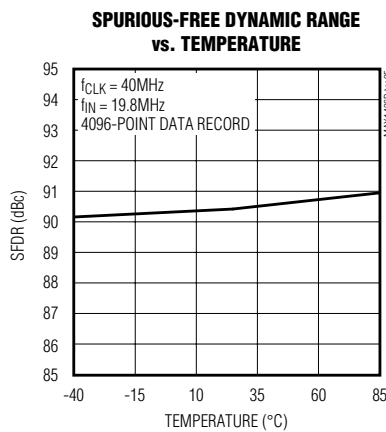
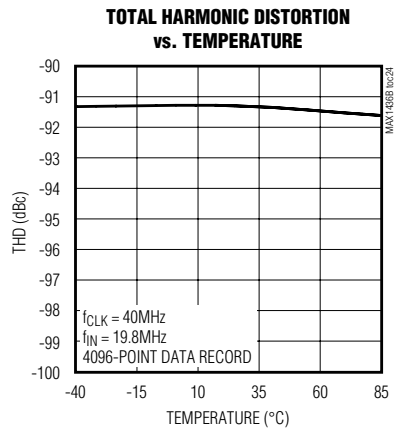
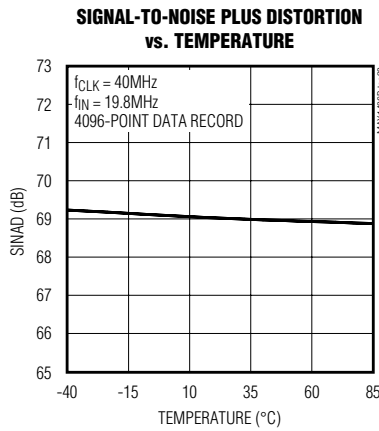
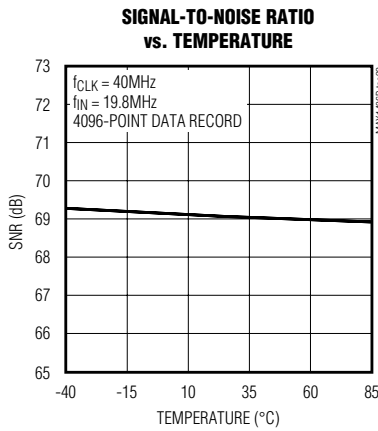


# シリアルLVDS出力付き、 オクタル、12ビット、40Msps、1.8V ADC

MAX1436B

## 標準動作特性(続き)

( $V_{DD} = 1.8V$ ,  $OV_{DD} = 1.8V$ ,  $CV_{DD} = 3.3V$ ,  $GND = 0$ , internal reference, differential input at  $-0.5dBFS$ ,  $f_{IN} = 5.3MHz$ ,  $f_{CLK} = 40MHz$  (50% duty cycle),  $V_{DT} = 0$ ,  $C_{LOAD} = 10pF$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)



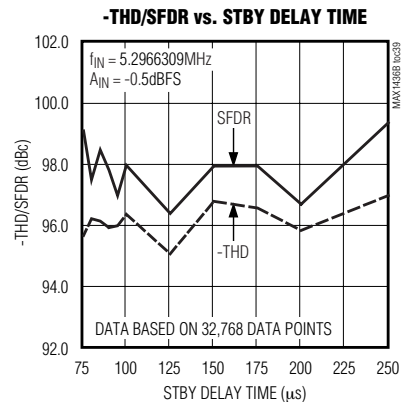
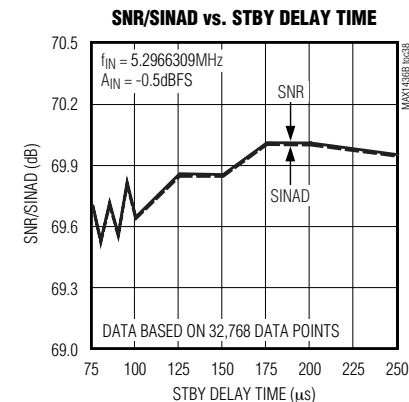
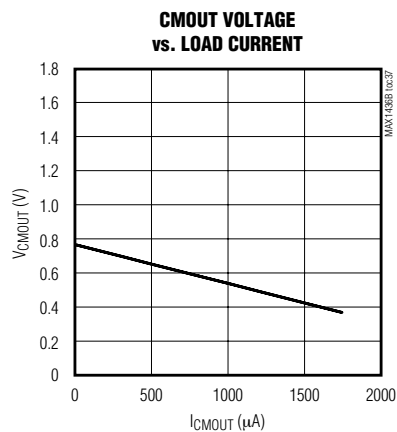
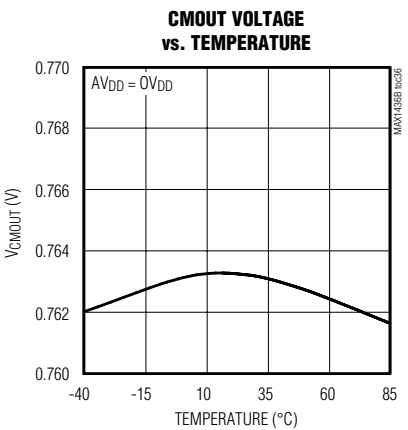
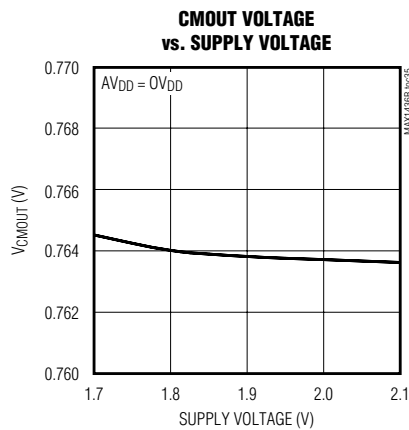
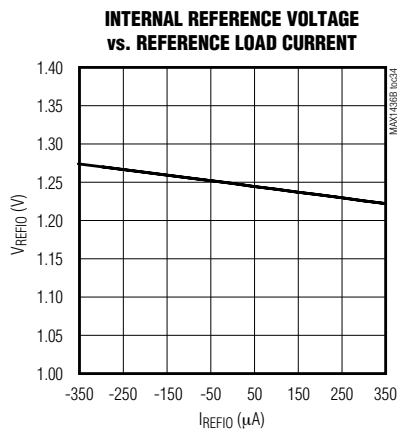
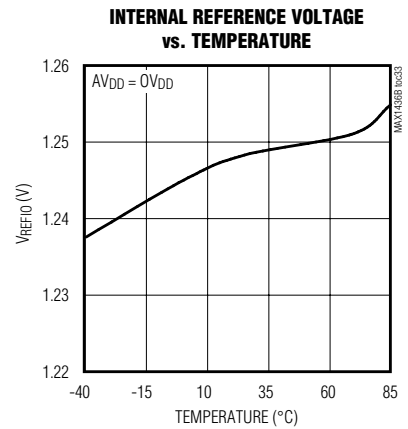
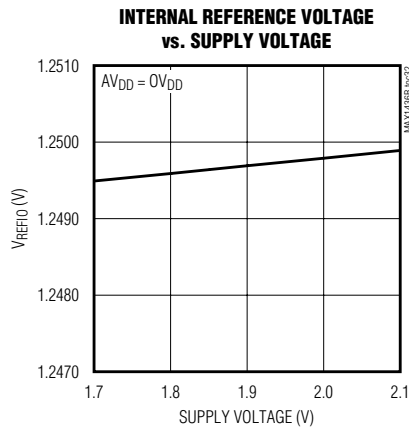
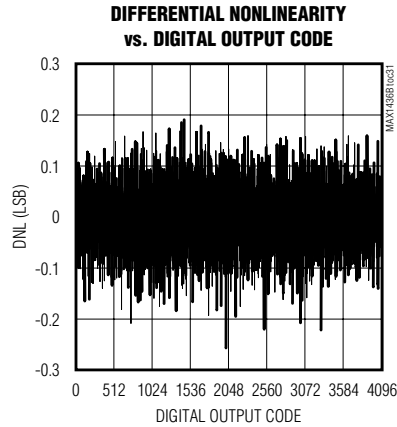


# シリアルLVDS出力付き、 オクタル、12ビット、40Mps、1.8V ADC

MAX1436B

## 標準動作特性(続き)

( $V_{DD} = 1.8V$ ,  $O_{VDD} = 1.8V$ ,  $C_{VDD} = 3.3V$ ,  $GND = 0$ , internal reference, differential input at  $-0.5dBFS$ ,  $f_{IN} = 5.3MHz$ ,  $f_{CLK} = 40MHz$  (50% duty cycle),  $V_{DT} = 0$ ,  $C_{LOAD} = 10pF$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)



# シリアルLVDS出力付き、 オクタル、12ビット、40Msps、1.8V ADC

## 端子説明

端子	名称	機能
1, 4, 7, 10, 16, 19, 22, 25, 26, 27, 30, 36, 89, 92, 96, 99, 100	GND	グラウンド。すべてのGND端子を同じ電位に接続してください。
2	IN1P	チャンネル1の正アナログ入力
3	IN1N	チャンネル1の負アナログ入力
5	IN2P	チャンネル2の正アナログ入力
6	IN2N	チャンネル2の負アナログ入力
8	IN3P	チャンネル3の正アナログ入力
9	IN3N	チャンネル3の負アナログ入力
11, 12, 13, 15, 37-42, 86, 87, 88	AV <sub>DD</sub>	アナログ電源入力。AV <sub>DD</sub> を1.7V~1.9Vの電源に接続してください。デバイスにできるだけ近接した0.1μFコンデンサでAV <sub>DD</sub> をGNDにバイパスしてください。2.2μF以上の大容量コンデンサでAV <sub>DD</sub> 電源プレーンをGNDプレーンにバイパスしてください。すべてのAV <sub>DD</sub> 端子を同じ電位に接続してください。
14, 31, 50, 51, 70, 75, 76	N.C.	接続なし。内部接続なし。
17	IN4P	チャンネル4の正アナログ入力
18	IN4N	チャンネル4の負アナログ入力
20	IN5P	チャンネル5の正アナログ入力
21	IN5N	チャンネル5の負アナログ入力
23	IN6P	チャンネル6の正アナログ入力
24	IN6N	チャンネル6の負アナログ入力
28	IN7P	チャンネル7の正アナログ入力
29	IN7N	チャンネル7の負アナログ入力
32	DT	2重終端の選択。差動出力ペア間の100Ωの内部終端を選択するには、DTをハイにしてください。出力終端を選択しない場合は、DTをローにしてください。
33	SLVS/LVDS	差動出力信号形式の選択入力。SLVS出力を選択するには、SLVS/LVDSをハイにしてください。LVDS出力を選択するには、SLVS/LVDSをローにしてください。
34	CV <sub>DD</sub>	クロック電源入力。CV <sub>DD</sub> を1.7V~3.6Vの電源に接続してください。2.2μF以上のコンデンサと並列に0.1μFのコンデンサでCV <sub>DD</sub> をGNDにバイパスしてください。デバイスにできるだけ近接してバイパスコンデンサを実装してください。
35	CLK	シングルエンドCMOSクロック入力
43, 46, 49, 54, 57, 60, 63, 64, 67, 71, 74, 77	OV <sub>DD</sub>	出力ドライバ電源入力。OV <sub>DD</sub> を1.7V~1.9Vの電源に接続してください。デバイスにできるだけ近接した0.1μFコンデンサでOV <sub>DD</sub> をGNDにバイパスしてください。2.2μF以上の大容量コンデンサでOV <sub>DD</sub> 電源プレーンをGNDプレーンにバイパスしてください。すべてのOV <sub>DD</sub> 端子を同じ電位に接続してください。
44	OUT7N	チャンネル7の負LVDS/SLVS出力
45	OUT7P	チャンネル7の正LVDS/SLVS出力
47	OUT6N	チャンネル6の負LVDS/SLVS出力
48	OUT6P	チャンネル6の正LVDS/SLVS出力
52	OUT5N	チャンネル5の負LVDS/SLVS出力
53	OUT5P	チャンネル5の正LVDS/SLVS出力
55	OUT4N	チャンネル4の負LVDS/SLVS出力
56	OUT4P	チャンネル4の正LVDS/SLVS出力

# シリアルLVDS出力付き、 オクタル、12ビット、40Msps、1.8V ADC

MAX1436B

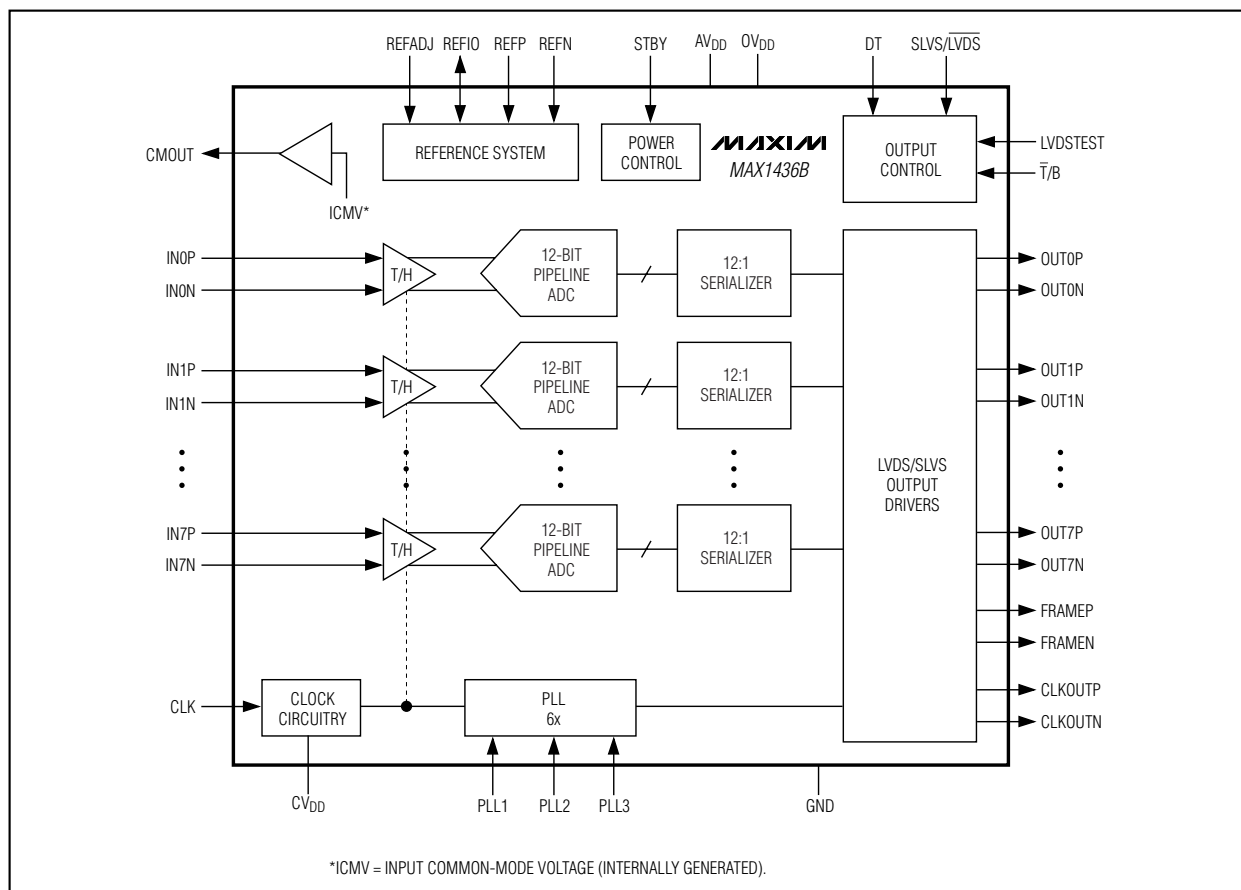
## 端子説明(続き)

端子	名称	機能
58	FRAMEN	負フレーム整列LVDS/SLVS出力。差動フレーム出力の立上がりエッジが出力データストリームの有効なDOに整列します。
59	FRAMEP	正フレーム整列LVDS/SLVS出力。差動フレーム出力の立上がりエッジが出力データストリームの有効なDOに整列します。
61	CLKOUTN	負のLVDS/SLVSシリアルクロック出力
62	CLKOUTP	正のLVDS/SLVSシリアルクロック出力
65	OUT3N	チャンネル3の負LVDS/SLVS出力
66	OUT3P	チャンネル3の正LVDS/SLVS出力
68	OUT2N	チャンネル2の負LVDS/SLVS出力
69	OUT2P	チャンネル2の正LVDS/SLVS出力
72	OUT1N	チャンネル1の負LVDS/SLVS出力
73	OUT1P	チャンネル1の正LVDS/SLVS出力
78	OUT0N	チャンネル0の負LVDS/SLVS出力
79	OUT0P	チャンネル0の正LVDS/SLVS出力
80	LVDSTEST	LVDSテストパターンのイネーブル。出力テストパターンをイネーブルするには、LVDSTESTをハイにしてください(0000 1011 1101 MSB→LSB)。アナログ変換結果と同様に、テストパターンデータはLSBを先頭にした出力です。通常動作にするには、LVDSTESTをローにしてください。
81	STBY	スタンバイ入力。STBYのアクティブハイレベルは、リファレンス回路をアクティブのまま、MAX1436Bをスタンバイモードに移行させます。通常動作にするには、STBYをローにしてください。
82	PLL3	PLL制御入力3。詳細については、表1を参照してください。
83	PLL2	PLL制御入力2。詳細については、表1を参照してください。
84	PLL1	PLL制御入力1。詳細については、表1を参照してください。
85	$\bar{T}/B$	出力形式の選択入力。バイナリ出力形式を選択するには、 $\bar{T}/B$ をハイにしてください。2の補数出力形式を選択するには、 $\bar{T}/B$ をローにしてください。
90	REFN	負のリファレンスバイパス出力。1 $\mu$ F以上のコンデンサ(10 $\mu$ F, typ)をREFPとREFNの間に接続し、1 $\mu$ F以上のコンデンサ(10 $\mu$ F, typ)をREFNとGNDの間に接続してください。これらのコンデンサは、プリント回路(PC)の同じ面にデバイスにできる限り近接して配置してください。
91	REFP	正のリファレンスバイパス出力。1 $\mu$ F以上のコンデンサ(10 $\mu$ F, typ)をREFPとREFNの間に接続し、1 $\mu$ F以上のコンデンサ(10 $\mu$ F, typ)をREFPとGNDの間に接続してください。これらのコンデンサは、PCBの同じ面にデバイスにできる限り近接して配置してください。
93	REFIO	リファレンス入力/出力。内部リファレンス動作(REFADJ = GND)の場合は、リファレンス出力電圧は1.24Vです。外部リファレンス動作(REFADJ = AV <sub>DD</sub> )の場合は、安定したリファレンス電圧をREFIOに印加してください。0.1 $\mu$ F以上でGNDにバイパスしてください。
94	REFADJ	内部または外部リファレンスモードの選択およびリファレンス調整の入力。内部リファレンスモードの場合は、REFADJをGNDに直接接続してください。外部リファレンスモードの場合は、REFADJをAV <sub>DD</sub> に直接接続してください。リファレンス調整モードの場合は、「内部リファレンスによるフルスケール範囲の調整」の項を参照してください。
95	CMOUT	コモンモードリファレンス電圧出力。CMOUTは、DC結合アプリケーション用に入力コモンモード電圧を出力します。0.1 $\mu$ F以上のコンデンサでCMOUTをGNDにバイパスしてください。
97	IN0P	チャンネル0の正アナログ入力
98	IN0N	チャンネル0の負アナログ入力
—	EP	エクスポーズパッド。EPはGNDに内部で接続されています。EPをGNDに接続してください。

# シリアルLVDS出力付き、 オクタル、12ビット、40Msps、1.8V ADC

MAX1436B

## ファンクションダイアグラム



## 詳細

MAX1436Bはアナログ-デジタルコンバータ(ADC)で、完全差動入力、パイプラインアーキテクチャ、およびデジタルエラー補正を備え、高速信号変換を行います。ADCパイプラインアーキテクチャによって、入力で取得されたサンプルは半クロックサイクルごとに各パイプライン段を移動します。変換されたデジタル結果はシリアル化され、LVDS/SLVS出力ドライバを通じて送られます。入力から出力までの総クロックサイクル遅延は、6.5クロックサイクルです。

MAX1436Bは、入力と出力が同期した8つの個別の完全差動チャンネルを備えています。T/Bデジタル入力を使って、出力をバイナリまたは2の補数に設定してください。グローバルパワーダウンによって、電力消費が最小限に抑制されます。

## 入力回路

図1は、入力T/H回路の簡略図を示しています。トラックモードでは、スイッチS1、S2a、S2b、S4a、S4b、S5a、およびS5bは閉じています。完全差動回路は、スイッチS4aおよびS4bを通じて2個のコンデンサ(C2aおよびC2b)に入力信号をサンプリングします。S2aとS2bはトランスコンダクタンスオペアンプ(OTA)の共通モードを設定し、S1と同時に開かれて入力波形をサンプリングします。次にスイッチS4a、S4b、S5a、およびS5bが開かれた後に、スイッチS3aとS3bはコンデンサC1aおよびC1bをアンプの出力と接続させ、スイッチS4cが閉じられます。得られた差動電圧は、コンデンサC2aとC2bに保持されます。アンプは、コンデンサC2aとC2bに当初保持されていた値まで、コンデンサC1aとC1bを充電します。次に、これらの値は第1段の量子化器に送られ、高速変動する入力からパイプラインが分離されます。IN\_PとIN\_N間のアナログ入力は、

# シリアルLVDS出力付き、 オクタル、12ビット、40MSPS、1.8V ADC

MAX1436B

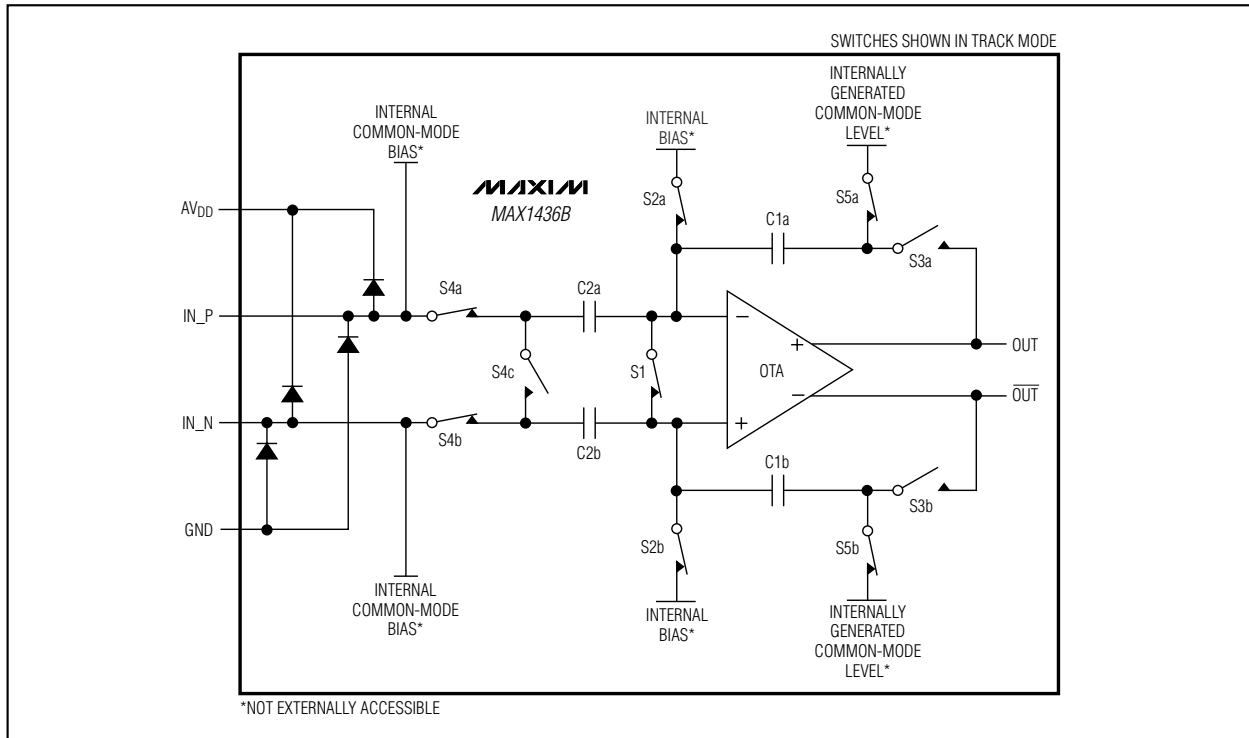


図1. 内部入力回路

差動駆動されます。差動入力の場合は、性能を最適化するために、IN\_PおよびIN\_Nの入力インピーダンスをバランスさせてください。

## リファレンス設定 (REFIO、REFADJ、REFP、およびREFN)

MAX1436Bは1.24Vの内部バンドギャップリファレンスを備えています。外部リファレンス電圧で駆動することもできます。フルスケールアナログ差動入力範囲は±FSRです。FSR (フルスケール範囲)は、次式から求められます。

$$FSR = \frac{(0.700 \times V_{REFIO})}{1.24V}$$

ここで、 $V_{REFIO}$ は、内部または外部で生成されるREFIOの電圧です。 $V_{REFIO} = 1.24V$ の場合は、フルスケール入力範囲は±700mV (1.4V<sub>p-p</sub>)です。

## 内部リファレンスモード

内部バンドギャップリファレンスを直接利用するには、REFADJをGNDに接続してください。内部バンドギャップリファレンスは、内部リファレンスモードでは温度係数が120ppm/°Cの1.24Vの $V_{REFIO}$ を生成します。安定化のために、0.1μF以上の外付けバイパスコンデンサをREFIOとGNDの間に接続してください。REFIOは外部回路に対して最大200μAまでソースし、シンクします。REFIOの負荷レギュレーションは75mV/mAです。MAX1436Bがスタンバイモードになると、すべての回路がオフにされてもリファレンス回路が除外されるため、このADCがSTBYにおけるハイからローへの過渡信号でスタンバイモードから抜け出ると、このコンバータの起動が高速です。コンバータがスタンバイモードから抜け出る際には、MAX1436Bの内部回路には、起動とセトリングに200μsが必要です。

利得誤差を補償するか、またはADCのFSRの拡大や縮小を行うには、REFADJとGNDの間またはREFADJとREFIOの間に外付け抵抗器を追加してください。この抵抗器によって、MAX1436Bの内部リファレンス値をその公称値の最大±5%で調整します。「内部リファレンスによるフルスケール範囲の調整」の項を参照してください。

# シリアルLVDS出力付き、 オクタル、12ビット、40MSPS、1.8V ADC

GNDへの1 $\mu$ F以上のコンデンサ(10 $\mu$ F、typ)をREFPとREFNの間に接続し、1 $\mu$ F以上のコンデンサ(10 $\mu$ F、typ)をREFPとREFNの間にPCBの同じ面でデバイスにできる限り近接して接続してください。

## 外部リファレンスモード

外部リファレンスモードでは、MAX1436Bのリファレンス電圧に対する制御を向上し、複数のコンバータが共通リファレンスを使用することができます。内部リファレンスをディセーブルするには、REFADJをAV<sub>DD</sub>に接続してください。安定した1.18V~1.30Vの電源をREFIOに印加してください。0.1 $\mu$ F以上のコンデンサでREFIOをGNDにバイパスしてください。REFIOの入インピーダンスは1M $\Omega$ を上回ります。

## クロック入力(CLK)

MAX1436Bは、入力クロックデューティサイクルが20%~80%と広範囲のCMOSコンパチブルクロック信号を受け付けます。外付けシングルエンドクロック信号でCLKを駆動してください。図2は、簡略化されたクロック入力図を示しています。

MAX1436Bの規定のSNR性能を得るには、低クロックジッタが必要です。アナログ入力サンプリングはCLKの立上がりエッジで行われるため、このエッジのジッタはできる限り小さくする必要があります。ジッタによって、次の関係式に従ってADCの最大SNR性能が制約されます。

$$SNR = 20 \times \log \left( \frac{1}{2 \times \pi \times f_{IN} \times t_J} \right)$$

ここで、 $f_{IN}$ はアナログ入力周波数を表し、 $t_J$ は総システムクロックジッタです。

## PLL入力(PLL1、PLL2、PLL3)

MAX1436Bは、入力クロックの周波数の6倍の周波数の出力クロック信号を生成するPLLを備えています。出力クロック信号を使って、MAX1436Bからデータをクロックアウトすることができます(「システムタイミング要件」を参照)。

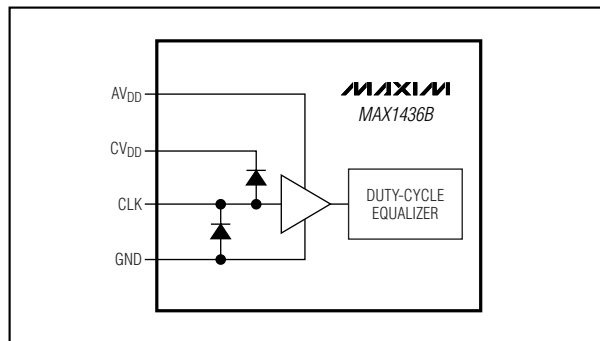


図2. クロック入力回路

表1. PLL1、PLL2、およびPLL3の構成表

PLL1	PLL2	PLL3	INPUT CLOCK RANGE (MHz)	
			MIN	MAX
0	0	0	Unused	
0	0	1	32.5	40.0
0	1	0	22.5	32.5
0	1	1	16.3	22.5
1	0	0	11.3	16.3
1	0	1	8.1	11.3
1	1	0	5.6	8.1
1	1	1	4.0	5.6

件」の項を参照)。表1に記載の入力クロック範囲に従って、PLL1、PLL2、およびPLL3のビットを設定してください。

## システムタイミング要件

図3は、アナログ入力、入力クロック、フレーム整列出力、シリアルクロック出力、およびシリアルデータ出力間の関係を示しています。差動アナログ入力(IN<sub>P</sub>およびIN<sub>N</sub>)はCLK信号の立上がりエッジでサンプリングされ、データ結果は6.5クロックサイクル後にデジタル出力に現れます。図4は、入力と出力との関係についての詳細な2変換タイミング図を示しています。

## クロック出力(CLKOUTP、CLKOUTN)

MAX1436Bは、CLKOUTPとCLKOUTNから構成される差動クロック出力を備えています。図4に示すように、シリアル出力データはクロック出力の両エッジでMAX1436Bからクロックアウトされます。出力クロックの周波数は、CLKの周波数の6倍です。

## フレーム整列出力(FRAMEP、FRAMEN)

MAX1436Bは、FRAMEPとFRAMENから構成される差動フレーム整列信号を備えています。図4に示すように、フレーム整列信号の立上がりエッジは、12ビットシリアルデータストリームの先頭ビット(D0)に対応しています。フレーム整列信号の周波数は、入力クロックの周波数と同じです。

## シリアル出力データ(OUT<sub>P</sub>、OUT<sub>N</sub>)

MAX1436Bは、OUT<sub>P</sub>とOUT<sub>N</sub>から構成される各差動出力を通じて変換結果を提供します。変換結果は、サンプルが取得されてから6.5入力クロックサイクル後に得られます。図3に示すように、出力データは、出力クロックの両エッジでLSB (D0)を先頭にクロックアウトされます。図5は、詳細なシリアル出力タイミング図を示しています。

# シリアルLVDS出力付き、 オクタル、12ビット、40MSPS、1.8V ADC

MAX1436B

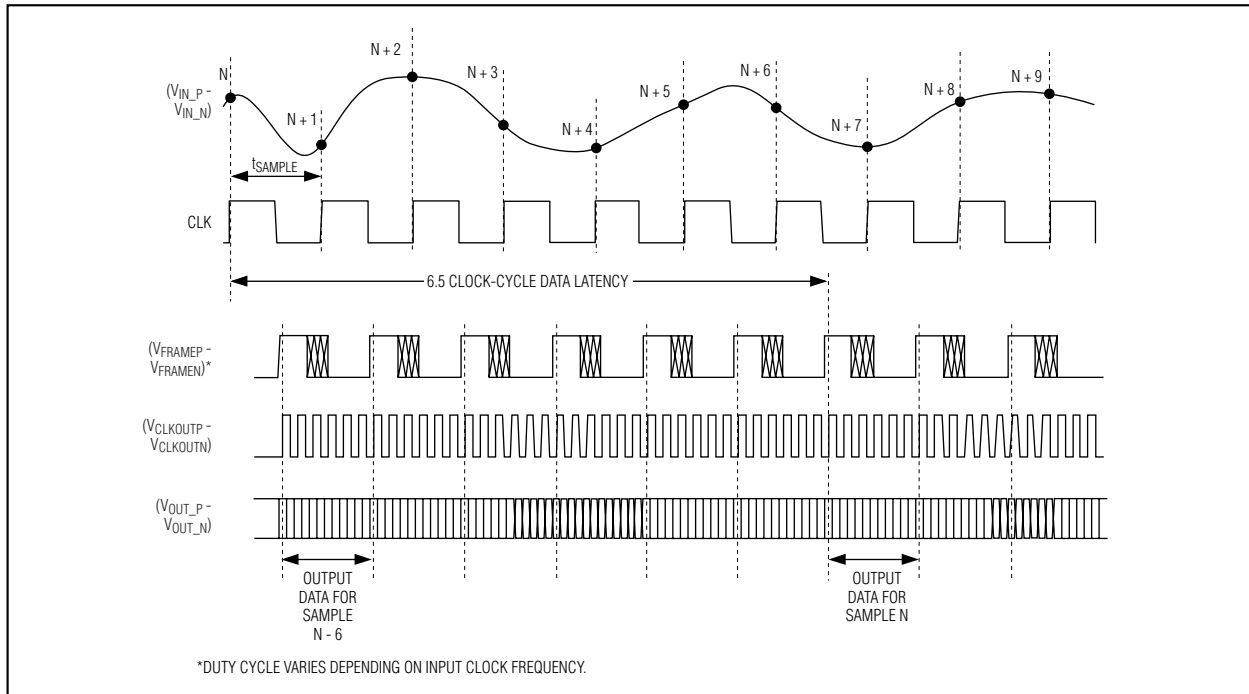


図3. グローバルタイミング図

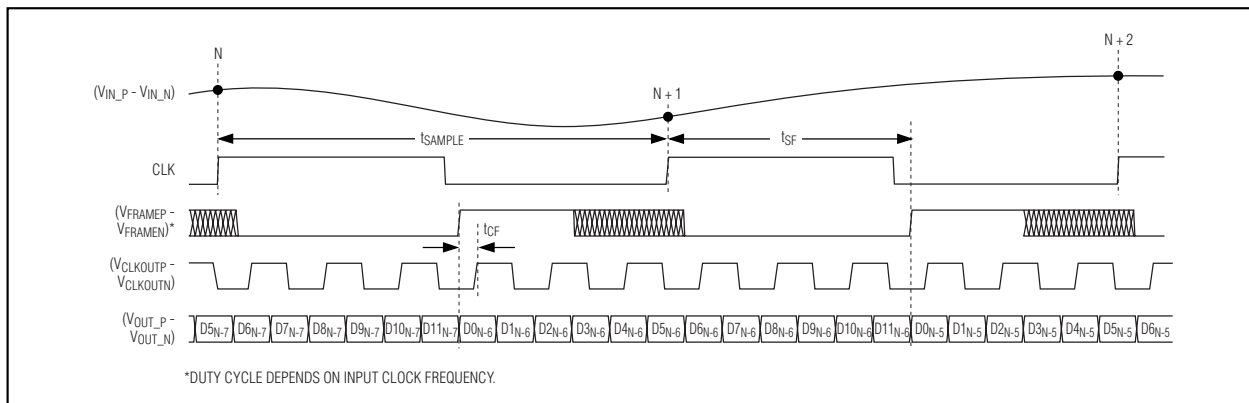


図4. 2変換タイミング詳細図

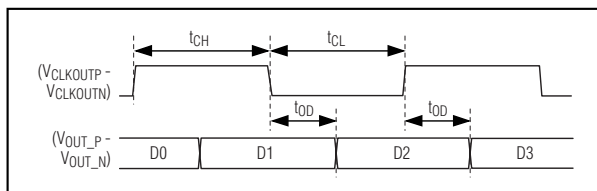


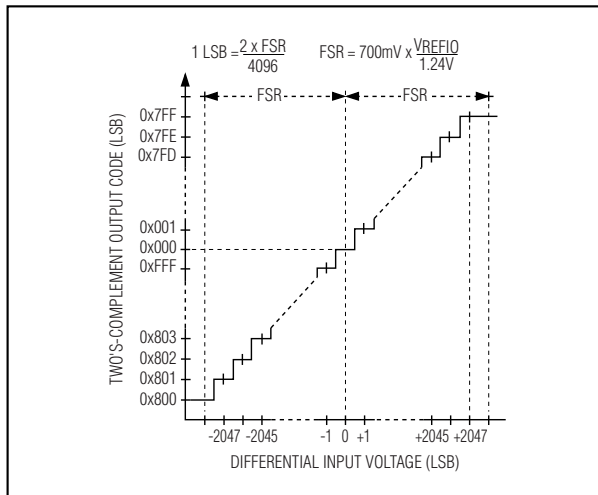
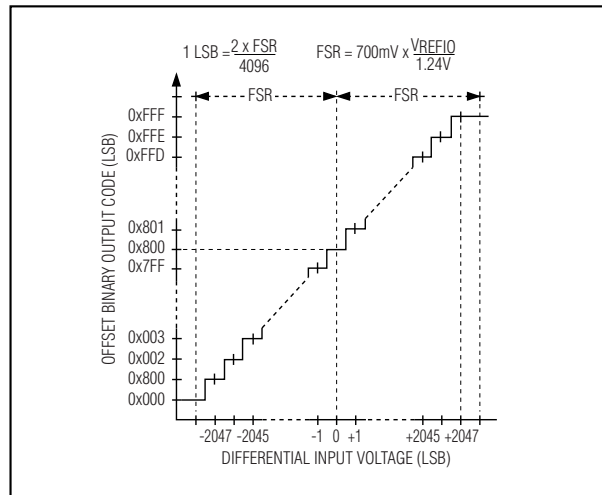
図5. シリアル化出力タイミング詳細図



# シリアルLVDS出力付き、 オクタル、12ビット、40Msps、1.8V ADC

表2. 出力コード表( $V_{REFIO} = 1.24V$ )

TWO'S-COMPLEMENT DIGITAL OUTPUT CODE ( $\bar{T}/B = 0$ )			OFFSET BINARY DIGITAL OUTPUT CODE ( $\bar{T}/B = 1$ )			$V_{IN\_P} - V_{IN\_N}$ (mV) ( $V_{REFIO} = 1.24V$ )
BINARY D11 → D0	HEXADECIMAL EQUIVALENT OF D11 → D0	DECIMAL EQUIVALENT OF D11 → D0	BINARY D11 → D0	HEXADECIMAL EQUIVALENT OF D11 → D0	DECIMAL EQUIVALENT OF D11 → D0	
0111 1111 1111	0x7FF	+2047	1111 1111 1111	0xFFF	+4095	+699.66
0111 1111 1110	0x7FE	+2046	1111 1111 1110	0xFFE	+4094	+699.32
0000 0000 0001	0x001	+1	1000 0000 0001	0x801	+2049	+0.34
0000 0000 0000	0x000	0	1000 0000 0000	0x800	+2048	0
1111 1111 1111	0xFFF	-1	0111 1111 1111	0x7FF	+2047	-0.34
1000 0000 0001	0x801	-2047	0000 0000 0001	0x001	+1	-699.66
1000 0000 0000	0x800	-2048	0000 0000 0000	0x000	0	-700.00

図6. 2の補数の伝達関数( $\bar{T}/B = 0$ )図7. バイナリの伝達関数( $\bar{T}/B = 1$ )

## 出力データ形式( $\bar{T}/B$ )、伝達関数

MAX1436Bの出力データ形式は、ロジック入力 $\bar{T}/B$ に応じて、オフセットバイナリか、または2の補数のいずれかの形式になります。 $\bar{T}/B$ がローの場合は、出力データ形式は2の補数です。 $\bar{T}/B$ が高い場合は、出力データ形式はオフセットバイナリです。次式、表2、図6および図7によって、デジタル出力とアナログ入力との関係が定義されます。2の補数( $\bar{T}/B = 0$ )の場合は、

$$V_{IN\_P} - V_{IN\_N} = FSR \times 2 \times \frac{CODE_{10}}{4096}$$

オフセットバイナリ( $\bar{T}/B = 1$ )の場合は、

$$V_{IN\_P} - V_{IN\_N} = FSR \times 2 \times \frac{CODE_{10} - 2048}{4096}$$

ここで、 $CODE_{10}$ は、表2に示すようにデジタル出力コードの10進数に相当します。

MAX1436Bのデジタル出力の容量性負荷は、できる限り小さくしてください。



# シリアルLVDS出力付き、 オクタル、12ビット、40MSPS、1.8V ADC

MAX1436B

## LVDSおよびSLVS信号(SLVS/LVDS)

MAX1436Bの出力(OUT\_P、OUT\_N、CLKOUTP、CLKOUTN、FRAMEP、およびFRAMEN)をLVDSレベルにする場合はSLVS/LVDSをローにして、SLVSレベルにする場合はSLVS/LVDSをハイにしてください。SLVSレベルにする場合は、DTをハイにして、2重終端をイネーブルしてください。LVDSおよびSLVSの出力電圧レベルについては、「Electrical Characteristics (電気的特性)」表を参照してください。

## LVDSテストパターン(LVDSTEST)

すべてのLVDSまたはSLVS出力チャンネルで出力テストパターンをイネーブルするには、LVDSTESTをハイにしてください。出力テストパターンは、0000 1011 1101です。通常動作にするには、LVDSTESTをローにしてください(テストパターンはディセーブル)。

## コモンモード出力(CMOUT)

CMOUTは、DC結合アナログ入力用のコモンモードリファレンスを備えています。入力がDC結合される場合は、MAX1436Bを駆動する回路の出力コモンモード電圧と $V_{CMOUT}$ の出力電圧を $\pm 50\text{mV}$ 以内で一致させてください。駆動回路の出力コモンモード電圧をCMOUTから取得することを推奨します。

## 2重終端(DT)

MAX1436Bは、差動出力ペア(OUT\_PおよびOUT\_N、CLKOUTPおよびCLKOUTN、FRAMEPおよびFRAMEN)の間にオプションの $100\Omega$ 終端を内蔵しています。ライン遠端部の終端のほかに出力部に直接配置される別の終端も、ライン上の望ましくない反射を排除するのに役立ちます。配線長が長く(5インチ以上)、またはインピーダンスが一致しないアプリケーションでは、この機能は有効です。2重終端を選択するにはDTをハイにし、また内蔵終端抵抗器を未接続にする(単一終端)にはDTをローにしてください。2重終端を選択すると、 $OV_{DD}$ の消費電流が増大します(図8を参照)。

## スタンバイモード

MAX1436Bは、変換が不要なときに低電力状態に遷移して、電力を効率的に使用するスタンバイモードを備えています。STBYによって、すべてのチャンネルと内部リファレンス回路のスタンバイモードを制御します。リファレンスは、スタンバイモードでは電源切断されません。スタンバイをイネーブルするには、STBYをハイにしてください。スタンバイモードでは、DTがローの場合は、すべてのLVDS/SLVSの出力の出力インピーダンスは約 $342\Omega$ です。差動LVDS/SLVS出力の出力インピーダンスは、DTがハイの場合は、 $100\Omega$ です。スタンバイ中の標準消費電流については、「Electrical Characteristics (電気的特性)」表を参照してください。以下は、スタンバイモードにおけるアナログ入力とデジタル出力の状態を示しています。

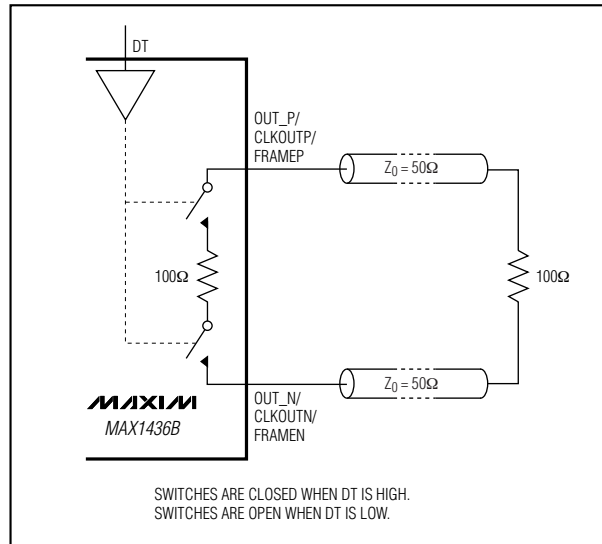


図8. 2重終端

- IN\_P、IN\_Nのアナログ入力は内蔵入力アンプから切断。
- リファレンス回路はアクティブ状態を維持。
- OUT\_P、OUT\_N、CLKOUTP、CLKOUTN、FRAMEP、およびFRAMENは、DTがローの場合は出力ペア間に約 $342\Omega$ を保持。DTがハイの場合は、差動出力ペアは各ペア間に $100\Omega$ を保持。

内部リファレンスモードでの動作時に、このコンバータがスタンバイモードから抜け出る際には、起動し、安定するには、MAX1436Bに $200\mu\text{s}$ が必要です。スタンバイモードから抜け出るには、STBY、印加制御信号がハイからローに遷移する必要があります。外部リファレンスを使用している場合は、ウェイクアップ時間は外部リファレンスドライバに依存します。

## アプリケーション情報

### 内部リファレンスによるフルスケール範囲の調整

MAX1436Bは、10% ( $\pm 5\%$ )のフルスケール調整範囲をサポートしています。フルスケール範囲を縮小するには、 $25\text{k}\Omega \sim 250\text{k}\Omega$ の外付け抵抗器またはポテンショメータ( $R_{ADJ}$ )をREFADJとGNDの間に追加してください。フルスケール範囲を拡大するには、 $25\text{k}\Omega \sim 250\text{k}\Omega$ の抵抗器をREFADJとREFIOの間に追加してください。図9は、2つの可能な構成を示しています。

次式は、 $R_{ADJ}$ とアナログフルスケール範囲の変更との関係を示しています。

$$FSR = 0.7V \left( 1 + \frac{1.25\text{k}\Omega}{R_{ADJ}} \right)$$

REFADJとREFIOの間に接続された $R_{ADJ}$ の場合は、

# シリアルLVDS出力付き、 オクタル、12ビット、40Msps、1.8V ADC

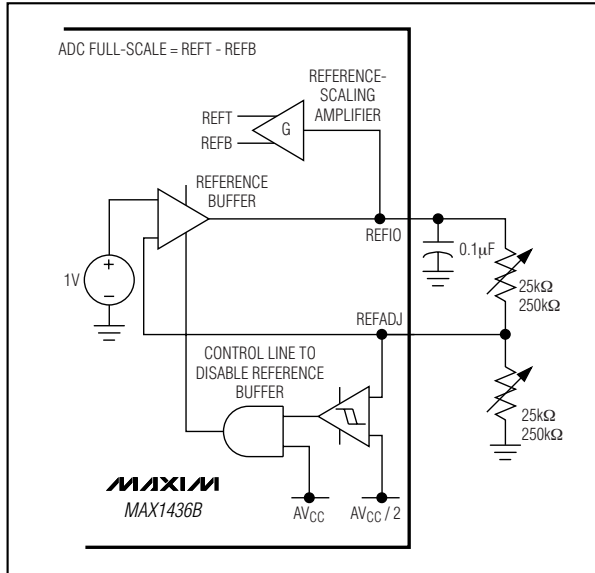


図9. ADCのフルスケール範囲を調整する回路例

$$FSR = 0.7V \left( 1 - \frac{1.25k\Omega}{R_{ADJ}} \right)$$

REFADJとGNDの間に接続された $R_{ADJ}$ の場合。

## トランス結合の使用

RFトランス(図10)は、シングルエンド入力源信号を完全差動信号に変換する卓越したソリューションを提供します。MAX1436Bの入力共通モード電圧は、 $f_{CLK} = 40\text{MHz}$ の場合、 $0.76\text{V}$  (typ)に内部でバイアスされます。ここでは1:1のトランスが示されていますが、ステップアップトランスを選択すると、駆動要件を緩和することができます。また、オペアンプなどの入力ドライバからの信号振幅が低減すると、全体的な歪みを改善することもできます。

## グラウンド、バイパス、および基板レイアウト

MAX1436Bには、高速基板レイアウトの設計手法が必要です。基板レイアウトのリファレンスについては、MAX1434/MAX1436/MAX1436B/MAX1437/MAX1438のEVキットのデータシートを参照してください。インダクタンスを最小限に抑えるために、表面実装デバイスを使って、全バイパスコンデンサをデバイスにできるだけ近接して、できればADCと同じ面に配置してください。0.1µFのセラミックコンデンサと並列に、0.1µFのセラミックコンデンサで $AV_{DD}$ をGNDにバイパスしてください。2.2µF以上のセラミックコンデンサと並列に0.1µFのセラミックコンデンサで $OV_{DD}$ をGNDにバイパスしてください。2.2µF以上のセラミックコン

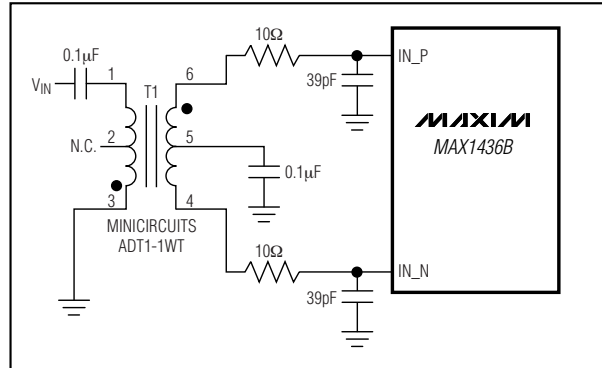


図10. トランス結合クロック入力駆動

デンサと並列に0.1µFのセラミックコンデンサで $CV_{DD}$ をGNDにバイパスしてください。

広いグラウンドプレーンと電源プレーンの多層基板は、最高レベルの信号完全性を実現します。MAX1436Bのグラウンドピンと裏面エクスポーズドパッドを同じグラウンドプレーンに接続してください。MAX1436Bは、裏面エクスポーズドパッドの接続によって、低インダクタンスのグラウンド接続ができます。グラウンドプレーンは、ノイズの多いデジタルシステムのグラウンドプレーンから分離してください。

高速デジタル信号配線は、敏感なアナログトレースから離して配線してください。どの信号ラインも短くして、直角に曲げないでください。

差動アナログ入力回路のレイアウトを対称的にして、すべての寄生要素を均等にバランスを取ってください。対称的な入力レイアウト例については、MAX1434/MAX1436/MAX1436B/MAX1437/MAX1438のEVキットのデータシートを参照してください。

## パラメータ定義

### 積分非直線性(INL)

積分非直線性は、実際の伝達関数の値の、直線からの偏差です。MAX1436Bの場合、この直線は、オフセット誤差および利得誤差がヌルにされた後の、伝達関数の各端点の間にあります。INLの偏差は全ステップで測定され、ワーストケースの偏差は「Electrical Characteristics (電气的特性)」表に示されています。

### 微分非直線性(DNL)

微分非直線性は、1 LSBの実際のステップの幅と理想値との差です。1 LSB以下のDNL誤差規格は、ミッシングコードのない単調伝達関数を保証しています。MAX1436Bの場合、DNLの偏差は全ステップで測定され、ワーストケースの偏差は「Electrical Characteristics (電气的特性)」表に示されています。

# シリアルLVDS出力付き、 オクタル、12ビット、40Msps、1.8V ADC

MAX1436B

## オフセット誤差

オフセット誤差は、実際の伝達関数がシングルポイントで理想的な伝達関数と一致している程度を示す性能指数です。MAX1436Bの場合は、アナログ入力全体にわたって-1/2のLSBがあると、理想的なミッドスケールデジタル出力遷移が行われます(図6および図7)。バイポーラオフセット誤差は、測定したミッドスケール遷移点と理想的なミッドスケール遷移点との偏差の大きさです。

## 利得誤差

利得誤差は、実際の伝達関数の傾きが理想的な伝達関数の傾きと一致している程度を示す性能指数です。MAX1436Bの場合は、測定されたフルスケール遷移点とゼロスケール遷移点との差から、理想的なフルスケール遷移点とゼロスケール遷移点との差を引いたものが利得誤差です。

バイポーラデバイス(MAX1436B)の場合は、フルスケール遷移点は2の補数出力形式では0x7FE~0x7FFで(オフセットバイナリでは0xFFE~0xFFF)、ゼロスケール遷移点は2の補数で0x800~0x801です(オフセットバイナリでは0x000~0x001)。

## クロストーク

クロストークは、各アナログ入力が他のアナログ入力から分離されている程度を示します。MAX1436Bの場合は、19.3MHz、-0.5dBFSのアナログ信号が1つのチャンネルに印加され、また別のチャンネルに5.3MHz、-0.5dBFSのアナログ信号が印加されます。5.3MHzのアナログ信号が印加されたチャンネルで、FFTが実行されます。このFFTから、クロストークは5.3MHzと19.3MHzの振幅の差として測定されます。

## アパーチャ遅延

アパーチャ遅延( $t_{AD}$ )は、サンプリングクロックの立ち上がりエッジから、実際のサンプル取得時点までの時間です。図11を参照してください。

## アパーチャジッタ

アパーチャジッタ( $t_{AJ}$ )は、アパーチャ遅延におけるサンプル間のばらつきです。図11を参照してください。

## 信号対ノイズ比(SNR)

デジタルサンプルから完全に再生された波形の場合、理論的SNRは、RMS量子化誤差(残留誤差)に対するフルスケールアナログ入力(RMS値)の比です。理想的な理論上の最小のアナログ-デジタル変換ノイズは量子化誤差のみによって発生し、ADCの分解能(Nビット)から次式から直接求められます。

$$SNR_{dB[max]} = 6.02dB \times N \times 1.76dB$$

実際には、量子化ノイズのほかに、熱雑音、リファレンスノイズ、クロックジッタなどのその他のノイズ源があります。

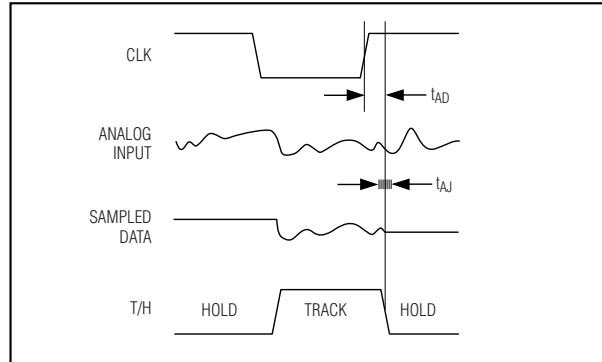


図11. アパーチャジッタ/遅延の様

MAX1436Bの場合は、SNRを算出するには、RMSノイズに対するRMS信号の比を取ります。RMSノイズには、基本波、先頭から6つの高調波(HD2~HD7)、およびDCオフセットを除く、ナイキスト周波数までの全スペクトル成分が含まれます。

## 信号対ノイズ+歪み(SINAD)

SINADを算出するには、RMSノイズ+歪みに対するRMS信号の比を取ります。RMSノイズ+歪みには、基本波とDCオフセットを除く、ナイキスト周波数までの全スペクトル成分が含まれます。

## 有効ビット数(ENOB)

ENOBによって、特定の入力周波数とサンプリングレートにおけるADCのダイナミック性能を規定します。理想的なADCの誤差は、量子化ノイズのみで構成されます。フルスケール正弦波入力波形に対するENOBは、次式から算出されます。

$$ENOB = \left( \frac{SINAD - 1.76}{6.02} \right)$$

## 全高調波歪み(THD)

THDは、基本波そのものに対する、入力信号の先頭から6つの高調波のRMS合計の比です。これは、次式のように表されます。

$$THD = 20 \times \log \left( \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2 + V_7^2}}{V_1} \right)$$

## スプリアスフリー、ダイナミックレンジ(SFDR)

SFDRは、2番目に大きなスプリアス成分(DCオフセットを除く)のRMS値に対する、基本波(最大信号成分)のRMS振幅の比をデシベル単位で表したものです。SFDRは、キャリアに対するデシベル値で表されます(dBc)。

# シリアルLVDS出力付き、 オクタル、12ビット、40Msps、1.8V ADC

## 相互変調歪み(IMD)

IMDは、2つの入力トーン $f_1$ および $f_2$ の総入力パワーに対する、ナイキスト周波数までのIM2からIM5の相互変調積の総パワーです。各入力トーンレベルは、-6.5dBFSです。相互変調積は、以下のとおりです。

- 2次相互変調積(IM2) :  $f_1 + f_2$ 、 $f_2 - f_1$
- 3次相互変調積(IM3) :  $2 \times f_1 - f_2$ 、 $2 \times f_2 - f_1$ 、 $2 \times f_1 + f_2$ 、 $2 \times f_2 + f_1$
- 4次相互変調積(IM4) :  $3 \times f_1 - f_2$ 、 $3 \times f_2 - f_1$ 、 $3 \times f_1 + f_2$ 、 $3 \times f_2 + f_1$
- 5次相互変調積(IM5) :  $3 \times f_1 - 2 \times f_2$ 、 $3 \times f_2 - 2 \times f_1$ 、 $3 \times f_1 + 2 \times f_2$ 、 $3 \times f_2 + 2 \times f_1$

## 3次相互変調(IM3)

IM3は、2つの入力トーン $f_1$ および $f_2$ の総入力パワーに対する、ナイキスト周波数までの3次相互変調積の総パワーです。各入力トーンレベルは、-6.5dBFSです。3次相互変調積は、 $2 \times f_1 - f_2$ 、 $2 \times f_2 - f_1$ 、 $2 \times f_1 + f_2$ 、 $2 \times f_2 + f_1$ です。

## 小信号帯域幅

信号のスルーレートがADCの性能を制限しないように、-20.5dBFSのアナログ入力小信号がADCに印加されます。次に、デジタル変換結果の振幅が-3dB低減した点まで入力周波数がスイープされます。

## フルパワー帯域幅

-0.5dBFSのアナログ入力大信号がADCに印加され、デジタル変換結果の振幅が-3dB低減した点まで入力周波数がスイープされます。この点は、フルパワー入力帯域幅周波数として定義されます。

## 利得マッチング

利得マッチングは、8つの全ADCチャンネルの利得が互いに一致している程度を示す性能指数です。MAX1436Bの場合は、同じ5.3MHz、-0.5dBFSのアナログ信号を全アナログ入力チャンネルに印加して、利得マッチングが測定されます。これらのアナログ入力は40Mspsでサンプリングされ、振幅の最大偏差は「Electrical Characteristics (電気的特性)」表に利得マッチングとしてdB単位で示されています。

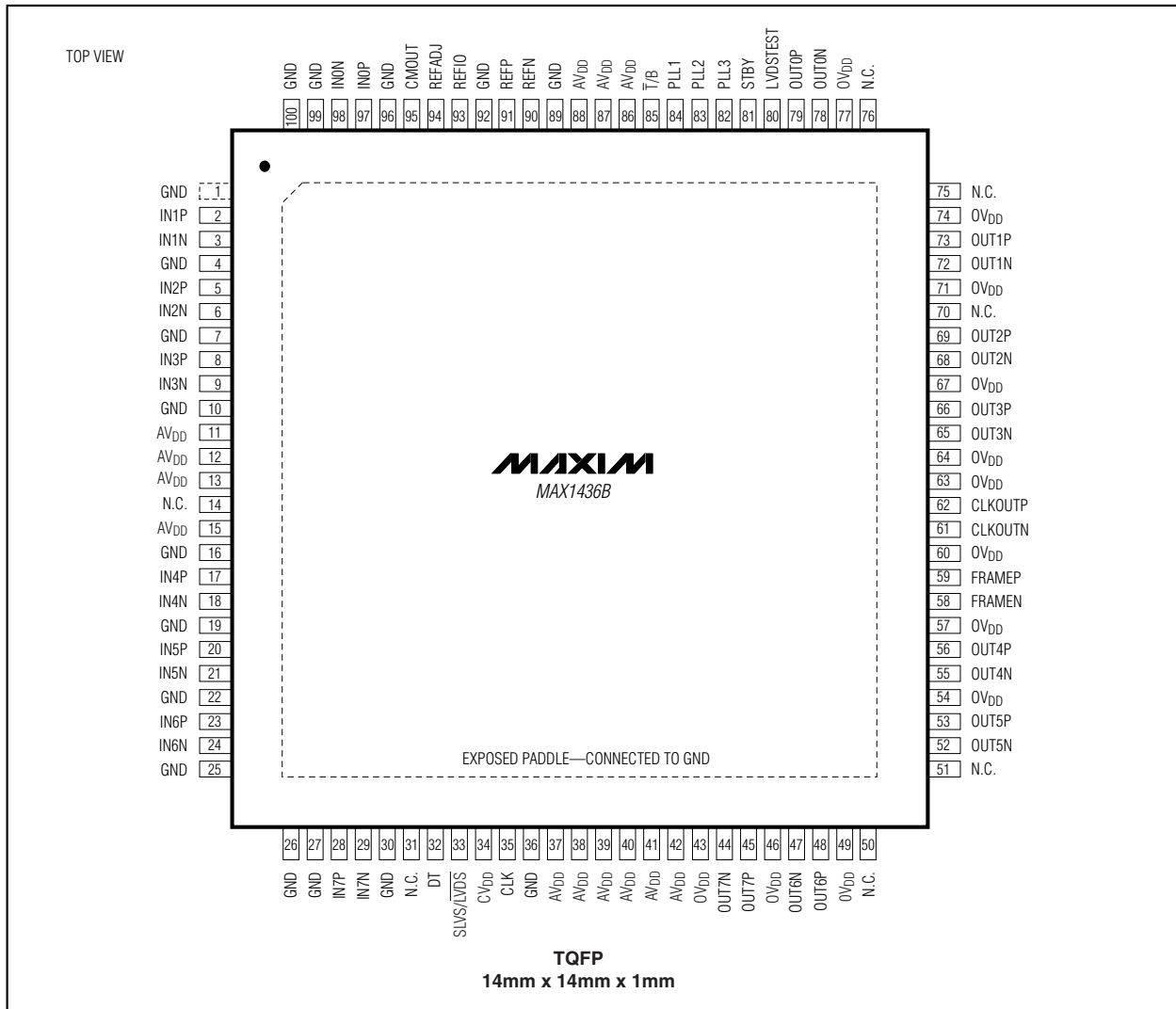
## 位相マッチング

位相マッチングは、8つの全ADCチャンネルの位相が互いに一致している程度を示す性能指数です。MAX1436Bの場合は、同じ5.3MHz、-0.5dBFSのアナログ信号を全アナログ入力チャンネルに印加して、位相マッチングが測定されます。これらのアナログ入力は40Mspsでサンプリングされ、位相の最大偏差は「Electrical Characteristics (電気的特性)」表に位相マッチングとして度の単位で示されています。

# シリアルLVDS出力付き、 オクタル、12ビット、40MSPS、1.8V ADC

## ピン配置

**MAX1436B**



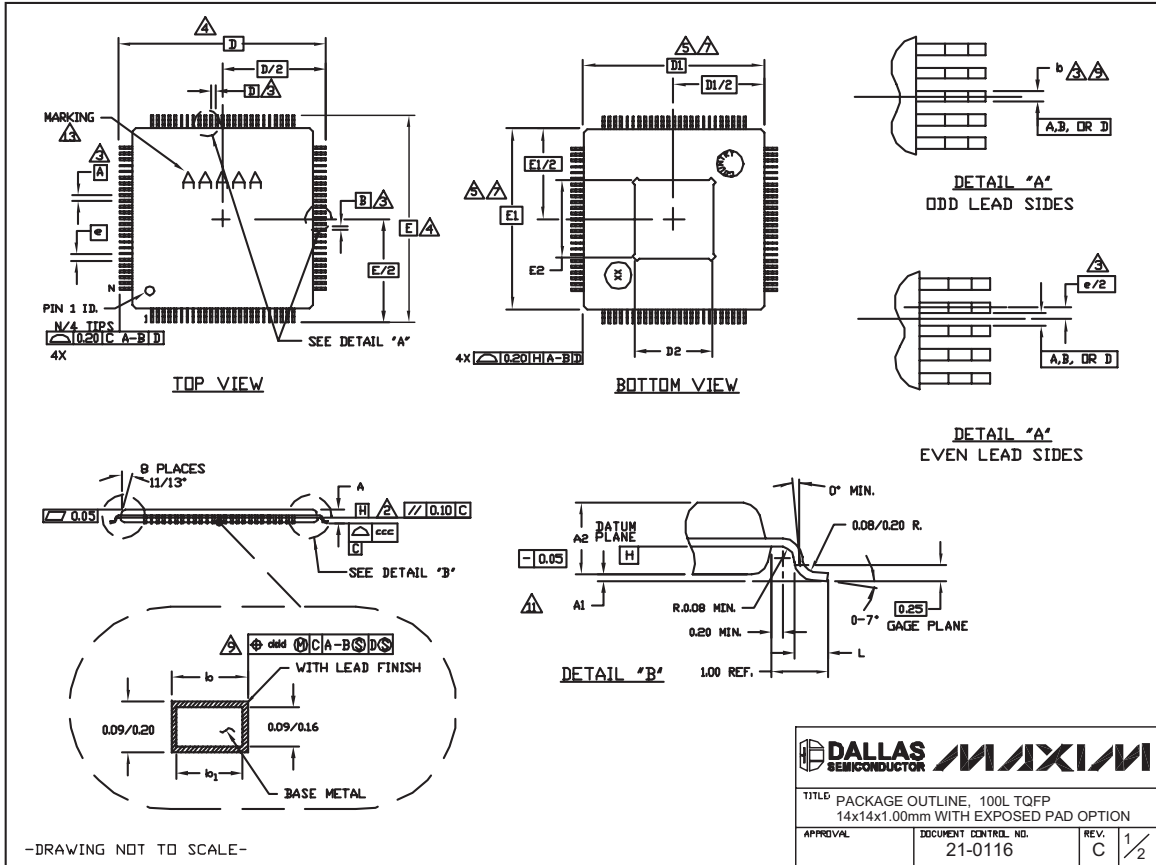
# シリアルLVDS出力付き、 オクタル、12ビット、40MSPS、1.8V ADC

**MAX1436B**

## パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、[japan.maxim-ic.com/packages](http://japan.maxim-ic.com/packages)をご参照下さい。)

MAX1436Bのエクスポーズドパッド付きパッケージのコードはC100E-2です。



14x14x1.00L TQFP, EXP. PAD.EPS



# シリアルLVDS出力付き、 オクタル、12ビット、40Msps、1.8V ADC

MAX1436B

## パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、[japan.maxim-ic.com/packages](http://japan.maxim-ic.com/packages)をご参照下さい。)

MAX1436のエクスポーズドパッド付きパッケージのコードはC100E-2です。

**NOTES:**

- ALL DIMENSIONING AND TOLERANCING CONFORM TO ASME Y14.5M-1994.
- DATUM PLANE [H] LOCATED AT MOLD PARTING LINE AND COINCIDENT WITH LEAD, WHERE LEAD EXITS PLASTIC BODY AT BOTTOM OF PARTING LINE.
- DATUM [A-B] AND [D] TO BE DETERMINED AT CENTERLINE BETWEEN LEADS WHERE LEADS EXITS PLASTIC BODY AT DATUM PLANE H.
- TO BE DETERMINED AT SEATING PLANE [C].
- DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE MOLD PROTRUSION IS 0.254mm ON D1 AND E1 DIMENSIONS.
- "N" IS THE TOTAL NUMBER OF TERMINALS.
- THESE DIMENSIONS TO BE DETERMINED AT DATUM PLANE [H].
- THE TOP OF PACKAGE IS SMALLER THAN THE BOTTOM OF PACKAGE BY 0.15mm.
- DIMENSIONS b DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08mm TOTAL IN EXCESS OF THE b DIMENSION AT MAXIMUM MATERIAL CONDITION. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE FOOT.
- THIS OUTLINE CONFORMS TO JEDEC MS-026.
- A1 IS DEFINED AS THE DISTANCE FROM THE SEATING PLANE TO THE LOWEST POINT OF THE PACKAGE BODY.
- EXPOSED DIE PAD SHALL BE COPLANAR WITH BOTTOM OF PACKAGE WITHIN 0.05mm.
- MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY.

ALL DIMENSIONS ARE IN MILLIMETERS				
	MIN.	NOM.	MAX.	NOTES
A			1.20	
A1	0.05		0.15	11
A2	0.95	1.00	1.05	
D		16.00 BSC.		4
D1		14.00 BSC.		7,8
E		16.00 BSC.		4
E1		14.00 BSC.		7,8
L	0.45	0.60	0.75	
N		100		
#		0.50 BSC.		
b	0.17	0.22	0.27	9
b1	0.17	0.20	0.23	
ccc			0.08	
ddd			0.08	

PKG. CODE	D2			E2		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
C100E-2	7.7	8.0	8.3	7.7	8.0	8.3
C100E-3	6.2	6.5	6.8	6.2	6.5	6.8
C100E-6	4.7	5.0	5.3	4.7	5.0	5.3

**DALLAS** **REMICONDUCTOR** **MAXIM**

TITLE PACKAGE OUTLINE, 100L TQFP  
14x14x1.00mm WITH EXPOSED PAD OPTION

APPROVAL	DOCUMENT CONTRL. NO.	REV.	
	21-0116	C	2/2

-DRAWING NOT TO SCALE-

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)  
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 \_\_\_\_\_ 23

© 2006 Maxim Integrated Products, Inc. All rights reserved. **MAXIM** is a registered trademark of Maxim Integrated Products, Inc.