

# MAX1434/MAX1436/MAX1437/MAX1438の 評価キット

## 概要

MAX1434/MAX1436/MAX1437/MAX1438の評価キット(EVキット)は、オクタル10/12ビットA/Dコンバータ(ADC)のファミリの性能評価に必要な部品をすべて含む、完全に実装された試験済みの回路基板です。これらのADCは、差動アナログ入力信号で動作します。EVキットは、これらの信号をユーザが提供するシングルエンドの入力ソースから生成します。EVキットのデジタル出力信号は、ユーザが提供する高速ロジックアナライザやデータ収集システムを使用して容易にサンプリングすることができます。また、EVキットは、標準ロジック解析システムとの統合を簡単にするデシリアライザを内蔵しています。EVキットは、1.8Vと3.3V(FPGAが使用される場合はさらに1.5Vが加わります)電源で動作し、ユーザが提供するAC信号からクロック信号を生成する回路を内蔵しています。

## 部品選択表

PART NUMBER	BITS	SPEED (MSPS)
MAX1434ECQ	10	50
MAX1436ECQ	12	40
MAX1437ECQ	12	50
MAX1438ECQ	12	65

## 共通部品リスト

DESIGNATION	QTY	DESCRIPTION
C1-C8, C10, C11, C12, C57-C64, C81-C85, C139, C140, C147-C156	36	0.1 $\mu$ F $\pm$ 10%, 10V X5R ceramic capacitors (0402) TDK C1005X5R1A104K
C9, C29-C44, C56, C77, C78, C80, C92, C93, C134-C137, C146	28	1.0 $\mu$ F $\pm$ 10%, 6.3V X5R ceramic capacitors (0402) TDK C1005X5R0J105K
C13-C20, C65-C72	0	Not installed, ceramic capacitors (0603)
C21-C28, C126-C133	16	39pF $\pm$ 5%, 50V C0G ceramic capacitors (0402) TDK C1005C0G1H390J

## 特長

- ◆ 低電圧および低電力動作
- ◆ オプションのクロック整形回路を内蔵
- ◆ 拡張性の高いシリアル低電圧信号(SLVS)/低電圧差動信号(LVDS)出力
- ◆ LVPECL差動出力ドライバを内蔵
- ◆ デシリアライザを内蔵
- ◆ LVDSテストモード
- ◆ 完全実装および試験済み

## 型番

PART	TEMP RANGE*	IC PACKAGE
MAX1434EVKIT	0°C to +70°C	100 TQFP-EP†
MAX1436EVKIT	0°C to +70°C	100 TQFP-EP†
MAX1437EVKIT	0°C to +70°C	100 TQFP-EP†
MAX1438EVKIT	0°C to +70°C	100 TQFP-EP†

\* EVキットプリント基板の温度範囲のみ

† EP = エクスポートパッド

DESIGNATION	QTY	DESCRIPTION
C45, C46, C47, C86-C89, C143	8	220 $\mu$ F $\pm$ 20%, 6.3V tantalum capacitors (C-case) AVX TPSC227M006R0250
C48, C49, C50, C144	0	Not installed, capacitors (C-case)
C51, C52, C53, C90, C91, C145	6	10 $\mu$ F $\pm$ 10%, 10V X5R ceramic capacitors (1210) TDK C3225X5R1A106K
C54	1	2.2 $\mu$ F $\pm$ 20%, 6.3V X5R ceramic capacitor (0603) TDK C1608X5R0J225M
C55, C157-C176	21	0.01 $\mu$ F $\pm$ 10%, 25V X7R ceramic capacitors (0402) TDK C1005X7R1E103K
C73-C76, C122-C125	0	Not installed, ceramic capacitors (0402)

# MAX1434/MAX1436/MAX1437/MAX1438の 評価キット

## 共通部品リスト(続き)

DESIGNATION	QTY	DESCRIPTION
C79, C138, C142	3	10 $\mu$ F $\pm$ 10%, 4V X5R ceramic capacitors (0603) TDK C1608X5R0G106K
C94-C121	28	0.1 $\mu$ F $\pm$ 20%, 6.3V X5R ceramic capacitors (0201) TDK C0603X5R0J104M
C141	1	100 $\mu$ F $\pm$ 20%, 6.3V X5R ceramic capacitor (1210) TDK C3225X5R0J107M
D1	1	Dual Schottky diode (SOT23) Zetex BAS70-04 or Central Semiconductor CMPD6263S or Diodes INC BAS70-04
D2, D3	2	Green surface-mount LEDs (0603)
IN0-IN7, CLOCK	9	SMA PC mount vertical connectors
J1-J8, JU14	9	2-pin headers
J9-J13, J15	6	Dual-row, 40-pin (2 x 20) headers
J14	1	9-pin header
JU1-JU11, JU13	12	3-pin headers
JU12	1	Dual-row, 8-pin (2 x 4) header
N1	1	Digital logic n-channel MOSFET (SOT23) Central Semiconductor 2N7002
R1-R8, R22-R25, R62-R73	0	Not installed, resistors (0603)
R9-R16, R26-R35, R77-R81, R87-R93, R98	0	Not installed, resistors (0402)
R17-R21, R58-R61	9	49.9 $\Omega$ $\pm$ 1% resistors (0603)
R36, R105-R133	30	49.9 $\Omega$ $\pm$ 1% resistors (0402)
R37-R44, R74, R75, R76, R82-R86	16	10 $\Omega$ $\pm$ 1% resistors (0805)

DESIGNATION	QTY	DESCRIPTION
R45-R50, R100-R103	10	100 $\Omega$ $\pm$ 1% resistors (0603)
R51	1	100k $\Omega$ potentiometer, 19-turn, 3/8in
R52, R53, R56	3	4.02k $\Omega$ $\pm$ 1% resistors (0603)
R54	1	5k $\Omega$ potentiometer, 19-turn, 3/8in
R55	1	2k $\Omega$ $\pm$ 1% resistor (0603)
R57	1	13.0k $\Omega$ $\pm$ 1% resistor (0603)
R94, R95	2	4.7k $\Omega$ $\pm$ 5% resistors (0603)
R96, R97	2	330 $\Omega$ $\pm$ 5% resistors (1206)
R99	1	162 $\Omega$ $\pm$ 1% resistor (0603)
R104	1	10k $\Omega$ $\pm$ 5% resistor (0603)
SW1	1	Momentary contact switch
T1-T8	8	1:1 800MHz RF transformers Mini-Circuits ADT1-1WT
TP1-TP8, TP13, TP14, TP15	0	Test points, not installed
TP9-TP12	4	PC test points (red)
TP16	1	PC test point (black)
U1	1	See EV kit specific component list
U2	1	Single LVDS line receivers (8-pin SO) Maxim MAX9111ESA
U3	1	Low-noise, low-distortion op amp (5-pin SOT23) Maxim MAX4250EUK
U4	1	TinyLogic UHS dual inverter (6-pin SC70) Fairchild NC7WZ04P6X
U5	1	Virtex II platform FPGA (FGBGA-256) Xilinx XC2V80-5FG256C or Xilinx XC2V80-5FG256I
U6	1	PROM (SO-20) Xilinx XC18V01SO20C
U7-U16	10	LVDS/anything-to-LVPECL translators (8-pin $\mu$ MAX <sup>®</sup> ) Maxim MAX9375EUA
None	14	Shunts (JU1-JU14)
None	1	MAX1434/MAX1436/MAX1437/ MAX1438 EV kit PC board

$\mu$ MAXIはMaxim Integrated Products, Inc.の登録商標です。

# MAX1434/MAX1436/MAX1437/MAX1438の 評価キット

## EVキットの部品リスト

EV KIT PART NUMBER	DESIGNATION	DESCRIPTION
MAX1434EVKIT	U1	MAX1434ECQ (100 TQFP-EP 14mm x 14mm x 1mm)
MAX1436EVKIT		MAX1436ECQ (100 TQFP-EP 14mm x 14mm x 1mm)
MAX1437EVKIT		MAX1437ECQ (100 TQFP-EP 14mm x 14mm x 1mm)
MAX1438EVKIT		MAX1438ECQ (100 TQFP-EP 14mm x 14mm x 1mm)

## 部品メーカー

SUPPLIER	PHONE	FAX	WEBSITE
AVX	843-946-0238	843-626-3123	www.avxcorp.com
Central Semiconductor	631-435-1110	631-435-1824	www.centalsemi.com
Diodes Inc.	805-446-4800	805-446-4850	www.diodes.com
Fairchild Semiconductor	888-522-5372	—	www.fairchildsemi.com
Mini-Circuits	718-934-4500	718-934-7092	www.minicircuits.com
TDK	847-803-6100	847-390-4405	www.component.tdk.com
Zetex USA	631-543-7100	631-864-7630	www.zetex.com

注：上記の部品メーカーに連絡する際は、MAX1434、MAX1436、MAX1437、またはMAX1438を使用していることをお知らせください。

## クイックスタート

### 推奨機器

- DC電源：
  - クロック(CVDD) 3.3V、100mA
  - アナログ(AVDD) 1.8V、500mA
  - デジタル(OVDD) 1.8V、150mA
- オプション
  - バッファ(VPECL) 3.3V、400mA
  - デシリアライザコア(VD1.5) 1.5V、200mA
  - デシリアライザ I/O(VD3.3) 3.3V、200mA
- 信号発生器、クロック入力信号用低位相ノイズ、低ジッタ(例：HP 8662A、HP 8644B)
- 信号発生器、アナログ信号入力用(例：HP 8662A、HP 8644B)
- ロジックアナライザまたはデータ収集システム(例：HP 16500C、TLA715)
- アナログバンドパスフィルタ、入力信号およびクロック信号用(例：Allen Avionics、K&L Microwave)
- デジタルボルトメータ

### 手順

EVキットは、完全実装された試験済みの表面実装基板です。以下のステップに従って基板の動作を確認してください。すべての接続が終了するまでは電源をオンにしたり信号発生器をイネーブルしたりしないでください。

- シャントが下記の位置に取り付けられていることを確認してください。
  - JU1(ピン2~3) → 単一終端
  - JU2(ピン2~3) → LVDS出力
  - JU3(ピン2~3) → 通常動作
  - JU4(ピン2~3) → ADCイネーブル
  - JU7(ピン2~3) → 2の補数出力
  - JU8(ピン2~3) → FPGAイネーブル
  - JU9、JU10、JU11(ピン2~3) → FPGAからのチャンネル0~3出力
  - JU12(ピン3~4) → 内部リファレンスイネーブル
  - JU14(取付けなし) → 外部リファレンスバッファを分離
- 具体的なEVキットを構成するためにシャントが下記の位置に取り付けられていることを確認してください。
  - JU5(ピン1~2)、JU6(ピン2~3)、JU13(ピン2~3) → MAX1434 EVキットに対する39MHz~50MHzのクロック周波数範囲

# MAX1434/MAX1436/MAX1437/MAX1438の 評価キット

- b) JU5(ピン1~2)、JU6(ピン2~3)、JU13(ピン2~3) → MAX1436 EVキットに対する32.5MHz~40MHzのクロック周波数範囲
  - c) JU5、JU6、JU13(ピン2~3) → MAX1437 EVキットに対する45MHz~50MHzのクロック周波数範囲
  - d) JU5、JU6、JU13(ピン2~3) → MAX1438 EVキットに対する45MHz~65MHzのクロック周波数範囲
- 3) クロック信号発生器をクロックバンドパスフィルタの入力に接続してください。
  - 4) クロックバンドパスフィルタの出力をクロックSMAコネクタに接続してください。
  - 5) アナログ入力信号発生器をアナログバンドパスフィルタの入力に接続してください。
  - 6) アナログバンドパスフィルタの出力をIN0~IN7と表示されたSMAコネクタのいずれか1つに接続してください。アナログ入力信号は2ピンヘッダJ1~J8でモニタすることもできます。  
注：8チャンネルすべてを独立にも同時に動作させることができます。
  - 7) ロジックアナライザをヘッダJ9(SLV5またはLVDS対応信号)またはJ10~J13(デシリアライズされた3.3VのCMOS対応信号)のいずれかに接続してください。ヘッダの接続については、本書の「出力ビット位置」の項をご覧ください。
  - 8) 1.8V、500mAの電源をAVDDに接続してください。この電源のグランド端子をGNDに接続してください。
  - 9) 1.8V、150mAの電源をOVDDに接続してください。この電源のグランド端子をGNDに接続してください。
  - 10) 3.3V、100mAの電源をCVDDに接続してください。この電源のグランド端子をGNDに接続してください。
  - 11) 3.3V、400mAの電源をVPECLに接続してください。この電源のグランド端子をGNDに接続してください。
  - 12) 1.5V、200mAの電源をVD1\_5に接続してください。この電源のグランド端子をGNDに接続してください。
  - 13) 3.3V、200mAの電源をVD3\_3に接続してください。この電源のグランド端子をGNDに接続してください。
  - 14) VD3\_3電源をオンにしてください。

- 15) VD1\_5電源をオンにしてください。
- 16) PROGRAMMING LED(D2)とLOCKED LED(D3)がオフであることを確認してください。
- 17) 残りの電源をオンにしてください。
- 18) 信号発生器をイネーブルしてください。クロック信号発生器を、設定信号に指定した振幅2.6V<sub>p-p</sub>以上を出力するように設定してください。アナログ入力信号発生器を、振幅1.4V<sub>p-p</sub>以下の所望の周波数を出力するように設定してください。すべての信号発生器はフェーズロックされるものとします。
- 19) PROGRAMMING LED(D2)がオフであることを確認してください。
- 20) スイッチSW1を瞬間的に押してLOCKED LED(D3)がオンであることを確認してください。
- 21) ロジックアナライザをイネーブルしてください。
- 22) ロジックアナライザを使ってデータを収集してください。

## 詳細

EVキットは、MAX1438、MAX1437、MAX1436、またはMAX1434の性能評価に必要な部品をすべて含む、完全に実装された試験済みの回路基板です。

これらのADCは差動入力信号で動作しますが、実装されたトランス(T1~T8)はIN0~IN7 SMAコネクタに加えられたシングルエンド信号を必要な差動信号に変換します。ADCの入力信号は、差動オシロスコーププローブを使ってヘッダJ1~J8で測定することができます。

出力レベルトランスレータ(U7~U16)は、バッファとして働き、ADCのSLVSまたはLVDS出力信号を種々のロジックアナライザによる取込みが可能な高電圧LVPECL信号に変換します。SLVS/LVDS出力信号はヘッダJ9でアクセスすることができ、LVPECL出力信号はヘッダJ15でアクセスすることができます。

EVキットのプリント基板は、ADCの性能を最適化するために6層基板として設計されています。独立したアナログ、デジタル、クロック、およびバッファ電源プレーンは、アナログ信号とデジタル信号間のノイズ結合を最小限に抑制します。50Ωのコプラナ伝送ラインがアナログとクロックの各入力に使用されます。100Ωの差動コプラナ伝送ラインがすべてのデジタルLVDS出力に使用されます。すべての差動出力は、真のデジタル出力と相補デジタル出力間の100Ωの終端抵抗器で終端されます。100Ωの差動SLVS/LVDSラインのトレース長は、レイアウトに依存するデータスキューを最小にするために数千分の1インチの範囲で整合されています。

# MAX1434/MAX1436/MAX1437/MAX1438の 評価キット

Evaluate: MAX1434/MAX1436/MAX1437/MAX1438

## 電源

最良の性能を得るために、EVキットは独立したアナログ、デジタル、クロック、およびバッファ電源を必要とします。2個の1.8V電源がADCのアナログ(AVDD)部とデジタル(OVDD)部への給電に使用されます。クロック回路(CVDD)には3.3V電源から給電されます。独立した3.3V電源(VPECL)がEVキットの出力バッファ(U7~U16)への給電に使用されます。1.5V(VD1\_5)と3.3V(VD3\_3)の各電源はデシリアライザ回路への給電に必要とされます。

## パワーダウン

ジャンパJU4は、データコンバータU1の電源管理機能を制御します。ジャンパJU4のシャント位置については、表1をご覧ください。

表1. パワーダウンのジャンパ設定(JU4)

SHUNT POSITION	POWER-DOWN CONNECTIONS	EV KIT FUNCTION
1-2	AVDD	ADC disabled
2-3*	GND	ADC enabled

\*デフォルトコンフィギュレーション: JU4(2~3)

## クロック

デフォルトでは、EVキットのCLOCK SMAコネクタに印加されるユーザ提供のAC結合クロック信号が基板上の2個のインバータ(U4)によってバッファ処理されます。このモードでは、ダイオードD1がクロック信号の振幅を制限します。クロック入力をオーバドライブすることによって差動信号のスループレートを増加させることができるため、クロックジッタが抑制されます。信号の周波数はADCの最大サンプリングレートを超えてはなりません。正弦波入力信号周波数( $f_{CLK}$ )がADCのサンプリングレートを決定します。ADCに印加されるクロック信号は、テストポイントTP10で観察することができます。

## オプションのクロック整形回路

EVキットは、さらに、CLOCK SMAコネクタに印加されたAC結合正弦波信号から可変デューティサイクルのクロック信号を生成するクロック整形回路をオプションとして内蔵しています。MAX9111差動ラインレシーバ(U2)は、クロック入力信号を処理し、必要なCMOSクロック信号を生成します。この回路を使用するためには、プリント基板(PC)上のR78でトレースを切断し、0Ω抵抗器をR35とR77に取り付けてください。信号のデューティサイクルは、ポテンショメータR54で調整することができます。3.3Vクロック電源電圧(CVDD)の場合、テストポイントTP12とTP16の両端に1.32V

表2. MAX1434 PLLのジャンパ設定 (JU5、JU6、JU13)

SHUNT POSITION	JUMPER			CLOCK INPUT RANGE (MHz)	
	JU13 (PLL1)	JU6 (PLL2)	JU5 (PLL3)	MIN	MAX
2-3	2-3	2-3	Unused		
2-3*	2-3*	1-2*	39.0	50.0	
2-3	1-2	2-3	27.0	39.0	
2-3	1-2	1-2	19.5	27.0	
1-2	2-3	2-3	13.5	19.5	
1-2	2-3	1-2	9.8	13.5	
1-2	1-2	2-3	6.8	9.8	
1-2	1-2	1-2	4.8	6.8	

\*デフォルトコンフィギュレーション: JU5、JU6(2~3)、JU13(1~2)

表3. MAX1436 PLLのジャンパ設定 (JU5、JU6、JU13)

SHUNT POSITION	JUMPER			CLOCK INPUT RANGE (MHz)	
	JU13 (PLL1)	JU6 (PLL2)	JU5 (PLL3)	MIN	MAX
2-3	2-3	2-3	Unused		
2-3*	2-3*	1-2*	32.5	40.0	
2-3	1-2	2-3	22.5	32.5	
2-3	1-2	1-2	16.3	22.5	
1-2	2-3	2-3	11.3	16.3	
1-2	2-3	1-2	8.1	11.3	
1-2	1-2	2-3	5.6	8.1	
1-2	1-2	1-2	4.0	5.6	

\*デフォルトコンフィギュレーション: JU5、JU6(2~3)、JU13(1~2)

の電圧が生成されるまでR54を調整することでデューティサイクルが50%(推奨)のクロック信号が得られます。

## PLL周波数モード選択

ADCの最大定格サンプリングレートよりも低いクロック信号でEVキットを駆動するときは、ADCのフェーズロックループ(PLL)回路を相応に設定する必要があります。内蔵PLLの動作の詳細については、ADCデータシートの「PLL入力(PLL0~PLL3)」の項を参照してください。ジャンパJU5、JU6、およびJU13は、ADCのPLLモードを制御します。シャント位置については、表2、3、4、または5をご覧ください。JU5、JU6、およびJU13を相応に設定して、クロック信号周波数が表2~表5に示された最小および最大制限値を満たすようにしてください。

# MAX1434/MAX1436/MAX1437/MAX1438の 評価キット

表4. MAX1437 PLLのジャンパ設定  
(JU5、JU6、JU13)

SHUNT POSITION	JUMPER			CLOCK INPUT RANGE (MHz)	
	JU13 (PLL1)	JU6 (PLL2)	JU5 (PLL3)	MIN	MAX
	2-3*	2-3*	2-3*	45.0	50.0
2-3	2-3	1-2	32.5	45.0	
2-3	1-2	2-3	22.5	32.5	
2-3	1-2	1-2	16.3	22.5	
1-2	2-3	2-3	11.3	16.3	
1-2	2-3	1-2	8.1	11.3	
1-2	1-2	2-3	5.6	8.1	
1-2	1-2	1-2	4.0	5.6	

\* デフォルトコンフィギュレーション：JU5、JU6、JU13(2~3)

表5. MAX1438 PLLのジャンパ設定  
(JU5、JU6、JU13)

SHUNT POSITION	JUMPER			CLOCK INPUT RANGE (MHz)	
	JU13 (PLL1)	JU6 (PLL2)	JU5 (PLL3)	MIN	MAX
	2-3*	2-3*	2-3*	45.0	65.0
2-3	2-3	1-2	32.5	45.0	
2-3	1-2	2-3	22.5	32.5	
2-3	1-2	1-2	16.3	22.5	
1-2	2-3	2-3	11.3	16.3	
1-2	2-3	1-2	8.1	11.3	
1-2	1-2	2-3	5.6	8.1	
1-2	1-2	1-2	4.0	5.6	

\* デフォルトコンフィギュレーション：JU5、JU6、JU13(2~3)

## 入力信号

ADCは差動アナログ入力信号を受け入れますが、EVキットが必要とするのはユーザが提供する振幅1.4V<sub>p-p</sub>以下のシングルエンドアナログ入力信号だけです。内蔵トランス(T1~T8)が、シングルエンドアナログ入力信号を変換してADCの差動入力ピンに差動アナログ信号を生成します。シングルエンドアナログ入力信号をチャンネル0~チャンネル7に対応したSMAコネクタIN0~IN7それぞれに接続してください。

## リファレンス電圧

EVキットは、ADCの1.24V内部リファレンス、または安定した低ノイズの外部リファレンスを使用するように設定することができます。

表6. リファレンスのジャンパ設定(JU12)

SHUNT POSITION	REFADJ PIN CONNECTION	EV KIT FUNCTION
1-2	Connected to AVDD	Internal reference disabled. Apply an external reference voltage at the REFIO pad. Verify that a shunt is installed on jumper JU14.
3-4*	Connected to GND	Internal reference enabled. Verify that a shunt is not installed on jumper JU14.
5-6**	Connected to REFIO through R57 and R51	Increase full-scale range by adjusting potentiometer R51.
7-8**	Connected to GND through R57 and R51	Compensate for gain errors by adjusting potentiometer R51.

\* デフォルトコンフィギュレーション：JU12(3~4)

\*\* MAX1434、MAX1436、MAX1437、またはMAX1438 ICデータシートの「内部リファレンスによるフルスケール範囲の調整(Full-Scale Range Adjustments using the Internal Reference)」の項を参照してください。

所望のリファレンスモードを設定するために2 x 4ヘッダJU12を使用してください。適切なシャント設定については表6をご覧ください。

## 出力信号

ADCは、8つのシリアルLVDS対応デジタル出力を備えています。各出力はチャンネル0~7の変換されたアナログ入力信号を送信します。この他に2つの出力(CLKOUTとFRAME)がデータの同期用に備えられています。詳しくは、MAX1434、MAX1436、MAX1437、またはMAX1438のデータシートを参照してください。

## 出力形式

デジタル出力コーディングでは、ジャンパJU7の設定によって2の補数またはストレートオフセットバイナリを選定することができます。適切なジャンパ設定については表7をご覧ください。

表7. 出力形式のジャンパ設定(JU7)

SHUNT POSITION	T/B PIN CONNECTION	DESCRIPTION
1-2	AVDD	<b>Straight Offset Binary Selected.</b> Digital output in straight offset binary format.
2-3*	GND	<b>Two's Complement Selected.</b> Digital output in two's-complement format.

\* デフォルトコンフィギュレーション：JU7(2~3)

# MAX1434/MAX1436/MAX1437/MAX1438の 評価キット

Evaluate: MAX1434/MAX1436/MAX1437/MAX1438

## 二重終端の設定

ADCは、各出力(D0~D7、CLKOUT、およびFRAME)の正(真)のラインと負(相補)のラインの間に調整済みの100Ω終端抵抗器を内蔵しています。また、EVキットの回路も各差動出力ペアの遠端に100Ωの終端抵抗器を備えています。内部の終端をアクティブにすると、信号トレース上の無用な反射を排除するのに役立ちます。ジャンパJU1を使用して、単一終端または二重終端のいずれかをアクティブにしてください。終端構成の選択に適切なシャント位置については、表8をご覧ください。

表8. 二重終端のジャンパ設定(JU1)

SHUNT POSITION	DT PIN CONNECTION	EV KIT FUNCTION
1-2	AVDD	<b>Double Termination Selected.</b> Outputs are double-terminated.
2-3*	GND	<b>Single Termination Selected.</b> Outputs are single-terminated.

\*デフォルトコンフィギュレーション：JU1(2~3)

## SLVS/LVDS出力

ADCは、その出力においてSLVSまたはLVDS信号を生成することができます。ジャンパJU2は、ADCのこの機能を制御します。シャント位置については表9をご覧ください。選択する出力信号タイプに関係なく、出力バッファ(U7~U16)はデータをLVPECLロジックレベルに変換します。SLVS出力モードで使用するときには、JU1を二重終端用に設定(ピン1と2を短絡)する必要があります。

表9. SLVS/LVDSのジャンパ設定(JU2)

SHUNT POSITION	SLVS/LVDS PIN CONNECTION	ADC OUTPUT
1-2	AVDD	SLVS
2-3*	GND	LVDS

\*デフォルトコンフィギュレーション：JU2(2~3)

## LVDSのテストパターン

信号の完全性の問題をデバッグするために、ADCは出荷時に設定されたテストパターンを出力チャンネルのすべてに生成することができます。ジャンパJU3はこの機能を制御します。適切なシャント位置については表10をご覧ください。MAX1436、MAX1437、およびMAX1438のテストパターンは0000 1011 1101です。MAX1434のテストパターンは00 0101 1101 (MSB~LSB)です。

表10. LVDSテストパターンのジャンパ設定(JU3)

SHUNT POSITION	LVDS TEST PIN CONNECTION	EV KIT FUNCTION
1-2	AVDD	Test pattern transmitted, LSB first, on all SLVS/LVDS outputs
2-3*	GND	Normal operation

\*デフォルトコンフィギュレーション：JU3(2~3)

## 出力ビット位置

ADCのデジタル出力は40ピンヘッダJ9に接続されています。データスキューを最小に抑えてデバイス全体のダイナミック性能を向上させるために、プリント基板のすべてのトレース長は整合されています。さらに、10個のドライバ(U7~U16)がバッファとして作用すると同時にデジタル出力をLVPECL対応信号にレベル変換します。これらのドライバは、差動電圧振幅を増加させ、ロジックアナライザ接続部に存在する大きな容量性負荷を駆動することができます。バッファの出力は40ピンヘッダJ15と接続されます。ヘッダJ9とJ15のビット位置については、表11をご覧ください。

表11. 出力ビット位置

SIGNAL		UNBUFFERED (LVDS or SLVS)	BUFFERED (LVPECL)	DESCRIPTION
CH0	P	J9-1	J15-1	Channel 0
	N	J9-2	J15-2	
CH1	P	J9-5	J15-5	Channel 1
	N	J9-6	J15-6	
CH2	P	J9-9	J15-9	Channel 2
	N	J9-10	J15-10	
CH3	P	J9-13	J15-13	Channel 3
	N	J9-14	J15-14	
CLKOUT	P	J9-17	J15-17	Clock
	N	J9-18	J15-18	
FRAME	P	J9-21	J15-21	Frame
	N	J9-22	J15-22	
CH4	P	J9-25	J15-25	Channel 4
	N	J9-26	J15-26	
CH5	P	J9-29	J15-29	Channel 5
	N	J9-30	J15-30	
CH6	P	J9-33	J15-33	Channel 6
	N	J9-34	J15-34	
CH7	P	J9-37	J15-37	Channel 7
	N	J9-38	J15-38	

P = 真(+)  
N = 相補(-)

# MAX1434/MAX1436/MAX1437/MAX1438の 評価キット

Evaluate: MAX1434/MAX1436/MAX1437/MAX1438

## 内蔵デシリアライザ

EVキットは、ADCのシリアル出力をパラレルデータストリームに変換するデシリアライザを内蔵しています。このデシリアライザは、遅延ロックループ(DLL)を使用して、デシリアライザ自身を受信シリアルデータストリームに同期させます。ADCのクロック周波数を変更した後は必ず、スイッチSW1を押してこのDLLをリセットしてください。LOCKED LED D3が点灯しない場合は、シリアルデータストリームが同期しておらず、デシリアライザの出力が有効ではありません。

チャンネル0～チャンネル7のデータは、ヘッダJ10～J13に取り込まれます。EVキットには、一度に4つのチャンネルのみを取り込むことができます。ジャンパJU9、JU10、およびJU11を設定してチャンネルの位置を選択してください。ジャンパJU9、JU10、JU11の設定については表12をご覧ください。ビット位置については表13をご覧ください。

表12. 出力チャンネル位置  
(JU9、JU10、JU11)

JU9 (S2) SHUNT POSITION	JU10 (S1) SHUNT POSITION	JU11 (S0) SHUNT POSITION	J10	J11	J12	J13
2-3	2-3	2-3	CH0	CH1	CH2	CH3
2-3	2-3	1-2	CH4	CH5	CH6	CH7
2-3	1-2	2-3	CH0	CH4	CH1	CH5
2-3	1-2	1-2	CH0	CH6	CH1	CH7
1-2	2-3	2-3	CH2	CH4	CH3	CH5
1-2	2-3	1-2	CH2	CH6	CH3	CH7

表13. 出力ビット位置(J10～J13)

BIT	POSITION			
CLK	J10-38	J11-38	J12-38	J13-38
D11	J10-26	J11-26	J12-26	J13-26
D10	J10-24	J11-24	J12-24	J13-24
D9	J10-22	J11-22	J12-22	J13-22
D8	J10-20	J11-20	J12-20	J13-20
D7	J10-18	J11-18	J12-18	J13-18
D6	J10-16	J11-16	J12-16	J13-16
D5	J10-14	J11-14	J12-14	J13-14
D4	J10-12	J11-12	J12-12	J13-12
D3	J10-10	J11-10	J12-10	J13-10
D2	J10-8	J11-8	J12-8	J13-8
D1	J10-6	J11-6	J12-6	J13-6
D0	J10-4	J11-4	J12-4	J13-4

注：奇数番号ピンはグラウンドに接続されます。  
残りのピンは接続なしです。

## デシリアライザ出カインープル

ジャンパJU8はデシリアライザの出カインープルを制御します。ジャンパJU8の設定については表14をご覧ください。

表14. デシリアライザ出カインープル(JU8)

SHUNT POSITION	EV KIT FUNCTION
1-2	Deserializer output disabled
2-3*	Deserializer output enabled

\*デフォルトコンフィギュレーション：JU8(2～3)



# MAX1434/MAX1436/MAX1437/MAX1438の 評価キット

## Evaluate: MAX1434/MAX1436/MAX1437/MAX1438

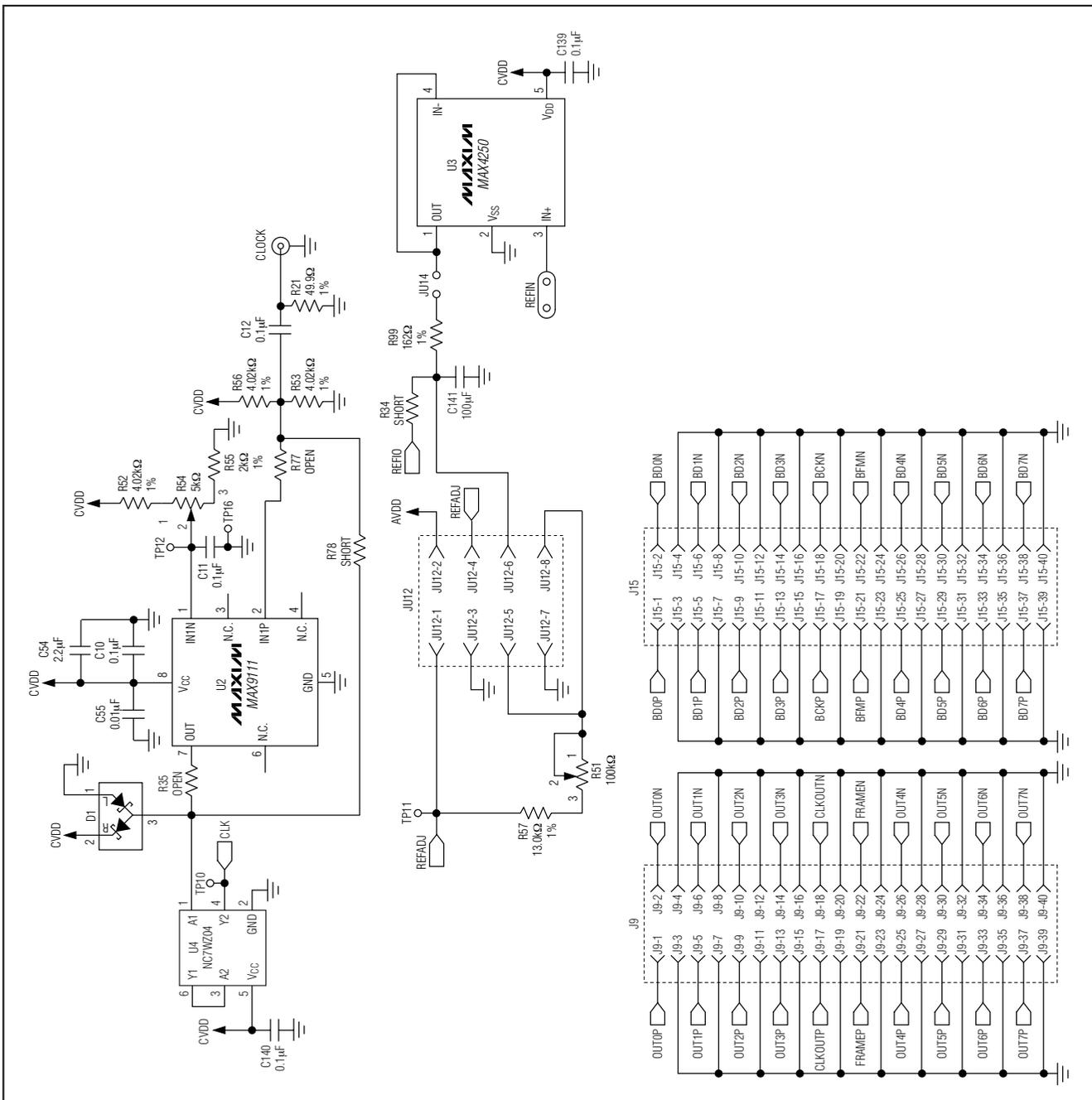


図2. MAX1434/MAX1436/MAX1437/MAX1438 EVキットの回路図 — クロック、電圧リファレンス(2/6)

# MAX1434/MAX1436/MAX1437/MAX1438の 評価キット

Evaluate: MAX1434/MAX1436/MAX1437/MAX1438

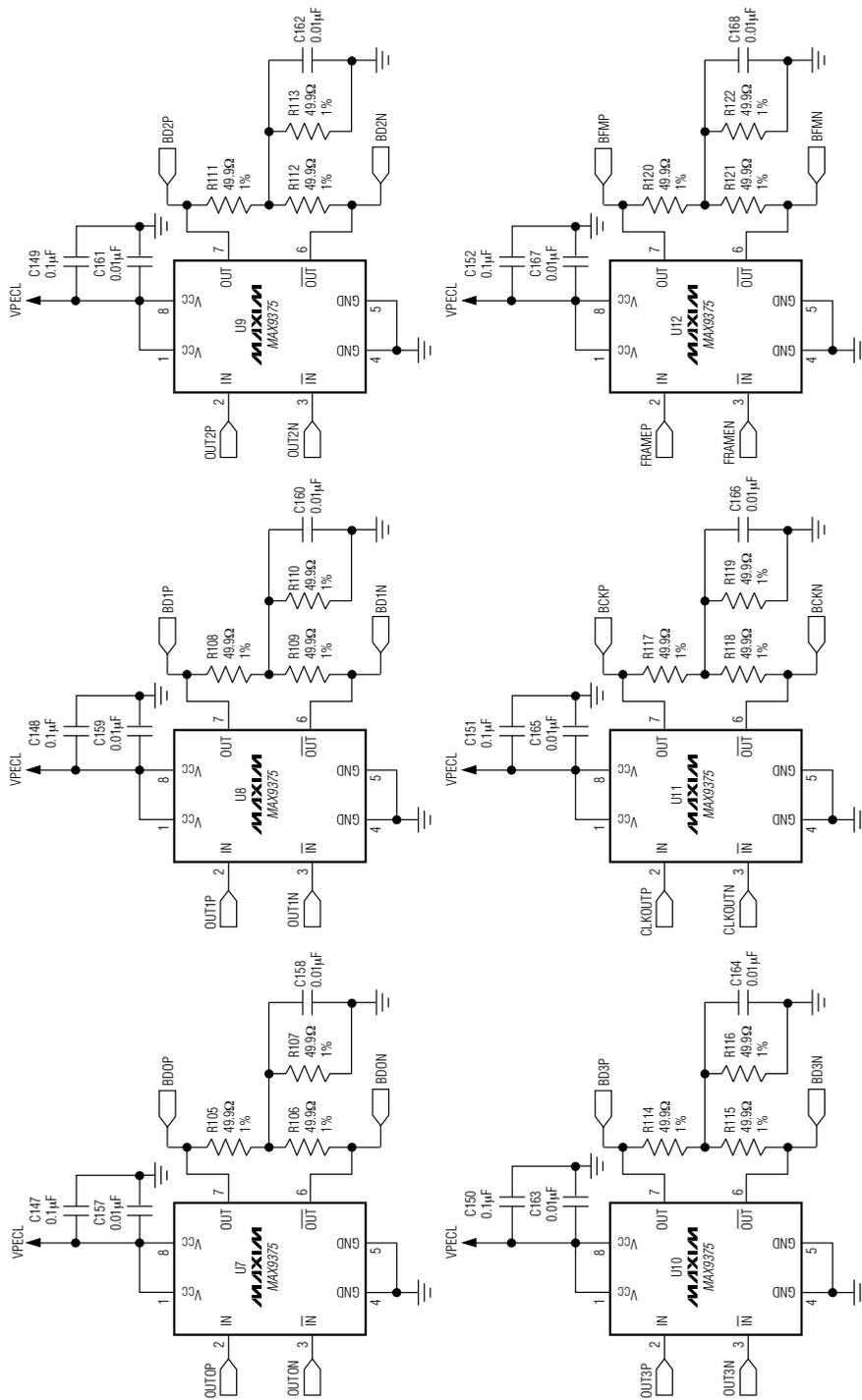


図3. MAX1434/MAX1436/MAX1437/MAX1438 EVキットの回路図 — LVPECLレベルトランスレータ(3/6)



# MAX1434/MAX1436/MAX1437/MAX1438の 評価キット

Evaluate: MAX1434/MAX1436/MAX1437/MAX1438

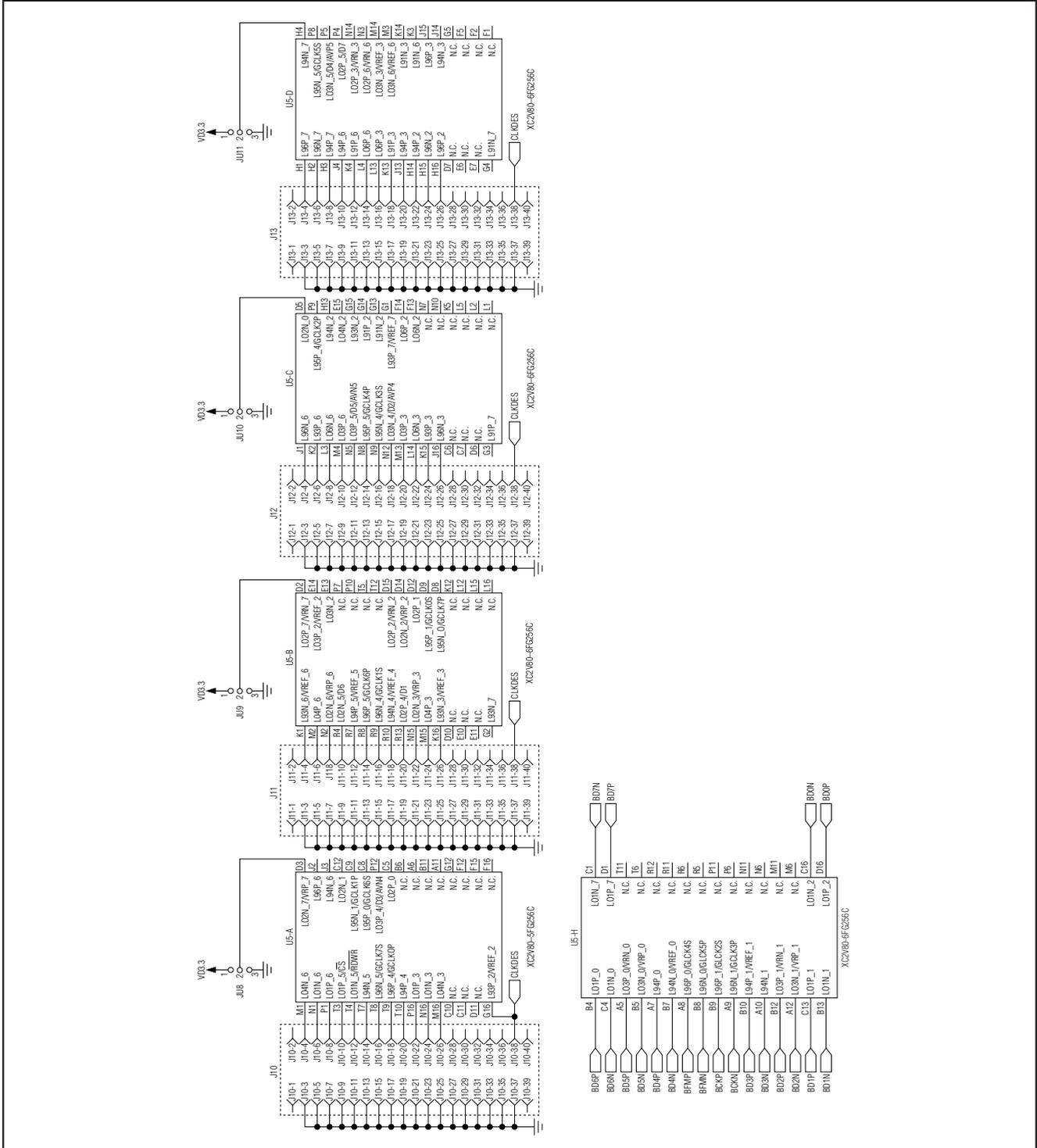


図5. MAX1434/MAX1436/MAX1437/MAX1438 EVキットの回路図 — デシリアライザ入力と出力(5/6)



# MAX1434/MAX1436/MAX1437/MAX1438の 評価キット

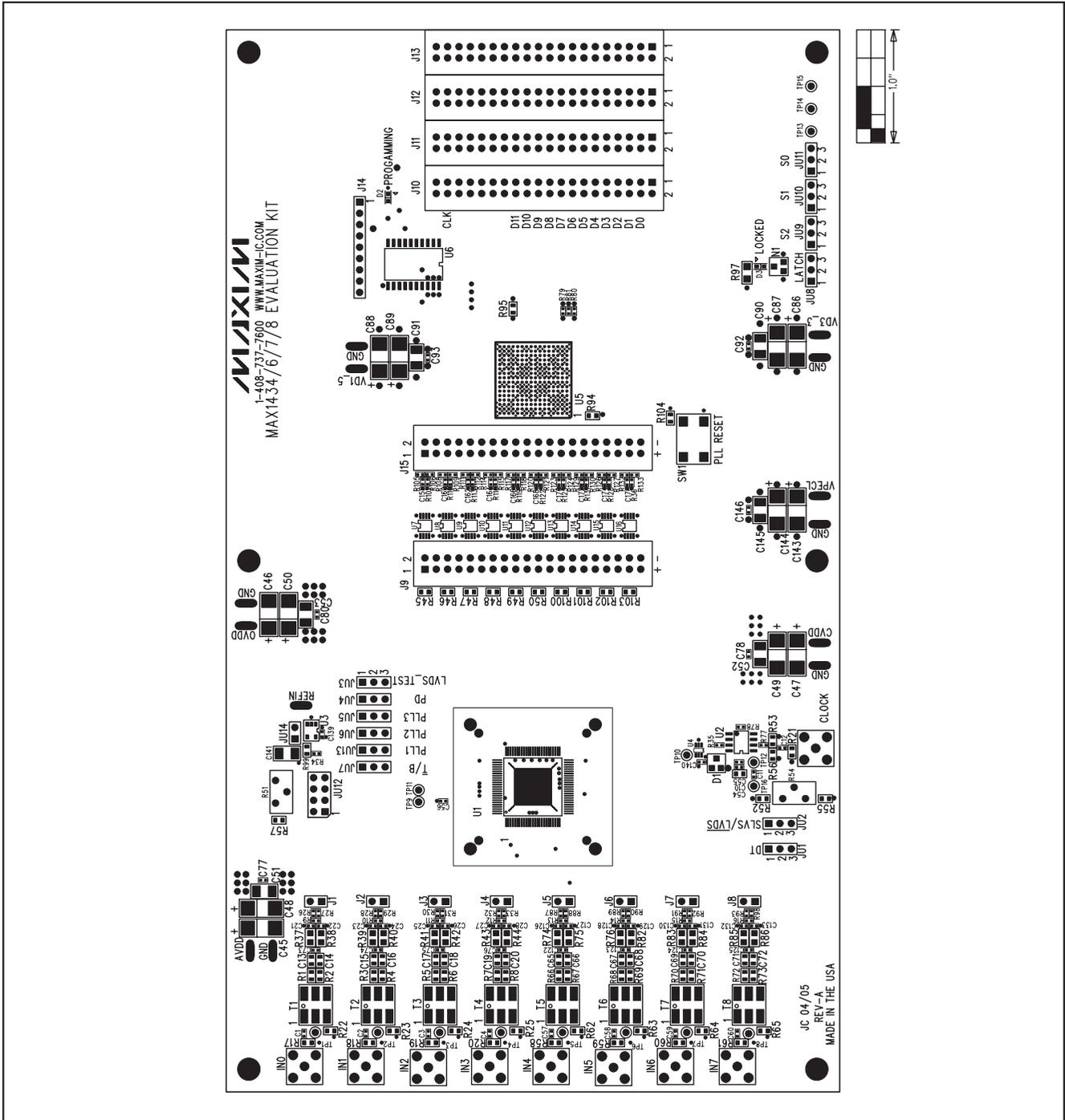


図7. MAX1434/MAX1436/MAX1437/MAX1438 EVキットの部品配置ガイド — 部品面

# MAX1434/MAX1436/MAX1437/MAX1438の 評価キット

**Evaluate: MAX1434/MAX1436/MAX1437/MAX1438**

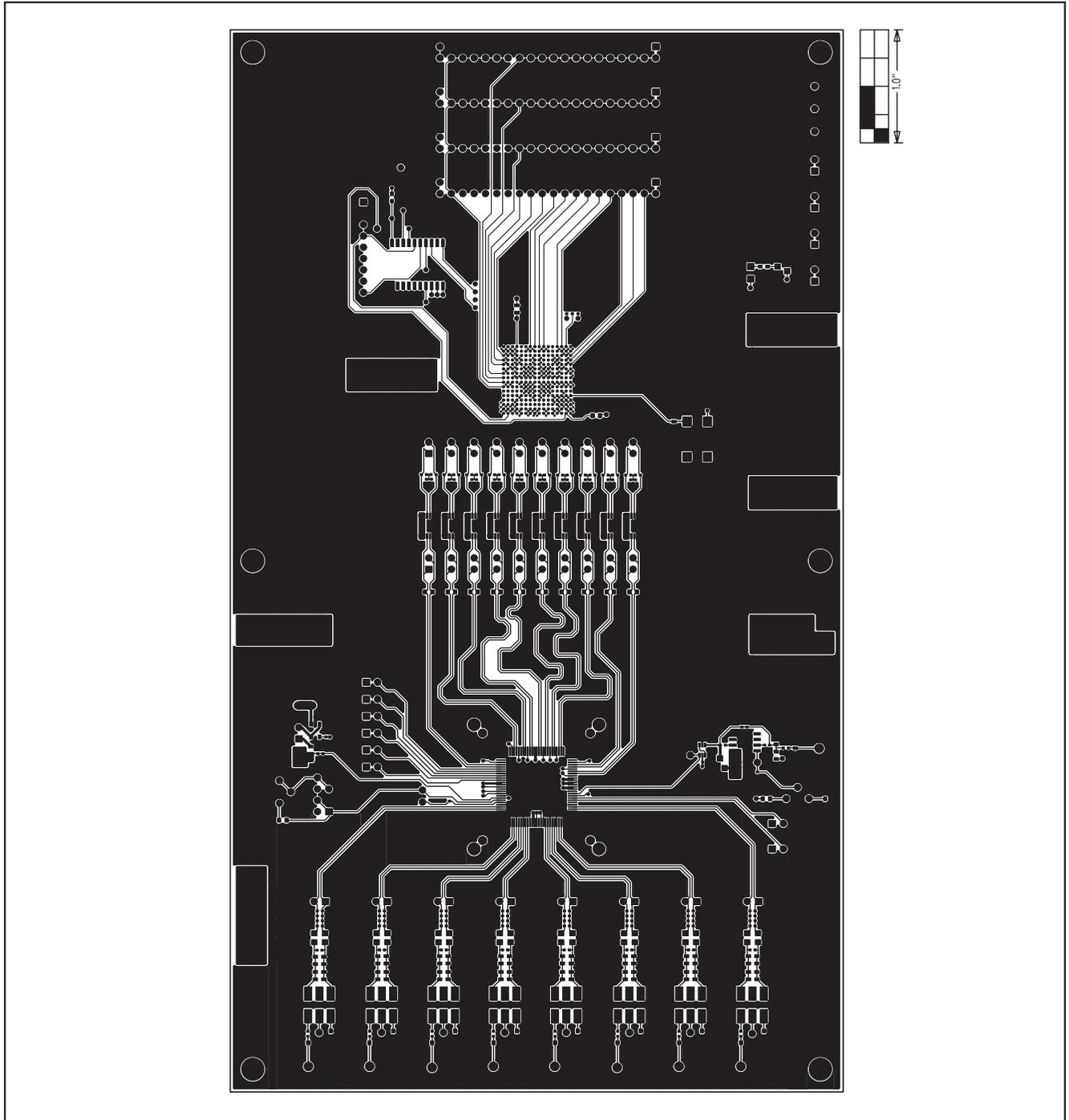


図8. MAX1434/MAX1436/MAX1437/MAX1438 EVキットのプリント基板レイアウト — 部品面

# MAX1434/MAX1436/MAX1437/MAX1438の 評価キット

Evaluate: MAX1434/MAX1436/MAX1437/MAX1438

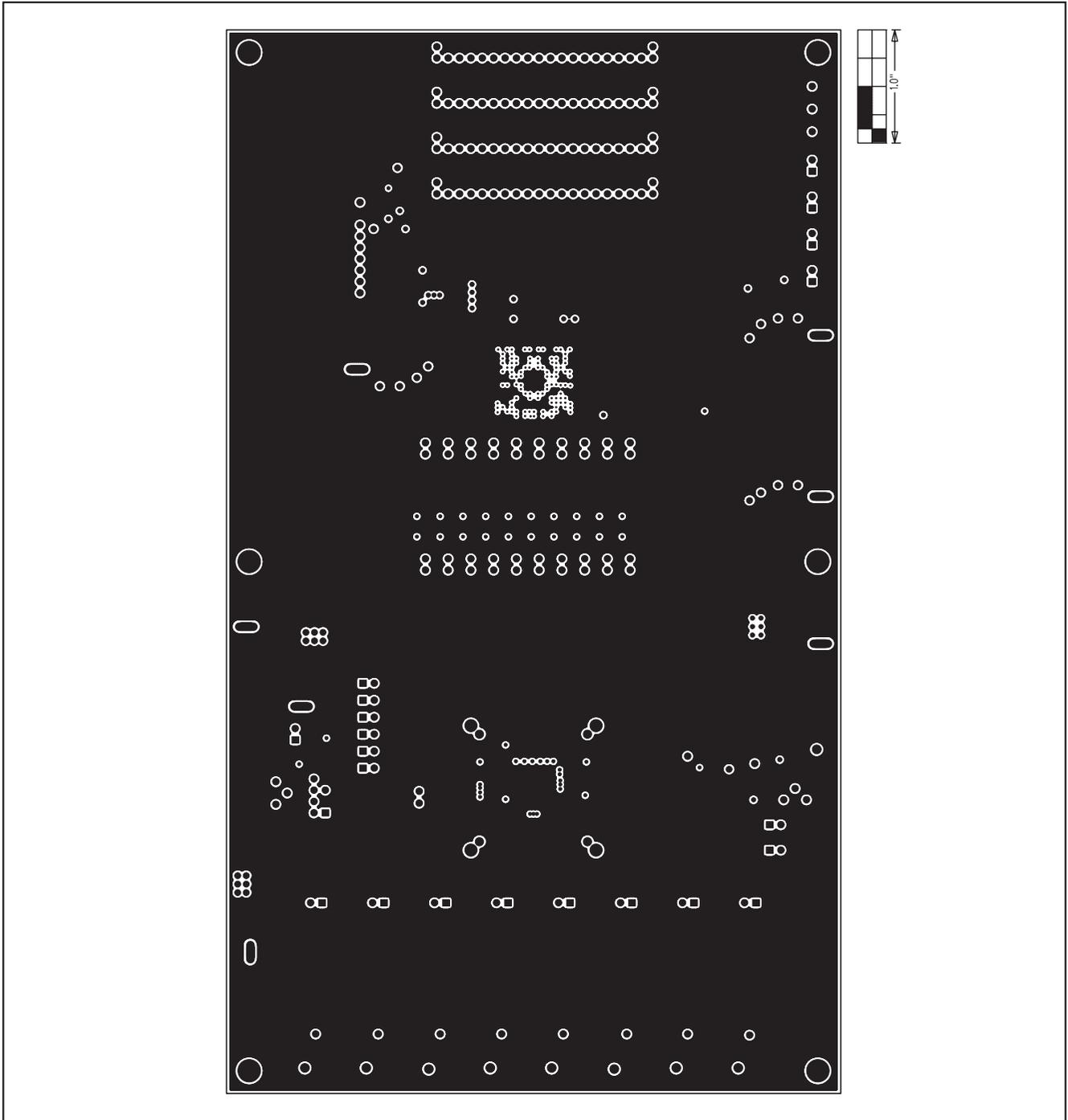


図9. MAX1434/MAX1436/MAX1437/MAX1438 EVキットのプリント基板レイアウト(内層2) — グランドプレーン

# MAX1434/MAX1436/MAX1437/MAX1438の 評価キット

**Evaluate: MAX1434/MAX1436/MAX1437/MAX1438**

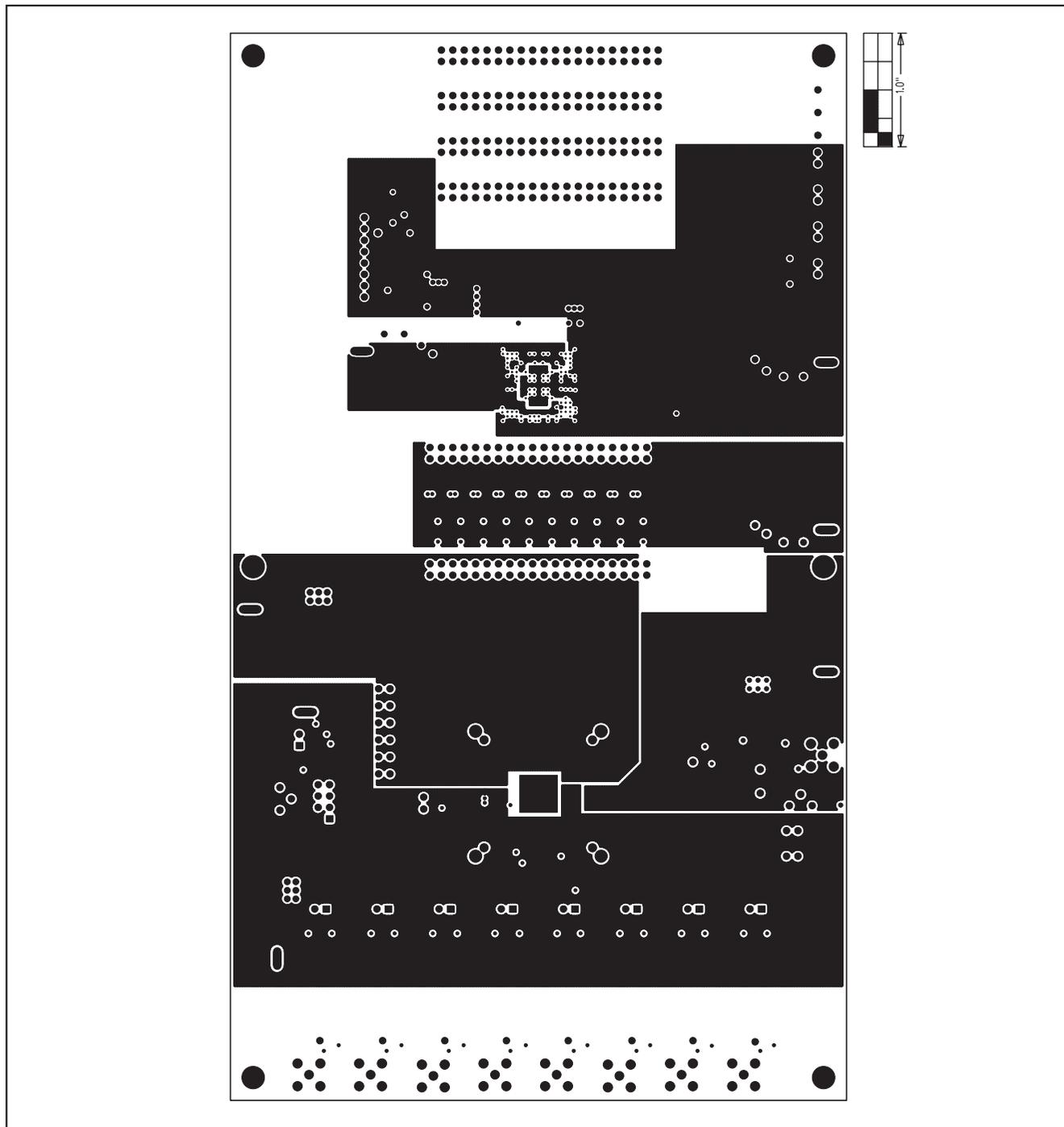


図10. MAX1434/MAX1436/MAX1437/MAX1438 EVキットのプリント基板レイアウト(内層3) — 電源プレーン

# MAX1434/MAX1436/MAX1437/MAX1438の 評価キット

Evaluate: MAX1434/MAX1436/MAX1437/MAX1438

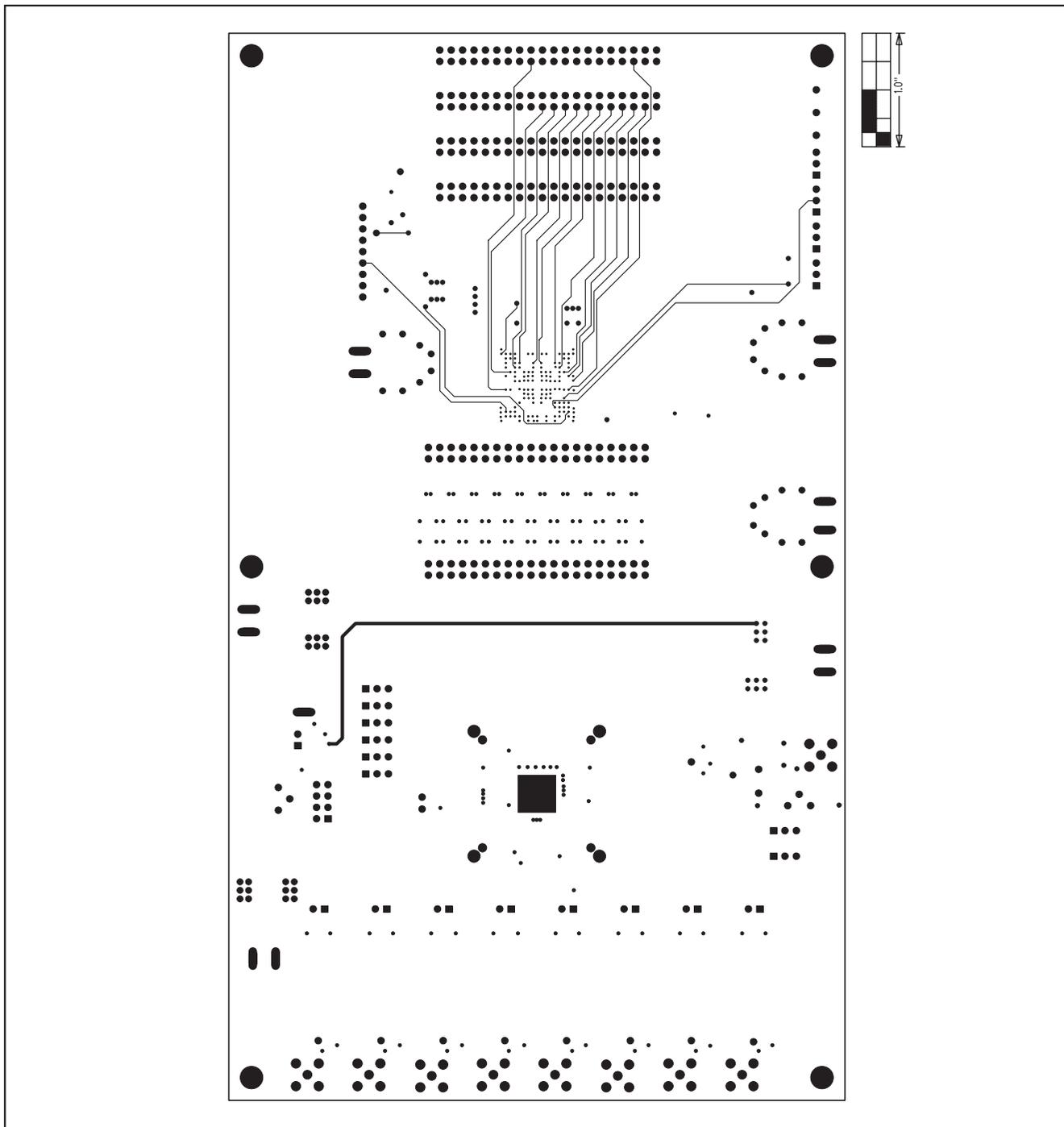


図11. MAX1434/MAX1436/MAX1437/MAX1438 EVキットのプリント基板レイアウト(内層4) — 信号層

# MAX1434/MAX1436/MAX1437/MAX1438の 評価キット

**Evaluate: MAX1434/MAX1436/MAX1437/MAX1438**

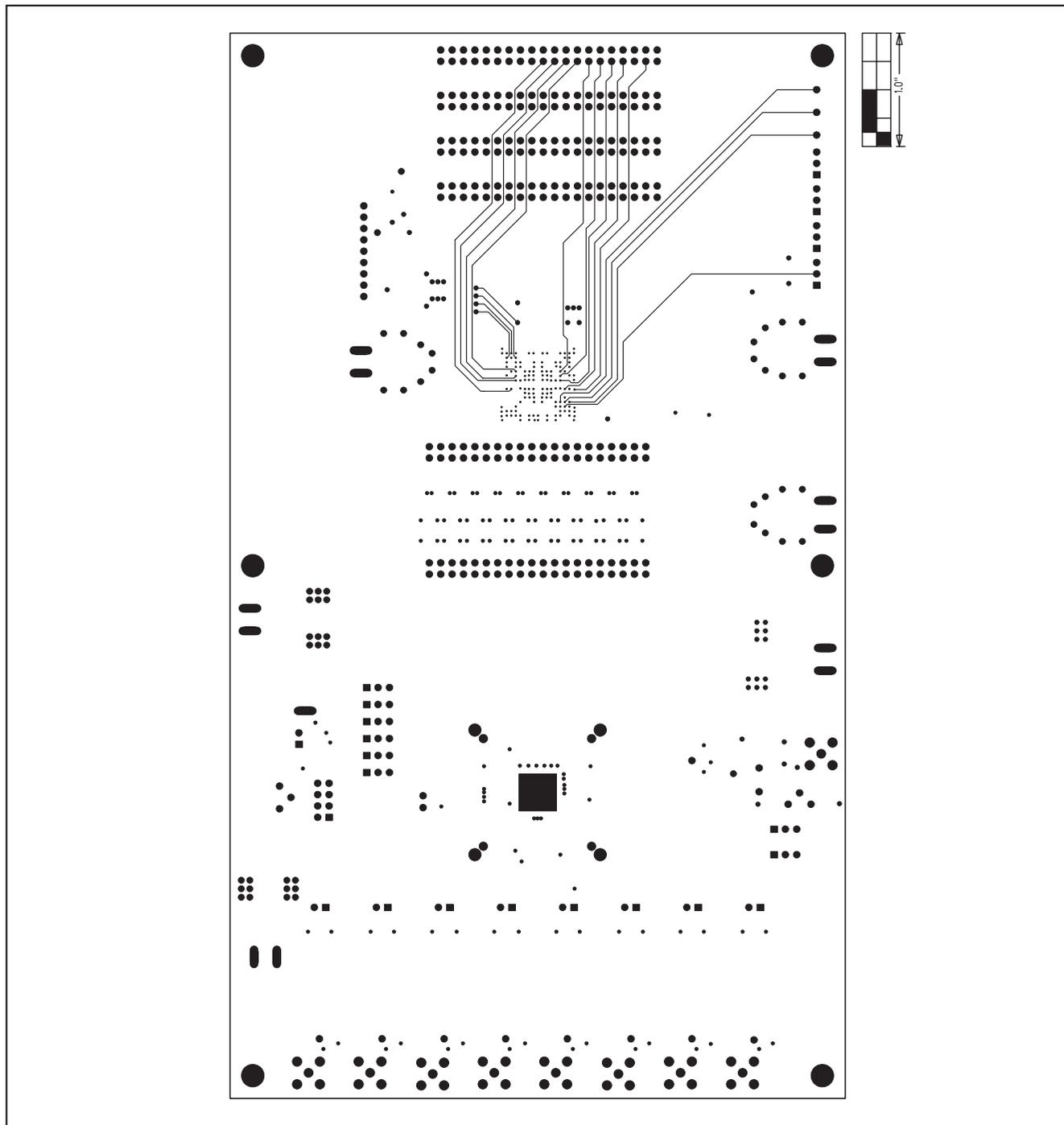


図12. MAX1434/MAX1436/MAX1437/MAX1438 EVキットのプリント基板レイアウト(内層5) — 信号層

# MAX1434/MAX1436/MAX1437/MAX1438の 評価キット

Evaluate: MAX1434/MAX1436/MAX1437/MAX1438

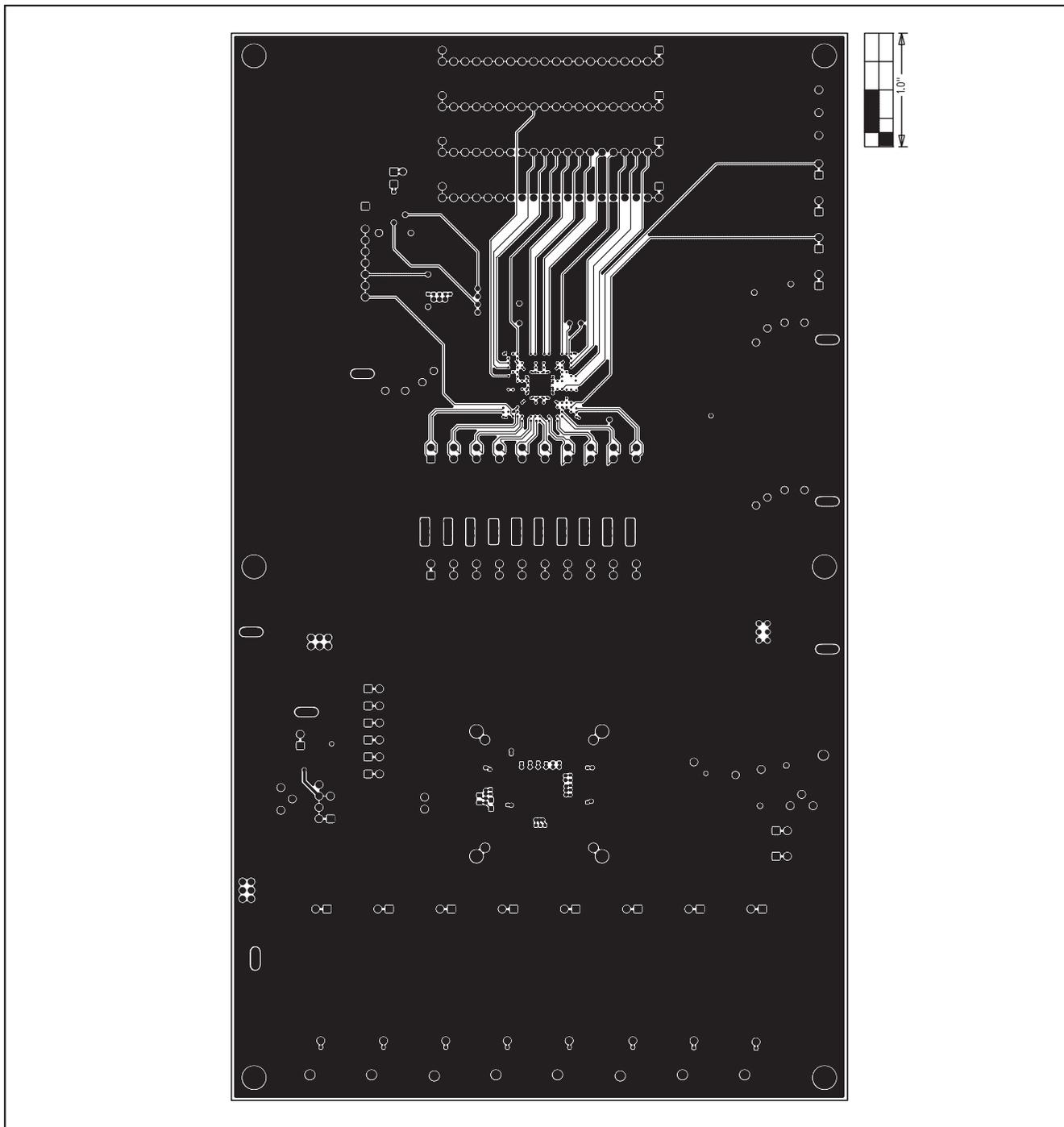


図13. MAX1434/MAX1436/MAX1437/MAX1438 EVキットのプリント基板レイアウト — 半田面

# MAX1434/MAX1436/MAX1437/MAX1438の 評価キット

Evaluate: MAX1434/MAX1436/MAX1437/MAX1438

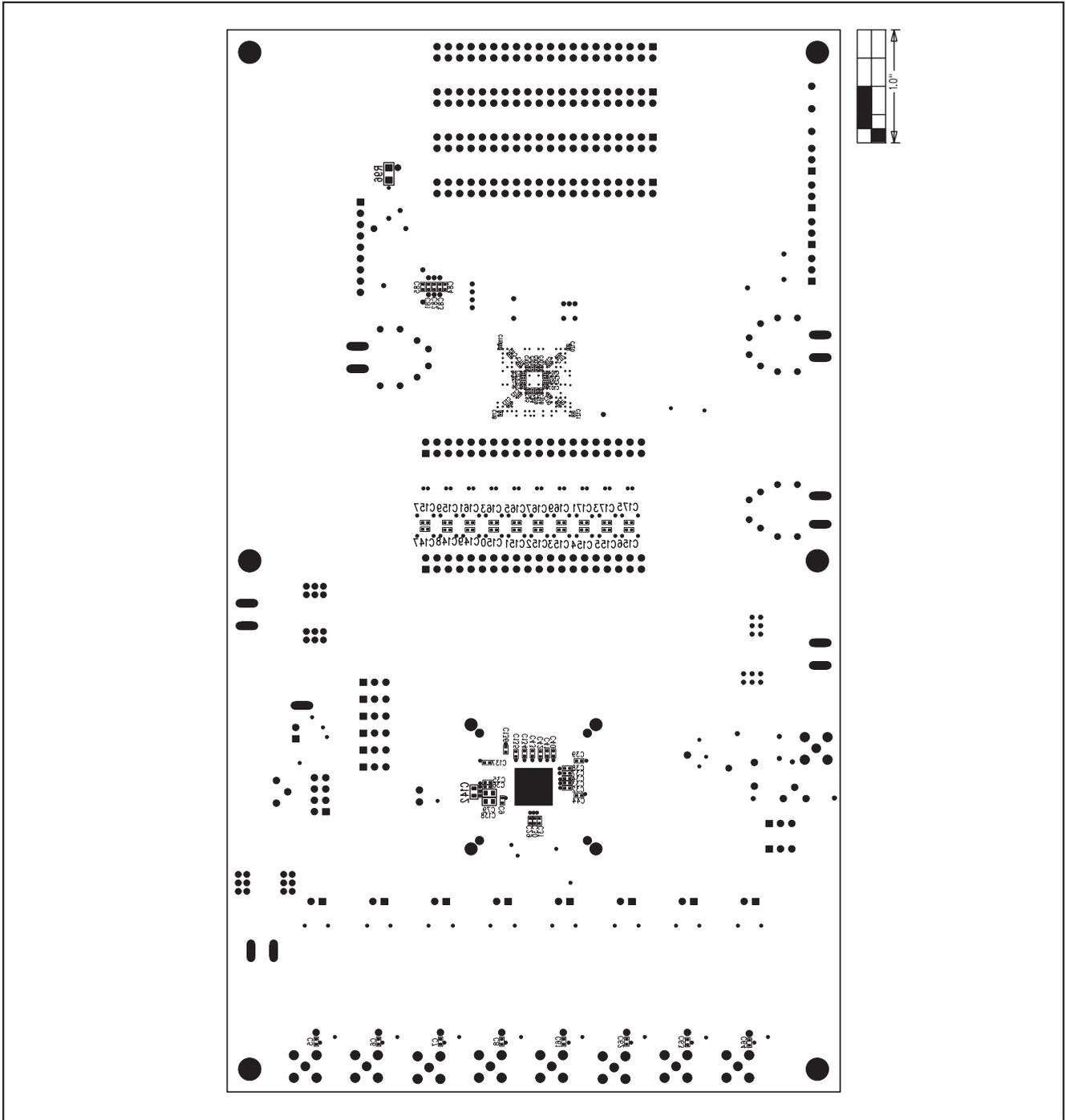


図14. MAX1434/MAX1436/MAX1437/MAX1438 EVキットの部品配置ガイド — 半田面

**マキシム・ジャパン株式会社**

〒169-0051東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)  
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

22 \_\_\_\_\_ **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

© 2005 Maxim Integrated Products, Inc. All rights reserved. **MAXIM** is a registered trademark of Maxim Integrated Products, Inc.