

10ビット、20Msps ADC

MAX1425

概要

MAX1425はサンプリング速度20Msps、10ビットのモノリシックアナログデジタルコンバータ(ADC)です。本製品はトラックホールド(T/H)アンプを内蔵しており、優れたダイナミック性能を提供すると同時に、外部部品点数を最小限に抑えています。入力容量が僅か8pFと小さいため、必要な入力電流を最小限に抑えています。広い入力帯域幅(最高150MHz)を持つ本製品は、アンダーサンプリング技術を採用しているデジタルRF/IFダウンコンバータアプリケーションに適しています。

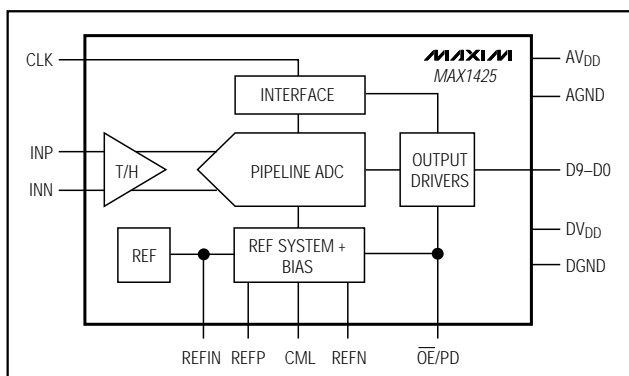
MAX1425は広帯域T/Hアンプを使用した差動パイプラインアーキテクチャを採用しており、最大のスループットを提供しつつ、消費電力は僅か172mWまでとなっています。MAX1425は、3種類のリファレンス電圧(+3.25V、+2.25V及び+1.25V)を追加供給する内部+2.5Vリファレンスを生成します。これらのリファレンス電圧は、+2V~-2Vの差動入力範囲を持っています。アナログ入力は内部バイアスを通じてDCレベルを補正するため、AC結合アプリケーションで外部バイアスを行う必要はありません。

個別の+3Vデジタルロジック電源入力により、デジタル回路及びアナログ回路の分離を可能にしています。出力データは2の補数の形式になっています。MAX1425は省スペースの28ピンSSOPパッケージで提供されています。低データ速度のピンコンパチブル製品については、MAX1426データシートを参照して下さい。高データ速度製品については、MAX1424データシートを参照して下さい。

アプリケーション

- 医療用超音波画像診断
- CCDピクセル処理
- 赤外線焦点面配列
- レーダー
- IF及びベースバンドデジタル化
- セットトップボックス

ファンクションダイアグラム



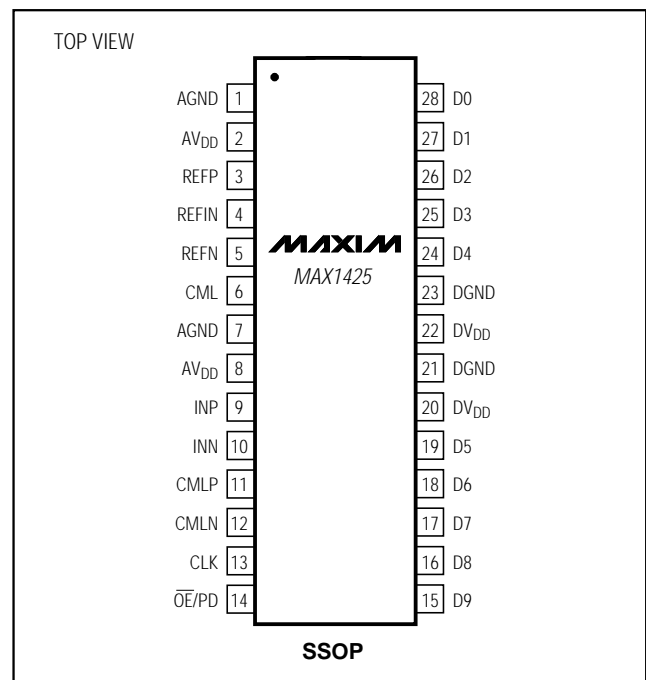
特長

- ◆ ハイコモンモードノイズ除去のための差動入力
- ◆ 信号対ノイズ比
 - 61dB($f_{IN} = 2\text{MHz}$)
 - 59.3dB($f_{IN} = 10\text{MHz}$)
- ◆ 内部リファレンス: +2.5V
- ◆ 入力帯域幅: 150MHz
- ◆ 幅広い入力範囲: $\pm 2\text{V}$
- ◆ 低消費電力: 172mW
- ◆ 3Vロジックコンパチブルな個別のデジタル電源入力
- ◆ +5V単一電源動作

型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX1425CAI	0°C to +70°C	28 SSOP
MAX1425EAI	-40°C to +85°C	28 SSOP

ピン配置



10ビット、20Msps ADC

MAX1425

ABSOLUTE MAXIMUM RATINGS

AV _{DD} to AGND	-0.3V to +6V	Continuous Power Dissipation (T _A = +70°C)	
DV _{DD} to DGND	-0.3V to +6V	28-Pin SSOP (derated 9.5mW/°C above +70°C)	762mW
AV _{DD} to DGND	-0.3V to +6V	Operating Temperature Ranges	
DGND to AGND	±0.3V	MAX1425CAI	0°C to +70°C
REFP, REFIN, REFN, CMLN, CMLP,		MAX1425EAI	-40°C to +85°C
CML, INP, INN	(V _{AGND} - 0.3V) to (V _{AVDD} + 0.3V)	Junction Temperature	+150°C
CLK, OE/PD, D0–D9	(V _{DGND} - 0.3V) to (V _{DVDD} + 0.3V)	Storage Temperature Range	-65°C to +150°C
		Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{AVDD} = V_{CMLP} = +5V, V_{DVDD} = +3.3V, V_{CMLN} = V_{AGND} = V_{DGND} = 0, internal reference, digital output load = 35pF, f_{CLK} = 20MHz (50% duty cycle), T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ACCURACY						
Resolution	RES			10		Bits
Differential Nonlinearity	DNL		-1		1	LSB
Integral Nonlinearity	INL		-1.5	±0.3	1.5	LSB
No Missing Codes		Guaranteed monotonic				
Midscale Offset	MSO	(Note 1)	-3	±1.0	3	%FSR
Gain Error	GE	Internal reference (Note 1)	-10	±5	10	
		External reference (REFIN) (Note 2)	-5	±2	5	%FSR
		External reference (REFP, CML, REFN) (Note 3)	-5	±3	5	
Power-Supply Rejection Ratio	PSRR	(Note 4)	-5	±2	5	mV/V
DYNAMIC PERFORMANCE (V _{INP} - V _{INN} = +2V to -2V)						
Signal-to-Noise Ratio	SNR	f = 2MHz	60	61		dB
		f = 10MHz	56	59		
Spurious-Free Dynamic Range	SFDR	f = 2MHz	70	72		dB
		f = 10MHz	64	69		
Total Harmonic Distortion (first five harmonics)	THD	f = 2MHz		-70	-67	dB
		f = 10MHz		-69	-64	
Signal-to-Noise and Distortion	SINAD	f = 2MHz	59	61		dB
		f = 10MHz	55	59		
Effective Number of Bits	ENOB	f = 2MHz	9.3	9.7		Bits
		f = 10MHz	8.8	9.5		
Intermodulation Distortion	IMD	f1 = 10.17MHz, f2 = 10.19MHz (-7dB FS, each tone) (Note 5)		-70		dBc

ELECTRICAL CHARACTERISTICS (continued)

($V_{AVDD} = V_{CMLP} = +5V$, $V_{DVDD} = +3.3V$, $V_{CMLN} = V_{AGND} = V_{DGND} = 0$, internal reference, digital output load = 35pF, $f_{CLK} = 20MHz$ (50% duty cycle), $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ANALOG INPUT (INP, INN, CML)						
Input Resistance	R_{IN}	Either input to ground	3.5			k Ω
Input Capacitance	C_{IN}	Either input to ground		8		pF
Input Common-Mode Voltage Range	V_{CMVR}	CML (Note 6)		2.25 $\pm 10\%$		V
Differential Input Range	DR	$V_{INP} - V_{INN}$		± 2		V
Small-Signal Bandwidth	SSBW	(Note 7)		400		MHz
Large-Signal Bandwidth	LSBW	(Note 7)		150		MHz
REFERENCE ($V_{REFIN} = 0$; REFP, REFN, CML applied externally)						
Input Resistance	R_{IN}	REFIN (Note 8)	6.5			k Ω
Input Capacitance	C_{IN}	REFIN		10		pF
Differential Reference		$V_{REFP} - V_{REFN}$		2.0		V
Input Current	I_{IN}	REFP, CML, REFN	-325		325	μA
Input Capacitance	C_{IN}	REFP, CML, REFN		15		pF
REFP Input Range				3.25 $\pm 10\%$		V
CML Input Range				2.25 $\pm 10\%$		V
REFN Input Range				1.25 $\pm 10\%$		V
REFERENCE OUTPUTS (REFP, CML, REFN; external +2.5V reference)						
Positive Reference Voltage	V_{REFP}			3.25		V
Common-Mode Reference Voltage	V_{CML}			2.25		V
Negative Reference Input Voltage	V_{REFN}			1.25		V
Differential Reference		$V_{REFP} - V_{REFN}$, $T_A = +25^\circ C$	1.9	2.0	2.1	V
Differential Reference Temperature Coefficient				± 50		ppm/ $^\circ C$
REFERENCE OUTPUTS (REFP, CML, REFN; internal +2.5V reference)						
Positive Reference	V_{REFP}	(Note 1)		3.25		V
Common-Mode Reference Voltage	V_{CML}	(Note 1)		2.25		V
Negative Reference	V_{REFN}	(Note 1)		1.25		V
Differential Reference		$V_{REFP} - V_{REFN}$, $T_A = +25^\circ C$	1.8	2	2.2	V
Differential Reference Temperature Coefficient				± 150		ppm/ $^\circ C$

10ビット、20Msps ADC

MAX1425

ELECTRICAL CHARACTERISTICS (continued)

($V_{AVDD} = V_{CMLP} = +5V$, $V_{DVDD} = +3.3V$, $V_{CMLN} = V_{AGND} = V_{DGND} = 0$, internal reference, digital output load = 35pF, $f_{CLK} = 20MHz$ (50% duty cycle), $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.)

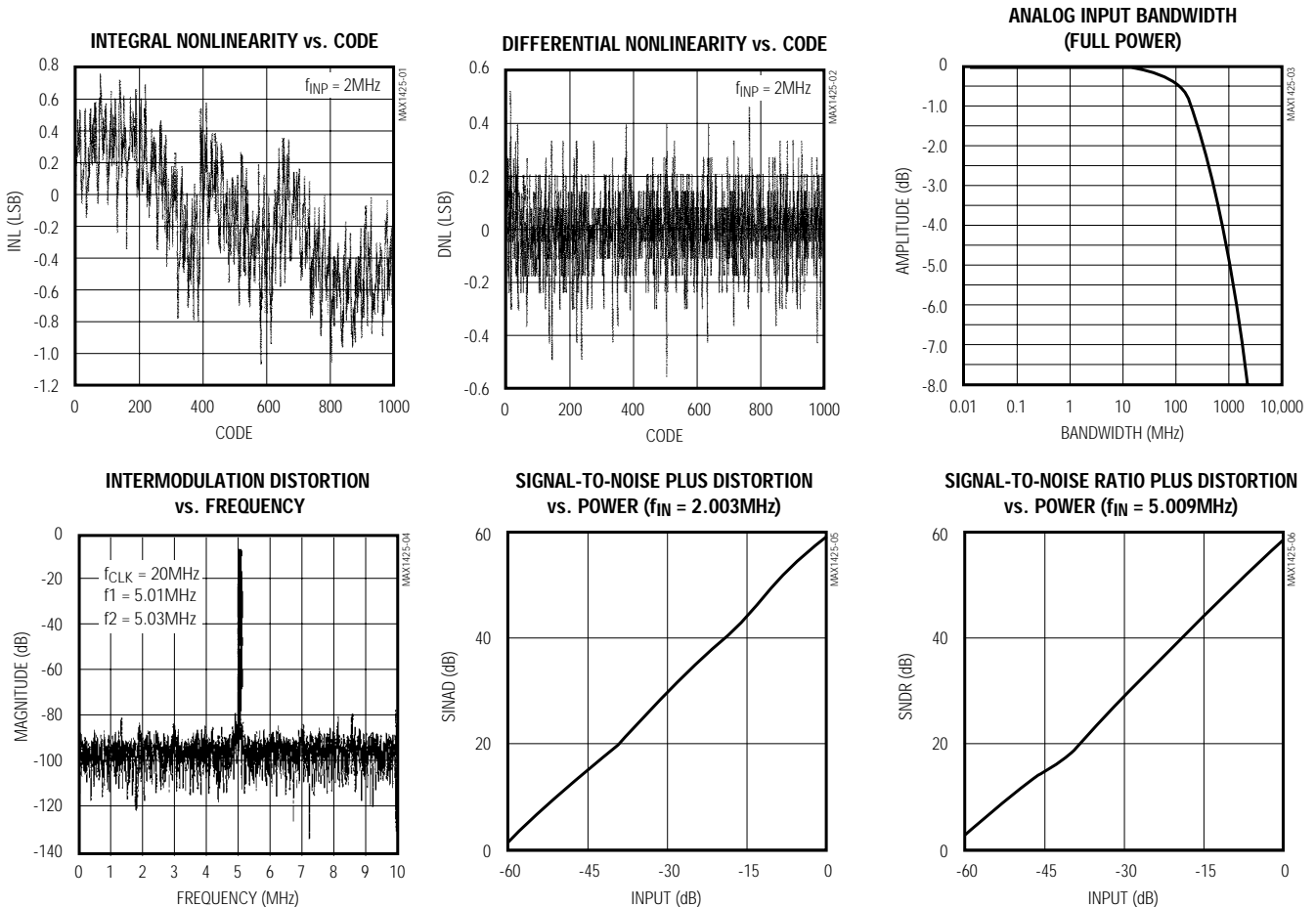
PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER SUPPLY						
Analog Supply Voltage	V_{AVDD}		4.75	5.00	5.25	V
Digital Supply Voltage	V_{DVDD}		2.7	3.3	5.5	V
Analog Supply Current	I_{AVDD}			31	38	mA
Analog Supply Current with Internal Reference in Shutdown		REFIN = AGND		26	35	mA
Analog Shutdown Current		$\overline{OE}/PD = DVDD$		0.6	1	nA
Digital Supply Current	I_{DVDD}	$V_{DVDD} = 3.3V$ $V_{DVDD} = 5.0V$		5.3 8.5	9 14	mA
Digital Shutdown Current		$\overline{OE}/PD = DVDD$		90	150	μA
Power Dissipation	PD			172	220	mW
DIGITAL INPUTS (CLK, \overline{OE}/PD)						
Input Logic High	V_{IH}	$V_{DVDD} > 4.75V$	2.4			V
		$V_{DVDD} < 4.75V$	$0.7 \cdot V_{DVDD}$			
Input Logic Low	V_{IL}	$V_{DVDD} > 4.75V$			0.8	V
		$V_{DVDD} < 4.75V$			$0.3 \cdot V_{DVDD}$	
Input Current Leakage		$V_{DVDD} = 5.25V$	I_{CLK}	-10	10	μA
			$I_{\overline{OE}/PD}$	-20	20	μA
Input Capacitance				10		pF
DIGITAL OUTPUTS (D0–D9)						
Output Logic High	VOH	$I_{OH} = -200\mu A$, $V_{DVDD} = 2.7V$	$V_{DVDD} - 0.5$		V_{DVDD}	V
Output Logic Low	VOL	$I_{OL} = 200\mu A$, $V_{DVDD} = 2.7V$			0.5	V
Three-State Leakage		$V_{DVDD} = 5.25V$, $\overline{OE}/PD = DVDD$	-10		10	μA
Three-State Capacitance		$\overline{OE}/PD = DVDD$		10		pF
TIMING CHARACTERISTICS						
Conversion Rate	CONV		0.1		20	MHz
Clock Frequency	f_{CLK}				20	MHz
Clock High	t_{CH}	Figure 4	20	25	30	ns
Clock Low	t_{CL}	Figure 4	20	25	30	ns
Pipeline Delay (Latency)				5.5		cycles
Aperture Delay	t_{AD}			5		ns
Aperture Jitter	t_{AJ}			7		ps
Data Output Delay	t_{OD}		5	20	25	ns
Bus Enable	t_{AD}			10	20	ns
Bus Disable	t_{AJ}			10	20	ns

ELECTRICAL CHARACTERISTICS (continued)

- Note 1:** Internal reference, REFIN bypassed to AGND with a 0.1μF capacitor.
- Note 2:** External +2.5V reference applied to REFIN.
- Note 3:** Internal reference disabled. $V_{REFIN} = 0$, $V_{REFP} = 3.25V$, $V_{CML} = 2.25V$, and $V_{REFN} = 1.25V$.
- Note 4:** Measured as the ratio of the change in midscale offset voltage for a ±5% change in V_{AVDD} using the internal reference.
- Note 5:** IMD is measured with respect to either of the fundamental tones.
- Note 6:** Specifies the common-mode range of the differential input signal supplied to the MAX1425.
- Note 7:** Defined as the input frequency at which the fundamental component of the output spectrum is attenuated by 3dB.
- Note 8:** V_{REFIN} is internally biased to +2.5V through a 5kΩ resistor.

標準動作特性

($V_{AVDD} = V_{CMLP} = +5V$, $V_{DVDD} = +3.3V$, $V_{CMLN} = V_{AGND} = 0$, internal reference, digital output load = 35pF, $f_{CLK} = 20Msps$ (50% duty cycle), for dynamic performance 0dB is full scale, $T_A = +25^\circ C$, unless otherwise noted.)

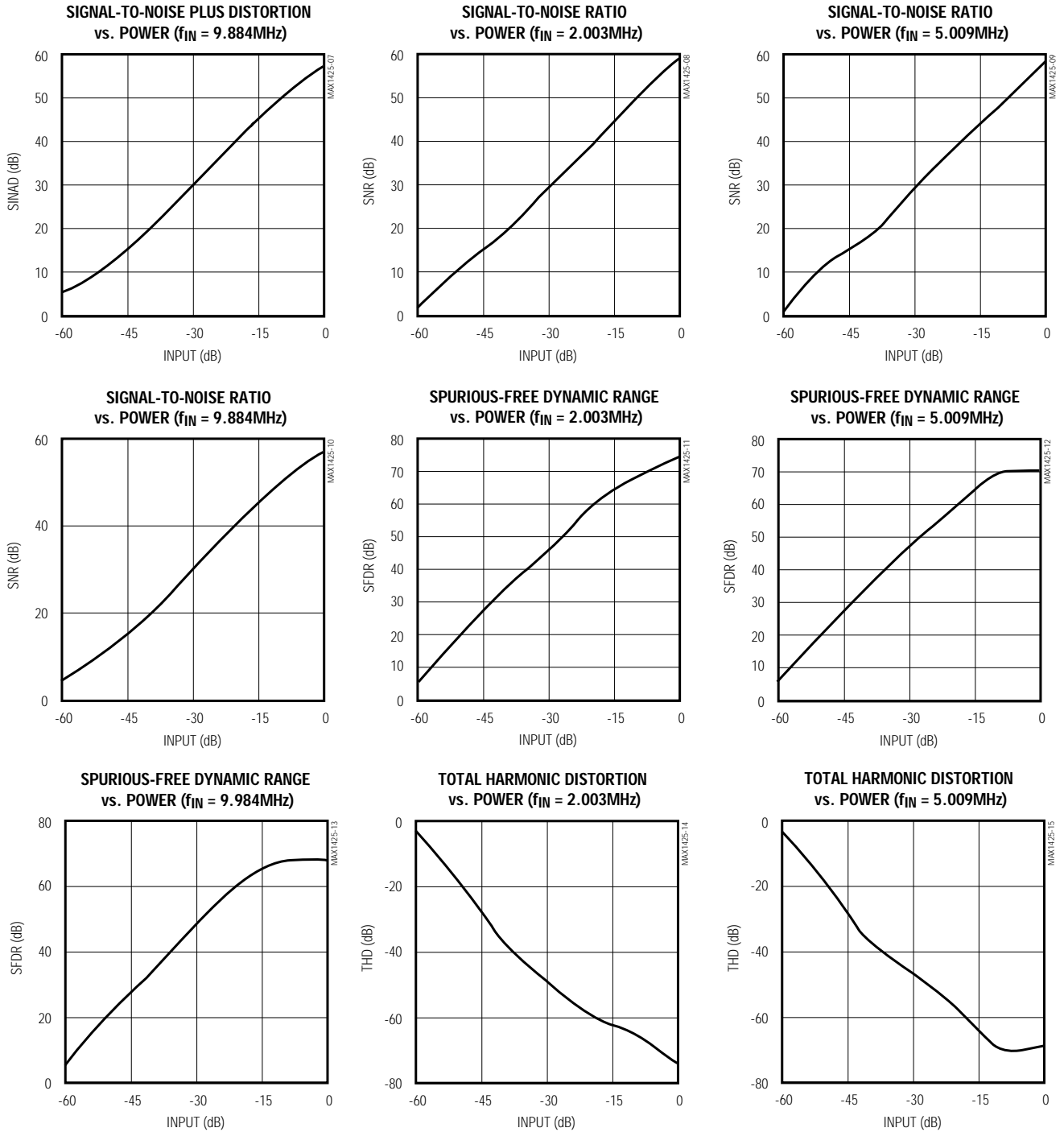


10ビット、20MSPS ADC

MAX1425

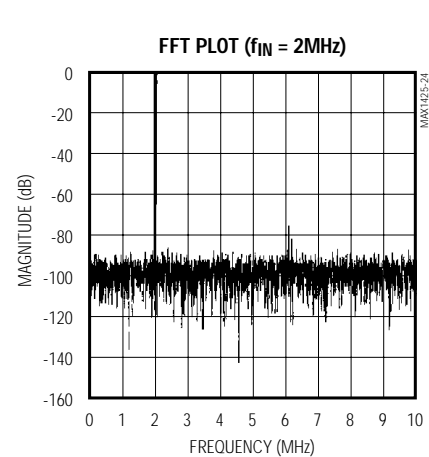
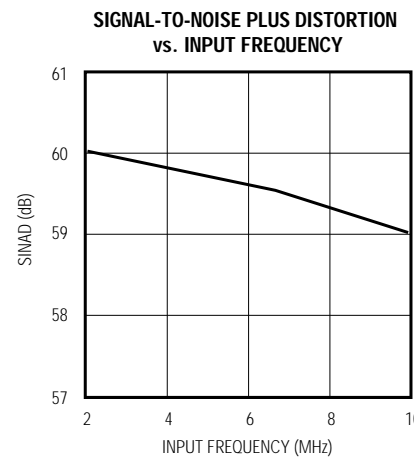
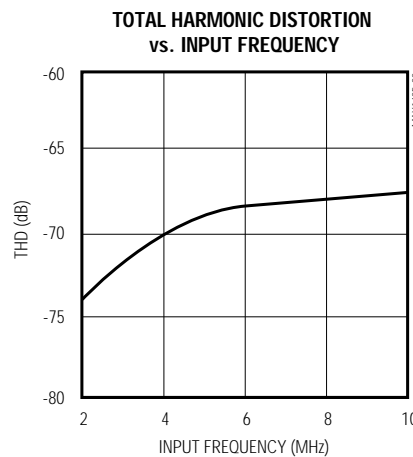
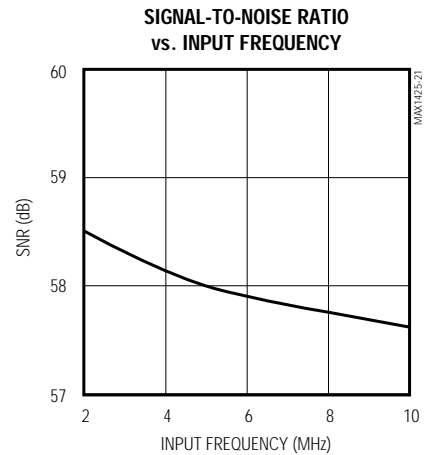
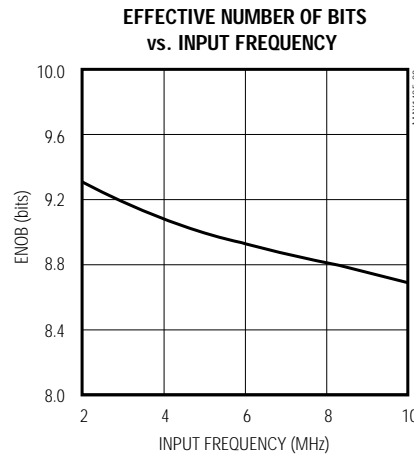
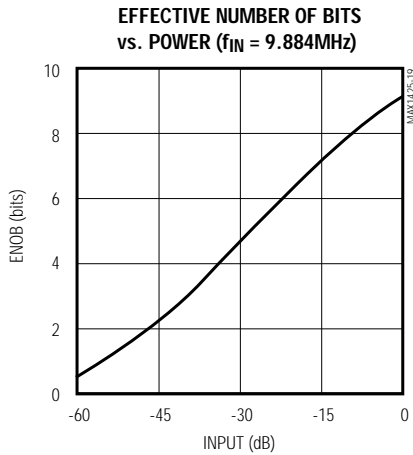
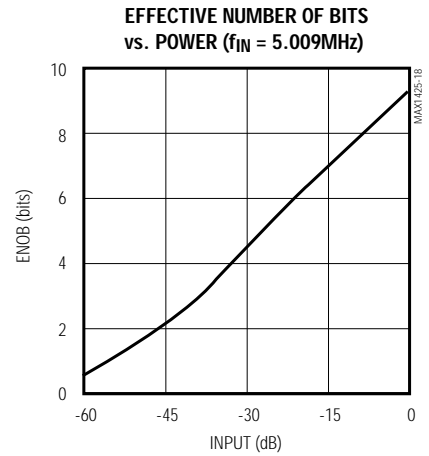
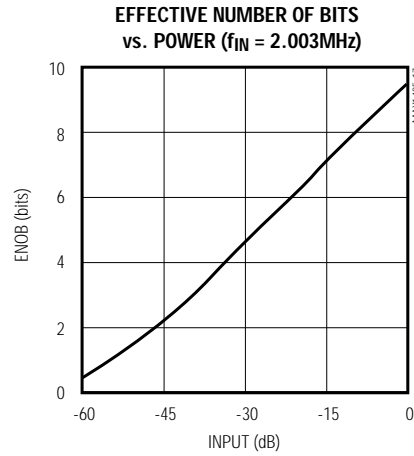
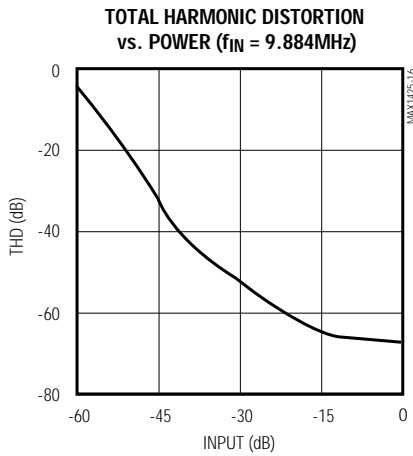
標準動作特性(続き)

($V_{AVDD} = V_{CMLP} = +5V$, $V_{DVDD} = +3.3V$, $V_{CMLN} = V_{AGND} = 0$, internal reference, digital output load = 35pF, $f_{CLK} = 20MSPS$ (50% duty cycle), for dynamic performance 0dB is full scale, $T_A = +25^\circ C$, unless otherwise noted.)



標準動作特性(続き)

($V_{AVDD} = V_{CMLP} = +5V$, $V_{DVDD} = +3.3V$, $V_{CMLN} = V_{AGND} = 0$, internal reference, digital output load = 35pF, $f_{CLK} = 20Msps$ (50% duty cycle), for dynamic performance 0dB is full scale, $T_A = +25^\circ C$, unless otherwise noted.)

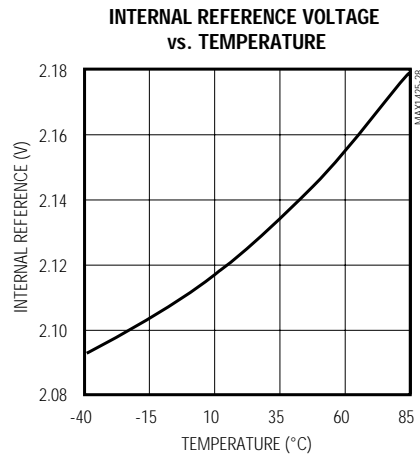
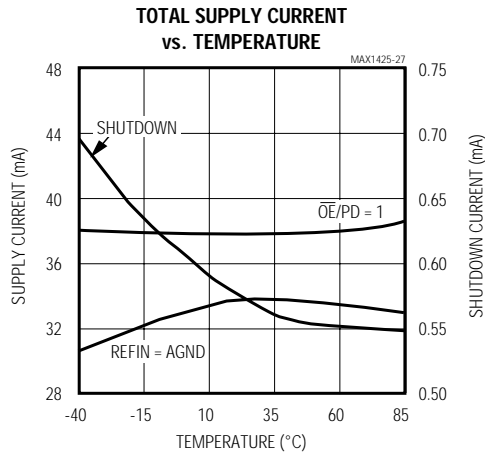
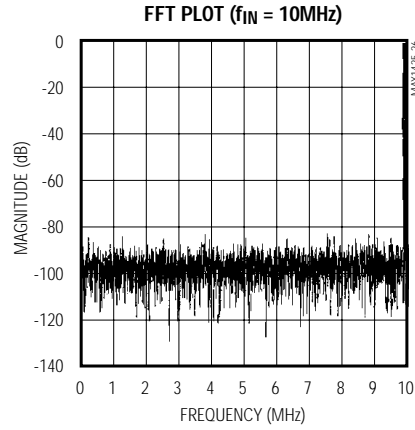
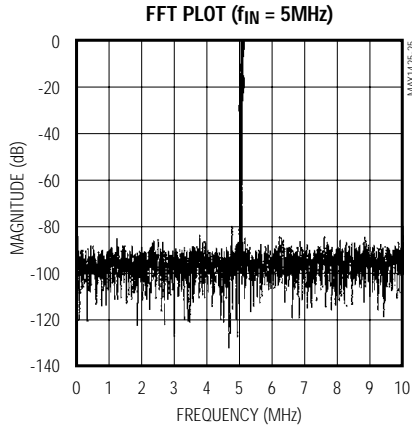


10ビット、20MSPS ADC

MAX1425

標準動作特性(続き)

($V_{AVDD} = V_{CMLP} = +5V$, $V_{DVDD} = +3.3V$, $V_{CMLN} = V_{AGND} = 0$, internal reference, digital output load = 35pF, $f_{CLK} = 20MSPS$ (50% duty cycle), for dynamic performance 0dB is full scale, $T_A = +25^\circ C$, unless otherwise noted.)



端子説明

端子	名称	機能
1, 7	AGND	アナロググランド。アナログ信号の戻りパスを全てこれらのピンに接続して下さい。
2, 8	AV _{DD}	アナログ電源電圧入力。2.2μF、0.1μF及び100pFのコンデンサを並列に接続したものでAGNDにバイパスして下さい。各電源入力は、最も近いAGNDにバイパスして下さい(例：ピン1及びピン2の間のコンデンサ)。
3	REFP	正リファレンス出力。0.1μFコンデンサを使用してAGNDにバイパスして下さい。内部リファレンスがディセーブルされている場合、REFPIは外部電圧を受け入れることができます。
4	REFIN	外部リファレンス入力。0.1μFコンデンサを使用してAGNDにバイパスして下さい。REFINは、外部バイアスを通じてリファレンスレベル及びフルスケールエラーの調整ができます。REFINをAGNDに接続すると、内部リファレンスがディセーブルされます。
5	REFN	負リファレンス出力。0.1μFコンデンサを使用してAGNDにバイパスして下さい。内部リファレンスがディセーブルされている場合(REFN=AGND)、REFNIは外部電圧を受け入れることができます。
6	CML	コモンモードレベル入力。0.1μFコンデンサを使用してAGNDにバイパスして下さい。内部リファレンスがディセーブルされている場合(REFN=AGND)、CMLは外部電圧を受け入れることができます。
9	INP	正アナログ信号入力
10	INN	負アナログ信号入力
11	CMLP	正コモンモードレベル入力。ACアプリケーションの場合、内部でAV _{DD} に接続して入力DCバイアスレベルを設定して下さい。DC結合アプリケーションの場合は、AGNDに接続して下さい。
12	CMLN	負コモンモードレベル入力。AC結合及びDC結合のどちらのアプリケーションの場合でも、内部でAGNDに接続して入力DCバイアスレベルを設定して下さい。
13	CLK	クロック入力。0.1MHz~20MHzのクロック周波数範囲。
14	\overline{OE}/PD	アクティブローの出力イネーブル及びパワーダウン入力。ハイの時にデジタル出力がハイインピーダンスになり、デバイスが低電力モードに切り替わります。
15	D9	デジタルデータ出力(MSB)
16-19	D8-D5	デジタルデータ出力8-5
20, 22	DV _{DD}	デジタル電源電圧入力。並列接続された2.2μF及び0.1μFのコンデンサを使用してバイパスして下さい。デジタル電源は最小+2.7Vの電圧で動作できます。
21, 23	DGND	デジタルグランド
24-27	D4-D1	デジタルデータ出力4-1
28	D0	デジタルデータ出力(LSB)

10ビット、20MSPS ADC

MAX1425

詳細

MAX1425は、10段の完全差動パイプラインアーキテクチャ(図1)を使用しており、消費電力を最小限に押さえる一方で、高速変換を可能にしています。各サンプルは、半クロックサイクル毎に1つのパイプライン段を通過します。出力ラッチ通過時の遅延を考慮した待ち時間は5.5クロックサイクルです。

2ビットのフラッシュADCは、入力電圧をデジタルコードに変換します。DACはADCの結果をアナログ電圧に戻します。この電圧は、保持されている入力信号から差し引かれ、結果として得られたエラー信号は2で掛け合わされます。この積は、次のパイプライン段に渡され、そこで処理が繰り返されます。デジタルエラー補正は各パイプライン段におけるオフセットやミスマッチを補い、欠けているコードがないようにします。

内部トラック/ホールド回路

図2は内部トラック/ホールド(T/H)回路の簡略機能図で、トラックモード及びホールドモードの両方を示しています。この完全差動回路は入力信号をサンプリングして4つのコンデンサC1a、C1b、C2a、C2bに送ります。S2a及びS2bのスイッチは、アンプ入力のコモンモードを設定し、S1より先にオープンになります。S1がオープンの際に、入力はサンプリングされます。次に、S3a及びS3bのスイッチがC1a及びC1bのコンデンサをアンプの出力に接続します。C2a及びC2bのコンデンサは、フラッシュADCの結果に応じてREFN又はREFPに接続されているか、互いにそれぞれ接続されています。

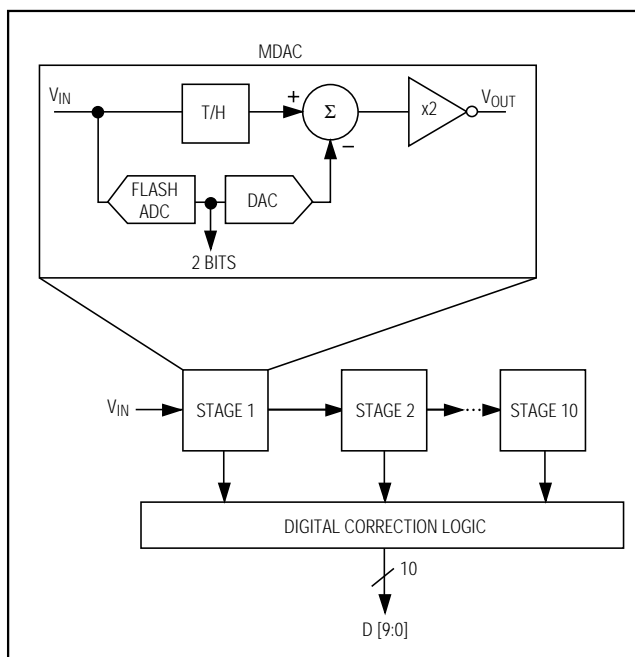


図1. パイプラインA/Dアーキテクチャ

次にアンプは残りの信号を2で掛け合わせ、パイプラインの次の段が同様の操作を行います。

システムのタイミング条件

図3はクロック入力、アナログ入力及びデータ出力の関係を示しています。MAX1425は、入力クロックの立下りエッジをサンプリングします。出力データは入力クロックの立上りエッジで有効です。図に示されているように、出力データには5.5クロックサイクルの内部待ち時間があります。図4は、入力クロックのパラメータ及び有効な出力データ間の関係を示す出力タイミング図を示しています。

アナログ入力及び内部リファレンス

MAX1425は+2.5Vの内部リファレンスを備えています。このリファレンスは、 V_{REFP} 、 V_{CML} 及び V_{REFN} に対応する3つのリファレンスレベル(+3.25V、+2.25V、+1.25V)を生成します。これらのリファレンス電圧は、 $\pm 2V$ の入力範囲をイネーブルします。全てのリファレンス電圧を0.1 μF コンデンサでバイパスして下さい。

MAX1425は3種類のモード、つまり内部リファレンスモード(デフォルト)、外部調整リファレンスモード又は完全外部リファレンスモードで動作します。内部リファレンスモードは、電圧がREFIN、REFP、CML、REFNのいずれにも印可されていない時に発生します。この

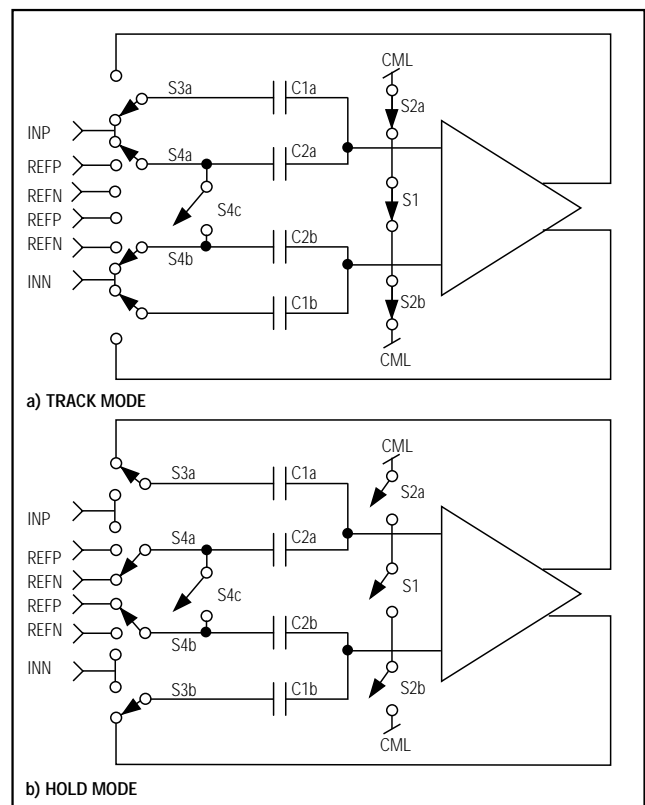


図2. 内部トラック/ホールド回路

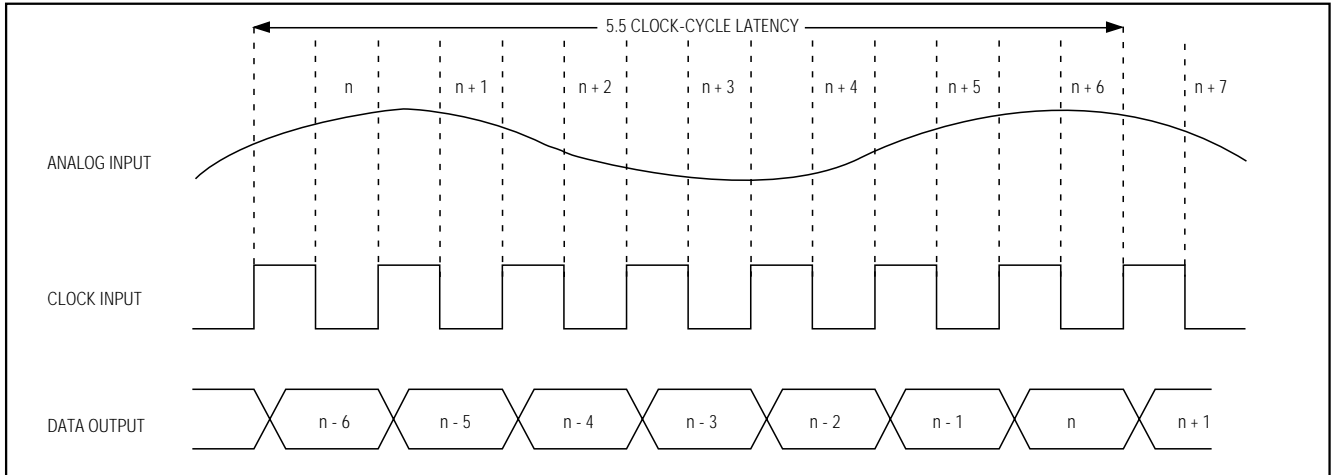


図3. システムタイミング図

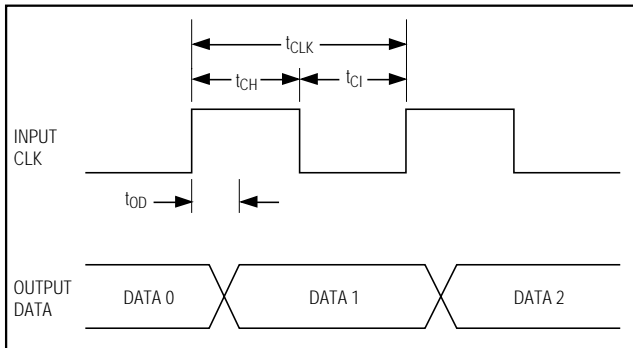


図4. 出力タイミング図

モードでは、これらのピンにおける電圧は公称値に設定されます(「Electrical Characteristics」参照)。リファレンスの電圧レベルは、電圧をREFINに印可することにより外部で調整できます。これにより、他の入力レベルの使用も可能になります。REFIN = AGNDの時、完全外部リファレンスモードになります。外部電圧は、REFP、CML及びREFNに印可できます。このモードでは内部リファレンスがシャットダウンするため、全体的な電力消費が低減します。

クロック入力(CLK)

CLKはTTL/CMOSコンパチブルです。段間変換は外部クロックの立上り及び立下りエッジに依存するため、低ジッタ及び速い立上り/立下り時間(<2ns)のクロックを使用して下さい。低いクロックジッタはSNR性能を向上させます。MAX1425は50%のデューティサイクルで動作します。クロックのデューティサイクルが50%以外の場合は、クロックが「Electrical Characteristics」に示されているハイ及びローの期間の仕様を満たしていることが必要です。

表1. MAX1425出力コード

DIFFERENTIAL INPUT	OUTPUT CODE (TWO'S COMPLEMENT)
+Full Scale	0 1 1 1 1 1 1 1 1 1
+Full Scale 1LSB	0 1 1 1 1 1 1 1 1 0
+Full Scale 2LSB	0 1 1 1 1 1 1 1 0 1
+3/4 Full Scale	0 1 1 0 0 0 0 0 0 0
+1/2 Full Scale	0 1 0 0 0 0 0 0 0 0
+1/4 Full Scale	0 0 1 0 0 0 0 0 0 0
+1 LSB	0 0 0 0 0 0 0 0 0 1
Bipolar Zero	0 0 0 0 0 0 0 0 0 0
-1 LSB	1 1 1 1 1 1 1 1 1 1
-1/4 Full Scale	1 1 1 0 0 0 0 0 0 0
-1/2 Full Scale	1 1 0 0 0 0 0 0 0 0
-3/4 Full Scale	1 0 1 0 0 0 0 0 0 0
-Full Scale + 1LSB	1 0 0 0 0 0 0 0 0 1
-Full Scale	1 0 0 0 0 0 0 0 0 0

出カインエーブル/パワーダウン機能(\overline{OE}/PD)及び出力データ

全てのデータ出力D0 ~ D9は、TTL/CMOSロジックコンパチブルです。変換開始信号及び有効な出力データの間には、5.5クロックサイクルの待ち時間があります。MAX1425の出力コーディングはバイナリの2の補数の形式で、反転MSBを含んでいます(表1)。 \overline{OE}/PD がハイになると、デジタル出力は高インピーダンス状態になり、デバイスが低電力モードに切り替わります。通常の操作では、 \overline{OE} をローで駆動して下さい。出力の仕様はTTLコンパチビリティを保つために僅か200 μ Aとなっており、高容量又は高負荷を駆動するようには設計されていません。アプリケーションに出力バッファが

10ビット、20MSPS ADC

MAX1425

必要な場合は、必要に応じて74LS74又は74ALS541を使用して下さい。

アプリケーション情報

図5は、差動コンバータへのシングルエンドを含む標準的なアプリケーション回路を示しています。内部リファレンスは、レベルシフトに対して+2.25Vの出力を提供します。入力はバッファされ、電圧フォロワ及びインバータに分割されます。オペアンプのあとにはローパスフィルタが使用され、高速オペアンプに伴う広帯域ノイズの一部を除去します。このアプリケーションにおいて、

アンプの出力は入力に直接結合しています。この構成は、AC結合アプリケーション用に変更することもできます。MAX1425には内部にDCレベルシフト回路が備わっており、AC結合アプリケーションに対応しています。レベルシフト回路は図6に示されています。

図6の回路は、1Vp-pの最大入力電圧を受け入れることができます。20MHzの最大クロック周波数と共に50の終端を使用し、反射を最小限に留めて下さい。低コスト、高速のオクタールラッチ付フリップフロップ(74ALS374)でデジタル出力をバッファするか、74ALS541等のオクタールバッファを使用して下さい。

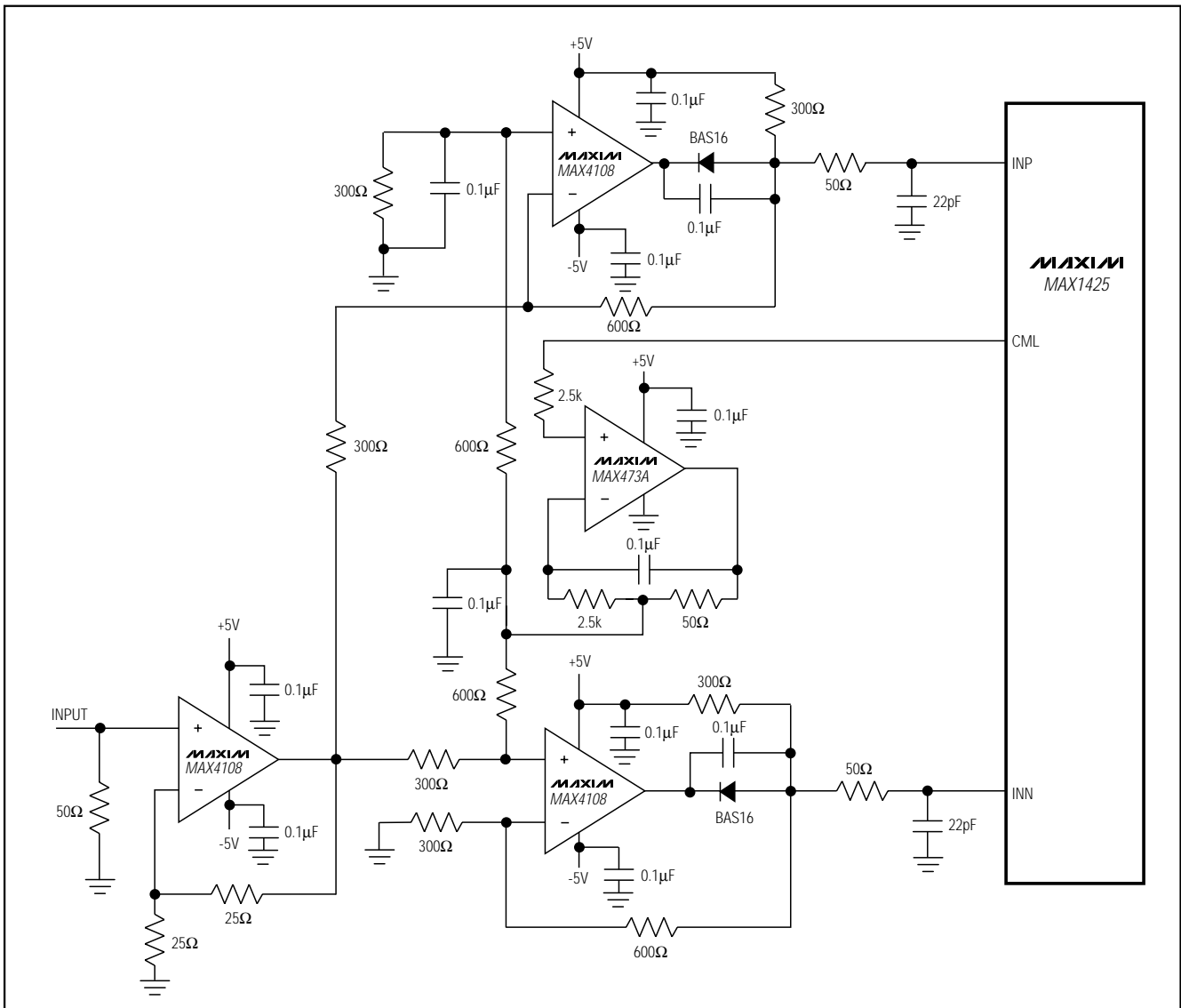


図5. 内部リファレンスを使用した標準アプリケーション回路

外部リファレンスを使用した標準アプリケーション

図7は、内部リファレンスをシャットダウンし、外部リファレンスを使用して異なるコモンモード電圧を選択できるようにするアプリケーション回路を示しています。この柔軟性のある回路では、レシオメトリック変換やキャリブレーションも可能です。

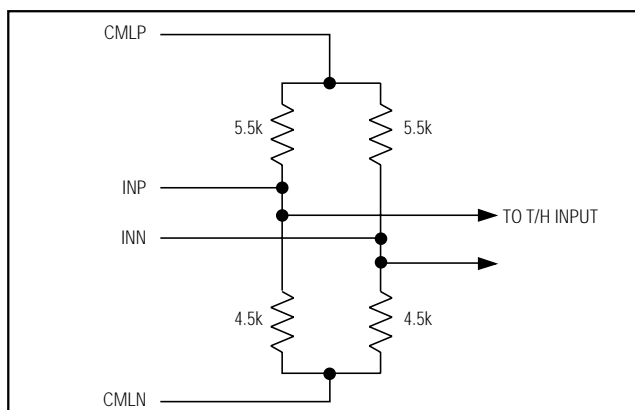


図6. アナログ入力DCバイアス回路

トランス結合の使用

小型のトランス(図8)は、アイソレーション及びADCの入力へのAC結合を提供します。トランスの中央タップをCMLに接続することにより、入力に+2.25VDCのレベルシフトが提供されます。トランス結合は高速オペアンプの必要性を省くため、費用の節約につながります。ここでは1:1トランスが示されていますが、ステップアップトランスを使用して駆動要件を削減することもできます。

シングルエンドDC結合入力信号

図9は、AC結合されたシングルエンドアプリケーションを示しています。MAX4108クワッドオペアンプは、高速、広帯域幅、低ノイズ及び低歪みという特長を兼ね備えており、入力信号の一貫性を保ちます。

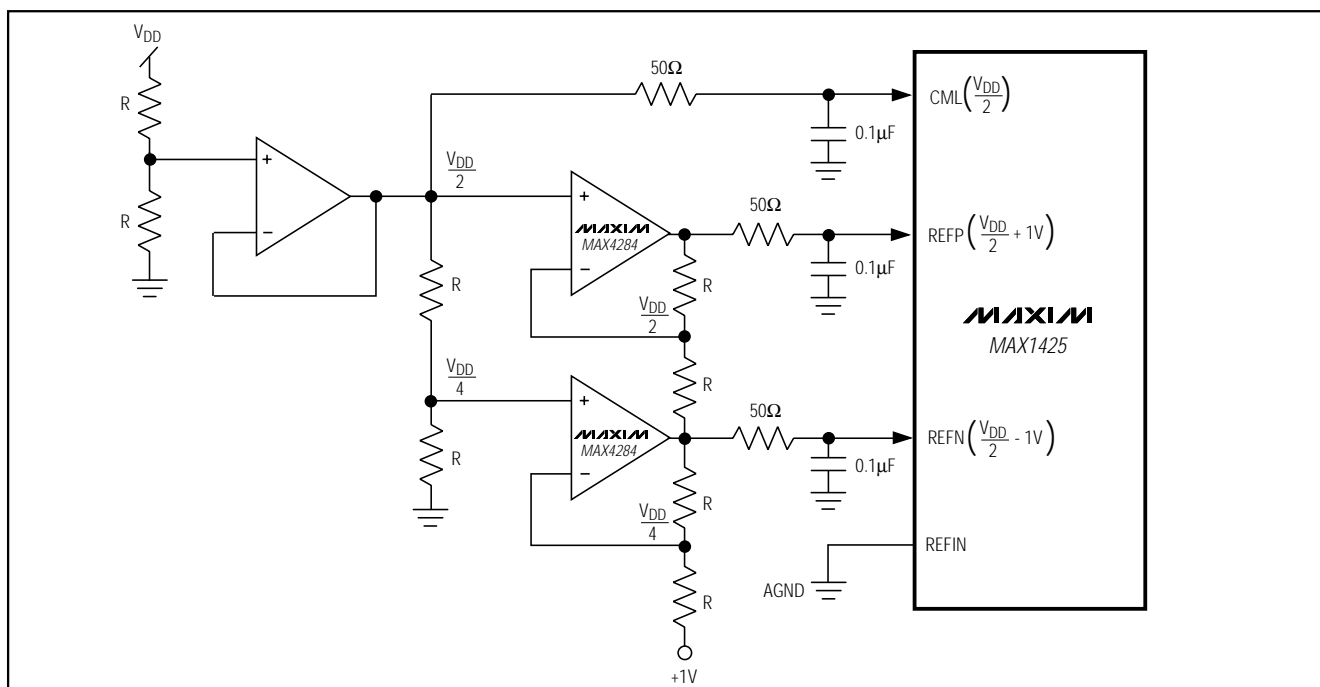


図7. REF、REFN、CML(内部リファレンスシャットダウン)用の外部リファレンスの使用

10ビット、20MSPS ADC

MAX1425

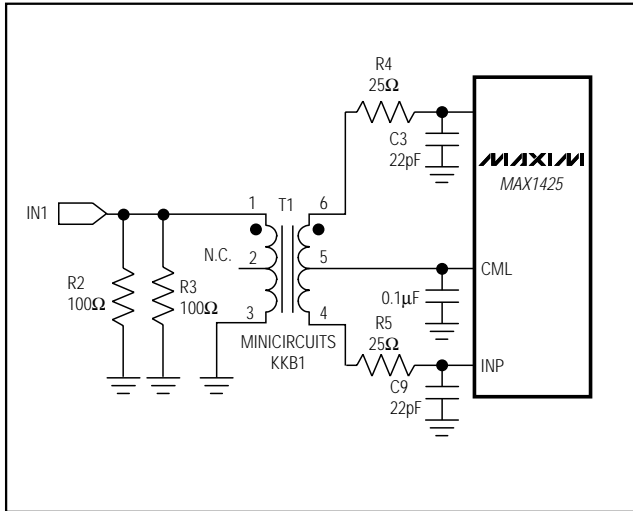


図8. AC結合用トランスの使用

バイパス及びボードレイアウト

MAX1425は高速ボードレイアウト設計を必要とします。全てのバイパスコンデンサをデバイスのできるだけ近くに配置し、表面実装デバイスを使用してインダクタンスを最小に留めて下さい。アナログ電圧(AV_{DD} 、REFIN、REFP、REFN、CML)は全てAGNDにバイパスし、デジタル電源(DV_{DD})はDGNDにバイパスして下さい。個別のグランド及び電力プレーンを持つ多層ボードは、最高レベルの信号一貫性を生み出します。高速デジタル信号配線は、敏感なアナログ配線から離して配置して下さい。特に、入力クロックジェネレータに対する整合インピーダンスは反射を削減するため、システムにおけるジッタを減少させます。最適な結果を得るには、MAX4108などの低歪みのコンプリメンタリ製品を使用して下さい。

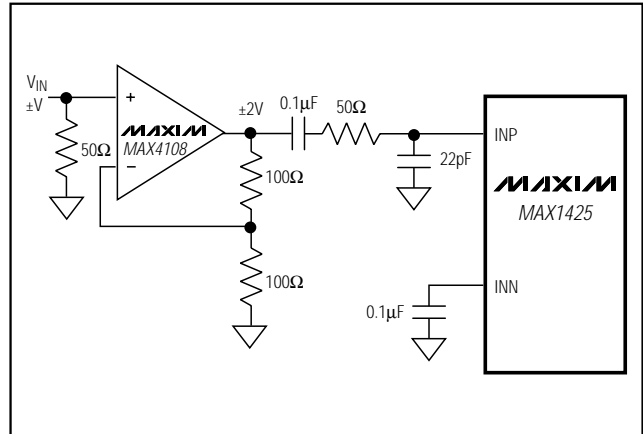


図9. シングルエンドAC結合入力信号

チップ情報

TRANSISTOR COUNT: 5305

10ビット、20MSPS ADC

MAX1425

パッケージ

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.068	0.078	1.73	1.99
A1	0.002	0.008	0.05	0.21
B	0.010	0.015	0.25	0.38
C	0.004	0.008	0.09	0.20
D	SEE VARIATIONS			
E	0.205	0.209	5.20	5.38
e	0.0256	BSC	0.65	BSC
H	0.301	0.311	7.65	7.90
L	0.025	0.037	0.63	0.95
α	0°	8°	0°	8°

D	INCHES		MILLIMETERS		
	MIN	MAX	MIN	MAX	
D	0.239	0.249	6.07	6.33	14L
D	0.239	0.249	6.07	6.33	16L
D	0.278	0.289	7.07	7.33	20L
D	0.317	0.328	8.07	8.33	24L
D	0.397	0.407	10.07	10.33	28L

NOTES:

- D&E DO NOT INCLUDE MOLD FLASH.
- MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .15mm (.006")
- CONTROLLING DIMENSION: MILLIMETER

MAXIM			
PROPRIETARY INFORMATION			
TITLE:			
PACKAGE OUTLINE, SSOP, 5.3X.65mm			
APPROVAL	DOCUMENT CONTROL NO.	REV	1/1
	21-0056	A	

10ビット、20Msps ADC

MAX1425

NOTES

販売代理店

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

16 _____ Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600

© 2000 Maxim Integrated Products

MAXIM is a registered trademark of Maxim Integrated Products.