

12ビット、40MSPS、+3.3V、低電力ADC 内部リファレンス付

概要

+3.3V、12ビットA/Dコンバータ(ADC) MAX1421は、完全差動入力の特長とし、パイプラインされた12ステージのADCアーキテクチャで、完全差動信号パス構成の、広帯域トラックアンドホールド(T/H)及びデジタル誤差補正を備えています。MAX1421は、イメージング装置及びデジタル通信などの低電源、高ダイナミック性能のアプリケーション用として最適です。このコンバータは+3.3Vの単一電源で動作し、消費電力は僅か188mWです。15MHzの入力周波数及び40MSPSサンプル周波数における標準信号対ノイズ比(SNR)は66dBです。完全差動入力ステージは400MHzの小信号-3dB帯域をもち、シングルエンド入力を使用した動作が可能です。

内部+2.048V精度のバンドギャップリファレンスがADCのフルスケール範囲を設定します。フレキシブルなリファレンス構造で、内部リファレンス又は外部からのバッファされた、又はバッファされていないリファレンスを使用することが可能なため、精度の高い、又は異なった入力電圧範囲を必要とするアプリケーションに最適です。

低動作電力に加えて、MAX1421はリファレンスパワーダウン及びシャットダウンモードの2つのパワーダウンモードを備えています。リファレンスパワーダウンモードでは、内部バンドギャップリファレンスが停止され、結果として標準消費電流が2mA低減されます。アイドル期間中に電力の節約を最大化するフルシャットダウンモードも備えています。

MAX1421は、パラレル、オフセットバイナリ、CMOSコンパチブルのスリーステート出力を特長としています。

MAX1421は、7mmx7mm、48ピンTQFPパッケージで提供され、商業用温度範囲(0°C~+70°C)及び工業用拡大温度範囲(-40°C~+85°C)の仕様となっています。

ピンコンパチブル、高速、低速バージョンのMAX1421も提供しています。60MSPSについてはMAX1420のデータシートを、20MSPSについてはMAX1422のデータシートを参照して下さい。

アプリケーション

医療用超音波イメージング

CCDピクセル処理

データ取得

レーダ

IF及びベースバンドデジタル化

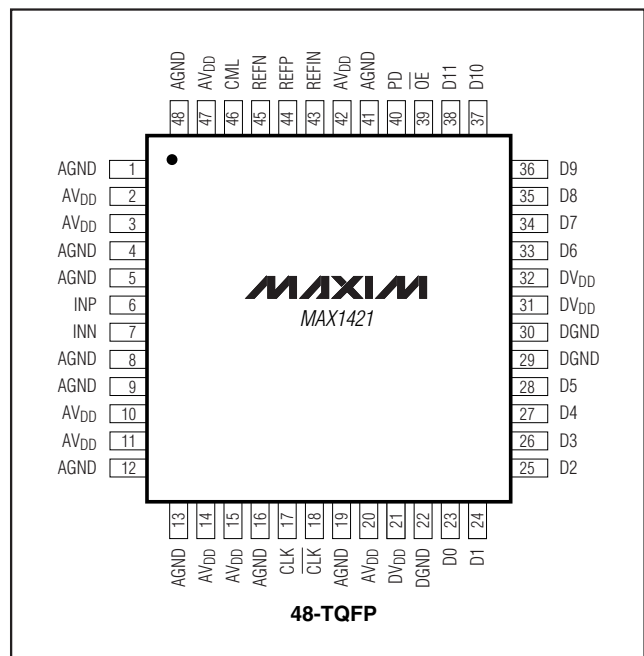
特長

- ◆ 単一電源：+3.3V
- ◆ SNR@f_{IN}=5MHz：67dB
- ◆ SNR@f_{IN}=15MHz：66dB
- ◆ 内部+2.048V精度バンドギャップリファレンス
- ◆ 差動広帯域入力T/Hアンプ
- ◆ パワーダウンモード：
 - 180mW(リファレンスシャットダウンモード)
 - 10μW(シャットダウンモード)
- ◆ パッケージ：省スペースの48ピンTQFP

型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX1421CCM	0°C to +70°C	48 TQFP
MAX1421ECM	-40°C to +85°C	48 TQFP

ピン配置



Functional Diagram appears at end of data sheet.

12ビット、40Msps、+3.3V、低電力ADC 内部リファレンス付

MAX1421

ABSOLUTE MAXIMUM RATINGS

AV_{DD}, DV_{DD} to AGND-0.3V to +4V
 DV_{DD}, AV_{DD} to DGND-0.3V to +4V
 DGND to AGND-0.3V to +0.3V
 INP, INN, REFP, REFN, REFIN,
 CML, CLK, $\overline{\text{CLK}}$ (AGND - 0.3V) to (AV_{DD} + 0.3V)
 D0-D11, $\overline{\text{OE}}$, PD(DGND - 0.3V) to (DV_{DD} + 0.3V)
 Continuous Power Dissipation (T_A = +70°C)
 48-Pin TQFP (derate 12.5mW/°C above +70°C)1000mW

Maximum Junction Temperature+150°C
 Operating Temperature Ranges
 MAX1421CCM0°C to +70°C
 MAX1421ECM-40°C to +85°C
 Storage Temperature Range-65°C to +150°C
 Lead Temperature (soldering, 10s)+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{AVDD} = V_{DVDD} = +3.3V, AGND = DGND = 0, V_{IN} = ±1.024V, differential input voltage at -0.5dB FS, internal reference, f_{CLK} = 40MHz (50% duty cycle), digital output load C_L ≈ 10pF, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY						
Resolution	RES			12		Bits
Differential Nonlinearity	DNL	T _A = +25°C, no missing codes	-1		1	LSB
		T _A = T _{MIN} to T _{MAX}		±0.5		
Integral Nonlinearity	INL	T _A = T _{MIN} to T _{MAX}		±2		LSB
Mid-scale Offset	MSO		-3	±.75	3	%FSR
Mid-scale Offset Temperature Coefficient	MSOTC			3 × 10 ⁻⁴		%/°C
Gain Error	GE	Internal reference (Note 1)	-5	0.1	5	%FSR
		External reference applied to REFIN (Note 2)	-5	±3	5	
		External reference applied to REFP, CML, and REFN (Note 3)	-1.5	±0.5	1.5	
Gain Error Temperature Coefficient	GETC	External reference applied to REFP, CML, and REFN, (Note 3)		15 × 10 ⁻⁶		%/°C
DYNAMIC PERFORMANCE (f _{CLK} = 40MHz, 4096-point FFT)						
Signal-to-Noise Ratio	SNR	f _{IN} = 5MHz		67		dB
		f _{IN} = 15MHz, T _A = +25°C	62	66		
Spurious-Free Dynamic Range	SFDR	f _{IN} = 5MHz		73		dBc
		f _{IN} = 15MHz, T _A = +25°C	64	70		
Total Harmonic Distortion	THD	f _{IN} = 5MHz		-74		dBc
		f _{IN} = 15MHz, T _A = +25°C		-69	-62	
Signal-To-Noise Plus Distortion	SINAD	f _{IN} = 5MHz		66		dB
		f _{IN} = 15MHz, T _A = +25°C	60	63.5		
Effective Number of Bits	ENOB	f _{IN} = 5MHz		10.7		Bits
		f _{IN} = 15MHz, T _A = +25°C	60	10.3		
Two-Tone Intermodulation Distortion	IMD _{TT}	f _{IN1} = 11.569MHz, f _{IN2} = 13.445MHz (Note 4)		-80		dBc

12ビット、40Msps、+3.3V、低電力ADC 内部リファレンス付

MAX1421

ELECTRICAL CHARACTERISTICS (continued)

($V_{AVDD} = V_{DVDD} = +3.3V$, $AGND = DGND = 0$, $V_{IN} = \pm 1.024V$, differential input voltage at $-0.5dB$ FS, internal reference, $f_{CLK} = 40MHz$ (50% duty cycle), digital output load $C_L \approx 10pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Differential Gain	DG			± 1		%
Differential Phase	DP			± 0.25		degrees
ANALOG INPUTS (INP, INN, CML)						
Input Resistance	R_{IN}	Either input to ground		32.5		$k\Omega$
Input Capacitance	C_{IN}	Either input to ground		4		pF
Common-Mode Input Level, (Note 5)	V_{CML}			$V_{AVDD} \times 0.5$		V
Common-Mode Input Voltage Range, (Note 5)	V_{CMVR}			$V_{CML} \pm 5\%$		V
Differential Input Range	V_{IN}	$V_{INP} - V_{INN}$ (Note 6)		$\pm V_{DIFF}$		V
Small-Signal Bandwidth	BW_{-3dB}	(Note 7)		400		MHz
Large-Signal Bandwidth	$FPBW_{-3dB}$	(Note 7)		150		MHz
Over-Voltage Recovery	OVR	$1.5 \times FS$ input		1		Clock Cycle
INTERNAL REFERENCE (REFIN bypassed with $0.22\mu F$ in parallel with $1nF$)						
Common-Mode Reference Input Voltage	V_{CML}	At CML		$V_{AVDD} \times 0.5$		V
Positive Reference Voltage Range	V_{REFP}	At REFP		$V_{CML} + 0.512$		V
Negative Reference Voltage Range	V_{REFN}	At REFN		$V_{CML} - 0.512$		V
Differential Reference Voltage Range	V_{DIFF}	$V_{DIFF} = V_{REFP} - V_{REFN}$		$1.024 \pm 5\%$		V
Differential Reference Temperature Coefficient	REFTC			± 100		ppm/ $^\circ C$
EXTERNAL REFERENCE						
REFIN Input Resistance	R_{IN}	(Note 8)		5		$k\Omega$
REFIN Input Capacitance	C_{IN}			10		pF
REFIN Reference Input Voltage	V_{REFIN}			$2.048 \pm 10\%$		V
Differential Reference Voltage	V_{DIFF}	$V_{DIFF} = (V_{REFP} - V_{REFN})$		$0.95 \times V_{REFIN/2}$ to $1.05 \times V_{REFIN/2}$		V
EXTERNAL REFERENCE ($V_{REFIN} = AGND$, reference voltage applied to REFP, REFN and CML)						
REFP, REFN, CML Input Current	I_{IN}		-200		200	μA
REFP, REFN, CML Input Capacitance	C_{IN}			15		pF

12ビット、40Msps、+3.3V、低電力ADC 内部リファレンス付

MAX1421

ELECTRICAL CHARACTERISTICS (continued)

($V_{AVDD} = V_{DVDD} = +3.3V$, $AGND = DGND = 0$, $V_{IN} = \pm 1.024V$, differential input voltage at $-0.5dB$ FS, internal reference, $f_{CLK} = 40MHz$ (50% duty cycle), digital output load $C_L \approx 10pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Differential Reference Voltage Range	V_{DIFF}	$V_{DIFF} = V_{REFP} - V_{REFN}$		1.024 $\pm 10\%$		V
CML Input Voltage Range	V_{CML}			1.65 $\pm 10\%$		V
REFP Input Voltage Range	V_{REFP}			$V_{CML} + V_{DIFF}/2$		V
REFN Input Voltage Range	V_{REFN}			$V_{CML} - V_{DIFF}/2$		V
DIGITAL INPUTS (CLK, \overline{CLK}, \overline{OE}, PD)						
Input Logic High	V_{IH}		$0.7 \times V_{DVDD}$			V
Input Logic Low	V_{IL}			$0.3 \times V_{DVDD}$		V
Input Current		CLK, \overline{CLK}	± 330			μA
		PD	-20	20		
		\overline{OE}	-20	20		
Input Capacitance			10			pF
DIGITAL OUTPUTS (D0–D11)						
Output Logic High	V_{OH}	$I_{OH} = 200\mu A$	$V_{DVDD} - 0.5$	V_{DVDD}		V
Output Logic Low	V_{OL}	$I_{OL} = -200\mu A$	0	0.5		V
Three-State Leakage			-10	10		μA
Three-State Capacitance			2			pF
POWER REQUIREMENTS						
Analog Supply Voltage	V_{AVDD}		3.135	3.3	3.465	V
Digital Supply Voltage	V_{DVDD}		2.7	3.3	3.6	V
Analog Supply Current	I_{AVDD}			52	65	mA
Analog Supply Current with Internal Reference in Shutdown		REFIN = AGND		50	63	mA
Analog Shutdown Current		PD = DVDD			20	μA
Digital Supply Current	I_{DVDD}			5.5		mA
Digital Shutdown Current		PD = DVDD			20	μA
Power Dissipation	P_{DISS}	Analog power		188	214	mW
Power-Supply Rejection Ratio	PSRR	(Note 9)		± 1		mV/V
TIMING CHARACTERISTICS						
Clock Frequency	f_{CLK}	Figure 5	0.1		40	MHz
Clock High	t_{CH}	Figure 5, clock period 25ns		12.5		ns
Clock Low	t_{CL}	Figure 5, clock period 25ns		12.5		ns

12ビット、40Msps、+3.3V、低電力ADC 内部リファレンス付

ELECTRICAL CHARACTERISTICS (continued)

($V_{AVDD} = V_{DVDD} = +3.3V$, $AGND = DGND = 0$, $V_{IN} = \pm 1.024V$, differential input voltage at $-0.5dB$ FS, internal reference, $f_{CLK} = 40MHz$ (50% duty cycle), digital output load $C_L \approx 10pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Pipeline Delay (Latency)		Figure 5		7		f_{CLK} cycles
Aperture Delay	t_{AD}	Figure 9		2		ns
Aperture Jitter	t_{AJ}	Figure 9		2		ps
Data Output Delay	t_{OD}	Figure 5	5	10	14	ns
Bus Enable Time	t_{BE}	Figure 4		5		ns
Bus Disable Time	t_{BD}	Figure 4		5		ns

Note 1: Internal reference, REFIN bypassed to AGND with a combination of $0.22\mu F$ in parallel with $1nF$ capacitor.

Note 2: External $+2.048V$ reference applied to REFIN.

Note 3: Internal reference disabled. $V_{REFIN} = 0$, $V_{REFF} = +2.162V$, $V_{CML} = +1.65V$, and $V_{REFN} = +1.138V$.

Note 4: IMD is measured with respect to either of the fundamental tones.

Note 5: Specifies the common-mode range of the differential input signal supplied to the MAX1421.

Note 6: $V_{DIFF} = V_{REFF} - V_{REFN}$

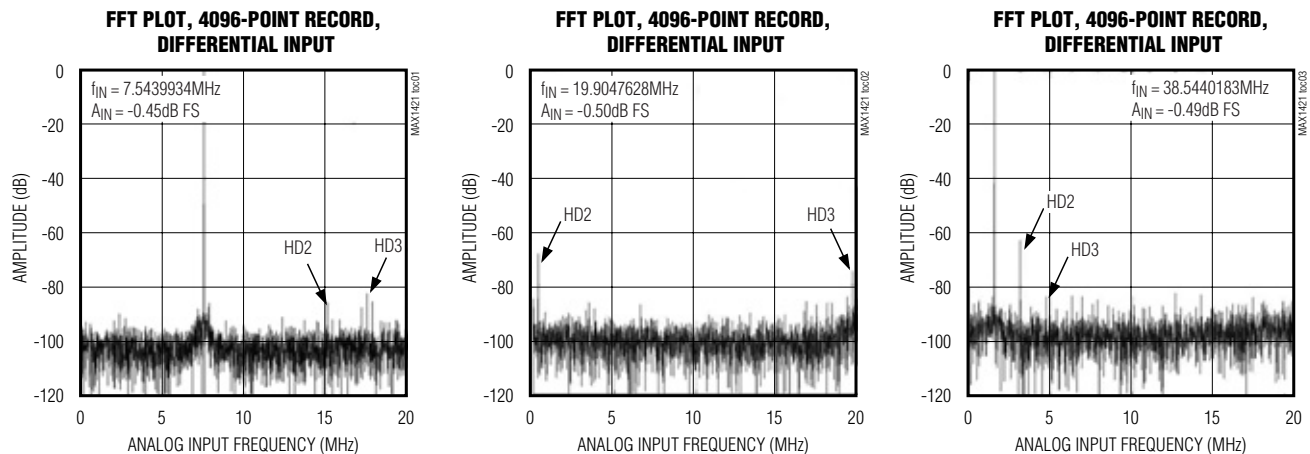
Note 7: Input bandwidth is measured at a 3dB level.

Note 8: V_{REFIN} is internally biased to $+2.048V$ through a $10k\Omega$ resistor.

Note 9: Measured as the ratio of the change in mid-scale offset voltage for a $\pm 5\%$ change in V_{AVDD} using the internal reference.

標準動作特性

($V_{AVDD} = V_{DVDD} = +3.3V$, $AGND = DGND = 0$, $V_{IN} = \pm 1.024V$, differential input voltage, $f_{CLK} = 40MHz$ (50% duty cycle), digital output load $C_L = 10pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

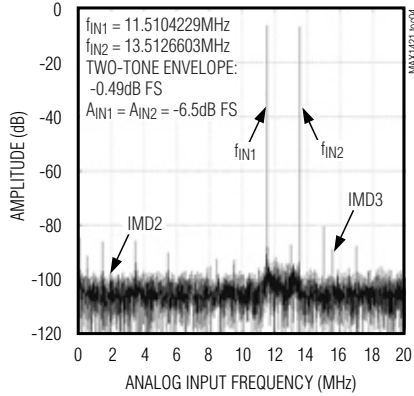


12ビット、40Msps、+3.3V、低電力ADC 内部リファレンス付

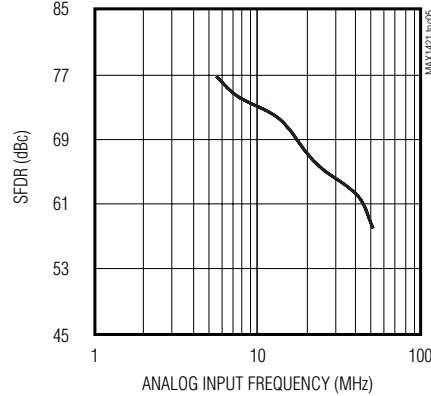
標準動作特性(続き)

($V_{AVDD} = V_{DVDD} = +3.3V$, $AGND = DGND = 0$, $V_{IN} = \pm 1.024V$, differential input voltage, $f_{CLK} = 40MHz$ (50% duty cycle), digital output load $C_L = 10pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

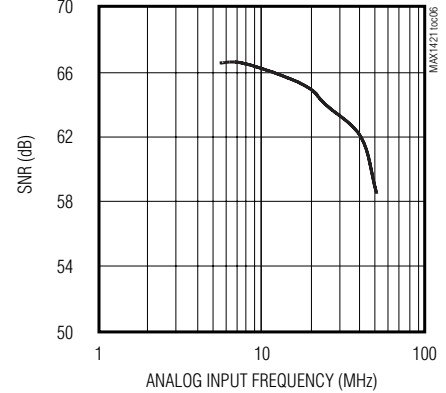
TWO-TONE IMD, 8192-POINT RECORD, DIFFERENTIAL INPUT



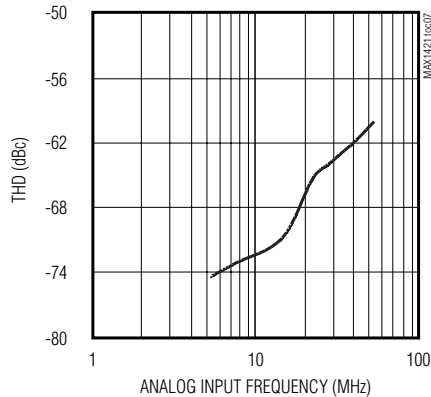
SPURIOUS-FREE DYNAMIC RANGE vs. ANALOG INPUT FREQUENCY



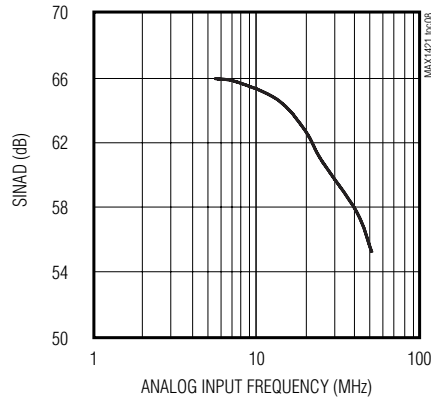
SIGNAL-TO-NOISE RATIO vs. ANALOG INPUT FREQUENCY



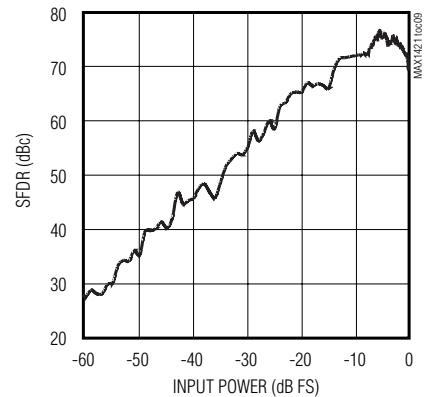
TOTAL HARMONIC DISTORTION vs. ANALOG INPUT FREQUENCY



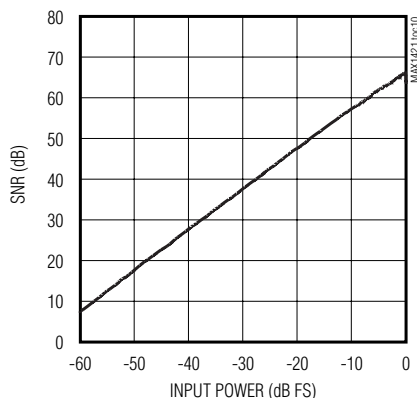
SIGNAL-TO-NOISE PLUS DISTORTION vs. ANALOG INPUT FREQUENCY



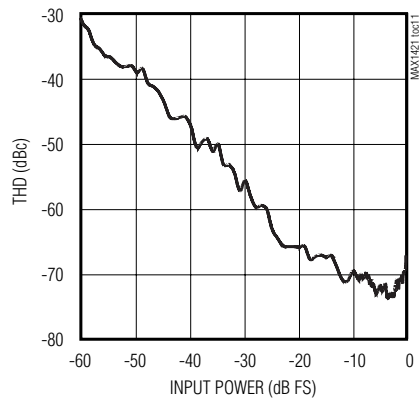
SPURIOUS-FREE DYNAMIC RANGE vs. INPUT POWER ($f_{IN} = 15MHz$)



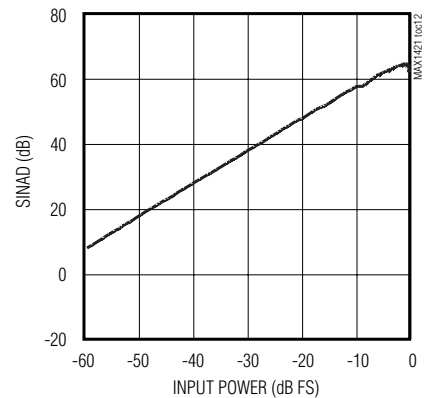
SIGNAL-TO-NOISE RATIO vs. INPUT POWER ($f_{IN} = 15MHz$)



TOTAL HARMONIC DISTORTION vs. INPUT POWER ($f_{IN} = 15MHz$)



SIGNAL-TO-NOISE PLUS DISTORTION vs. INPUT POWER ($f_{IN} = 15MHz$)

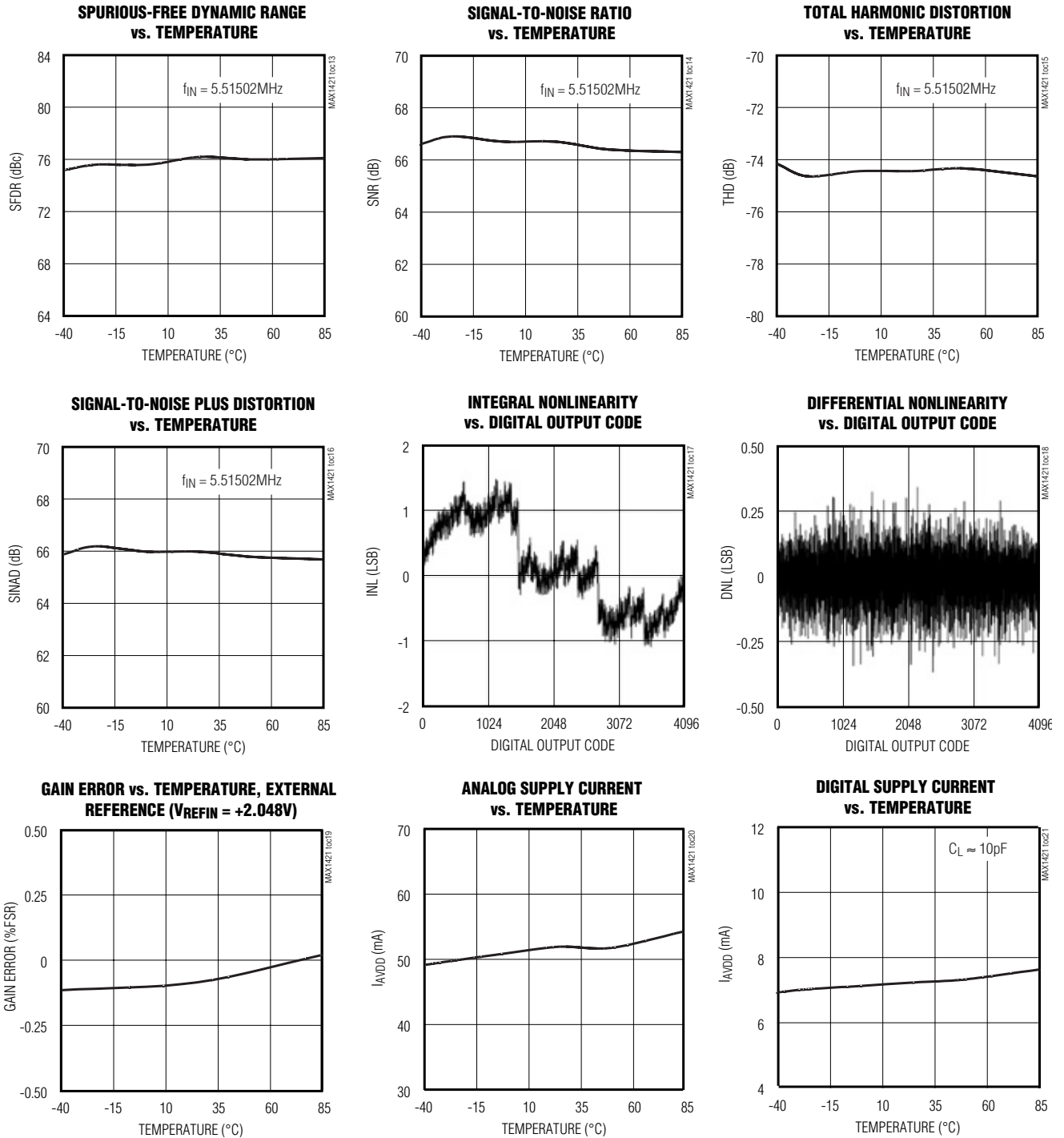


12ビット、40Msps、+3.3V、低電力ADC 内部リファレンス付

MAX1421

標準動作特性(続き)

($V_{AVDD} = V_{DVDD} = +3.3V$, $AGND = DGND = 0$, $V_{IN} = \pm 1.024V$, differential input voltage, $f_{CLK} = 40MHz$ (50% duty cycle), digital output load $C_L = 10pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

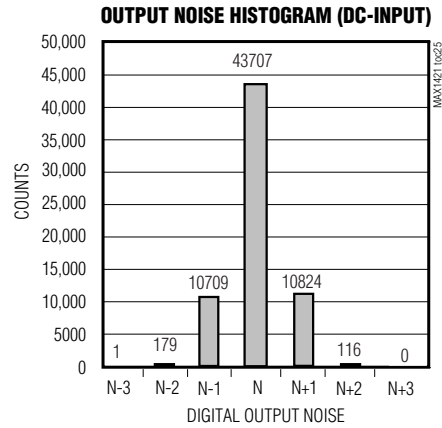
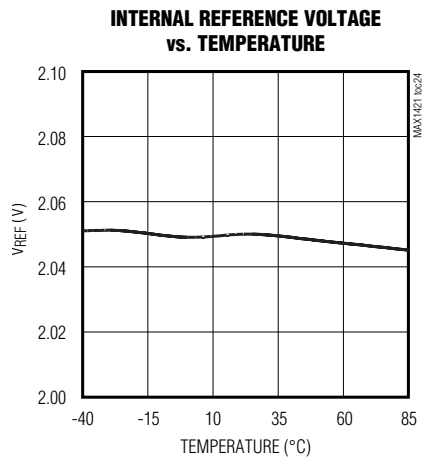
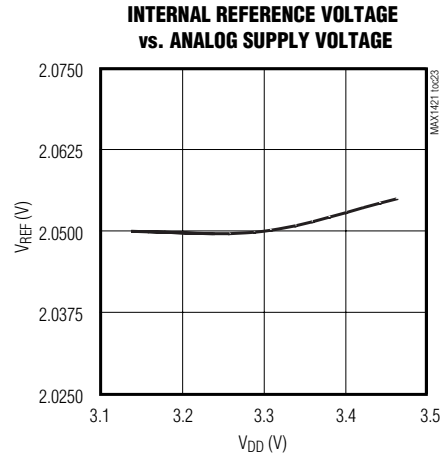
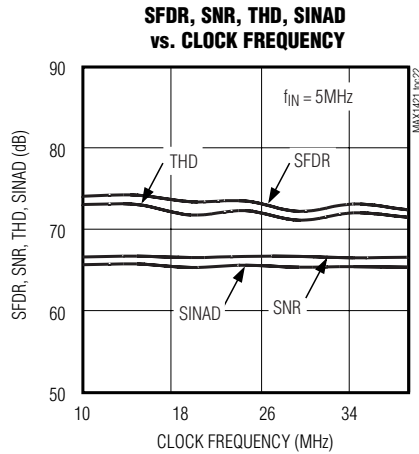


12ビット、40Msps、+3.3V、低電力ADC 内部リファレンス付

MAX1421

標準動作特性(続き)

($V_{AVDD} = V_{DVDD} = +3.3V$, $AGND = DGND = 0$, $V_{IN} = \pm 1.024V$, differential input voltage, $f_{CLK} = 40MHz$ (50% duty cycle), digital output load $C_L = 10pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)



12ビット、40Msps、+3.3V、低電力ADC 内部リファレンス付

MAX1421

端子説明

端子	名称	機能
1, 4, 5, 8, 9, 12, 13, 16, 19, 41, 48	AGND	アナロググランド。アナログ信号用の全てのリターンパスをAGNDへ接続して下さい。
2, 3, 10, 11, 14, 15, 20, 42, 47	AVDD	アナログ電源電圧。最適な性能を得るには、0.1 μ Fと1nFのコンデンサを並列に組み合わせて近くのAGNDにバイパスして下さい。シングル10 μ Fと1 μ Fコンデンサの組み合わせで、AV _{DD} とAGND間を接続して下さい。
6	INP	正アナログ信号入力
7	INN	負アナログ信号入力
17	CLK	クロック周波数入力。クロック周波数入力範囲は100kHz~40MHzです。
18	$\overline{\text{CLK}}$	コンプリメンタリクロック周波数入力。この入力は差動クロック入力に使われます。ADCがシングルエンドクロックで駆動される場合は、0.1 μ FコンデンサでCLKをAGNDへバイパスして下さい。
21, 31, 32,	DVDD	デジタル電源電圧。最適な性能を得るには、0.1 μ Fと1nFのコンデンサを並列に組み合わせて近接のDGNDにバイパスして下さい。シングル10 μ Fと1 μ Fコンデンサの組み合わせで、AV _{DD} とAGND間を接続して下さい。
22, 29, 30	DGND	デジタルグランド
23-28	D0-D5	デジタルデータ出力。データビットはD0からD5で、この場合D0がLSB(最下位ビット)です。
33-38	D6-D11	デジタルデータ出力。D6からD11で、この場合D11がMSB(最上位のビット)です。
39	$\overline{\text{OE}}$	出力イネーブル入力。 $\overline{\text{OE}}$ 上のロジック「1」は出力D0-D11を高インピーダンス状態にします。ロジック「0」は出力からデータビットを読み取る事を可能にします。
40	PD	シャットダウン入力。PD上のロジック「1」はADCをシャットダウンモードにします。
43	REFIN	外部リファレンス入力。コンデンサ0.22 μ Fと1nFを並列に組み合わせてAGNDへバイパスして下さい。REFINは、リファレンスレベルを調整しフルスケール誤差をキャリブレーションするために外部からバイアスすることが可能です。内部リファレンスをディセーブルするにはREFINをAGNDへ接続します。
44	REFP	正リファレンスI/O。0.22 μ Fと1nFのコンデンサを並列に組み合わせてAGNDへバイパスして下さい。内部リファレンスがディセーブルされている場合(REFIN=AGND)、REFNIはV _{CML} +V _{DIFF} /2にバイアスして下さい。
45	REFN	負リファレンスI/O。0.22 μ Fと1nFのコンデンサを並列に組み合わせてAGNDへバイパスして下さい。内部リファレンスがディセーブルされている場合(REFIN=AGND)、REFNIはV _{CML} -V _{DIFF} /2にバイアスして下さい。
46	CML	コモンモードレベル入力。0.22 μ Fと1nFのコンデンサを並列に組み合わせてAGNDへバイパスして下さい。

12ビット、40Msps、+3.3V、低電力ADC 内部リファレンス付

詳細

MAX1421は、12ステージ、完全差動、パイプラインアーキテクチャ(図1)によって、電力消費を最小に抑えながら、高速変換を可能にします。各サンプルは、ハーフクロックサイクル毎にパイプラインステージを通して前方に移動します。出力ラッチによる遅延も含み待ち時間は7クロックサイクルです。

2ビット(2コンパレータ)フラッシュADCは、ホールドされた入力電圧をデジタルコードに変換します。次に続くD/Aコンバータ(DAC)は、デジタル化された結果をアナログ電圧に戻し、その後最初にホールドされていた入力信号から差し引かれます。結果的に生じた誤差信号は2倍に積算され、その積は次のパイプラインステージに渡されます。このプロセスは信号が全12ステージによって処理されるまで繰り返されます。各ステージは1ビット分解能を提供します。デジタル誤差補正は、それぞれのパイプラインステージにおいてADCコンパレータオフセットを補償し、ミッシングコードがないことを確実にします。

入力トラックアンドホールド回路

図2は両トラックアンドホールドのモードにおける入力トラックアンドホールド(T/H)回路を簡素化したファンクションダイアグラムです。トラックモードでは、スイッチS1、S2a、S2b、S4a、S5a、及びS5bが閉じています。完全差動回路は、入力信号をスイッチS4a及びS4bを

介して、2つのコンデンサC2a及びC2bへ経路します。スイッチS2a及びS2bは、トランスコンダクタンスアンプ(OTA)入力をコモンモードに設定すると同時に、S1を使ってオープンにし、入力波形をサンプルします。結果的に生じた差動電圧は、コンデンサC2a及びC2b上でホールドされます。その後、スイッチS3a、S3b及びS4cが閉じられる前にスイッチS4a及びS4bがオープンになります。OTAは、C2a及びC2bに最初にホールドされた同一の値にコンデンサC1a及びC1bを荷電するために使われます。これらの値は、次に第1ステージの量子化器に呈示され、高速変化入力からパイプラインを隔離します。広域入力帯域T/Hアンプは、MAX1421が高周波数(ナイキスト以上)のアナログ入力をトラックしサンプル/ホールドすることを可能にします。INPからINNのアナログ入力は、差動又はシングルエンドのいずれかで駆動が可能です。性能の最適化には、INP及びINNのインピーダンスをマッチさせ、コモンモード電圧を中間電源($AV_{DD}/2$)に設定して下さい。

アナログ入力及びリファレンス電圧の構成

MAX1421のフルスケール範囲は、内部で発生されるREFP($AV_{DD}/2+V_{REFIN}/4$)及びREFN($AV_{DD}/2-V_{REFIN}/4$)間の電圧差によって決定されます。MAX1421のフルスケール範囲は、この調整を目的として高入力インピーダンスを提供するために備えられたREFINピンを使って調整可能です。REFP、CML($AV_{DD}/2$)及びREFNは内部でバッファされた低インピーダンス出力です。

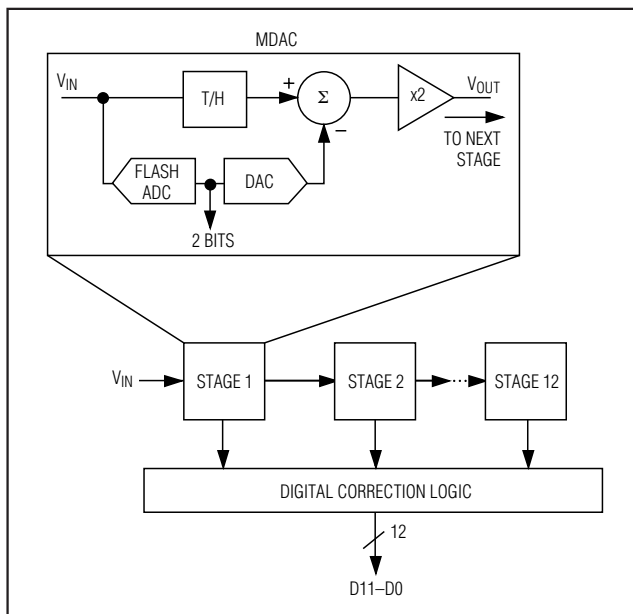


図1. パイプラインアーキテクチャ — ステージブロック図

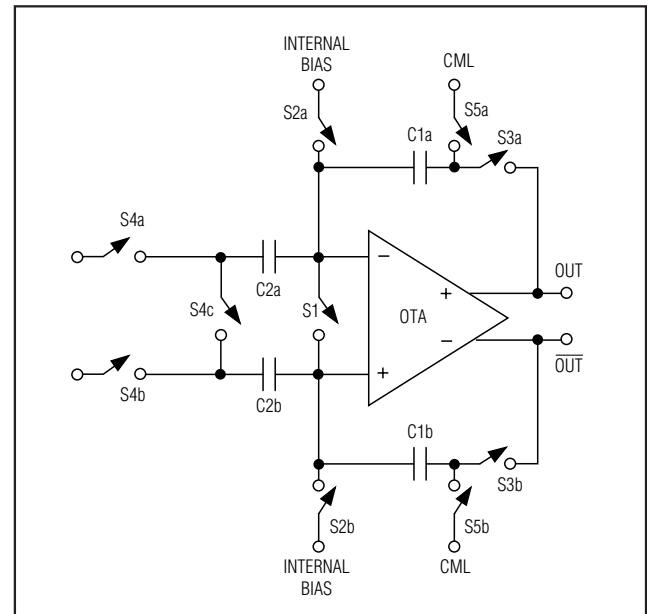


図2. 内部トラックアンドホールド回路

12ビット、40MSPS、+3.3V、低電力ADC 内部リファレンス付

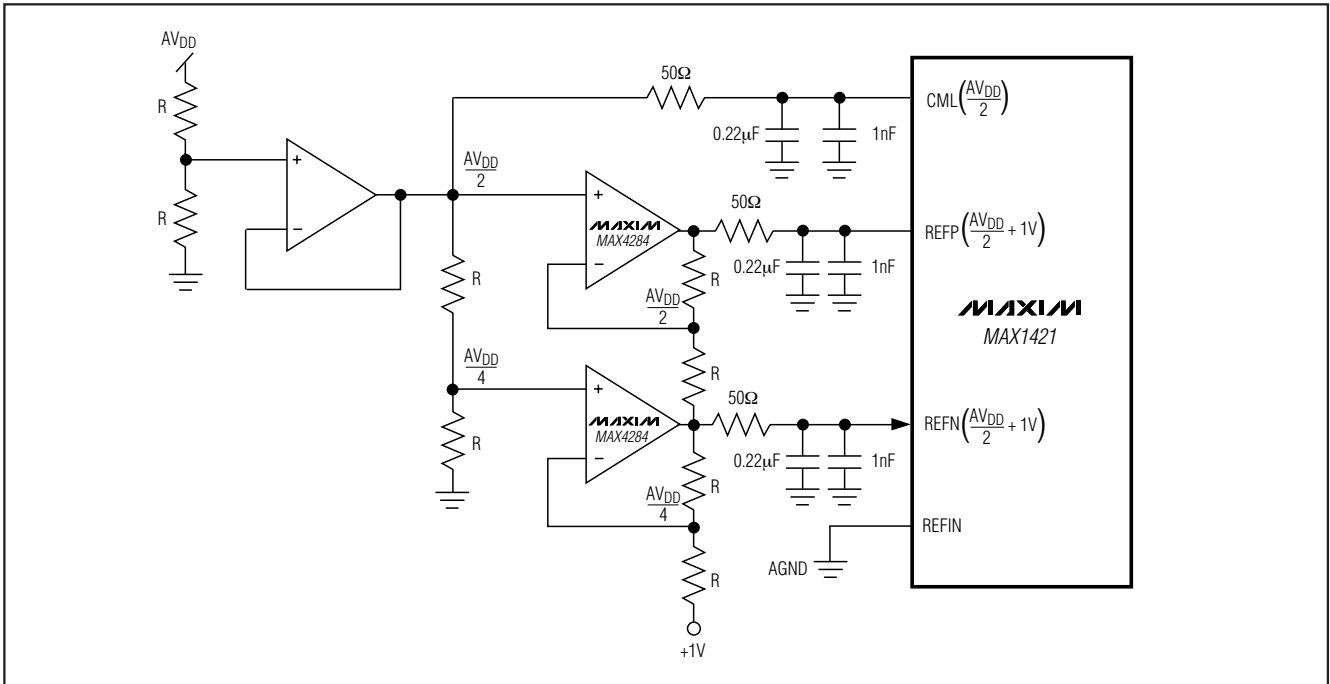


図3. バッファされていない外部リファレンス駆動—内部リファレンスはディセーブされています。

MAX1421はリファレンス動作に関して次の3つのモードを提供します。

- 内部リファレンスモード
- バッファされた外部リファレンスモード
- バッファされていない外部リファレンスモード

内部リファレンスモードでは内部+2.048Vのバンドギャップリファレンスは有効で、REFIN、REFP、CML及びREFNは浮動の状態です。安定化するためには0.22µFと1nFのコンデンサを並列に組み合わせてREFIN、REFP、REFN及びCMLをAGNDへバイパスして下さい。

バッファされた外部リファレンスモードでは、安定した正確な電圧をREFINに加え、リファレンス電圧レベルを外部から調整することが可能です。

バッファされていない外部リファレンスモードでは、REFINをAGNDに接続して下さい。これはREFP、COM、及びREFNの内部リファレンスバッファを停止します。バッファがシャットダウンされると、これらのノードは高インピーダンスになり、図3に示されているように、別の外部リファレンス電圧源を介して駆動することが可能です。

クロック入力(CLK、 $\overline{\text{CLK}}$)

MAX1421のCLKと $\overline{\text{CLK}}$ 入力は、差動及びシングルエンド

入力動作の両方を受け入れ、CMOSコンパチブルのクロック信号を許容します。CLKがシングルエンドクロック信号で駆動される場合は、0.1µFコンデンサを使って $\overline{\text{CLK}}$ をAGNDへバイパスして下さい。デバイスのステージ間変換は、外部クロックの立上りと立下りエッジの反復精度に依存するので、低ジッタと高速立上り及び立下り時間(2ns以下)のクロックを使って下さい。サンプリングはクロック信号の立上りエッジで発生するので、このエッジはできる限り低いジッタとなる必要があります。大きなアパーチャジッタは、以下の関係に示されるようにADCのSNR性能を制限します：

$$\text{SNR}_{\text{dB}} = 20 \times \log_{10} \left(\frac{1}{2\pi \times f_{\text{IN}} \times t_{\text{AJ}}} \right)$$

この場合 f_{IN} はアナログ入力周波数を t_{AJ} はアパーチャジッタを示しています。

クロックジッタは高入力周波数のアプリケーションで特に重要となります。クロック入力は常にアナログ信号とみなされるべきで、アナログ又はデジタル信号ラインから離れて経路されるべきです。

MAX1421のクロック入力は $\text{AV}_{\text{DD}}/2$ に設定された電圧スレッシュホールドで動作します。クロック入力は、ハイ及びローの期間に関して「Electrical Characteristics」の中で示されているような仕様に適合しなければなりません。

12ビット、40Msps、+3.3V、低電力ADC 内部リファレンス付

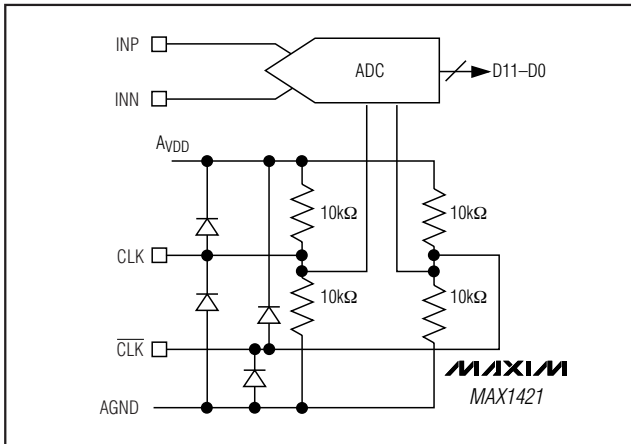


図4. クロック入力回路の簡略図

図4はクロック入力回路を簡素化したモデルです。この回路は各入力のコモンモードレベルをバイアスする2つの10kΩ抵抗から構成されます。この回路はシステムクロック信号をMAX1421クロック入力へAC結合するのに使うことが可能です。

出カインェブル(\overline{OE})、パワーダウン(PD)及び出力データ(D0-D11)

\overline{OE} がハイになると、デジタル出力は高インピーダンス状態に入ります。PDがハイで、同時に \overline{OE} がローに保持されると、出力はパワーダウン前の最後のデジタル出力コードでラッチされます。全データ出力、D0(LSB)からD11(MSB)は、TTL/CMOSロジックコンパチブルです。

表1. 差動入力のためのMAX1421
出力コード

DIFFERENTIAL INPUT VOLTAGE*	DIFFERENTIAL INPUT	OFFSET BINARY
$V_{REF} \times 2047/2048$	+FULL SCALE - 1LSB	1111 1111 1111
$V_{REF} \times 2046/2048$	+FULL SCALE - 2LSB	1111 1111 1110
$V_{REF} \times 1/2048$	+ 1 LSB	1000 0000 0001
0	Bipolar Zero	1000 0000 0000
$-V_{REF} \times 1/2048$	- 1 LSB	0111 1111 1111
$-V_{REF} \times 2046/2048$	-FULL SCALE + 1 LSB	0000 0000 0001
$-V_{REF} \times 2047/2048$	-FULL SCALE	0000 0000 0000

* $V_{REF} = V_{REFP} - V_{REFN}$

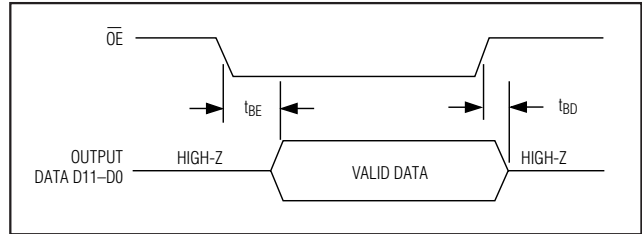


図5. 出カインェブルタイミング

いかなる特定のサンプルとそれの有効出力データ間には7つのクロックサイクル待ち時間があります。出力コードはオフセットバイナリのフォーマットです(表1)。

デジタル出力D0からD11の容量負荷は、MAX1421のアナログ部分にフィードバックするような大デジタル電流を避け、性能の劣化を防ぐためにできる限り低く(10pF以下)に保持されるべきです。ADCのデジタル出力上にバッファを使用(例74LVCH16244)することで、デジタル出力を大容量負荷からさらに隔離することが可能です。MAX1421のダイナミック性能をより向上するには、ADCの近くのデジタル出力経路に100kΩの小型直列抵抗を加えて下さい。

図5は出カインェブルとデータ出力のタイミング関係を記したものです。

システムタイミング条件

図6はクロック入力、アナログ入力、及びデータ出力間の関係を示したものです。MAX1421はCLKの立上りエッジ(CLKの立ち下がりエッジ)のアナログ入力信号をサンプルし、出力データは7つのクロックサイクル後(待ち時間)に有効となります。図6には入力クロックパラメータ及び有効出力データの関係も示されています。

アプリケーション情報

図7はシングルエンドから差動への変換を含む標準アプリケーション回路を示しています。内部リファレンスはレベルシフトの目的として $AV_{DD}/2$ 出力電圧を提供します。入力はバッファされ、次に電圧フォロワとインバータに分離されます。ローパスフィルタが高速オペアンプに関連する一部の広帯域ノイズを抑制します。特定なアプリケーションに適するようにフィルタ性能を最適化するため、ユーザは R_{ISO} 及び C_{IN} 値を選択することができます。図7のアプリケーションにはリングング及び振動を防止するために50Ωのアイソレーション抵抗(R_{ISO})が容量負荷の前に設置されています。22pFの C_{IN} コンデンサが小型バイパスコンデンサとして動作します。

INNからINPへ C_{IN} を接続することにより、ダイナミック性能がさらに向上します。

12ビット、40MSPS、+3.3V、低電力ADC 内部リファレンス付

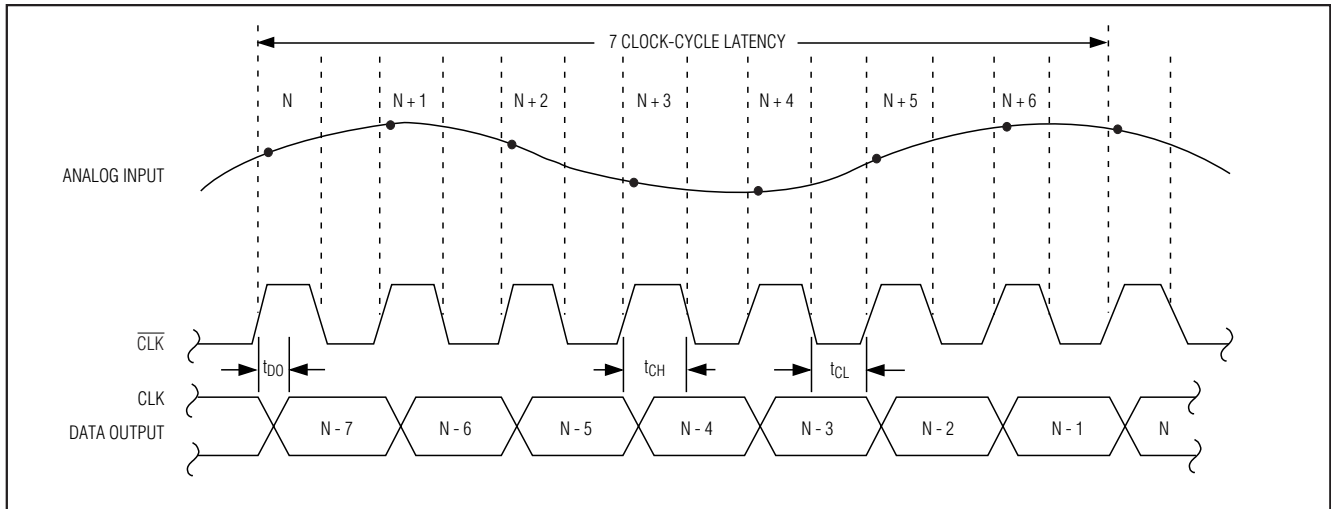


図6. システム及び出力タイミングダイアグラム

トランスフォーマ結合の使用

RFトランスフォーマ(図8)はMAX1421の最適な特性を得るために必要な、シングルエンド信号を完全な差動信号に変換する優れた解決法を提供します。トランスフォーマの中央タップをCMLに接続することによって、入力を $AV_{DD}/2DC$ レベルにシフトします。1:1のトランスフォーマが示されていますが、駆動条件を低減するために1:2又は1:4の昇圧トランスフォーマを選択することも可能です。

通常MAX1421は、特に高い入力周波数においてはシングルエンド駆動よりも、完全差動入力信号のほうが優れたSFDR及びTHDを提供します。差動入力モードでは、偶数位の高調波は低くなり、各入力シングルエンドモードに比べて僅か半分の信号スイングを必要とするだけになります。

シングルエンドAC結合入力信号

図9はMAX4108オペアンプを使ったAC結合のシングルエンドアプリケーションを示しています。この構成は入力信号の完全性を維持するための、高速、高帯域幅、低ノイズ、及び低歪みを提供します。

接地、バイパス及び基板のレイアウト

MAX1421は、高速基板レイアウト設計の技術を必要とします。全てのバイパスコンデンサは、インダクタンスが最小となるように表面実装のデバイスを使い、デバイスにできる限り近接して、できればADCと同じ側に配置します。0.22 μ Fコンデンサ及び1nFを並列に組み合わせてREFP、REFN、REFIN、及びCMLをAGNDへバイパス

します。 AV_{DD} は10 μ Fバイポーラコンデンサを1nF及び0.1 μ Fの2つのセラミックコンデンサを並列に、同様なネットワークを使ってバイパスします。同じルールに従って、デジタル電源 DV_{DD} をDGNDへバイパスして下さい。グラウンドとパワープレーンが分離した多層基板は信号の完全性を最高レベルにします。ADCのパッケージ上でアナロググラウンド(AGND)とデジタルグラウンド(DGND)の物理的な位置が一致するように配置されたスプリットグラウンドプレーンを使用することを考慮して下さい。ノイズの多いグラウンド電流がアナロググラウンドプレーンと干渉しないように、2つのグラウンドプレーンを一点で接合します。代替として、グラウンドプレーンがノイズの多いデジタルシステムグラウンドプレーン(例えば、ダウンストリームの出力バッファ又はDSPグラウンドプレーン)から十分に隔離されている場合、全てのグラウンドピンが同じグラウンドプレーンを共有することが可能です。高速デジタル信号のトレースを敏感なアナログトレースから離して経路して、デジタルグラウンド及びパワープレーンをデジタル出力の下から外して下さい。全ての信号ラインを短くして90度回転しないようにして下さい。

スタティックパラメータの定義

積分非直線性(INL)

積分非直線性は直線からの実際の伝達関数上の偏差値です。この直線はオフセットと利得誤差が調整された後の最もフィットするベスト・ストレートラインか、又は伝達関数の最終点を結んだエンドポイントラインである可能性があります。MAX1421のためのスタティック直線性パラメータはベストストレートライン・フィット法を使って計測されます。

12ビット、40Msps、+3.3V、低電力ADC 内部リファレンス付

MAX1421

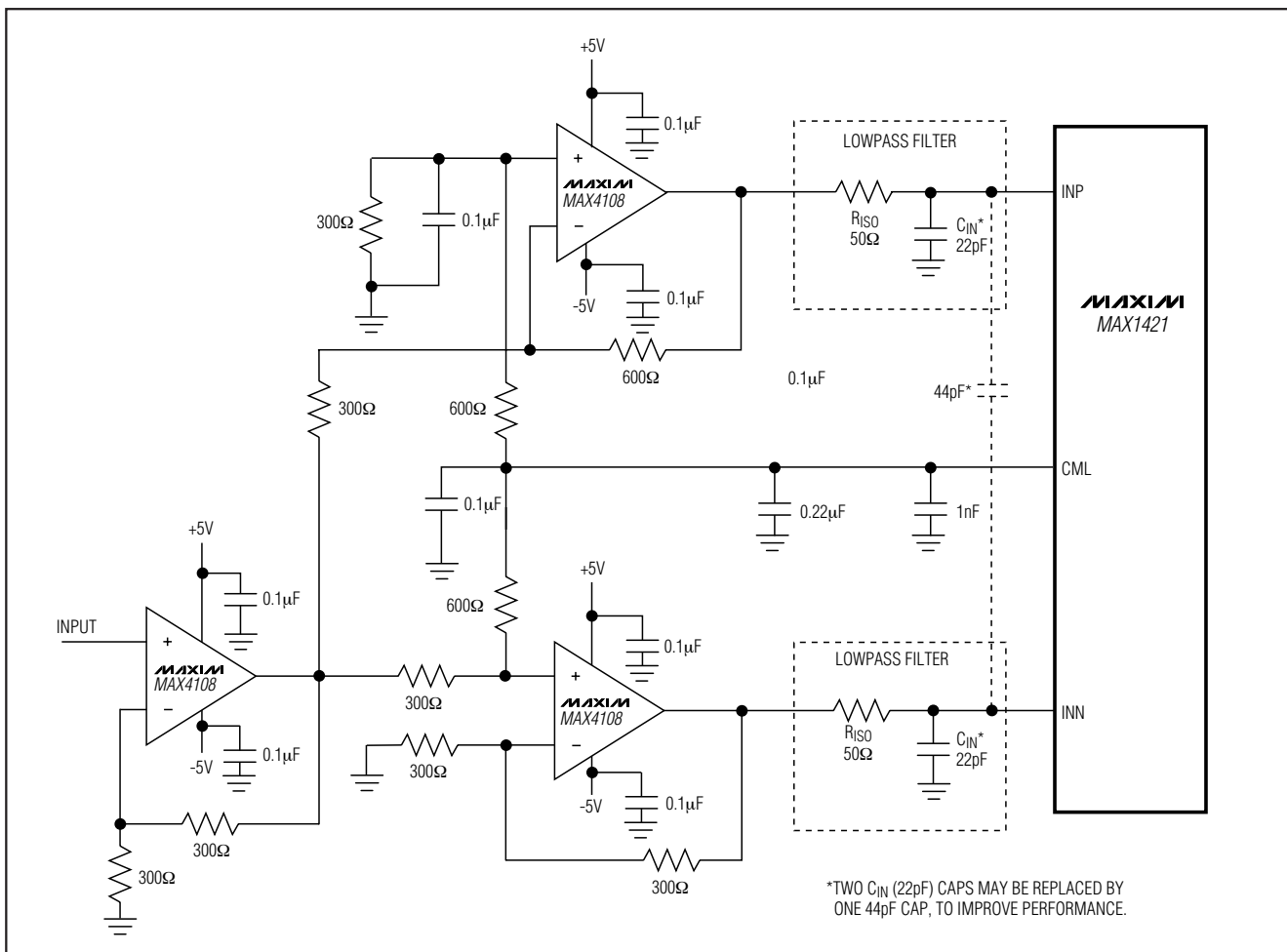


図7. シングルエンドから差動への変換標準アプリケーション回路

微分非直線性(DNL)

微分非直線性は実際のステップ幅と1LSBの理想値との差です。1LSB以下のDNL誤差規格は、ミッシングコードが無いことを保証します。

ダイナミックパラメータの定義

アパーチャジッタ

図10はアパーチャ遅延のサンプル間の変動であるアパーチャジッタ(t_{AJ})を示しています。

アパーチャ遅延

アパーチャ遅延(t_{AD})はサンプリングクロックの立下りエッジと実際のサンプルが取得される瞬間の時間を意味します(図10)。

信号対ノイズ比(SNR)

デジタルサンプルから完璧に再構築された波形の場合、理論的な最高SNRはフルスケールアナログ入力(RMS値)とRMS量子化誤差(残余誤差)の比率です。理想的で

理論的な最小アナログトゥデジタルノイズは量子化誤差のみに起因し、ADC分解能(Nビット)の直接的な結果として生じます。

$$SNR_{(MAX)} = (6.02 \times N + 1.76) \text{dB}$$

実際には、量子化ノイズの他にもサーマルノイズ、リファレンス電圧ノイズ、クロックジッタなどのノイズ源があります。SNRを計算するには基本波、最初の4つの高調波、及びDCオフセットを差し引いた全てのスペクトラム成分を含むRMS信号のRMSノイズに対する比率をとります。

信号対ノイズプラス歪み(SINAD)

SINADは基本周波数とDCオフセットを差し引いた全てのスペクトラム成分とRMS信号の比率で計算されます。

有効ビット数(ENOB)

ENOBは特定の入力周波数及びサンプリングレートでのADCのダイナミック性能を規定します。理想的なADC

12ビット、40MSPS、+3.3V、低電力ADC 内部リファレンス付

MAX1421

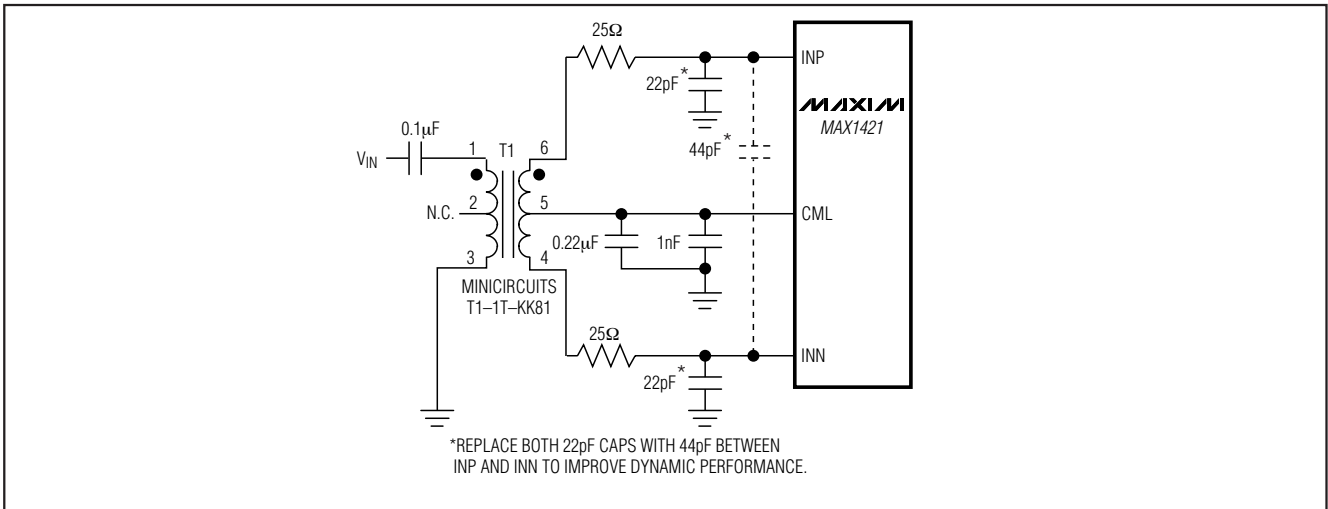


図8. AC結合にトランスフォーマーを使用

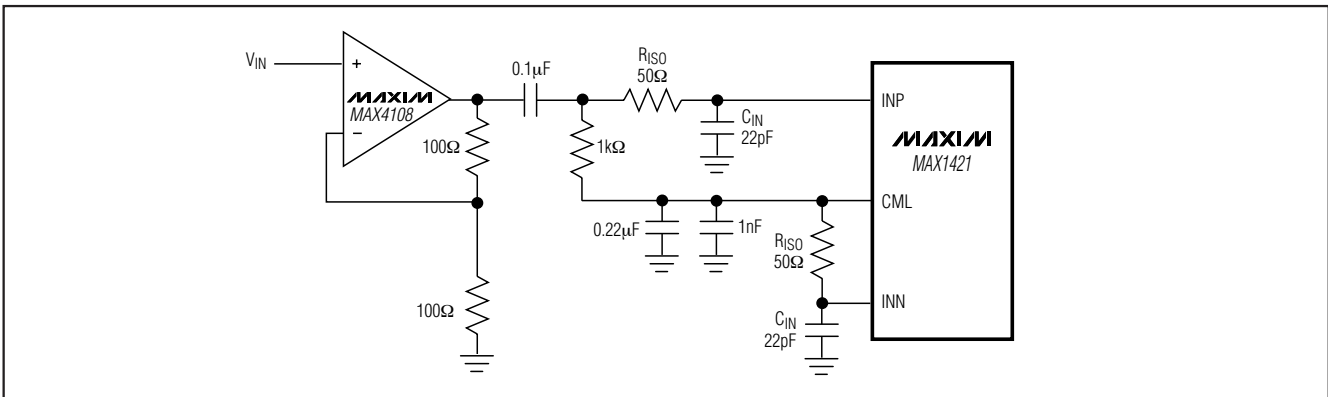


図9. シングルエンドAC結合入力信号

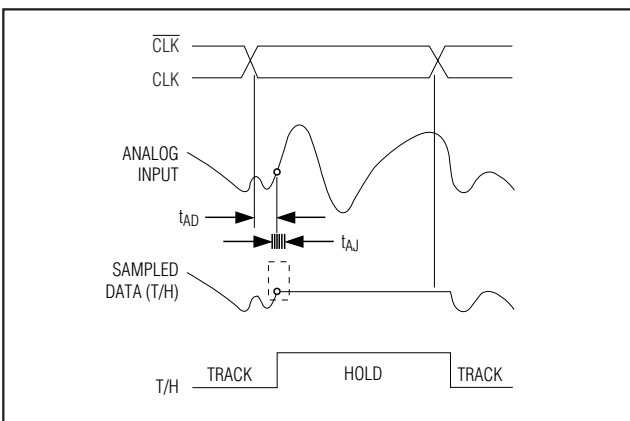


図10. T/Hアパーチャタイミング

誤差は量子化ノイズのみから構成されています。ENOBは次のように計算されます。

$$\text{ENOB} = \frac{\text{SINADdB} - 1.76\text{dB}}{6.02\text{dB}}$$

全高調波歪み(THD)

THDは標準的に入力信号の最初の4つの高調波のRMS和と基本波そのものの比率です。これは次のように表されます。

12ビット、40Msps、+3.3V、低電力ADC 内部リファレンス付

MAX1421

$$\text{THD} = 20 \times \log_{10} \left(\frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2}}{V_1} \right)$$

この場合、V1は基本波の振幅で、V2からV5は2次から5次の高調波の振幅です。

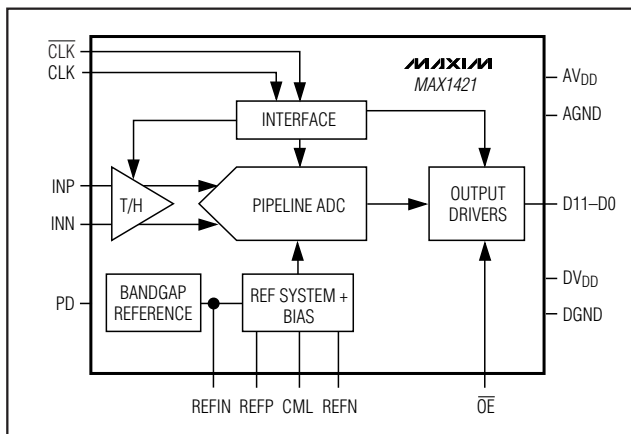
スプリアスフリーダイナミックレンジ(SFDR)

SFDRは基本波(最大信号成分)のRMS振幅と次に大きいスプリアス成分(DCオフセットを除く)のRMS値をデシベルで表した比率です。

相互変調歪み(IMD)

ツートーンIMDは最悪3次(又はそれ以上)の相互変調歪みに対するいずれかの入力トーンをデシベルで表した比率です。個別の入力トーンのレベルは-6.5dBフルスケールで、そのエンベロープは-0.5dBフルスケールです。

ファンクションダイアグラム

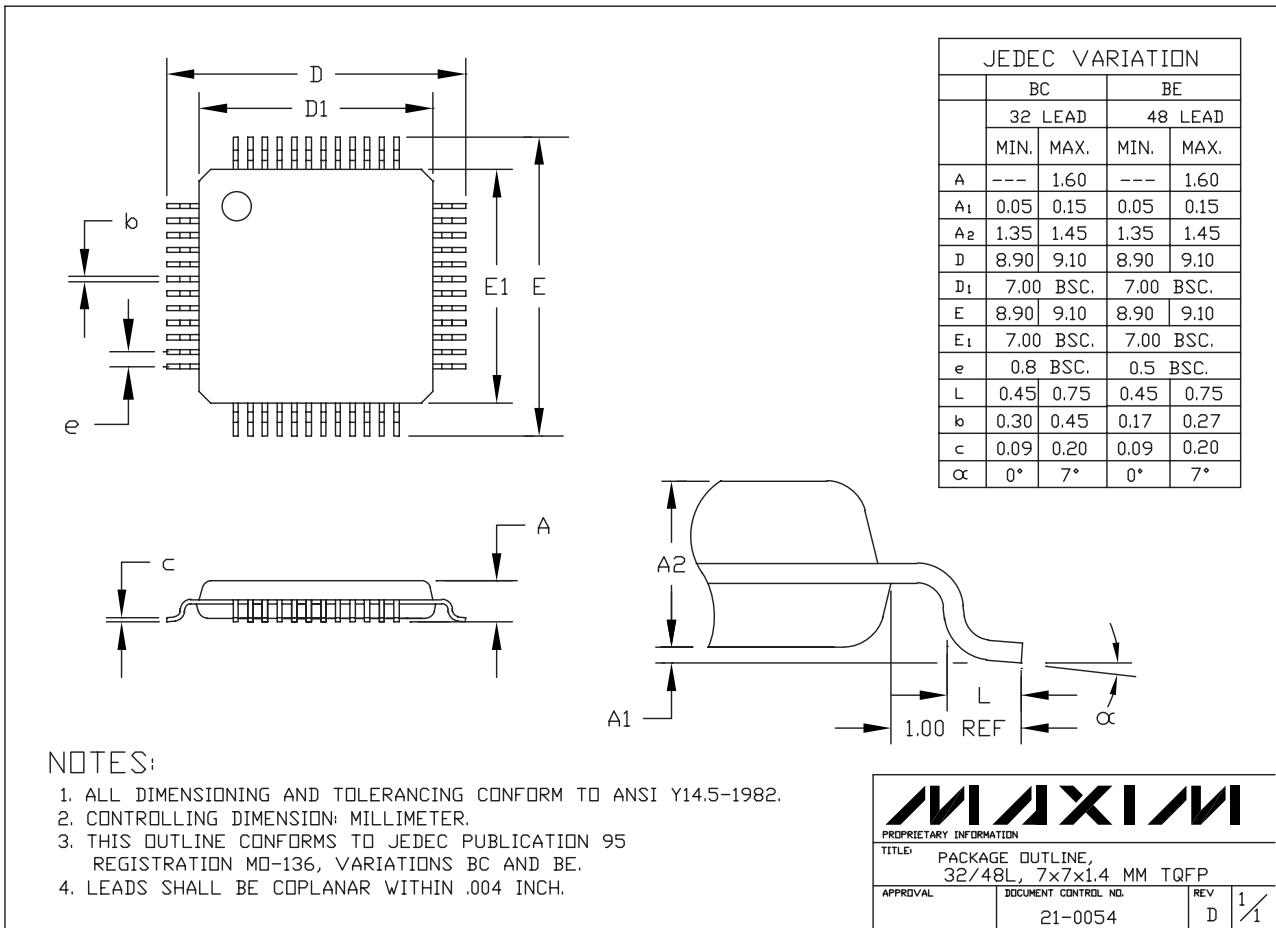


12ビット、40Msps、+3.3V、低電力ADC 内部リファレンス付

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)

MAX1421



マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

17 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**