

# +3V、18ビット、低電力マルチチャネル オーバサンプリング(シグマ-デルタ)ADC

## 概要

MAX1403は、センサ励起用にマッチングされた200 $\mu$ Aの電流ソースを備えた18ビット低電力マルチチャネル、シリアル出力アナログデジタルコンバータ(ADC)です。本ADCは16ビット精度を実現するために、デジタルデシメーションフィルタ付のシグマ-デルタ変調器を使用しています。デジタルフィルタのデシメーション係数を選択できるため、変換分解能を落として出力データ速度を速くすることができます。出力データ速度480spsまで、真の16ビット性能を実現します。さらに、変調器のサンプリング周波数の最適化により、電力消費を最小にするか、あるいはスループット速度を最大にすることができます。MAX1403は+3V電源で動作します。

本デバイスは、利得を+1V/V ~ +128V/Vに個別設定できる3つの完全差動入力チャネルを備えています。さらに、選択されたフルスケール範囲の117%まで入力を基準としたDCオフセット(システムオフセット等)を補償できます。これら3つの差動チャネルは、5つの疑似差動入力チャネルとして設定することも可能です。利得及びオフセット誤差補正用に、2つの差動システムキャリブレーションチャネルが追加されています。

MAX1403は、全ての信号チャネルを順番にスキャンし、シリアルインタフェースを通じて結果を出力するように設定することもできます。この場合の通信オーバーヘッドは最小限で済みます。2.4576MHz又は1.024MHzのマスタークロックと共に使用した場合、ライン周波数及び関連する高調波におけるデジタルデシメーションフィルタの周波数応答をゼロにすることにより、ポストフィルタリングなしで優れたライン除去比を保証できます。

MAX1403は28ピンSSOPパッケージで提供されています。

## アプリケーション

- ポータブル工業用計器
- ポータブル重量計
- ループ電力機器
- 圧力トランスデューサ

## 型番

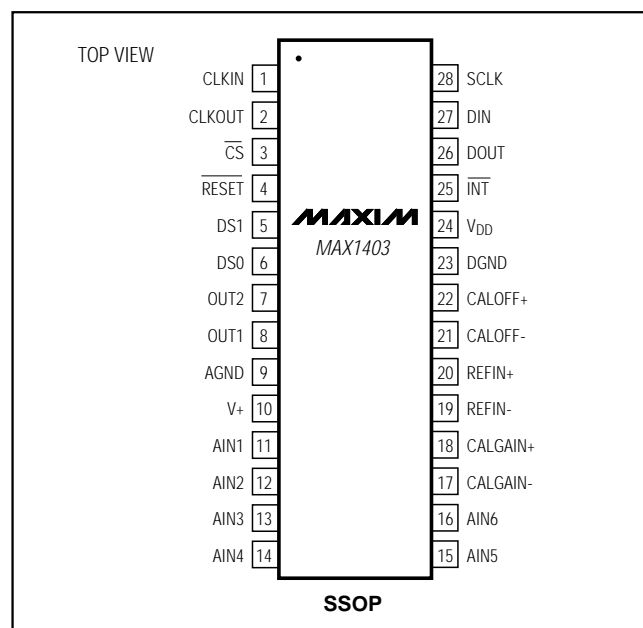
PART	TEMP RANGE	PIN-PACKAGE
MAX1403CAI	0°C to +70°C	28 SSOP
MAX1403EAI	-40°C to +85°C	28 SSOP

SPI及びQSPIはMotorola, Inc.の商標です。

## 特長

- ◆ 分解能18ビットのシグマ・デルタADC
- ◆ 480spsまで分解能16ビットを保持(ミッシングコードなし)
- ◆ センサ励起用のマッチングされた内蔵電流ソース(200 $\mu$ A)
- ◆ 低自己消費電流  
250 $\mu$ A(動作モード)  
2 $\mu$ A(パワーダウンモード)
- ◆ 3つの完全差動又は5つの疑似差動信号入力チャネル
- ◆ 2つの完全差動キャリブレーションチャネル/補助入力チャネルを追加
- ◆ 利得及びオフセットは設定可能
- ◆ 完全差動リファレンス入力
- ◆ 連続又はオンコマンドで変換
- ◆ 自動チャネルスキャン及び連続データ出力モード
- ◆ アナログ及びデジタル電源：+2.7V ~ +3.6V
- ◆ 3線シリアルインタフェース：  
SPI™/QSPI™コンパチブル
- ◆ パッケージ：28ピンSSOP

## ピン配置



# +3V、18ビット、低電力マルチチャネル オーバサンプリング(シグマ-デルタ)ADC

MAX1403

## ABSOLUTE MAXIMUM RATINGS

V <sub>+</sub> to AGND, DGND .....	-0.3V to +6V	Maximum Current Input into Any Pin .....	50mA
V <sub>DD</sub> to AGND, DGND .....	-0.3V to +6V	Continuous Power Dissipation (T <sub>A</sub> = +70°C)	
AGND to DGND .....	-0.3V to +0.3V	28-Pin SSOP (derate 9.52mW/°C above +70°C) .....	524mW
Analog Inputs to AGND .....	-0.3V to (V <sub>+</sub> + 0.3V)	Operating Temperature Ranges	
Analog Outputs to AGND .....	-0.3V to (V <sub>+</sub> + 0.3V)	MAX1403CAI .....	0°C to +70°C
Reference Inputs to AGND .....	-0.3V to (V <sub>+</sub> + 0.3V)	MAX1403EAI .....	-40°C to +85°C
CLKIN and CLKOUT to DGND .....	-0.3V to (V <sub>DD</sub> + 0.3V)	Storage Temperature Range .....	-60°C to +150°C
All Other Digital Inputs to DGND .....	-0.3V to +6V	Lead Temperature (soldering, 10s) .....	+300°C
All Digital Outputs to DGND .....	-0.3V to (V <sub>DD</sub> + 0.3V)		

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(V<sub>+</sub> = +2.7V to +3.6V, V<sub>DD</sub> = +2.7V to +3.6V, V<sub>REFIN+</sub> = +1.25V, REF<sub>IN-</sub> = AGND, f<sub>CLKIN</sub> = 2.4576MHz, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>STATIC PERFORMANCE</b>						
Noise-Free Resolution		No missing codes guaranteed by design; for filter settings with FS1 = 0	16			Bits
Output Noise		Depends on filter setting and selected gain	(Tables 16a, 16b)			
Integral Nonlinearity (Note 1)	INL	Bipolar mode; FS1 = 0; MF1, MF0 = 0	-0.0015		0.0015	%FSR
		FS1 = 0; MF1, MF0 = 1, 2, 3	±0.001			
Nominal Gain (Note 2)				0.98		
Unipolar Offset Error		Relative to nominal of 1% FSR	-1		2	%FSR
Unipolar Offset Drift		For gains of 1, 2, 4		0.5		μV/°C
		For gains of 8, 16, 32, 64, 128		0.3		
Bipolar Zero Error			-2.0		2.0	%FSR
Bipolar Zero Drift		For gains of 1, 2, 4		0.8		μV/°C
		For gains of 8, 16, 32, 64, 128		0.3		
Positive Full-Scale Error (Note 3)		For gains of 1, 2, 4, 8, 16, 32, 64	-2.5		2.5	%FSR
		For gain of 128	-3.5		3.5	
Full-Scale Drift (Note 4)		For gains of 1, 2, 4		0.8		μV/°C
		For gains of 8, 16, 32, 64, 128		0.3		
Gain Error (Note 5)		For gains of 1, 2, 4, 8, 16, 32, 64	-2		2	%FSR
		For gain of 128	-3		3	
Gain-Error Drift (Note 6)		For gains of 1, 2, 4, 8, 16, 32, 64		1		ppm/°C
		For gain of 128		5		
Bipolar Negative Full-Scale Error		For gains of 1, 2, 4, 8, 16, 32, 64	-2.5		2.5	%FSR
		For gain of 128	-3.5		3.5	
Bipolar Negative Full-Scale Drift		For gains of 1, 2, 4		0.8		μV/°C
		For gains of 8, 16, 32, 64, 128		0.3		

# +3V、18ビット、低電力マルチチャネル オーバーサンプリング(シグマ-デルタ)ADC

MAX1403

## ELECTRICAL CHARACTERISTICS (continued)

(V<sub>+</sub> = +2.7V to +3.6V, V<sub>DD</sub> = +2.7V to +3.6V, V<sub>REFIN+</sub> = +1.25V, REF<sub>IN-</sub> = AGND, f<sub>CLKIN</sub> = 2.4576MHz, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
<b>OFFSET DAC</b>							
Offset DAC Range (Note 7)		Unipolar mode		-116.7		116.7	%FSR
		Bipolar mode		-58.35		58.35	
Offset DAC Resolution		Unipolar mode			16.7		%FSR
		Bipolar mode			8.35		
Offset DAC Full-Scale Error		Input referred	Gain = 1, 2, 4, 8, 16, 32, 64	-2.5		+2.5	%FSR
			Gain = 128	-3.5		+3.5	
Offset DAC Zero-Scale Error					0		%FSR
Additional Noise from Offset DAC (Note 8)		DAC code = 0000			0		μVRMS
<b>ANALOG INPUTS/REFERENCE INPUTS</b> (Specifications for AIN and REF <sub>IN</sub> , unless otherwise noted.)							
Common-Mode Rejection	CMR	At DC		90			dB
		For filter notch 50Hz, ±0.02 • f <sub>NOTCH</sub> , MF1 = 0, MF0 = 0, f <sub>CLKIN</sub> = 2.4576MHz (Note 9)		150			
		For filter notch 60Hz, ±0.02 • f <sub>NOTCH</sub> , MF1 = 0, MF0 = 0, f <sub>CLKIN</sub> = 2.4576MHz (Note 9)		150			
Normal Mode 50Hz Rejection (Note 9)	NMR	For filter notch 50Hz, ±0.02 • f <sub>NOTCH</sub> , MF1 = 0, MF0 = 0, f <sub>CLKIN</sub> = 2.4576MHz		100			dB
Normal Mode 60Hz Rejection (Note 9)	NMR	For filter notch 60Hz, ±0.02 • f <sub>NOTCH</sub> , MF1 = 0, MF0 = 0, f <sub>CLKIN</sub> = 2.4576MHz		100			dB
Common-Mode Voltage Range (Note 10)		REF <sub>IN</sub> and AIN for BUFF = 0		V <sub>AGND</sub>		V <sub>+</sub>	V
Absolute Input Voltage Range		REF <sub>IN</sub> and AIN for BUFF = 0		V <sub>AGND</sub> - 30mV		V <sub>+</sub> + 30mV	V
Absolute and Common-Mode AIN Voltage Range		BUFF = 1		V <sub>AGND</sub> + 200mV		V <sub>+</sub> - 1.5	V
DC Input Leakage Current (Note 11)		REF <sub>IN</sub> and AIN for BUFF = 0	T <sub>A</sub> = +25°C	40			pA
			T <sub>A</sub> = T <sub>MIN</sub> to T <sub>MAX</sub>			10	nA
AIN Input Current (Note 11)		BUFF = 1				10	nA
AIN Input Capacitance (Notes 12)		BUFF = 0	Gain = 1	34			pF
			Gain = 2	38			
			Gain = 4	45			
			Gain = 8, 16, 32, 64, 128	60			
		BUFF = 1, all gains	30				
AIN Differential Voltage Range (Note 13)		Unipolar input range (U/ $\bar{B}$ bit = 1)		0 to V <sub>REF</sub> / gain			V
		Bipolar input range (U/ $\bar{B}$ bit = 0)		±V <sub>REF</sub> / gain			

# +3V、18ビット、低電力マルチチャンネル オーバサンプリング(シグマ-デルタ)ADC

MAX1403

## ELECTRICAL CHARACTERISTICS (continued)

(V+ = +2.7V to +3.6V, V<sub>DD</sub> = +2.7V to +3.6V, V<sub>REFIN+</sub> = +1.25V, REFIN- = AGND, f<sub>CLKIN</sub> = 2.4576MHz, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
AIN and REFIN Input Sampling Frequency	f <sub>S</sub>		(Table 15)			Hz
REFIN+ - REFIN- Voltage (Note 14)		±5% for specified performance; functional with lower V <sub>REF</sub>			1.25	V
<b>LOGIC INPUTS</b>						
Input Current	I <sub>IN</sub>		-10		+10	μA
Input Low Voltage	V <sub>IL</sub>	All inputs except CLKIN			0.4	V
		CLKIN only			0.4	
Input High Voltage	V <sub>IH</sub>	All inputs except CLKIN	2			V
		CLKIN only	2.4			
Input Hysteresis	V <sub>HYS</sub>	All inputs except CLKIN		200		mV
<b>LOGIC OUTPUTS</b>						
Output Low Voltage (Note 15)	V <sub>OL</sub>	DOUT and $\overline{\text{INT}}$ , I <sub>SINK</sub> = 100μA			0.4	V
		CLKOUT, I <sub>SINK</sub> = 10μA			0.4	
Output High Voltage (Note 15)	V <sub>OH</sub>	DOUT and $\overline{\text{INT}}$ , I <sub>SOURCE</sub> = 100μA	V <sub>DD</sub> - 0.3			V
		CLKOUT, I <sub>SOURCE</sub> = 10μA	V <sub>DD</sub> - 0.3			
Floating-State Leakage Current	I <sub>L</sub>		-10		10	μA
Floating-State Output Capacitance	C <sub>O</sub>			9		pF
<b>TRANSDUCER BURN-OUT (Note 16)</b>						
Current	I <sub>BO</sub>			0.1		μA
Initial Tolerance				±10		%
Drift				±0.05		%/°C
<b>TRANSDUCER EXCITATION CURRENTS</b>						
Current	I <sub>EXC</sub>			200		uA
Initial Tolerance					15	%
Drift				100		ppm/°C
Match		OUT1 to OUT2			±1	%
Drift Match				5		ppm/°C
Compliance Voltage Range			V <sub>AGND</sub>		V+ - 1.0	V
<b>POWER REQUIREMENTS</b>						
V+ Voltage	V+	For specified performance	2.7		3.6	V
V <sub>DD</sub> Voltage	V <sub>DD</sub>		2.7		3.6	V
Power-Supply Rejection V+ (Note 17)	PSR			(Note 18)		dB

# +3V、18ビット、低電力マルチチャネル オーバサンプリング(シグマ-デルタ)ADC

MAX1403

## ELECTRICAL CHARACTERISTICS (continued)

(V+ = +2.7V to +3.6V, V<sub>DD</sub> = +2.7V to +3.6V, V<sub>REFIN+</sub> = +1.25V, REF<sub>IN-</sub> = AGND, f<sub>CLKIN</sub> = 2.4576MHz, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
<b>ANALOG POWER-SUPPLY CURRENT</b> (Measured with digital inputs at either DGND or V <sub>DD</sub> , external CLKIN, burn-out and transducer excitation currents disabled, X2CLK = 0, CLK = 0 for 1.024MHz, CLK = 1 for 2.4576MHz.)							
V+ Standby Current (Note 19)		PD bit = 1, external clock stopped			1	10	μA
V+ Current	I <sub>V+</sub>	Normal mode, MF1 = 0, MF0 = 0	1.024MHz	Buffers off	175	210	μA
				Buffers on	370	420	
			2.4576MHz	Buffers off	250	300	
				Buffers on	610	700	
		2X mode, MF1 = 0, MF0 = 1	1.024MHz	Buffers off	245		mA
				Buffers on	610		
			2.4576MHz	Buffers off	0.42	0.55	
				Buffers on	1.2	1.5	
		4X mode, MF1 = 1, MF0 = 0	1.024MHz	Buffers off	0.42		mA
				Buffers on	1.2		
			2.4576MHz	Buffers off	1.8	2.2	
				Buffers on	4.8	6	
8X mode, MF1 = 1, MF0 = 1	1.024MHz	Buffers off	1.8		mA		
		Buffers on	4.8				
	2.4576MHz	Buffers off	1.8	2.2			
		Buffers on	4.8	6			
<b>DIGITAL POWER-SUPPLY CURRENT</b> (Measured with digital inputs at either DGND or V <sub>DD</sub> , external CLKIN, burn-out and transducer excitation currents disabled, X2CLK = 0, CLK = 0 for 1.024MHz, CLK = 1 for 2.4576MHz.)							
V <sub>DD</sub> Standby Current (Note 19)		PD bit = 1, external clock stopped			1	10	μA
Digital Supply Current	I <sub>DD</sub>	Normal mode, MF1 = 0, MF0 = 0	1.024MHz		70	200	μA
			2.4576MHz		150	300	
		2X mode, MF1 = 0, MF0 = 1	1.024MHz		0.08		mA
			2.4576MHz		0.17	0.35	
		4X mode, MF1 = 1, MF0 = 0	1.024MHz		0.11		
			2.4576MHz		0.22	0.40	
		8X mode, MF1 = 1, MF0 = 1	1.024MHz		0.15		
			2.4576MHz		0.32	0.50	

# +3V、18ビット、低電力マルチチャネル オーバサンプリング(シグマ-デルタ)ADC

MAX1403

## ELECTRICAL CHARACTERISTICS (continued)

( $V_+ = +2.7V$  to  $+3.6V$ ,  $V_{DD} = +2.7V$  to  $+3.6V$ ,  $V_{REFIN+} = +1.25V$ ,  $REFIN- = AGND$ ,  $f_{CLKIN} = 2.4576MHz$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
<b>POWER DISSIPATION</b> ( $V_+ = V_{DD} = +3.3V$ , digital inputs = 0 or $V_{DD}$ , external CLKIN, burn-out and transducer excitation currents disabled, X2CLK = 0, CLK = 0 for 1.024MHz, CLK = 1 for 2.4576MHz.)							
Power Dissipation	PD	Normal mode, MF1 = 0, MFO = 0	1.024MHz	Buffers off	0.81	1.36	mW
				Buffers on	1.45	2.05	
			2.4576MHz	Buffers off	1.32	1.98	
				Buffers on	2.51	3.30	
		2X mode, MF1 = 0, MFO = 1	1.024MHz	Buffers off	1.08		
				Buffers on	2.28		
			2.4576MHz	Buffers off	1.95	2.97	
				Buffers on	4.53	6.11	
		4X mode, MF1 = 1, MFO = 0	1.024MHz	Buffers off	1.75		
				Buffers on	4.32		
			2.4576MHz	Buffers off	6.67	8.58	
				Buffers on	16.6	21.2	
		8X mode, MF1 = 1, MFO = 1	1.024MHz	Buffers off	6.44		
				Buffers on	16.4		
2.4576MHz	Buffers off		7.0	8.91			
	Buffers on		16.9	21.45			
Standby Power Dissipation		(Note 19)		7	70	$\mu W$	

**Note 1:** Contact factory for INL limits applicable with FS1 = 0 and MF1, MFO = 1, 2, or 3.

**Note 2:** Nominal gain is 0.98. This ensures a full-scale input voltage may be applied to the part under all conditions without causing saturation of the digital output data.

**Note 3:** Positive Full-Scale Error includes zero-scale errors (unipolar offset error or bipolar zero error) and applies to both unipolar and bipolar input ranges. This error does not include the nominal gain of 0.98.

**Note 4:** Full-Scale Drift includes zero-scale drift (unipolar offset drift or bipolar zero drift) and applies to both unipolar and bipolar input ranges.

**Note 5:** Gain Error does not include zero-scale errors. It is calculated as (full-scale error - unipolar offset error) for unipolar ranges and as (full-scale error - bipolar zero error) for bipolar ranges. This error does not include the nominal gain of 0.98.

**Note 6:** Gain-Error Drift does not include unipolar offset drift or bipolar zero drift. It is effectively the drift of the part if zero-scale error is removed.

**Note 7:** Use of the offset DAC does not imply that any input may be taken below AGND.

**Note 8:** Additional noise added by the offset DAC is dependent on the filter cutoff, gain, and DAC setting. No noise is added for a DAC code of 0000.

**Note 9:** Guaranteed by design or characterization; not production tested.

**Note 10:** The absolute input voltage must be within the input voltage range specification.

**Note 11:** All AIN and REFIN pins have identical input structures. Leakage is production tested only for the AIN3, AIN4, AIN5, CALGAIN, and CALOFF inputs.

**Note 12:** The dynamic load presented by the MAX1403 analog inputs for each gain setting is discussed in detail in the *Switching Network* section. Values are provided for the maximum allowable external series resistance.

**Note 13:** The input voltage range for the analog inputs is with respect to the voltage on the negative input of its respective differential or pseudo-differential pair. Table 5 shows which inputs form differential pairs.

**Note 14:**  $V_{REF} = V_{REFIN+} - V_{REFIN-}$ .

**Note 15:** These specifications apply to CLKOUT only when driving a single CMOS load.

# +3V、18ビット、低電力マルチチャネル オーバーサンプリング(シグマ-デルタ)ADC

MAX1403

- Note 16:** The burn-out currents require a 500mV overhead between the analog input voltage and both V+ and AGND to operate correctly.
- Note 17:** Measured at DC in the selected passband. PSR at 50Hz will exceed 120dB with filter notches of 25Hz or 50Hz and FAST bit = 0. PSR at 60Hz will exceed 120dB with filter notches of 20Hz or 60Hz and FAST bit = 0.
- Note 18:** PSR depends on gain. For a gain of +1V/V, PSR is 70dB typical. For a gain of +2V/V, PSR is 75dB typical. For a gain of +4V/V, PSR is 80dB typical. For gains of +8V/V to +128V/V, PSR is 85dB typical.
- Note 19:** Standby power-dissipation and current specifications are valid only with CLKIN driven by an external clock and with the external clock stopped. If the clock continues to run in standby mode, the power dissipation will be considerably higher. When used with a resonator or crystal between CLKIN and CLKOUT, the actual power dissipation and I<sub>DD</sub> in standby mode will depend on the resonator or crystal type.

## TIMING CHARACTERISTICS

(V+ = +2.7V to +3.6V, V<sub>DD</sub> = +2.7V to +3.6V, AGND = DGND, f<sub>CLKIN</sub> = 2.4576MHz, input logic 0 = 0V, logic 1 = V<sub>DD</sub>, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted.) (Notes 20, 21, 22)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Master Clock Frequency	f <sub>CLKIN</sub>	Crystal oscillator or clock externally supplied for specified performance (Notes 23, 24)	X2CLK = 0	0.4	2.5	MHz
			X2CLK = 1	0.8	5.0	
Master Clock Input Low Time	f <sub>CLKIN LO</sub>	t <sub>CLKIN</sub> = 1 / f <sub>CLKIN</sub> , X2CLK = 0	0.4 • t <sub>CLKIN</sub>			ns
Master Clock Input High Time	f <sub>CLKIN HI</sub>	t <sub>CLKIN</sub> = 1 / f <sub>CLKIN</sub> , X2CLK = 0	0.4 • t <sub>CLKIN</sub>			ns
$\overline{\text{INT}}$ High Time	t <sub>INT</sub>	X2CLK = 0, N = 2(2 • MF1 + MF0)	280 / N • t <sub>CLKIN</sub>			ns
		X2CLK = 1, N = 2(2 • MF1 + MF0)	560 / N • t <sub>CLKIN</sub>			
RESET Pulse Width Low	t <sub>2</sub>		100			ns
<b>SERIAL-INTERFACE READ OPERATION</b>						
$\overline{\text{INT}}$ to $\overline{\text{CS}}$ Setup Time (Note 9)	t <sub>3</sub>		0			ns
SCLK Setup to Falling Edge $\overline{\text{CS}}$	t <sub>4</sub>		30			ns
$\overline{\text{CS}}$ Falling Edge to SCLK Falling Edge Setup Time	t <sub>5</sub>		30			ns
SCLK Falling Edge to Data Valid Delay (Notes 25, 26)	t <sub>6</sub>		0	100		ns
SCLK High Pulse Width	t <sub>7</sub>		100			ns
SCLK Low Pulse Width	t <sub>8</sub>		100			ns
$\overline{\text{CS}}$ Rising Edge to SCLK Rising Edge Hold Time (Note 22)	t <sub>9</sub>		0			ns
Bus Relinquish Time After SCLK Rising Edge (Note 27)	t <sub>10</sub>		10	100		ns
SCLK Rising Edge to $\overline{\text{INT}}$ High (Note 28)	t <sub>11</sub>			200		ns
<b>SERIAL-INTERFACE WRITE OPERATION</b>						
SCLK Setup to Falling Edge $\overline{\text{CS}}$	t <sub>12</sub>		30			ns

# +3V、18ビット、低電力マルチチャネル オーバサンプリング(シグマ-デルタ)ADC

MAX1403

## TIMING CHARACTERISTICS (continued)

( $V_+ = +2.7V$  to  $+3.6V$ ,  $V_{DD} = +2.7V$  to  $+3.6V$ ,  $AGND = DGND$ ,  $f_{CLKIN} = 2.4576MHz$ , input logic 0 = 0V, logic 1 =  $V_{DD}$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted.) (Notes 20, 21, 22)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
$\overline{CS}$ Falling Edge to SCLK Falling Edge Setup Time	$t_{13}$		30			ns
Data Valid to SCLK Rising Edge Setup Time	$t_{14}$		30			ns
Data Valid to SCLK Rising Edge Hold Time	$t_{15}$		0			ns
SCLK High Pulse Width	$t_{16}$		100			ns
SCLK Low Pulse Width	$t_{17}$		100			ns
$\overline{CS}$ Rising Edge to SCLK Rising Edge Hold Time	$t_{18}$		0			ns
<b>AUXILIARY DIGITAL INPUTS (DS0 and DS1)</b>						
DS0/DS1 to SCLK Falling Edge Setup Time (Notes 21, 29)	$t_{19}$		40			ns
DS0/DS1 to SCLK Falling Edge Hold Time (Notes 21, 29)	$t_{20}$		0			ns

**Note 20:** All input signals are specified with  $t_r = t_f = 5ns$  (10% to 90% of  $V_{DD}$ ) and timed from a voltage level of 1.6V.

**Note 21:** See Figure 4.

**Note 22:** Timings shown in tables are for the case where SCLK idles high between accesses. The part may also be used with SCLK idling low between accesses, provided  $\overline{CS}$  is toggled. In this case SCLK in the timing diagrams should be inverted and the terms "SCLK Falling Edge" and "SCLK Rising Edge" exchanged in the specification tables. If  $\overline{CS}$  is permanently tied low, the part should only be operated with SCLK idling high between accesses.

**Note 23:** CLKIN duty cycle range is 45% to 55%. CLKIN must be supplied whenever the MAX1403 is not in standby mode. If no clock is present, the device can draw higher current than specified.

**Note 24:** The MAX1403 is production tested with  $f_{CLKIN}$  at 2.5MHz (1MHz for some  $I_{DD}$  tests).

**Note 25:** Measured with the load circuit of Figure 1 and defined as the time required for the output to cross the  $V_{OL}$  or  $V_{OH}$  limits.

**Note 26:** For read operations, SCLK active edge is falling edge of SCLK.

**Note 27:** Derived from the time taken by the data output to change 0.5V when loaded with the circuit of Figure 1. The number is then extrapolated back to remove effects of charging or discharging the 50pF capacitor. This ensures that the times quoted in the timing characteristics are true bus-relinquish times and are independent of external bus loading capacitances.

**Note 28:**  $\overline{INT}$  returns high after the first read after an output update. The same data can be read again while  $\overline{INT}$  is high, but be careful not to allow subsequent reads to occur close to the next output update.

**Note 29:** Auxiliary inputs DS0 and DS1 are latched on the first falling edge of SCLK during a data-read cycle.

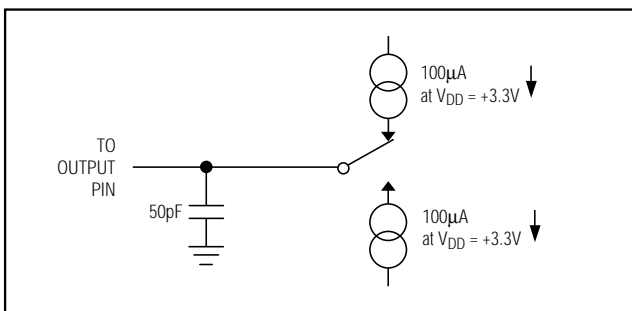


図1. バス放棄時間及び $V_{OL}$ と $V_{OH}$ レベルのための負荷回路

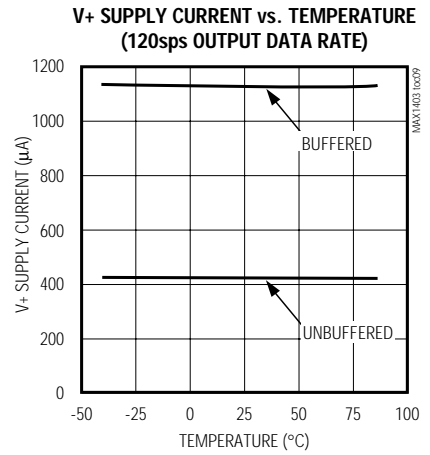
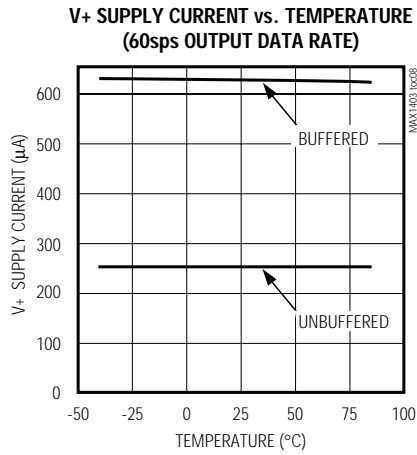
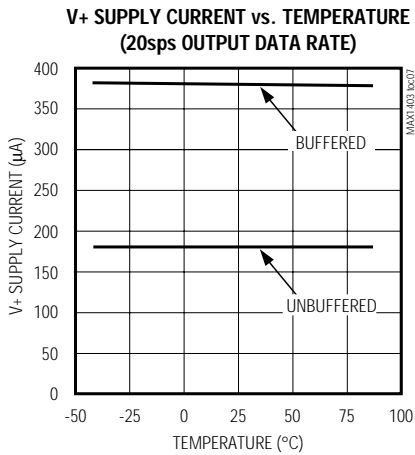
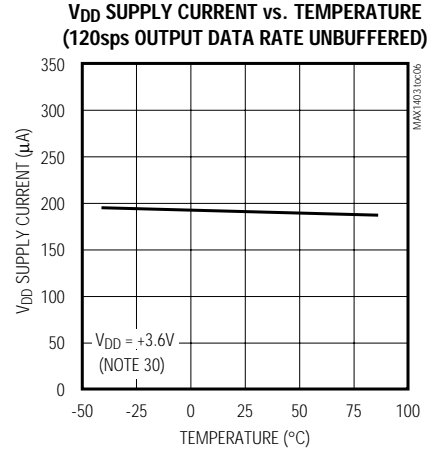
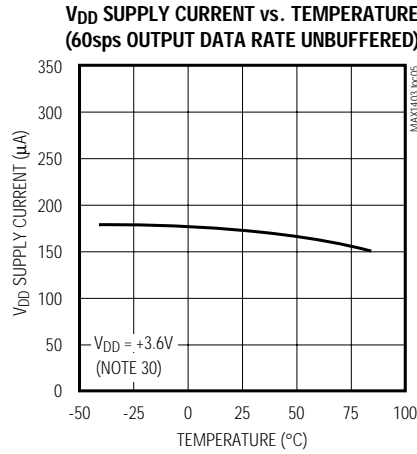
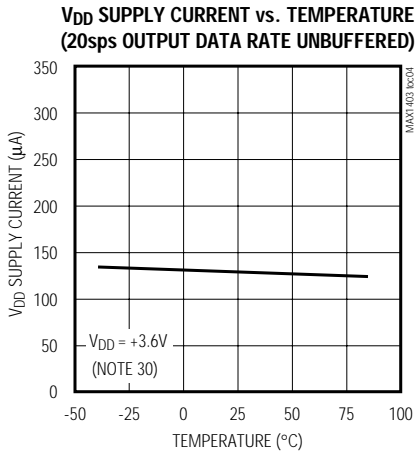
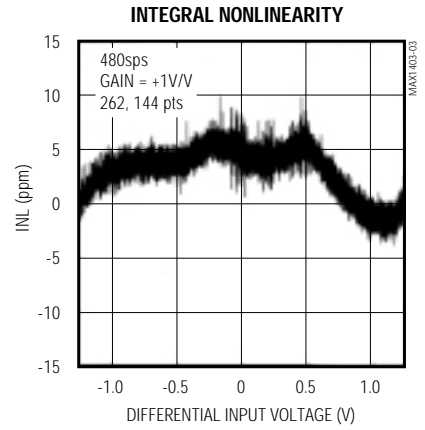
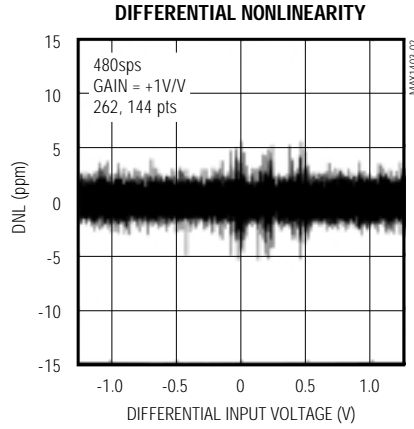
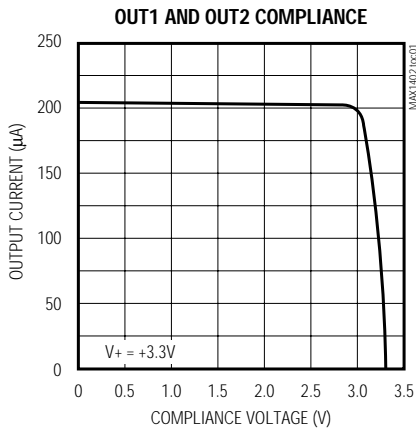


# +3V、18ビット、低電力マルチチャネル オーバーサンプリング(シグマ-デルタ)ADC

MAX1403

## 標準動作特性

( $V_+ = +3V$ ,  $V_{DD} = +3V$ ,  $V_{REFIN+} = +1.25V$ ,  $REFIN- = AGND$ ,  $f_{CLKIN} = 2.4576MHz$ , transducer excitation currents disabled,  $T_A = +25^\circ C$ , unless otherwise noted.)

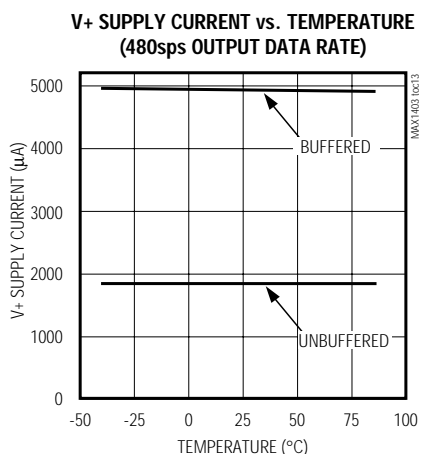
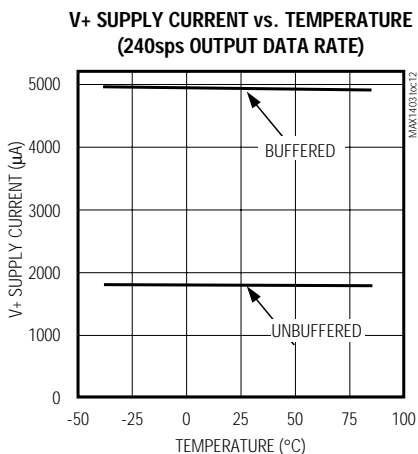
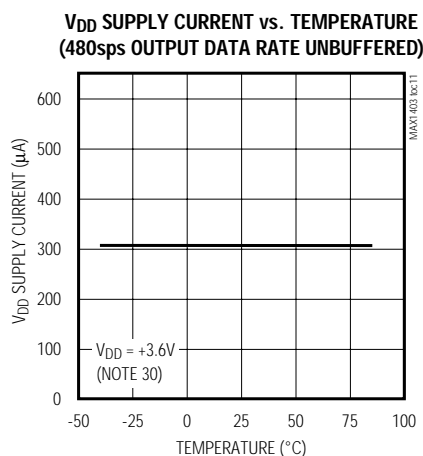
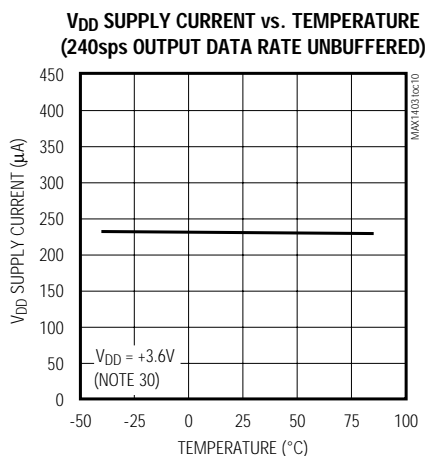


# +3V、18ビット、低電力マルチチャネル オーバーサンプリング(シグマ-デルタ)ADC

MAX1403

## 標準動作特性(続き)

( $V_+ = +3V$ ,  $V_{DD} = +3V$ ,  $V_{REFIN+} = +1.25V$ ,  $REFIN- = AGND$ ,  $f_{CLKIN} = 2.4576MHz$ , transducer excitation currents disabled,  $T_A = +25^\circ C$ , unless otherwise noted.)



**Note 30:** Minimize capacitive loading at CLKOUT for lowest  $V_{DD}$  supply current. *Typical Operating Characteristics* show  $V_{DD}$  supply current with CLKOUT loaded by 120pF.

# +3V、18ビット、低電力マルチチャネル オーバーサンプリング(シグマ-デルタ)ADC

MAX1403

## 端子説明

端子	名称	機能
1	CLKIN	クロック入力。CLKINとCLKOUTの間にクリスタルを接続できます。別方法として、公称周波数2.4576MHz又は1.024MHzのCMOSコンパチブルクロックでCLKINを駆動し、CLKOUTは未接続にしておくこともできます。X2CLK制御ビットが1に設定されている場合は、周波数として4.9152MHz及び2.048MHzを使用できます。
2	CLKOUT	クロック出力。マスタークロックをクリスタルから得る場合は、CLKINとCLKOUTの間にクリスタルを接続してください。このモードにおいては、内蔵クロック信号をCLKOUTで得ることはできません。CLKINを外部クロックで駆動する場合は、CLKOUTを未接続のままにしてください。
3	$\overline{CS}$	チップセレクト入力。デジタルインタフェースをイネーブルするために使用されるアクティブローロジック入力。 $\overline{CS}$ がハード配線でローに接続されている場合、MAX1403は3線インタフェースモードで動作し、SCLK、DIN及びDOUTがインタフェースに使用されます。 $\overline{CS}$ は、シリアルバスに2つ以上のデバイスが使用されているシステムにおいてデバイスを選択するために、あるいは連続SCLKが使用されている場合にMAX1403のフレーム同期信号として使用されます。
4	$\overline{RESET}$	アクティブローリセット入力。これをローにすると、制御ロジック、インタフェースロジック、デジタルフィルタ及びアナログ変調器がパワーオン状態にリセットされます。リセットが解除されるには、 $\overline{RESET}$ がハイとなり、CLKINがトグルしている必要があります。
5	DS1	補助データ入力ビット1のデジタル入力。このビットの状態は、出力データのビットD4に反映されます。これは、DS1の状態をシリアルインタフェースを通じて通信するために使用されます。
6	DS0	補助データ入力ビット0のデジタル入力。このビットの状態は、出力データのビットD3に反映されます。これは、DS0の状態をシリアルインタフェースを通じて通信するために使用されます。
7	OUT2	トランスデューサ励起電流ソース2
8	OUT1	トランスデューサ励起電流ソース1
9	AGND	アナロググランド。アナログ回路の基準点。AGNDはICサブストレートに接続されています。
10	V+	アナログ正電源電圧(+2.7 ~ +3.6V)
11	AIN1	アナログ入力チャネル1。AIN6をコモン端子とする疑似差動入力、あるいはAIN1/AIN2差動アナログ入力ペアの正入力として使用できます(「内蔵レジスタ」を参照)。
12	AIN2	アナログ入力チャネル2。AIN6をコモン端子とする疑似差動入力、あるいはAIN1/AIN2差動アナログ入力ペアの負入力として使用できます(「内蔵レジスタ」を参照)。
13	AIN3	アナログ入力チャネル3。AIN6をコモン端子とする疑似差動入力、あるいはAIN3/AIN4差動アナログ入力ペアの正入力として使用できます(「内蔵レジスタ」を参照)。
14	AIN4	アナログ入力チャネル4。AIN6をコモン端子とする疑似差動入力、あるいはAIN3/AIN4差動アナログ入力ペアの負入力として使用できます(「内蔵レジスタ」を参照)。
15	AIN5	アナログ入力チャネル5。AIN6と共に差動又は疑似差動入力として使用できます(「内蔵レジスタ」を参照)。
16	AIN6	アナログ入力チャネル6。疑似差動入力モードにおけるAIN1 ~ AIN5のコモン端子、あるいはAIN5/AIN6差動アナログ入力ペアの負入力として使用できます(「内蔵レジスタ」を参照)。
17	CALGAIN-	負利得キャリブレーション入力。システム利得キャリブレーションに使用されます。完全差動入力ペア(CALGAIN+との組み合わせ)の負入力です。通常、これらの入力はシステム内のリファレンス電圧に接続されています。システム利得キャリブレーションが不要で、自動シーケンスモードが使用されている場合、CALGAIN+/CALGAIN-入力ペアは付加的な完全差動入力チャネルとして使用できます。
18	CALGAIN+	正利得キャリブレーション入力。システム利得キャリブレーションに使用されます。完全差動入力ペア(CALGAIN-との組み合わせ)の正入力です。通常、これらの入力はシステム内のリファレンス電圧に接続されています。システム利得キャリブレーションが不要で、自動シーケンスモードが使用されている場合、CALGAIN+/CALGAIN-入力ペアは付加的な完全差動入力チャネルとして使用できます。

# +3V、18ビット、低電力マルチチャネル オーバーサンプリング(シグマ-デルタ)ADC

MAX1403

## 端子説明(続き)

端子	名称	機能
19	REFIN-	負差動リファレンス入力。REFIN-はV+とAGNDの間にバイアスしてください(REFIN+がREFIN-よりも高いことが条件です)。
20	REFIN+	正差動リファレンス入力。REFIN+はV+とAGNDの間にバイアスしてください(REFIN+がREFIN-よりも高いことが条件です)。
21	CALOFF-	負オフセットキャリブレーション入力。システムオフセットキャリブレーションに使用されます。完全差動入力ペア(CALOFF+との組み合わせ)の負入力です。通常、これらの入力はシステム内のゼロリファレンス電圧に接続されています。システムオフセットキャリブレーションが不要で、自動シーケンスモードが使用されている場合、CALOFF+/CALOFF-入力ペアは付加的な完全差動入力チャネルとして使用できます。
22	CALOFF+	正オフセットキャリブレーション入力。システムオフセットキャリブレーションに使用されます。完全差動入力ペア(CALOFF-との組み合わせ)の正入力です。通常、これらの入力はシステム内のゼロリファレンス電圧に接続されています。システムオフセットキャリブレーションが不要で、自動シーケンスモードが使用されている場合、CALOFF+/CALOFF-入力ペアは付加的な完全差動入力チャネルとして使用できます。
23	DGND	デジタルグランド。デジタル回路の基準点。
24	VDD	デジタル電源電圧(+2.7V ~ +3.6V)。
25	$\overline{\text{INT}}$	割込み出力。ロジックローの時は、データレジスタから新しい出力ワードを読み取れることを意味します。出力ワード読取り動作が完了すると $\overline{\text{INT}}$ はハイに戻ります。 $\overline{\text{INT}}$ は、データ読取りが行われなくても短時間(長さはフィルタ及びクロック制御ビットで決定)だけハイに戻ります。ロジックハイの時は、内部でアクティビティがあることを意味するため、ハイの時は読取り動作を行わないようにしてください。また、 $\overline{\text{INT}}$ はDOUTに有効なデータが出ていることを示すストロブを提供します(MDOUT = 1)。
26	DOUT	シリアルデータ出力。DOUTは、通信レジスタ、グローバルセットアップレジスタ、伝達関数レジスタ又はデータレジスタからの情報を含む内部シフトレジスタからデータを出力します。DOUTは、 $\Sigma\Delta$ 変調器のデジタルビットストリームを直接供給することもできます(MDOUT = 1)。
27	DIN	シリアルデータ入力。DINのデータは入力シフトレジスタに書き込まれ、後で通信レジスタ、グローバルセットアップレジスタ、特殊関数レジスタ又は伝達関数レジスタに転送されます(どのレジスタかは通信レジスタのレジスタ選択ビットに依存します)。
28	SCLK	シリアルクロック入力。MAX1403とのデータ転送を行うには、ここに外部シリアルクロックを印加してください。このシリアルクロックは、連続的(データはパルストレインとして送信)でも間欠的でもかまいません。 $\overline{\text{CS}}$ を使用してデータ転送のフレーミングを行う場合は、変換の合間のSCLKはハイ、ローいずれも可能で、 $\overline{\text{CS}}$ が希望のアクティブクロックエッジを決定します(「クロック極性の選択」を参照)。 $\overline{\text{CS}}$ が恒久的にローに接続されている場合は、データ転送の合間でSCLKをハイにアイドルリングする必要があります。

# +3V、18ビット、低電力マルチチャンネル オーバーサンプリング(シグマ-デルタ)ADC

## 詳細

### 回路の説明

MAX1403は、重量計や圧カトランスデューサ等のダイナミックレンジの広いアプリケーション用に設計された低電力マルチチャンネル、シリアル出力シグマ-デルタADCです。図2のファンクションダイアグラムは、スイッチングネットワーク、変調器、PGA、2つのバッファ、発振器、内蔵デジタルフィルタ、2つのマッチングされた励起電流ソース及び双方向性シリアル通信ポートを含んでいます。

3つの完全差動入力チャンネルがスイッチングネットワークに接続されています。各チャンネルは、利得を $+1V/V \sim +128V/V$ の範囲で個別に設定できるようになっています。これら3つの差動チャンネルは、5つの疑似差動入力チャンネルとして動作するように設定することもできます。2つの付加的な完全差動システムキャリブレーションチャンネルにより、システム利得誤差及びオフセット誤差を測定できるようになっています。専用の利得及びオフセット誤差補正チャンネルを必要としない場合、これらのシステムキャリブレーションチャンネルは付加的な差動信号チャンネルとして使用できます。

選択された入力をPGAと変調器の容量性負荷から分離するために、2つのチョッパ安定化バッファが提供されています。3つの独立したDACが、各差動入力チャンネルの入力信号のDC成分を補償します。

シグマ-デルタ変調器は、入力信号をデジタルパルスストレインに変換します(平均デューティサイクルが数値化信号情報を表現します)。次に、このパルスストレインがデジタルデシメーションフィルタによって処理され、16ビット以上の変換精度を実現します。デジタルフィルタのデシメーション係数をユーザが選択できるため、変換結果の分解能を低減して出力データ速度を高くすることができます。2.4576MHz又は1.024MHzのマスタークロックと共に使用した場合、ライン周波数及び関連する高調波におけるデジタルデシメーションフィルタの周波数応答をゼロに設定することができます。これにより、ポストフィルタリングなしで優れたライン除去比を保證できます。さらに、変調器のサンプリング周波数は電力消費を最小にするか、あるいはスループット速度を最大にするように最適化できます。

MAX1403は、全ての信号チャンネルを順番にスキャンし、シリアルインタフェースを通じて結果を出力するように設定することもできます。このようにすると、

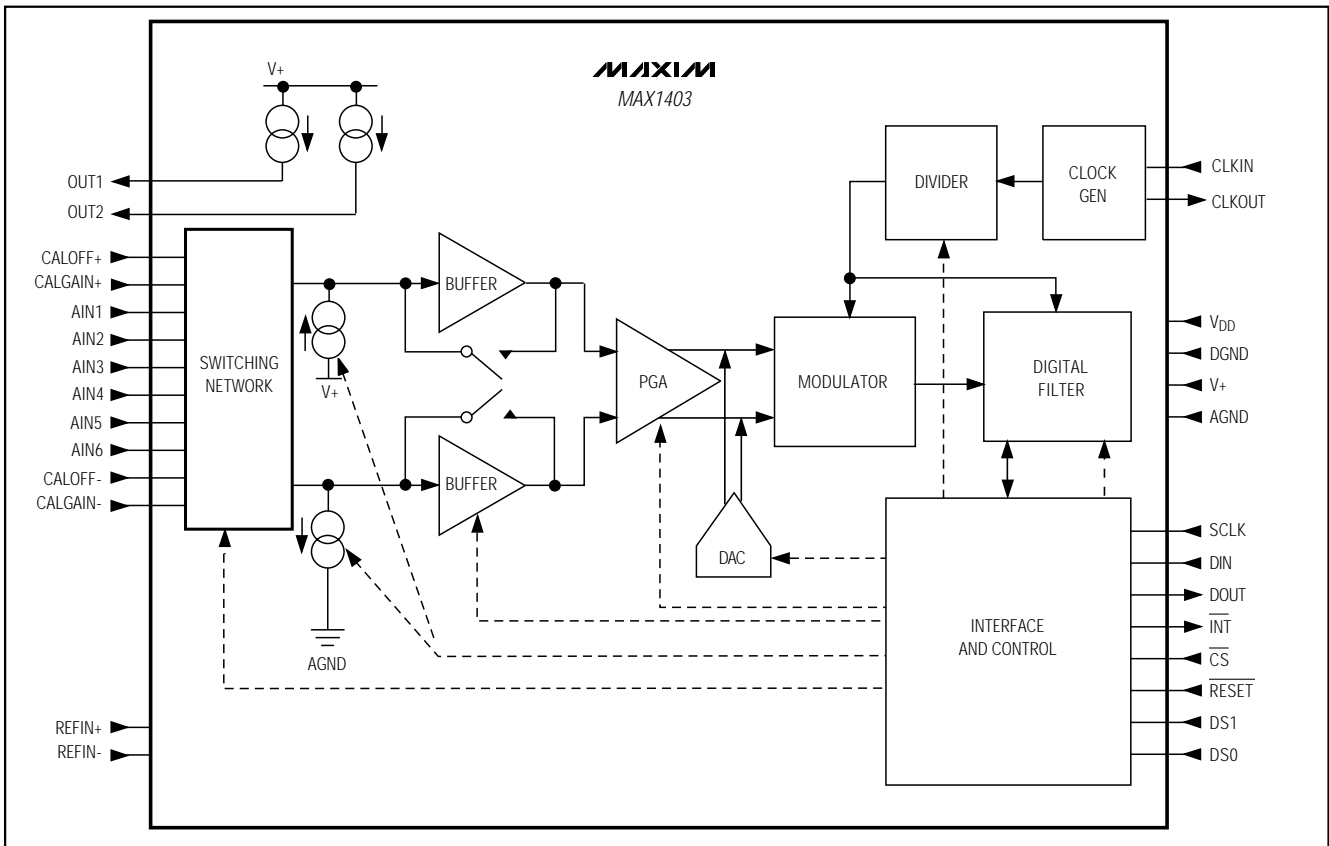


図2. ファンクションダイアグラム

# +3V、18ビット、低電力マルチチャネル オーバーサンプリング(シグマ-デルタ)ADC

MAX1403

通信オーバーヘッドが最小限で済みます。出力ワードは、各変換結果のソースを示す結果識別タグを含んでいます。

## シリアルデジタルインタフェース

シリアルデジタルインタフェースを通じて、8つの内蔵レジスタにアクセスできます(図3)。全てのシリアルインタフェースコマンドは、通信レジスタ(COMM)への書き込みで始まります。パワーアップ、システムリセット又はインタフェースリセット時に、本デバイスは通信レジスタへの書き込みを予期します。COMMレジスタへのアクセスは0スタートビットで始まります。COMMレジスタのR/ $\overline{W}$ ビットは読取り又は書き込み動作を選択し、レジスタ選択ビット(RS2、RS1、RS0)がアドレス指定されるべきレジスタを選択します。COMM又は他のレジスタに書き込んでいない時は、DINをハイに保持してください(表1)。

シリアルインタフェースは $\overline{CS}$ 、SCLK、DIN、DOUT及び $\overline{INT}$ の5つの信号からなっています。SCLKのクロックパルスがビットをDINにシフトインし、DOUTからシフトアウトします。 $\overline{INT}$ はデータの準備ができたことを知らせます。 $\overline{CS}$ はデバイスのチップセレクト入力であると同時に、クロック極性選択入力です(図4)。

$\overline{CS}$ を使用すると、いくつかのSPIコンパチブルデバイス間でSCLK、DIN及びDOUT信号を共有できます。I/Oピンが足りない場合は、 $\overline{CS}$ をローに接続し、SCLK、DIN及びDOUTを使って、シリアルデジタルインタフェースをCPOL=1、CPHA=1モードで動作させてください。この3線インタフェースモードは光絶縁アプリケーションに最適です。さらに、MAX1403は読取りサイクル中にのみDOUTを駆動するため、マイクロコントローラ(PIC16C54又は80C51等)は単一の双方向性I/Oピンを使用することによって、DINへの送信とDOUTからの受信の両方(「アプリケーション情報」を参照)を行うことができます。

表1. 制御レジスタのアドレス指定

RS2	RS1	RS0	TARGET REGISTER
0	0	0	Communications Register
0	0	1	Global Setup Register 1
0	1	0	Global Setup Register 2
0	1	1	Special Function Register
1	0	0	Transfer Function Register 1
1	0	1	Transfer Function Register 2
1	1	0	Transfer Function Register 3
1	1	1	Data Register

さらに、 $\overline{INT}$ 信号をハードウェア割込みに接続すると、高速スループットが可能になると共に、信頼性が高く、衝突のないデータフローが可能になります。

MAX1403は、生の変調器データ出力にアクセスできるモードを備えています。このモードにおいては、DOUTと $\overline{INT}$ の機能が変更されます(「変調器データ出力」を参照)。

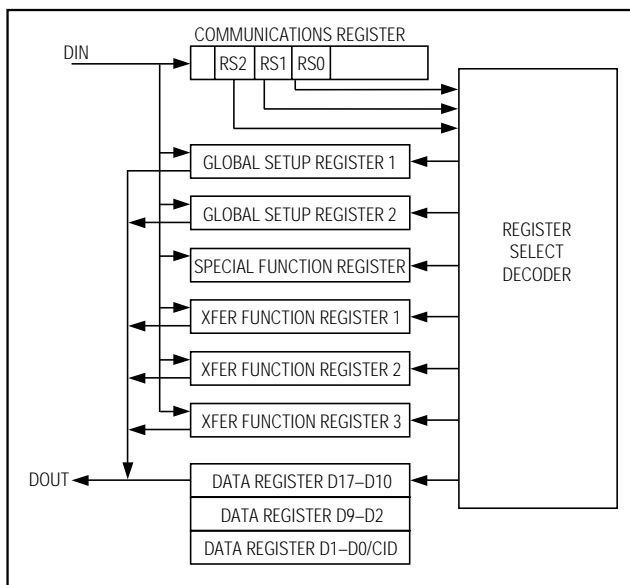


図3. レジスタの概要

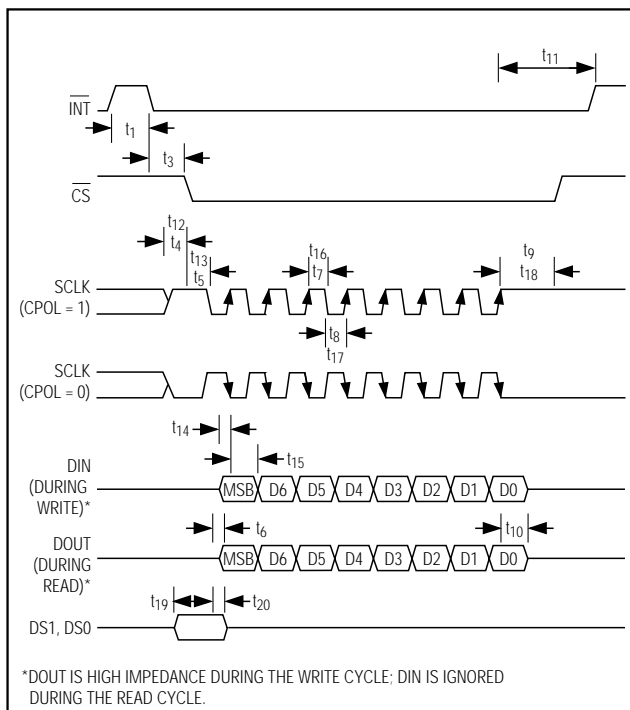


図4. シリアルインタフェースのタイミング

# +3V、18ビット、低電力マルチチャネル オーバーサンプリング(シグマ-デルタ)ADC

MAX1403

## クロック極性の選択

シリアルインタフェースは、クロックがハイ又はローにアイドルしている状態で動作できます。これは、モトローラ社のSPIインタフェースをCPOL=1、CPHA=1又はCPOL=0及びCPHA=1モードで動作させた場合とコンパチブルです。クロック極性は、 $\overline{CS}$ の立下がりエッジにおけるSCLKの状態をサンプリングすることにより求めてください。セットアップ時間 $t_4/t_{12}$ 及び $t_5/t_{13}$ に違反しないように気をつけてください。 $\overline{CS}$ がグランドに接続されていると、 $\overline{CS}$ に立下がりエッジがないため、SCLKをハイでアイドルするする必要があります(CPOL=1、CPHA=1)。

データレディ信号(DRDYビットが真、又は $\overline{INT}$  = ロー)データレディ信号は、24ビットデータレジスタから新しいデータを読み取ることができることを知らせます。データレジスタの読み取りに成功すると、データレディ信号は偽になります。データが読まれる前に新しい測定が完了すると、データレディ信号は偽になります。データレジスタに新しいデータが用意されると、データレディ信号は再び真になります。

MAX1403は、データレディ信号を監視する方法を2つ提供しています。 $\overline{INT}$ はハードウェア解決法(データがアクセス可能になったときにアクティブロー)を提供し、COMMレジスタのDRDYビットはソフトウェア解決法(アクティブハイ)を提供します。

データレディが真になったら、できるだけ早くデータを讀取ってください。これは、測定速度が速いほど重要になります。データ読み取りが大幅に遅れると、衝突が起こることがあります。データレジスタの読み取り動作中に新しい測定が完了すると、衝突が起こります。衝突が起こると、データレジスタ内の情報は無効になります。データは無効になりますが、それでもこの無効な読み取り動作を完了する必要があります。

## インタフェースのリセット

32個の1を同期入力するとシリアルインタフェースがリセットされます。インタフェースをリセットしても内部レジスタは影響されません。

連続データ出力モードを使用している場合は、8個の0を入力してから32個の1を入力してください。先頭の0が全ての動作のスタートビットとして使用されるため、32個を超える1を同期入力してもかまいません。

## 連続データ出力モード

入力チャネルをスキャンしている場合(SCAN=1)、シリアルインタフェースによって、COMMレジスタ

への書込みを必要とせずにデータレジスタを繰り返し読取ることができます。最初のCOMM書込み(01111000)の後に24ビットのデータレジスタを読み取るための24クロック(DIN=ハイ)が続きます。データレジスタが読み取られた後、次の変換の後でもう一度24クロック(DIN=ハイ)を書き込むことにより、再び読取りが可能になります。COMMレジスタに任意の有効なアクセスを書き込むことにより、連続データ出力モードを終了させることができます。

## 変調器データ出力(MDOUT = 1)

MDOUT=1の場合、カスタムフィルタリング用にシングルビットの生の変調器データをDOUTから得ることができます。 $\overline{INT}$ はデータ同期用の変調器クロックを提供します。データは $\overline{INT}$ の立下がりエッジで有効になります。それでも書込み動作は実行できますが、読取り動作はディセーブルされます。MDOUTが0に戻った後は、通常のシリアルインタフェース読取り動作で有効データにアクセスできます。

## 内蔵レジスタ

### 通信レジスタ

0/DRDY : (デフォルト = 0)データレディビット。書込みのときは、このビットを0にリセットして通信レジスタデータワードの開始を知らせる必要があります。読取りのときは、ここ(0/DRDY)に1があると、データレジスタに有効なデータが用意されていることを意味します。このビットはデータレジスタが読取られた後にリセットされます。データが読み取られなかった場合、0/DRDYは次の測定の最後でローになります。

RS2、RS1、RS0 : (デフォルト = 0、0、0)レジスタ選択ビット。これらのビットで、アクセスされるレジスタを選択します(表1)。

R/ $\overline{W}$  : (デフォルト = 0)読取り/書込みビット。ハイに設定されると、選択されたレジスタが読取られます。R/ $\overline{W}$  = 0の場合は、選択されたレジスタに書き込まれます。

RESET : (デフォルト = 0)ソフトウェアリセットビット。このビットをハイに設定すると、デバイスはデフォルトのパワーアップ状態にリセットされます(RESET = 0)。

STDBY : (デフォルト = 0)スタンバイパワーダウンビット。STDBYビットをセットすると、デバイスはスタンバイ状態になり、シリアルインタフェース及びCLK発振器以外の全てがシャットダウンします。

FSYNC : (デフォルト = 0)フィルタ同期ビット。FSYNC = 0の時、変換はCLK、FS1、FS0、MF1及び

## 通信レジスタ

最初のビット(MSB)

(LSB)

FUNCTION	DATA RDY	REGISTER SELECT BITS						
Name	0/DRDY	RS2	RS1	RS0	R/ $\overline{W}$	RESET	STDBY	FSYNC
Defaults	0	0	0	0	0	0	0	0

# +3V、18ビット、低電力マルチチャネル オーバサンプリング(シグマ-デルタ)ADC

MAX1403

MF0ビットによって決まるデータレートで自動的に実行されます。FSYNC=1の場合は、デジタルフィルタ及びアナログ変調器がリセット状態に保持され、通常の自己タイミング動作が禁止されます。このビットは、オンコマンドで変換して有効な出力データへのセトリング時間を最小限に抑えるため、あるいはいくつかのMAX1403の動作を同期させるために使用できます。FSYNCは、シリアルインタフェースや0/DRDYフラグをリセットしません。FSYNCがアクティブの時に0/DRDYをクリアするには、データレジスタの読取りを実行してください。

## グローバルセットアップレジスタ1

A1、A0：(デフォルト=0、0)チャンネル選択制御ビット。表8、9及び10に従って、これらのビット(及びDIFF、M1及びM0ビットの状態)が変換のために選択されるチャンネルを決定します。SCANビットがセットされていると、これらのビットは無視されます。

MF1、MF0：(デフォルト=0、0)変調器周波数ビット。MF1及びMF0はCLKIN発振器周波数の変調器動作周波数に対する比を決定します。これらは出力データレート、デジタルフィルタノッチ周波数の位置及びデバイスの電力消費に影響を与えます。MF1=0及びMF0=0の場合は、電力消費が最小になります。これらのビットが1、1に設定されると、電力消費が最大になり、出力データレートが最高速になります(表2)。

CLK：(デフォルト=1)CLKビット。CLKビットはX2CLKとの組み合わせで、MAX1403にCLKIN入力信号の周波数を知らせます。CLK=0の場合、CLKIN入力周波数として1.024MHz(X2CLK=1の場合は2.048MHz)が预期されます。CLK=1の場合、CLKIN入力周波数として2.4576MHz(X2CLK=1の場合は4.9152MHz)が预期されます。このビットはデジタルフィルタのデシメーション係数に影響し、最終的に出力データレートに影響します(表2)。

FS1、FS0：(デフォルト=0、1)フィルタ選択ビット。これらのビット(及びCLKビット)がデジタルフィルタのデシメーション比を制御します。出力データレート、

デジタルフィルタ周波数応答ノッチの位置及び出力結果に存在するノイズがこれらのビットによって決まります(表2)。

FAST：(デフォルト0)高速ビット。FAST=0の場合、デジタルフィルタは変調器のデータストリームに対してSINC<sup>3</sup>フィルタ機能を果たします。出力データレートは、CLK、FS1、FS0、MF1及びMF0ビットの値によって決まります(表2)。SINC<sup>3</sup>機能のセトリング時間は $3 \cdot [1/(出力データレート)]$ です。SINC<sup>3</sup>モードにおいては、MAX1403は(有為な設定変更の後)セトリングしたデータが準備できるまで、自動的にDRDY信号を偽に保持します。FAST=1の場合、デジタルフィルタは変調器のデータストリームに対してSINC<sup>1</sup>フィルタ機能を果たします。このフィルタ機能によって達成される信号雑音比はSINC<sup>3</sup>の場合よりも小さくなりますが、SINC<sup>3</sup>はセトリングに少なくとも3出力サンプル周期を要するのに対して、SINC<sup>1</sup>は単一の出力サンプル周期内にセトリングします。SINC<sup>1</sup>モードからSINC<sup>3</sup>モードに切り換えると、フィルタが完全にセトリングした後でDRDYフラグの発生が止まり、再び発生します。このモード変更には少なくとも3サンプルを要します。

## グローバルセットアップレジスタ2

SCAN：(デフォルト0)スキャンビット。このビットを1に設定すると、DIFF、M1及びM0の設定に従って入力チャンネルの順次スキャンが行われます(「スキャン(スキャンモード)」を参照)。SCAN=0の時、MAX1403はA1、A0、DIFF、M1及びM0で選択された特定のチャンネルを繰り返し測定します(表4)。

M1、M0：(デフォルト=0、0)モード制御ビット。これらのビットは、キャリブレーションチャンネルCALOFF及びCALGAINへのアクセスを制御します。SCAN=0の時、M1=0及びM0=1に設定するとCALOFF入力を選択され、M1=1及びM0=0に設定するとCALGAIN入力を選択されます(表3)。SCAN=1でM1 M0の場合、スキャンシーケンスにはCALOFFとCALGAIN入力の両方が含まれます(表4)。SCANが1に設定され、デバイスが使用可能な入力チャンネルを

## グローバルセットアップレジスタ1

最初のビット(MSB)

(LSB)

FUNCTION	CHANNEL SELECTION		MODULATOR FREQUENCY		FILTER SELECTION			
Name	A1	A0	MF1	MF0	CLK	FS1	FS0	FAST
Defaults	0	0	0	0	1	0	1	0

## グローバルセットアップレジスタ2

最初のビット(MSB)

(LSB)

FUNCTION	SCAN	MODE CONTROL		BUFF	DIFF	BOUT	IOUT	X2CLK
Name	SCAN	M1	M0	BUFF	DIFF	BOUT	IOUT	X2CLK
Defaults	0	0	0	0	0	0	0	0



# +3V、18ビット、低電力マルチチャネル オーバーサンプリング(シグマ-デルタ)ADC

MAX1403

スキャンしているときにどちらかのキャリブレーションモード(01又は10)が選択されると、スキャンシーケンスが拡張されてCALGAIN+/CALGAIN-入力ペア及びCALOFF+/CALOFF-入力ペアの両方の変換を含むようになります。正確なシーケンスは、DIFFビットの状態に依存します(表4)。スキャン中、キャリブレーションチャンネルは伝達関数レジスタ3の内容によって定義されるPGA利得、フォーマット及びDAC設定を使用します。

**BUFF** : (デフォルト = 0)BUFFビットは、入力バッファアンプの動作を制御します。このビットが0の場合、入力バッファはバイパスされ、パワーダウンします。このビットがハイに設定されると、バッファが入力サンプリングコンデンサを駆動して、動的入力負荷を最小限に抑えます。

**DIFF** : (デフォルト = 0)差動/疑似差動ビット。DIFF = 0の時、デバイスは疑似差動モードになり、AIN1 ~ AIN5はアナログコモン端子AIN6を基準として測定されます。DIFF = 1の時、デバイスは差動モードになり、アナログ入力はAIN1/AIN2、AIN3/AIN4及びAIN5/AIN6として定義されます。各モードで使用可能な入力チャンネルは、表5に記載されています。DIFFは、デバイスがスキャンモードになっている時のスキャンシーケンスにも影響することに注意してください(表4)。

**BOUT** : (デフォルト = 0)バーンアウト電流ビット。BOUT = 1に設定すると、選択されたアナログ入力チャンネルに100nAの電流ソースが接続されます。このモードは、トランスジューサが焼き切れたり、開回路になっていないかどうかをチェックするために使用されます。最高の直線性を保証するために、測定の前にバーンアウト電流ソースをターンオフ(BOUT = 0)する必要があります。

**IOUT** : (デフォルト = 0)IOUTビットは、トランスデューサ励起電流を制御します。このビットが0に設定されていると、OUT1及びOUT2がディセーブルされ、これらのピンは実効的にハイインピーダンスになります。これが1になると、IOUT1及びIOUT2の両方が起動され、各ピンが200µAの電流ソースとなります。

**X2CLK** : (デフォルト = 0)2倍クロックビット。このビットを1に設定すると、クロック信号経路内の2分周プリスケラが選択されます。これにより、周波数の高いクリスタル又はクロックソースを使用でき、非対称クロックソースへの耐性が改善されます。

特殊関数レジスタ(書込み専用)

**MDOUT** : (デフォルト = 0)変調器出力ビット。MDOUT = 0の時、DOUTピンにおけるデータ読み出し

表2. データ出力レート対CLK、フィルタ選択及び変調器周波数ビット

CLKIN FREQUENCY, f <sub>CLKIN</sub> (MHz)		CLK	MF1	MF0	AVAILABLE OUTPUT DATA RATES (sps)			
X2CLK = 0	X2CLK = 1				FS1, FS0* (0, 0)	FS1, FS0* (0, 1)	FS1, FS0 (1, 0)	FS1, FS0 (1, 1)
1.024	2.048	0	0	0	20	25	100	200
1.024	2.048	0	0	1	40	50	200	400
1.024	2.048	0	1	0	80	100	400	800
1.024	2.048	0	1	1	160	200	800	1600
<b>2.4576</b>	4.9152	<b>1</b>	<b>0</b>	<b>0</b>	50	<b>60</b>	300	600
2.4576	4.9152	1	0	1	100	120	600	1200
2.4576	4.9152	1	1	0	200	240	1200	2400
2.4576	4.9152	1	1	1	400	480	2400	4800

\* Data rates offering noise-free 16-bit resolution.

**Note:** When FAST = 0, f<sub>3dB</sub> = 0.262 • Data Rate. When FAST = 1, f<sub>3dB</sub> = 0.443 • Data Rate.

**Note:** Default condition is in bold print.

表3. M1、M0によって制御される特殊モード(SCAN = 0)

M1	M0	DESCRIPTION
0	0	<b>Normal Mode:</b> The device operates normally.
0	1	<b>Calibrate Offset:</b> In this mode, the MAX1403 converts the voltage applied across CALOFF+ and CALOFF-. The PGA gain, DAC, and format settings of the selected channel (defined by DIFF, A1, A0) are used.
1	0	<b>Calibrate Gain:</b> In this mode, the MAX1403 converts the voltage applied across CALGAIN+ and CALGAIN-. The PGA gain, DAC, and format settings of the selected channel (defined by DIFF, A1, A0) are used.
1	1	<b>Reserved:</b> Do not use.

# +3V、18ビット、低電力マルチチャネル オーバサンプリング(シグマ-デルタ)ADC

MAX1403

表4. SCANモードのスキャンシーケンス  
(SCAN = 1)

DIFF	M1	M0	SEQUENCE
0	0	0	AIN1-AIN6, AIN2-AIN6, AIN3-AIN6, AIN4-AIN6, AIN5-AIN6
0	0	1	AIN1-AIN6, AIN2-AIN6, AIN3-AIN6, AIN4-AIN6, AIN5-AIN6, CALOFF, CALGAIN
0	1	0	AIN1-AIN6, AIN2-AIN6, AIN3-AIN6, AIN4-AIN6, AIN5-AIN6, CALOFF, CALGAIN
1	0	0	AIN1-AIN2, AIN3-AIN4, AIN5-AIN6
1	0	1	AIN1-AIN2, AIN3-AIN4, AIN5-AIN6, CALOFF, CALGAIN
1	1	0	AIN1-AIN2, AIN3-AIN4, AIN5-AIN6, CALOFF, CALGAIN

**Note:** All other combinations reserved.

表5. 使用可能な入力チャネル(SCAN = 0)

DIFF	M1	M0	AVAILABLE CHANNELS
0	0	0	AIN1-AIN6, AIN2-AIN6, AIN3-AIN6, AIN4-AIN6
0	0	1	CALOFF
0	1	0	CALGAIN
1	0	0	AIN1-AIN2, AIN3-AIN4, AIN5-AIN6
1	0	1	CALOFF
1	1	0	CALGAIN

がイネーブルされます。これはシリアルインタフェースの通常状態です。MDOUT = 1に設定されると、DOUT及びINTピンの機能が変更され、通常のシリアルデータインタフェース出力の代わりに生のシングルビット変調器出力が提供されます。これにより、内蔵デジタルフィルタを経由せずに、変調器出力に直接カスタムフィルタリングを施すことができます。INTピンはDOUTにおける変調器データをいつサンプリングするべきか(INTの立下がりエッジ)を知らせるクロックを提供します。このモードにおいても内蔵デジタルフィルタは通常通り動作することに注意してください。MDOUTが0に戻ると、通常のシリアルインタフェース読取り動作によって有効なデータにアクセスできるようになります。

**FULLPD** : (デフォルト = 0)完全パワーダウンビット。FULLPD = 1の時、デバイスはクロック発振器も含めて強制的に完全パワーダウン状態になります。シリアルインタフェースは引き続き動作します。この状態から適正に回復するには、ハードウェアリセットを必要とします。

**注記** : 特殊関数レジスタの予備ビットを全て0のデフォルト状態から変更すると、予備モードの1つが選択され、デバイスは予期通りの動作をしなくなります。このレジスタは書き込み専用レジスタです。しかし、間違っこのレジスタを読んではしまった場合は、デバイスから24ビットのデータを同期出力することにより、通常のインタフェースアイドル状態に回復させてください。

### 伝達関数レジスタ

3つの伝達関数レジスタが、入力電圧を出力コードにマッピングするために使用される方法を制御します。これらのレジスタは全て同じフォーマットを持っています。制御レジスタが関連するチャネルにどのようにマッピングされるかは、動作モードに依存し、M1、M0、DIFF及びSCANの状態に影響されます(表8、9及び10)。

### 特殊関数レジスタ(書き込み専用)

FUNCTION	最初のビット(MSB)			RESERVED BITS				(LSB)
	RESERVED BITS	RESERVED BITS	MDOUT	0	0	0	0	
Name	0	0	MDOUT	0	0	0	0	FULLPD
Defaults	0	0	0	0	0	0	0	0

### 伝達関数レジスタ

FUNCTION	最初のビット(MSB)				(LSB)			
	PGA GAIN CONTROL				OFFSET CORRECTION			
Name	G2	G1	G0	U/B	D3	D2	D1	D0
Defaults	0	0	0	0	0	0	0	0

# +3V、18ビット、低電力マルチチャネル オーバーサンプリング(シグマ-デルタ)ADC

MAX1403

## アナログ入力AIN1 ~ AIN6

入力AIN1及びAIN2は、スキャンモード(SCAN = 1)やシングルエンドと差動(DIFF)モードの別にかかわらず、伝達関数レジスタ1にマッピングします。同様に、AIN3及びAIN4入力は常に伝達関数レジスタ2にマッピングします。最後に、AIN5は常に伝達関数レジスタ3にマッピングします(AIN6はアナログコモン端子です)。

## CALGAIN及びCALOFF

スキャンモードでない時(SCAN = 0)、A1とA0はいずれの伝達関数がCALGAIN及びCALOFFに適用されるかを選択します。スキャンモード(SCAN = 1)においては、CALGAIN及びCALOFFは常に伝達関数レジスタ3にマッピングされます。M1 M0の状態ですキャンしている時、CALGAIN及びCALOFFの両チャンネルがスキャンシーケンスに含まれることに注意してください(表4)。両方のチャンネルが同じチャンネルIDタグを共有しますが、CALOFFが常にCALGAINよりも先になります(表11)。

任意のアクティブなチャンネル制御ビットの状態を変更すると、 $\overline{\text{INT}}$ が直ちにハイに遷移して変調器/フィルタがリセットされることに注意してください。 $\overline{\text{INT}}$ は適切なデジタルフィルタセトリング時間が経過した後に再び発生します。インアクティブなチャンネルの制御設定を自由に変更しても、 $\overline{\text{INT}}$ の状態に影響せず、フィルタ/変調器がリセットすることはありません。

## PGAの利得

ビットG2 ~ G0は、表6に従ってPGAの利得を制御します。

## ユニポーラ/バイポーラモード

U/ $\overline{\text{B}}$ ビットは、チャンネルをバイポーラ又はユニポーラモードに設定します。0の場合はバイポーラモードが選択され、1の場合はユニポーラモードが選択されます。このビットはアナログ信号調節には影響しません。変調器は常にバイポーラ入力を受け付け、選択された入力が同じ電位の時に1の密度が50%であるビットストリームを生成します。このビットは、使用可能な

表6. PGA利得コード

G2	G1	G0	PGA GAIN
0	0	0	x1
0	0	1	x2
0	1	0	x4
0	1	1	x8
1	0	0	x16
1	0	1	x32
1	1	0	x64
1	1	1	x128

出力ビットが適正な出力範囲にマッピングされるようにデジタルフィルタ出力の処理を制御します。変換する前にU/ $\overline{\text{B}}$ を設定する必要があることに注意してください(出力レジスタに既に保持されているデータには影響を与えません)。

バイポーラモードを選択しても、AGNDより低い入力が許容されるわけではありません。デバイスの利得とオフセットが変わるだけです。全ての入力は仕様動作電圧範囲内に収まっていなければなりません。

## オフセット補正DAC

ビットD3 ~ D0はオフセット補正DACを制御します。DACの範囲はPGAの利得設定に依存し、使用可能なフルスケール入力範囲に対するパーセント比率として表現されます(表7)。

D3は符号ビット、D2 ~ D0はDAC値の大きさを表します。DAC値として0000(デフォルト)が設定されると、DACは変調器入力から切り離されることに注意してください。これにより、オフセット補正が必要ないときにDACによってノイズ性能が劣化するのを防ぐことができます。

## 伝達関数レジスタのマッピング

表8、9及び10に、様々な動作モードにおけるチャンネル制御レジスタのマッピングを示します。

表7. DACコード対DAC値

D3	D2	D1	D0	BIPOLAR DAC VALUE (% of FSR)	UNIPOLAR DAC VALUE (% of FSR)
0	0	0	0	DAC not connected	
0	0	0	1	+8.3	+16.7
0	0	1	0	+16.7	+33.3
0	0	1	1	+25	+50
0	1	0	0	+33.3	+66.7
0	1	0	1	+41.6	+83.3
0	1	1	0	+50	+100
0	1	1	1	+58.3	+116.7
1	0	0	0	DAC not connected	
1	0	0	1	-8.3	-16.7
1	0	1	0	-16.7	-33.3
1	0	1	1	-25	-50
1	1	0	0	-33.3	-66.7
1	1	0	1	-41.6	-83.3
1	1	1	0	-50	-100
1	1	1	1	-58.3	-116.7

# +3V、18ビット、低電力マルチチャネル オーバーサンプリング(シグマ-デルタ)ADC

MAX1403

表8. 伝達関数レジスタのマッピング --- 通常モード(M1 = 0、M0 = 0)

SCAN	DIFF	A1	A0	CHANNEL	TRANSFER-FUNCTION REGISTER
0	0	0	0	AIN1-AIN6	1
0	0	0	1	AIN2-AIN6	1
0	0	1	0	AIN3-AIN6	2
0	0	1	1	AIN4-AIN6	2
0	1	0	0	AIN1-AIN2	1
0	1	0	1	AIN3-AIN4	2
0	1	1	0	AIN5-AIN6	3
0	1	1	1	Do Not Use	
1	0	X	X	AIN1-AIN6	1
1	0	X	X	AIN2-AIN6	1
1	0	X	X	AIN3-AIN6	2
1	0	X	X	AIN4-AIN6	2
1	0	X	X	AIN5-AIN6	3
1	1	X	X	AIN1-AIN2	1
1	1	X	X	AIN3-AIN4	2
1	1	X	X	AIN5-AIN6	3
1	1	1	1	Do Not Use	

X = 任意

表9. 伝達関数レジスタのマッピング --- オフセットキャリブレーションモード  
(M1 = 0、M0 = 1)

SCAN	DIFF	A1	A0	CHANNEL	TRANSFER-FUNCTION REGISTER
0	0	0	0	CALOFF+-CALOFF-	1
0	0	0	1	CALOFF+-CALOFF-	1
0	0	1	0	CALOFF+-CALOFF-	2
0	0	1	1	CALOFF+-CALOFF-	2
0	1	0	0	CALOFF+-CALOFF-	1
0	1	0	1	CALOFF+-CALOFF-	2
0	1	1	0	CALOFF+-CALOFF-	3
0	1	1	1	Do Not Use	
1	0	X	X	AIN1-AIN6	1
1	0	X	X	AIN2-AIN6	1
1	0	X	X	AIN3-AIN6	2
1	0	X	X	AIN4-AIN6	2
1	0	X	X	AIN5-AIN6	3
1	0	X	X	CALOFF+-CALOFF-	3
1	0	X	X	CALGAIN+-CALGAIN-	3
1	1	X	X	AIN1-AIN2	1
1	1	X	X	AIN3-AIN4	2
1	1	X	X	AIN5-AIN6	3
1	1	X	X	CALOFF+-CALOFF-	3
1	1	X	X	CALGAIN+-CALGAIN-	3
1	1	1	1	Do Not Use	

# +3V、18ビット、低電力マルチチャネル オーバサンプリング(シグマ-デルタ)ADC

MAX1403

表10. 伝達関数レジスタのマッピング --- 利得キャリブレーションモード  
(M1 = 1、M0 = 0)

SCAN	DIFF	A1	A0	CHANNEL	TRANSFER-FUNCTION REGISTER
0	0	0	0	CALGAIN+-CALGAIN-	1
0	0	0	1	CALGAIN+-CALGAIN-	1
0	0	1	0	CALGAIN+-CALGAIN-	2
0	0	1	1	CALGAIN+-CALGAIN-	2
0	1	0	0	CALGAIN+-CALGAIN-	1
0	1	0	1	CALGAIN+-CALGAIN-	2
0	1	1	0	CALGAIN+-CALGAIN-	3
0	1	1	1	Do Not Use	
1	0	X	X	AIN1-AIN6	1
1	0	X	X	AIN2-AIN6	1
1	0	X	X	AIN3-AIN6	2
1	0	X	X	AIN4-AIN6	2
1	0	X	X	AIN5-AIN6	3
1	0	X	X	CALOFF+-CALOFF-	3
1	0	X	X	CALGAIN+-CALGAIN-	3
1	1	X	X	AIN1-AIN2	1
1	1	X	X	AIN3-AIN4	2
1	1	X	X	AIN5-AIN6	3
1	1	X	X	CALOFF+-CALOFF-	3
1	1	X	X	CALGAIN+-CALGAIN-	3
1	1	1	1	Do Not Use	

X = 任意

データレジスタ(読取り専用)

データレジスタは24ビット読取り専用レジスタです。ここへのデータの書込みは無効になります。書込み動作を試みた場合、デバイスが通信レジスタへの書込みを待つ通常アイドルモードになるまでに8ビットのデータを同期入力する必要があります。

データはMSBを先頭にして出力され、次に予備の0ビットが1つ、次に補助のデータビットが2つ、そしてデータを

送ったチャンネルを示す3ビットのチャンネルIDタグが続きます。

D17 ~ D0 : 変換結果。D17がMSBです。この結果はオフセットバイナリフォーマットになっています。00 0000 0000 0000 0000が最小値を表し、11 1111 1111 1111 1111が最大値を表します。使用可能な入力範囲を超える入力は、対応する最小又は最大出力値に制限されます。

0 : これら予備ビットは常に0です。

データレジスタ(読取り専用)

最初のビット(データMSB)

DATA BITS							
D17	D16	D15	D14	D13	D12	D11	D10

DATA BITS							
D9	D8	D7	D6	D5	D4	D3	D2

(データLSB)

(LSB)

DATA BITS		RESERVED	AUXILIARY DATA		CHANNEL ID TAG		
D1	D0	'0'	DS1	DS0	CID2	CID1	CID0

# +3V、18ビット、低電力マルチチャネル オーバサンプリング(シグマ-デルタ)ADC

表11. チャネルIDタグコード

CID2	CID1	CID0	CHANNEL
0	0	0	AIN1-AIN6
0	0	1	AIN2-AIN6
0	1	0	AIN3-AIN6
0	1	1	AIN4-AIN6
1	0	0	AIN1-AIN2
1	0	1	AIN3-AIN4
1	1	0	AIN5-AIN6
1	1	1	Calibration

DS1、DS0：補助データ入力ピンの状態。これらは、その時のデータレジスタ読取りアクセスのSCLK信号の最初の立下りエッジでラッチされます。

CID2～0：チャネルIDタグ(表11)。

## スイッチングネットワーク

スイッチングネットワークにより、3つの完全差動入力チャネル又は5つの疑似差動チャネル(AIN6を共有コモン端子として使用)のどちらかを選ぶことができます。スイッチングネットワークは、システムキャリブレーション用の2つの付加的な完全差動入力チャネルを提供します。これらは余分の完全差動信号チャネルとして

使用することもできます。表12に、両方の動作モードにおいて使用可能なチャネル構成を示します。

## スキャン(SCANモード)

使用可能な入力チャネルを逐次サンプリングし、変換するには、グローバルセットアップレジスタのSCAN制御ビットをセットしてください。シーケンスはDIFF(完全差動又は疑似差動)及びモード制御ビットM1及びM0によって決定されます(表8、9、10)。SCANがセットされると、デバイスは使用可能な各チャネルを順次使用して1つの変換結果を送信した後で次のチャネルに進みます。MAX1403は、最高の分解能を保证するため、各変換が完全にセトリングするために十分な時間自動的に待ってからデータレディ信号を発生し、次の使用可能なチャネルに進みます。このため、スキャン速度はクロックビット(CLK)、フィルタ制御ビット(FS1、FS0)及び変調器周波数選択ビット(MF1、MF0)に依存します。

## バーンアウト電流

入力回路は2つのバーンアウト電流も提供します。これらの小さな電流は、選択されたトランスデューサの正常性をテストするために使用できます。これらはグローバルセットアップレジスタのBOU\*ビットによって、イネーブル又はディセーブルに設定できます。

表12. 完全及び疑似差動モードにおける入力チャネル構成(SCAN = 0)

M1	M0	DIFF	A1	A0	MODE	HIGH INPUT	LOW INPUT
0	0	0	0	0	Pseudo-Differential	AIN1	AIN6
0	0	0	0	1		AIN2	AIN6
0	0	0	1	0		AIN3	AIN6
0	0	0	1	1		AIN4	AIN6
0	0	X	X	X		AIN5*	AIN6*
0	1	X	X	X		CALOFF+**	CALOFF-**
1	0	X	X	X		CALGAIN+**	CALGAIN-**
0	0	1	0	0	Fully Differential	AIN1	AIN2
0	0	1	0	1		AIN3	AIN4
0	0	1	1	0		AIN5	AIN6
0	1	X	X	X		CALOFF+**	CALOFF-**
1	0	X	X	X		CALGAIN+**	CALGAIN-**

X = 任意

\* この構成は疑似差動モードで内部スキャンロジックを使用しているときのみ可能です。

\*\* これらの組み合わせはキャリブレーションモードにおいてのみ可能です。

# +3V、18ビット、低電力マルチチャネル オーバーサンプリング(シグマ-デルタ)ADC

## トランスデューサ励起電流

MAX1403は、OUT1とOUT2にマッチングされたトランスデューサ励起電流200 $\mu$ Aを2つ提供します。これらの電流は絶対温度係数が低く、TCマッチングが厳密になっています。この電流ソースはトランスデューサ励起用に最適化されており、長いトランスデューサケーブルのIR電圧降下に起因する誤差の正確な補償を可能にする厳密な温度追従特性を持っています。これらは単一のレジスタ制御ビット(IOUT)により、イネーブル又はディセーブルすることができます。

## チャネル選択ネットワークにおける動的入力インピーダンス

無バッファモード(BUFF = 0)で使用了場合、アナログ入力は駆動回路から見て動的負荷となります。駆動回路から見た動的負荷は、サンプリングコンデンサのサイズ及び入力サンプリング周波数(図5)によって決まります。MAX1403は全ての利得設定において一定速度でサンプリングします。これにより、与えられたデータレートにおいて入力がセトリングするための最大時間が得られます。入力における動的負荷は利得設定によって変わります。利得が+2V/V、+4V/V及び+8V/Vの場合、入力サンプリングコンデンサは選択された利得が増加すると共に増加します。利得が+16V/V、+32V/V、+64V/V及び+128V/Vの場合、利得設定がx8の場合と同じ入力負荷となります。

どのスイッチトキャパシタADC入力でも同じことが言えますが、MAX1403を使用して設計を行う場合、

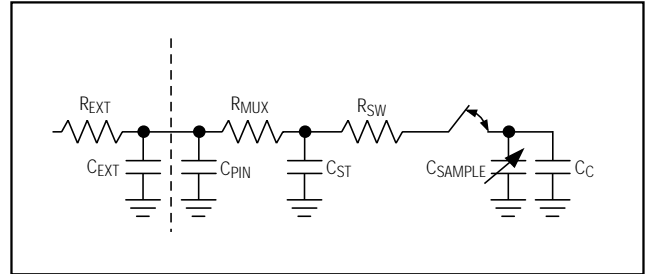


図5. 無バッファモードにおけるアナログ入力 (BUFF = 0)

直列入力抵抗の長所と短所を考慮してください。直列抵抗は外部駆動アンプへのトランジェント電流衝撃を低減します。これはアンプの位相マージンを改善し、リングングの可能性を低減します。この抵抗はサンプラーからのトランジェント負荷電流を回路のRC時間定数に従って時間軸上に広げます。しかし、直列抵抗の選択を誤ると、高速16ビットコンバータの性能が劣化する恐れがあります。RCネットワークのセトリング時間のために、コンバータが適正に動作できる速度が制限されたり、サンプラーのセトリング精度が低減することがあります。このため、実用の際はRC時間定数を希望の精度にセトリングするために十分なだけ小さくしてください(RC時間定数は駆動ソースのインピーダンスとMAX1403の入力及びその他の外部容量を含む容量の積で決まります)。表13a ~ 13dに、MAX1403の各利得設定において、無バッファモードで16ビット性能を保証するために使用できる直列抵抗対外部容量がまとめられています。

表13a. 無バッファ(BUFF = 0)モードにおいて16ビット利得誤差を下回るための R<sub>EXT</sub>、C<sub>EXT</sub>値 --- 1x変調器サンプリング周波数(MF1、MF0 = 00) ; X2CLK = 0 ; CLKIN = 2.4576MHz

PGA GAIN	EXTERNAL RESISTANCE, R <sub>EXT</sub> (k $\Omega$ )					
	C <sub>EXT</sub> = 0pF	C <sub>EXT</sub> = 50pF	C <sub>EXT</sub> = 100pF	C <sub>EXT</sub> = 500pF	C <sub>EXT</sub> = 1000pF	C <sub>EXT</sub> = 5000pF
1	34	15	9.8	2.9	1.6	0.43
2	34	15	9.8	2.9	1.6	0.43
4	25	13	8.7	2.7	1.5	0.40
8, 16, 32, 64, 128	17	10	7.3	2.4	1.4	0.37

表13b. 無バッファ(BUFF = 0)モードにおいて16ビット利得誤差を下回るための R<sub>EXT</sub>、C<sub>EXT</sub>値 --- 2x変調器サンプリング周波数(MF1、MF0 = 01) ; X2CLK = 0 ; CLKIN = 2.4576MHz

PGA GAIN	EXTERNAL RESISTANCE, R <sub>EXT</sub> (k $\Omega$ )					
	C <sub>EXT</sub> = 0pF	C <sub>EXT</sub> = 50pF	C <sub>EXT</sub> = 100pF	C <sub>EXT</sub> = 500pF	C <sub>EXT</sub> = 1000pF	C <sub>EXT</sub> = 5000pF
1	17	7.5	4.9	1.4	0.81	0.22
2	17	7.5	4.9	1.4	0.81	0.22
4	13	6.4	4.4	1.3	0.76	0.20
8, 16, 32, 64, 128	8.4	5.0	3.7	1.2	0.70	0.18

# +3V、18ビット、低電力マルチチャネル オーバーサンプリング(シグマ-デルタ)ADC

MAX1403

表13c. 無バッファ(BUFF = 0)モードにおいて16ビット利得誤差を下回るための  
 $R_{EXT}$ 、 $C_{EXT}$ 値 --- 4x変調器サンプリング周波数(MF1、MF0 = 10) ;  
 $X2CLK = 0$  ;  $CLKIN = 2.4576MHz$

PGA GAIN	EXTERNAL RESISTANCE, $R_{EXT}$ (k $\Omega$ )					
	$C_{EXT} = 0pF$	$C_{EXT} = 50pF$	$C_{EXT} = 100pF$	$C_{EXT} = 500pF$	$C_{EXT} = 1000pF$	$C_{EXT} = 5000pF$
1	8.3	3.7	2.4	0.72	0.40	0.11
2	8.3	3.7	2.4	0.72	0.40	0.11
4	6.2	3.2	2.2	0.67	0.38	0.10
8, 16, 32, 64, 128	4.1	2.5	1.8	0.60	0.35	0.09

表13d. 無バッファ(BUFF = 0)モードにおいて16ビット利得誤差を下回るための  
 $R_{EXT}$ 、 $C_{EXT}$ 値 --- 8x変調器サンプリング周波数(MF1、MF0 = 11) ;  
 $X2CLK = 0$  ;  $CLKIN = 2.4576MHz$

PGA GAIN	EXTERNAL RESISTANCE, $R_{EXT}$ (k $\Omega$ )					
	$C_{EXT} = 0pF$	$C_{EXT} = 50pF$	$C_{EXT} = 100pF$	$C_{EXT} = 500pF$	$C_{EXT} = 1000pF$	$C_{EXT} = 5000pF$
1	4.1	1.8	1.2	0.35	0.20	0.05
2	4.1	1.8	1.2	0.35	0.20	0.05
4	3.0	1.5	1.1	0.32	0.18	0.05
8, 16, 32, 64, 128	2.0	1.2	0.88	0.29	0.17	0.04

## 入力バッファ

MAX1403は、入力をPGA/変調器による容量性負荷から分離するための入力バッファのペアを提供しています(図6)。これらのバッファは、DCオフセット及び低周波数ノイズの影響を軽減するためにチョップ安定化されています。バッファは全アナログ電力消費の50%以上を消費するため、電力消費を小さくする必要があり、しかも容量性入力負荷が問題にならないアプリケーションにおいてはバッファをシャットダウンできるようになっています。入力がAGND又はV+の近くで動作しなければ

ならないアプリケーションにおいては、これらのバッファをディセーブルしてください。

バッファ付モードで使用した場合、これらのバッファは入力をサンプリングコンデンサから分離します。このモードにおいては、サンプリングに関する利得誤差が著しく低減します。チョップ安定化による小さな動的負荷が残ります。マルチプレクサは最大10nAの小さなリーク電流があります。ソース抵抗が高い場合には、このリーク電流のためにDCオフセットが生じることがあります。

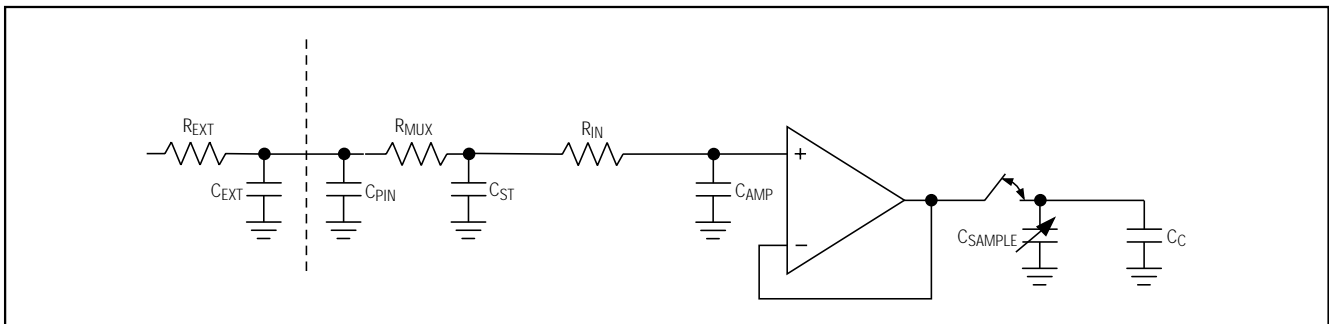


図6. バッファ付モード(BUFF = 1)におけるアナログ入力



# +3V、18ビット、低電力マルチチャネル オーバーサンプリング(シグマ-デルタ)ADC

表14. バッファ付(BUFF = 0)モードにおいて16ビット利得誤差を下回るための  
R<sub>EXT</sub>、C<sub>EXT</sub>値 --- 全変調器サンプリング周波数(MF1、MF0 = XX) ;  
X2CLK = 0 ; CLKIN = 2.4576MHz

PGA GAIN	EXTERNAL RESISTANCE, R <sub>EXT</sub> (kΩ)					
	C <sub>EXT</sub> = 0pF	C <sub>EXT</sub> = 50pF	C <sub>EXT</sub> = 100pF	C <sub>EXT</sub> = 500pF	C <sub>EXT</sub> = 1000pF	C <sub>EXT</sub> = 5000pF
1	10	10	10	10	10	10
2	10	10	10	10	10	10
4	10	10	10	10	10	10
8	10	10	10	10	10	10
16	10	10	10	10	10	10
32	10	10	10	10	10	10
64	10	10	10	10	10	10
128	10	10	10	10	10	10

## リファレンス入力

MAX1403は比率測定用に最適化されており、完全差動リファレンス入力を備えています。リファレンス電圧をREFIN+とREFIN-の間に印加してください(REFIN+の方がREFIN-よりもプラスになるようにしてください)。REFIN+及びREFIN-はAGNDとV+の間であることが必要です。MAX1403の仕様は、+1.25Vリファレンスで測定されています。

## 変調器

MAX1403は、シングルビットの2次スイッチトキャパシタ変調器を使用することによりアナログデジタル変換を行います。変調器内の単一のコンパレータが、変換される信号の帯域幅よりもずっと高いサンプルレートで入力信号を数値化します。このデジタルイザは次に1と0からなるストリームをデジタルフィルタに送って、周波数シェイピングされた数値化ノイズを除去します。

MAX1403の変調器は、シングルビットデジタルイザから生じる数値化ノイズの2次周波数シェイピングを提供します。信号雑音比を最大限に高め、電源ノイズに対する耐性を強くするためにこの変調器は完全差動式となっています。

変調器は、マスタークロック周波数(f<sub>CLKIN</sub>)、X2CLKビット、CLKビット及び変調器周波数制御ビットMF1及びMF0によって決まる、合計8つの異なるサンプリングレート(f<sub>M</sub>)のうちの1つで動作します。これらの各モードにおける電力消費は、変調器のバイアスレベルを制御することにより最適化されます。表15に、入力及びリファレンスサンプルレートを示します。

## PGA

変調器の前に、ユーザが利得をx1、x2、x4、x8、x16、x32、x64又はx128(表6)の中から選べる可変

利得アンプ(PGA)があります。図8に、次のコードを使用した場合のデフォルトバイポーラ伝達関数を示します：1) PGA = 0、DAC = 0、2) PGA = 3、DAC = 0、3) PGA = 3、DAC = 3。

## 出力ノイズ

表16a及び16bに、MAX1403をf<sub>CLKIN</sub> = 2.4576MHzで動作させた場合の標準出力周波数(ノッチ)におけるrms雑音指数及び-3dB周波数を示します。ここでは、バイポーラ入力範囲、V<sub>REF</sub> = +1.25V、無バッファ時(BUFF = 0)及びバッファ挿入時(BUFF = 1)における数値が与えられています。これらの数値は、差動アナログ入力電圧0の状態で作られた標準値です。図7に、実効分解能対利得及びノッチ周波数のグラフを示します。実効分解能の値は次式から得ています。

$$\text{実効分解能} = (\text{SNR}_{\text{dB}} - 1.76\text{dB})/6.02$$

可能な最大の信号をデバイスのノイズ(SNR<sub>dB</sub>)で割った値が、入力フルスケール電圧(即ち2 · V<sub>REFIN</sub>/GAIN)の出力rmsノイズに対する比として定義されます。これは、ピーク間出力ノイズの数値を使って計算されるのではないことに注意してください。ピーク間ノイズの数値は、rms数値の6.6倍にまで達することがあります。ピーク間ノイズに基づく実効分解能の数値は、表に記載されたrmsノイズに基づく実効分解能よりも2.5ビット低くなる可能性があります。

表16a及び16bに示すノイズは、デバイスノイズ及び数値化ノイズからなっています。デバイスノイズは比較的低下していますが、利得設定が高い場合には主要なノイズソースになります。数値化ノイズはノッチ周波数に依存し、ノッチ周波数が増えると主要なノイズ成分となります。

# +3V、18ビット、低電力マルチチャネル オーバサンプリング(シグマ-デルタ)ADC

MAX1403

表15. 変調器の動作周波数、サンプリング周波数及び16ビットデータ出力レート

CLKIN FREQUENCY, f <sub>CLKIN</sub> (MHz)		CLK	MF1	MF0	AIN/REFIN SAMPLING FREQUENCY, f <sub>s</sub> (kHz)	MODULATOR FREQUENCY, f <sub>M</sub> (kHz)	AVAILABLE OUTPUT DATA RATES AT 16-BIT ACCURACY (sps)
X2CLK = 0 DEFAULT	X2CLK = 1						
1.024	2.048	0	0	0	16	8	20, 25
1.024	2.048	0	0	1	32	16	40, 50
1.024	2.048	0	1	0	64	32	80, 100
1.024	2.048	0	1	1	128	64	160, 200
<b>2.4576</b>	4.9152	<b>1</b>	<b>0</b>	<b>0</b>	<b>38.4</b>	<b>19.2</b>	<b>50, 60</b>
2.4576	4.9152	1	0	1	76.8	38.4	100, 120
2.4576	4.9152	1	1	0	153.6	76.8	200, 240
2.4576	4.9152	1	1	1	307.2	153.6	400, 480

注記：デフォルト状態は太字。

表16a. MAX1403の雑音対利得及び出力データレート --- 無バッファモード、  
V<sub>REF</sub> = 1.25V、f<sub>CLKIN</sub> = 2.4576MHz

OUTPUT DATA RATE (sps)	-3dB FREQ. (Hz)	TYPICAL OUTPUT NOISE (μV <sub>RMS</sub> ) FOR VARIOUS PROGRAMMABLE GAINS								BIT STATUS
		x1	x2	x4	x8	x16	x32	x64	x128	
<b>MF1:MF0 = 0</b>										
50	13.1	5.42	3.03	1.70	1.11	1.06	1.05	1.05	1.04	FS1:FS0 = 0
60	15.7	5.91	3.20	1.90	1.25	1.13	1.18	1.15	1.15	FS1:FS0 = 1
300	78.6	80.5	38.6	20.6	10.3	5.73	3.62	2.84	2.67	FS1:FS0 = 2
600	157.2	441	236	112	54.8	29.2	14.5	7.61	5.13	FS1:FS0 = 3
<b>MF1:MF0 = 1</b>										
100	26.2	5.53	2.96	1.73	1.13	1.06	1.06	1.08	1.05	FS1:FS0 = 0
120	31.4	6.06	3.28	1.90	1.25	1.17	1.11	1.12	1.11	FS1:FS0 = 1
600	157.2	81.5	39.9	19.6	10.2	5.45	3.49	2.72	2.59	FS1:FS0 = 2
1200	314.4	450	232	115	53.4	27.8	14.7	8.00	5.08	FS1:FS0 = 3
<b>MF1:MF0 = 2</b>										
200	52.4	5.39	2.92	1.70	1.09	1.06	1.02	1.02	1.03	FS1:FS0 = 0
240	62.9	6.27	3.28	1.89	1.20	1.18	1.14	1.17	1.11	FS1:FS0 = 1
1200	314.4	77.8	40.1	20.1	10.0	5.53	3.56	2.74	2.59	FS1:FS0 = 2
2400	628.8	431	232	109	54.9	28.2	14.1	8.08	4.99	FS1:FS0 = 3
<b>MF1:MF0 = 3</b>										
400	104.8	5.36	3.00	1.82	1.17	1.10	1.06	1.10	1.11	FS1:FS0 = 0
480	125.7	5.88	3.25	1.94	1.28	1.26	1.16	1.17	1.15	FS1:FS0 = 1
2400	628.8	79.7	39.6	20.2	10.5	5.74	3.63	3.02	2.76	FS1:FS0 = 2
4800	1258	441	227	111	55.5	29.7	14.6	7.73	5.43	FS1:FS0 = 3

# +3V、18ビット、低電力マルチチャネル オーバーサンプリング(シグマ-デルタ)ADC

MAX1403

表16b. MAX1403の雑音対利得及び出力データレート --- バッファ付モード、  
 $V_{REF} = 1.25V$ 、 $f_{CLKIN} = 2.4576MHz$

OUTPUT DATA RATE (sps)	-3dB FREQ. (Hz)	TYPICAL OUTPUT NOISE ( $\mu V_{RMS}$ ) FOR VARIOUS PROGRAMMABLE GAINS								BIT STATUS
		x1	x2	x4	x8	x16	x32	x64	x128	
										<b>MF1:MF0 = 0</b>
50	13.1	5.72	3.21	2.10	1.41	1.42	1.44	1.38	1.34	FS1:FS0 = 0
60	15.7	6.29	3.57	2.30	1.55	1.61	1.56	1.49	1.56	FS1:FS0 = 1
300	78.6	80.6	39.8	19.3	10.2	6.14	4.25	3.03	3.52	FS1:FS0 = 2
600	157.2	436	225	116	57.1	28.8	15.0	8.70	5.99	FS1:FS0 = 3
										<b>MF1:MF0 = 1</b>
100	26.2	5.82	3.35	2.08	1.43	1.37	1.36	1.35	1.31	FS1:FS0 = 0
120	31.4	6.01	3.65	2.27	1.51	1.51	1.50	1.50	1.47	FS1:FS0 = 1
600	157.2	77.7	40.1	20.2	10.6	5.93	4.19	3.54	3.23	FS1:FS0 = 2
1200	314.4	434	222	111	57.0	28.3	14.8	8.37	5.81	FS1:FS0 = 3
										<b>MF1:MF0 = 2</b>
200	52.4	5.82	3.07	1.87	1.26	1.20	1.18	1.15	1.17	FS1:FS0 = 0
240	62.9	6.17	3.54	2.09	1.45	1.30	1.27	1.31	1.29	FS1:FS0 = 1
1200	314.4	79.0	41.1	19.8	10.5	5.68	3.68	3.14	2.99	FS1:FS0 = 2
2400	628.8	439	226	111	57.9	28.7	15.4	8.26	5.32	FS1:FS0 = 3
										<b>MF1:MF0 = 3</b>
400	104.8	5.60	3.10	1.85	1.32	1.24	1.25	1.19	1.21	FS1:FS0 = 0
480	125.7	6.18	3.47	2.02	1.38	1.37	1.29	1.33	1.33	FS1:FS0 = 1
2400	628.8	76.3	39.3	20.8	9.83	5.92	3.92	3.92	3.07	FS1:FS0 = 2
4800	1258	455	225	114	57.1	29.9	14.5	8.13	5.55	FS1:FS0 = 3

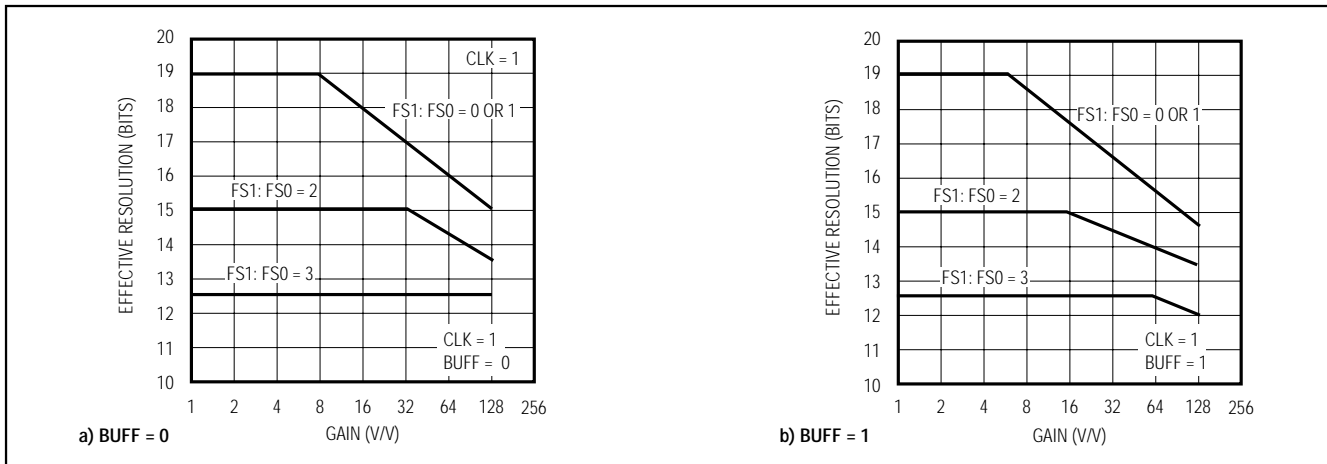


図7. 実効分解能対利得及びノッチ周波数

# +3V、18ビット、低電力マルチチャネル オーバーサンプリング(シグマ-デルタ)ADC

MAX1403

## オフセット補正DAC

MAX1403は、変調器入力において粗(3ビットプラス符号)オフセット補正DACを備えています。このDACを使って入力信号のオフセット成分を除去することにより、ADCをより敏感な信号範囲で使用できます。ユニポーラモードにおいて、DACは選択された範囲の $\pm 116.7\%$ ( $\pm 16.7\%$ きざみ)までオフセットすることができ、バイポーラモードにおいては、選択された範囲の $\pm 58.3\%$ ( $\pm 8.3\%$ きざみ)までオフセットすることができます。DACの値として0が選択されると、DACは変調器入力から完全に切り離されるため、ノイズに影響しなくなります。図8及び9に入力範囲及び伝達関数に対するDACコードの影響を示します。

## クロック発振器

クロック発振器は、CLKIN及びCLKOUTの間に接続された外部クリスタル(又は共振器)と共に使用するか、あるいはCLKINで外部発振器によって直接駆動し、CLKOUTを未接続のまま残すことによって動作させます。通常動作モードにおいて、MAX1403はCLKINが1.024MHz(CLK = 0)又は2.4576MHz(CLK = 1、デフォルト)で動作する仕様になっています。これらの周波数で動作するとき、本デバイスはその場所のライン周波数(60Hz又は50Hz)及び付随する高調波で周波数応答のヌル(ゼロ)を生成するように設定することができます。

スタンバイモード(STBY = 1)においては、シリアルインタフェース及びクロック発振器を除く全ての回路がパワーダウンします。SCLKが静的なとき、インタフェースの消費電力は最小になります。パワーダウンモード(発振器を含む)に入るには、特殊関数レジスタのFULLPDビットをセットしてください。フルパワーシャットダウンを解除するには、内容が破壊されたレジスタがクリアされるように、マスタークロック信号が確立するまで(外部クリスタルを使った内蔵発振器の場合には通常10ms)待ってから、ハードウェアリセット又はソフトウェアリセットを行ってください。

多くの場合、周波数の高いクリスタル又は共振器を使う方が便利です。特に表面実装アプリケーションにおいてはこれによってプリント基板面積を削減し、安価な入手しやすい部品を使用できます。また、デューティサイクルが50%に近くないクロックソースでデバイスを動作させる必要がある場合も考えられます。いずれにせよ、MAX1403はマスタークロックの周波数として最大5MHzまで使用することができ、内部2分周プリスケラによって2.5MHzまでの範囲でデューティサイクルが50%の内部クロック周波数を作ることができます。このプリスケラを起動するには、制御レジスタのX2CLKビットをセットしてください。CLKINに2.5MHzより高い周波数を使用し、X2CLKモードを使うと、デジタル消費電流が多少大きくなることに注意してください。

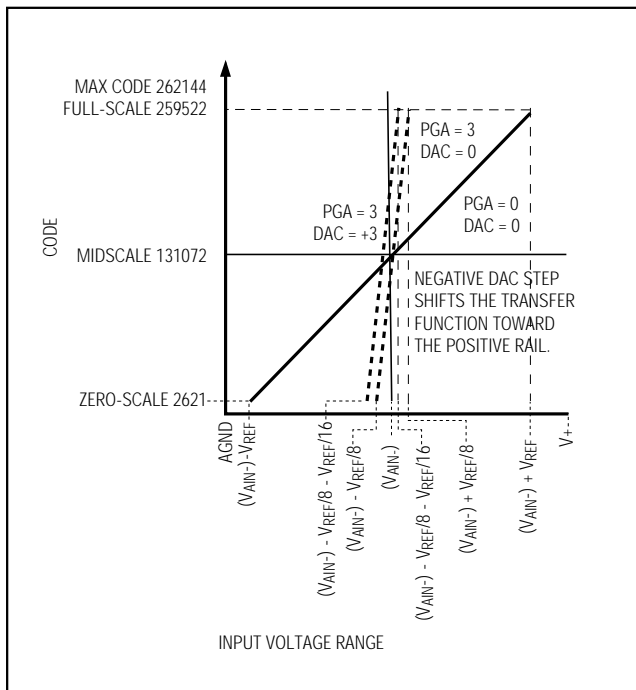


図8. バイポーラ伝達関数に対するPGA及びDACコードの影響

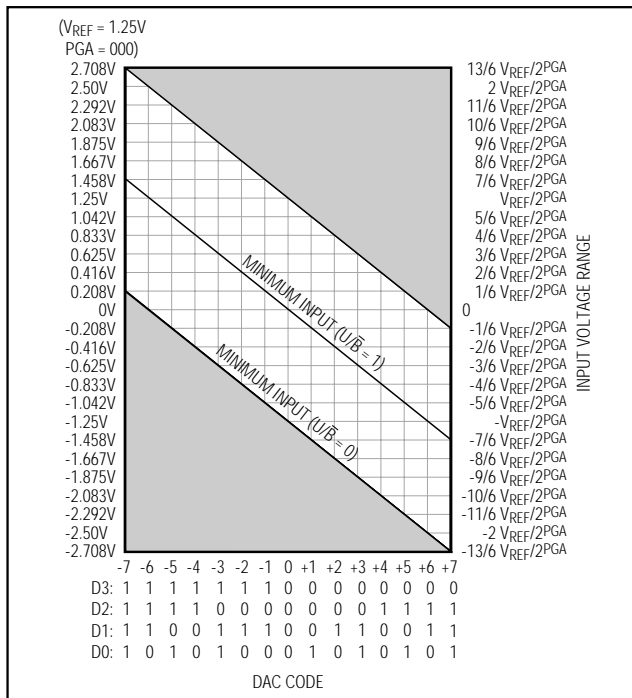


図9. 入力電圧範囲対DACコード

# +3V、18ビット、低電力マルチチャネル オーバーサンプリング(シグマ-デルタ)ADC

## デジタルフィルタ

内蔵デジタルフィルタは、SINC<sup>3</sup>又はSINC<sup>1</sup>フィルタを使用して変調器からの1ビットデータストリームを処理します。SINCフィルタは原理が簡潔で、効率が良く、また非常に融通性が高いために分解能やデータレートを可変にする必要がある場合に特に適しています。また、フィルタノッチ位置は、出力データレート(1/データワード周期)に直接関係しているために制御が簡単です。

SINC<sup>1</sup>機能は、デフォルトのSINC<sup>3</sup>フィルタと同じ周波数応答ノッチを保持していますが、セトリング応答が速くなっています。これにより、フィルタの分解能と数値化ノイズを犠牲にしてセトリングを速くすることができます。SINC<sup>1</sup>フィルタは1データワード周期内にセトリングします。ノッチが60Hzの場合(データレート60Hz)、セトリング時間は1/60Hz、即ち16.7msになります。SINC<sup>3</sup>フィルタの場合は3/60Hz、即ち50msでセトリングします。これらのフィルタ応答の間の切換えはグローバルセットアップレジスタのFASTビットを使って行います。セトリングを速くしたいときはSINC<sup>1</sup>モードを、最高の精度が必要なときはSINC<sup>3</sup>を使用してください。FASTビットをローにリセットすると、SINC<sup>1</sup>モードからSINC<sup>3</sup>モードに切り替えます。DRDY信号は偽になり、少なくとも3つのデータワード周期後に有効なデータが準備されると再び真になります。

グローバルセットアップレジスタのMDOUTビットをセットすることにより、デジタルフィルタをバイパスすることができます。MDOUT=1の時、変調器の生の出力がDOUTで直接得られます。

## フィルタの特性

MAX1403のデジタルフィルタは、SINC<sup>1</sup>(sinx/x)及びSINC<sup>3</sup>(sinx/x)<sup>3</sup>ローパスフィルタ機能を実現します。SINC<sup>3</sup>機能の伝達関数は次式で記述される3つのカスケード接続のSINC<sup>1</sup>フィルタです。zドメインにおける表現は、

$$H(z) = \left[ \frac{1}{N} \cdot \frac{1 - z^{-N}}{1 - z^{-1}} \right]^3$$

周波数ドメインにおける表現は、

$$H(f) = \left[ \frac{1}{N} \cdot \frac{\sin\left(N\pi \frac{f}{f_M}\right)}{\sin\left(\pi \frac{f}{f_M}\right)} \right]^3$$

となります。ここで、デシメーション係数Nは変調器周波数 $f_M$ の出力周波数 $f_N$ に対する比です。

図10にフィルタ周波数応答を示します。SINC<sup>3</sup>の特性カットオフ周波数は、最初のノッチ周波数の0.262倍です。このため、最初のフィルタノッチ周波数が60Hzである場合、カットオフ周波数は15.72Hzとなります。図10に示す応答はデジタルフィルタのサンプル周波数( $f_M$ )の両側で、また関連する高調波( $2f_M$ 、 $3f_M$ 、...)の両側で繰り返されます。

SINC<sup>3</sup>フィルタの応答はSINC<sub>1</sub>(平均フィルタ)フィルタの応答と似ていますが、ロールオフがより急峻になっています。デジタルフィルタの出力データレートは、フィルタの周波数応答の最初のノッチの位置に対応しています。このため、フィルタの最初のノッチが60Hzになっている図10のグラフでは、出力データレートは60Hzとなります。この(sinx/x)<sup>3</sup>フィルタのノッチは、最初のノッチ周波数の倍数のところで繰り返されます。SINC<sup>3</sup>フィルタは、これらのノッチにおいて100dB以上の減衰率を提供します。

グローバルセットアップレジスタのCLK、X2CLK、MF1、MF0、FS1及びFS0にロードされた値によって、デジタルフィルタのカットオフ周波数を求めてください。FS0とFS1を変えて異なるカットオフ周波数を設定しても、フィルタ応答の形は変わりません。変わるののはノッチの周波数です。例えば、図11はカットオフ周波数として13.1Hz及び最初のノッチ周波数として50Hzを示しています。

入力においてステップ変化があった場合は、有効なデータを読み取れるまでにセトリング時間が必要です。セトリング時間は、そのフィルタのために選択された出力データレートに依存します。フルスケールステップ入力に対するSINC<sup>3</sup>フィルタのセトリング時間は出力データ周期の4倍に達することがあります。(FSYNC機能又は内部スキャンロジックによって)同期されたステップ入力に対するセトリング時間は出力データ周期の3倍です。

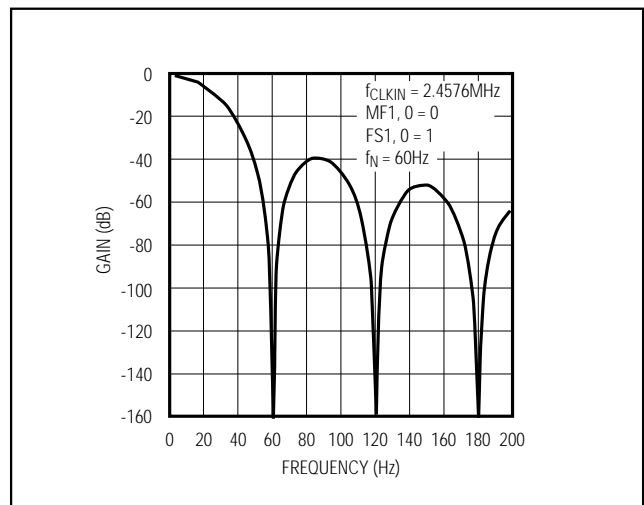


図10. SINC<sup>3</sup>フィルタの周波数応答(ノッチは60Hz)

# +3V、18ビット、低電力マルチチャネル オーバーサンプリング(シグマ-デルタ)ADC

## アナログフィルタリング

デジタルフィルタは変調器サンプル周波数の高調波の近くは除去しません。しかし、MAX1403はオーバーサンプリング比が高いため、これらの帯域はスペクトル中の小部分を占めるに過ぎず、殆どの広帯域ノイズはフィルタリングされます。ですから、内蔵フィルタリングを持たない従来のコンバータと比べて、MAX1403の手前のアナログフィルタリングの必要条件はかなり軽減されています。さらに、本デバイスは数kHzまで90dBのコモンモード除去比を持っているため、この周波数範囲におけるコモンモードノイズへの感受性はかなり低減されています。

アプリケーションによっては、MAX1403の前にフィルタリングを施して、デジタルフィルタが除去しない望ましくない周波数を除去する必要があります。また、アプリケーションによっては、測定周波数帯域の外側の差動ノイズ信号がアナログ変調器を飽和しないようにフィルタリングを追加する必要があります。

無バッファモードのMAX1403の手前に受動部品を配置する場合は、利得誤差が生じないようにソースインピーダンスを十分小さくしてください(表13a~13d)。このため、無バッファモードにおいてMAX1403の手前で施せる受動アンチエイリアシングフィルタリングがかなり制限されます。しかし、本デバイスをバッファ付モードで使用する場合は、大きなソースインピーダンスがあっても小さなDCオフセット誤差が生じるだけです(ソース抵抗が1kΩだと10μV以下のオフセット誤差が生じます)。ですから、ソースインピーダンスを大きくする必要がある場合はバッファ付モードでの使用をお勧めします。

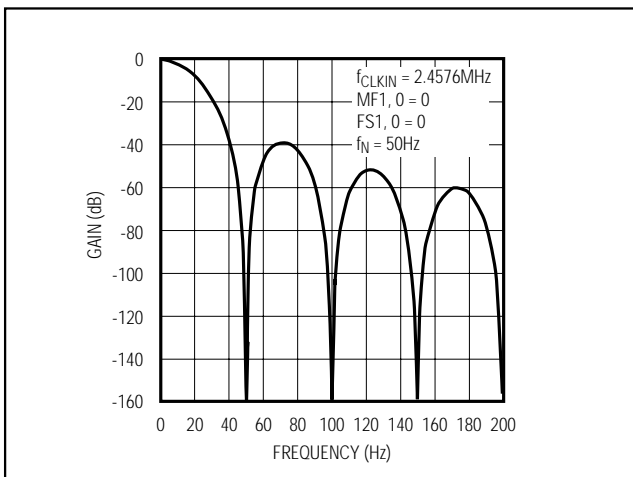


図11. SINC<sup>3</sup>フィルタの周波数応答(ノッチは50Hz)

## キャリブレーションチャンネル

2つの完全差動キャリブレーションチャンネルにより、システム利得及びオフセット誤差の測定が可能になっています。CALOFFチャンネルを0Vに接続し、CALGAINチャンネルをリファレンス電圧に接続してください。CALOFF及びCALGAINの両チャンネルのいくつかの測定を平均してください。平均オフセットコードを差し引き、利得誤差を補正するためにスケールしてください。このリニアキャリブレーション技法は、アナログ入力におけるソースインピーダンスに起因する誤差を除去するために使用することができます(例えば、シンプルなRCアンチエイリアシングフィルタをフロントエンドで使用する場合)。

## アプリケーション情報

### SPIインタフェース(68HC11、PIC16C73)

ハードウェアSPI(シリアル周辺インタフェース)を備えたマイクロプロセッサは、3線インタフェースによりMAX1403にインタフェースすることができます(図12)。SPIハードウェアはSCLK上に8つのパルスからなるグループを生成し、1つのピンにデータをシフトインして他方のピンからシフトアウトします。

最高の結果を得るには、ハードウェア割込みを使用してINTピンを監視し、新しいデータの準備ができ次第できるだけ早く取り込んでください。ハードウェア割込みが使用できない場合、あるいは割込みの待ち時間が選択された変換レートよりも長い場合は、FSYNCビットを使用して、データ出力レジスタ読取り中の自動測定を防いでください。

リスト1のコード例は68HC11を使用してMAX1403とインタフェースする方法を示しています。システムに依存する初期化コードは図示されていません。

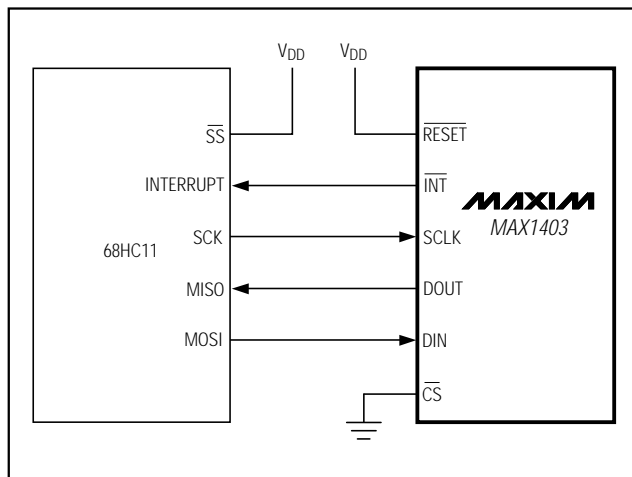


図12. MAX1403から68HC11へのインタフェース

# +3V、18ビット、低電力マルチチャネル オーバサンプリング(シグマ-デルタ)ADC

MAX1403

```
/* Assumptions:
** The MAX140X's CS pin is tied to ground
** The MAX140X's INT pin drives a falling-edge-triggered interrupt
** MAX140X's DIN is driven by MOSI, DOUT drives MISO, and SCLK drives SCLK
*/

/* Low-level function to write 8 bits using 68HC11 SPI */
void WriteByte (BYTE x)
{
    /* System-dependent: write to SPI hardware and wait until it is finished */
    HC11_SPDR = x;
    while (HC11_SPSR & HC11_SPSR_SPIF) { /* idle loop */ }
}

/* Low-level function to read 8 bits using 68HC11 SPI */
BYTE ReadByte (void)
{
    /* System-dependent: use SPI hardware to clock in 8 bits */
    HC11_SPDR = 0xFF;
    while (HC11_SPSR & HC11_SPSR_SPIF) { /* idle loop */ }
    return HC11_SPDR;
}

/* Low-level interrupt handler called whenever the MAX140X's INT pin goes low.
** This function reads new data from the MAX140X and feeds it into a
** user-defined function Process_Data().
*/
void HandleDRDY (void)
{
    BYTE data_H_bits, data_M_bits, data_L_bits; /* storage for data register */
    WriteByte(0x78); /* read the latest data register value */
    data_H_bits = ReadByte();
    data_M_bits = ReadByte();
    data_L_bits = ReadByte();
    Process_Data(data_H_bits, data_M_bits, data_L_bits);
    /* System-dependent: re-enable the interrupt service routine */
}

/* High-level function to configure the MAX140X's registers
** Refer to data sheet for custom setup values.
*/
void Initialize (void)
{
    /* System-dependent: configure the SPI hardware (CPOL=1,CPHA=1) */
    /* write to all of configuration registers */
    MY_GS1 = 0x0A; MY_GS2 = 0x00; MY_GS3 = 0x00;
    MY_TF1 = 0x00; MY_TF2 = 0x00; MY_TF3 = 0x00;
    WriteByte(0x10); WriteByte(MY_GS1); /* write Global Setup 1 */
    WriteByte(0x20); WriteByte(MY_GS2); /* write Global Setup 2 */
    WriteByte(0x30); WriteByte(MY_GS3); /* write Global Setup 3 */
    WriteByte(0x40); WriteByte(MY_TF1); /* write Transfer Function 1 */
    WriteByte(0x50); WriteByte(MY_TF2); /* write Transfer Function 2 */
    WriteByte(0x60); WriteByte(MY_TF3); /* write Transfer Function 3 */
    /* System-dependent: enable the data-ready (DRDY) interrupt handler */
}
}
```

リスト1. SPIインタフェースの例

# +3V、18ビット、低電力マルチチャネル オーバーサンプリング(シグマ-デルタ)ADC

MAX1403

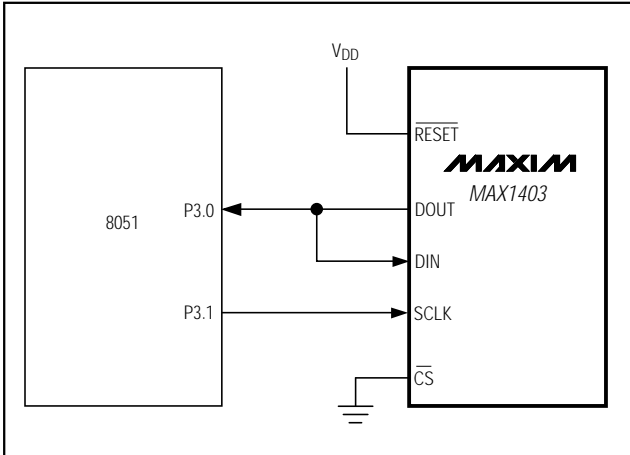


図13. MAX1403から8051へのインタフェース

## ビットバンギングインタフェース (80C51、PIC16C54)

どのようなマイクロコントローラでも、汎用I/Oピンを使用することによりMAX1403にインタフェースすることができます。双方向性又はオープンドレインI/Oピンが使用できる場合は、DINをDOUTに接続することによってインタフェースピンの数を低減してください(図13)。リスト2にSPIをソフトウェアでエミュレートする方法を示します。リスト1に示したものと同一初期化ルーチンを使用してください。

最高の結果を得るには、ハードウェア割込みを使用してINTピンを監視し、新しいデータの準備ができ次第できるだけ早く取り込んでください。ハードウェア割込みが使用できない場合、あるいは割込みの待ち時間が選択された変換レートよりも長い場合は、FSYNCビットを使用して、データ出力レジスタ読取り中の自動測定を防いでください。

```
/* Low-level function to write 8 bits
** The example shown here is for a bit-banging system with (CPOL=1, CPHA=1)
*/
void WriteByte (BYTE x)
{
    drive SCK pin high
    count = 0;
    while (count <= 7)
    {
        if (bit 7 of x is 1)
            drive DIN pin high
        else
            drive DIN pin low
        drive SCK pin low
        x = x * 2;
        drive SCK pin high
        count = count + 1;
    }
}

/* Low-level function to read 8 bits
** The example shown here is for a bit-banging system with (CPOL=1, CPHA=1)
*/
BYTE ReadByte (void)
{
    x = 0;
    drive SCK pin high
    count = 0;
    while (count <= 7)
    {
        x = x * 2;
        drive SCK pin low
        if (DOUT pin is high)
            x = x + 1;
        drive SCK pin high
        count = count + 1;
    }
}
return x;
```

リスト2. ビットバンギングSPI代替方法



# +3V、18ビット、低電力マルチチャネル オーバーサンプリング(シグマ-デルタ)ADC

## 歪み計の動作

MAX1403の差動入力を歪み計のブリッジネットワークに接続してください。図14において、アナログ正電源電圧がブリッジネットワーク及びMAX1403とMAX1403のリファレンス電圧を駆動します。内蔵PGAによって、MAX1403はフルスケール10mVという小さなアナログ入力電圧範囲まで扱うことができます。本デバイスは差動入力であるため、このアナログ入力範囲の絶対値はAGND ~ V+の間のどこでもかまいません。

## 温度測定

図15に熱電対からMAX1403への接続を示します。このアプリケーションにおいては、MAX1403はバッファ付モードで動作するため、フロントエンドに大きなデカップリングコンデンサを使用することができます。これらのデカップリングコンデンサは熱電対のリード線が拾うノイズを除去します。MAX1403がバッファ付モードで動作しているときは、同相範囲が小さくなります。熱電対からの差動電圧を適切なコモンモード電圧にのせるために、MAX1403のAIN2入力はリファレンス電圧+1.25Vにバイアスされています。

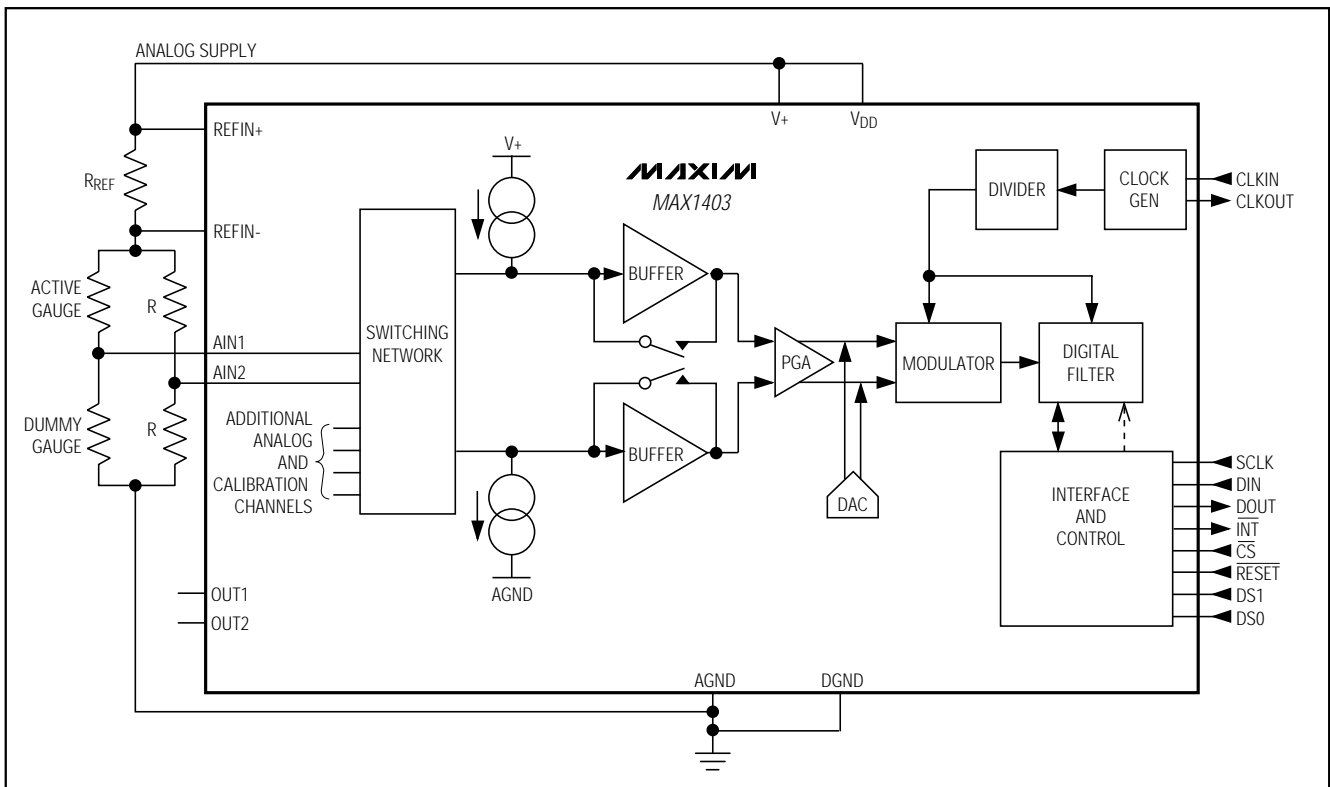


図14. MAX1403を使用した歪み計アプリケーション

# +3V、18ビット、低電力マルチチャネル オーバーサンプリング(シグマ-デルタ)ADC

MAX1403

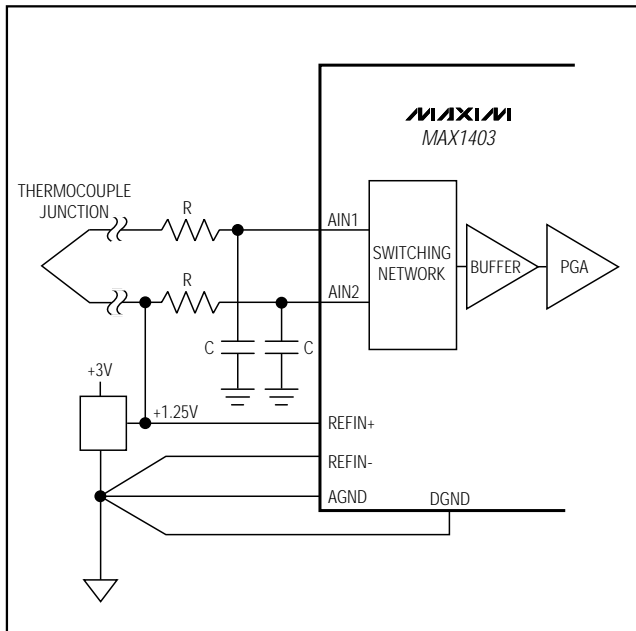


図15. MAX1403を使用した熱電対アプリケーション

## 4 ~ 20mAループ駆動トランスミッタ

低電力、単一電源動作でフォトカプラとのインタフェースが簡単なMAX1403は、ループ駆動の4 ~ 20mAトランスミッタに最適です。ループ駆動のトランス

ミッタは4 ~ 20mAループから電源を得ているため、トランスミッタ回路で使える電流が4mAに制限されます。ループの許容誤差により、この使用可能電流がさらに3.5mAにまで制限されます。MAX1403は消費電流は僅か250 $\mu$ Aであるため、残りのトランスミッタ回路で合計3.25mAを消費することができます。図16に、ループ駆動の4 ~ 20mAトランスミッタのブロック図を示します。

## 3線及び4線RTD構成

3線及び4線RTD構成の誤差は、厳密にマッチングされた200 $\mu$ Aの電流ソースで補償します。3線構成(図17)において電流ソースを1つだけ使用した場合は、リード抵抗が誤差の原因となります。200 $\mu$ Aが $R_{L1}$ を流れてAIN1とAIN2の間に電圧誤差を生じます。もう1つの電流ソースで $R_{L2}$ の両端に等価な電圧を生じさせることにより、AIN1とAIN2の差動電圧がリード抵抗に影響されないようにすることができます。ここでは、両方のリード線が同じ材質で長さが等しく( $R_{L1} = R_{L2}$ )、OUT1とOUT2がマッチングされた温度係数(5ppm/ )を持っていると仮定しています。両方の電流ソースが $R_{L3}$ を流れて同相電圧を生じますが、これはAIN1及びAIN2の差動電圧に影響を与えません。これらの電流ソースのうちの1つを使用してリファレンス電圧を駆動すると、比率測定の精度を高めることができます。

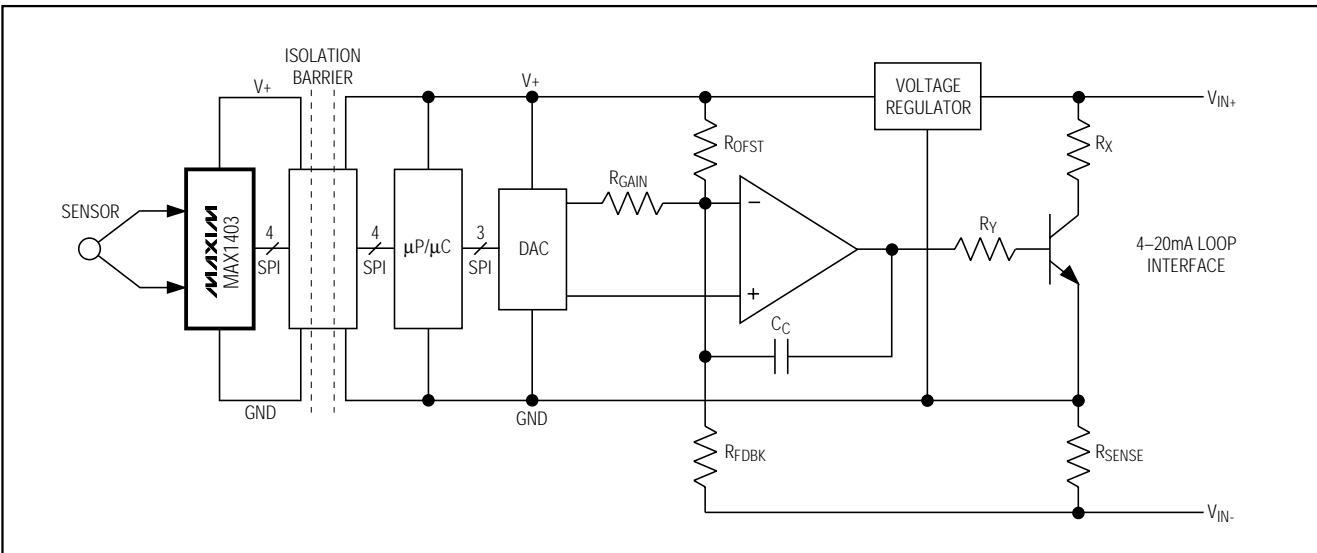


図16. 4 ~ 20mAトランスミッタ

# +3V、18ビット、低電力マルチチャネル オーバーサンプリング(シグマ-デルタ)ADC

MAX1403

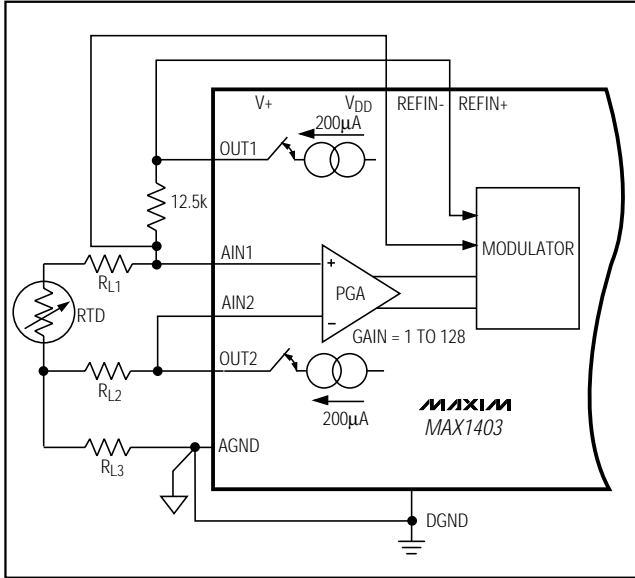


図17. 3線RTDアプリケーション

3線構成とは異なり、4線構成(図18)の場合はリード抵抗による誤差がありません。これは、AIN1及びAIN2に接続された測定リード線に電流が流れないためです。電流ソースOUT1がRTDの励起電流を供給し、電流ソースOUT2がリファレンス電圧を生成するための電流を供給します。R<sub>REF</sub>の両端に生じるこのリファレンス電圧により、アナログ入力電圧スパンがリファレンス電圧に対して比率を保つことが保証されます。アナログ入力電圧のRTD温度係数誤差はRTD電流ソースの温度ドリフトに起因し、リファレンス電圧の変化によって補償されます。RTDの通常の抵抗は100Ωであるため、20mVの信号が発生し、MAX1403のアナログ入力に直接入ります。OUT1及びOUT2の電圧は、V<sub>+</sub>電源電圧から1.0V以内まで許容されます。

## 電源

MAX1403には特定の電源シーケンスは必要ありません。V<sub>+</sub>又はV<sub>DD</sub>のいずれが先でもかまいません。MAX1403は優れたラッチアップ性能を持っていますが、ラッチアップを防ぐために、アナログ入力信号(AIN<sub>+</sub>)又はCLKIN入力の前にMAX1403の電源を投入することが重要です。これが不可能な場合は、これらのピンに流れ込む電流を50mAに制限してください。MAX1403とシステムデジタル回路に別々の電源が使用される場合は、MAX1403の電源を先に投入してください。

## グラウンディング及びレイアウト

最高の性能を得るために、アナログとデジタルのグランドプレーンが別々になったプリント基板を使ってください。ワイヤラップ基板は推奨しません。

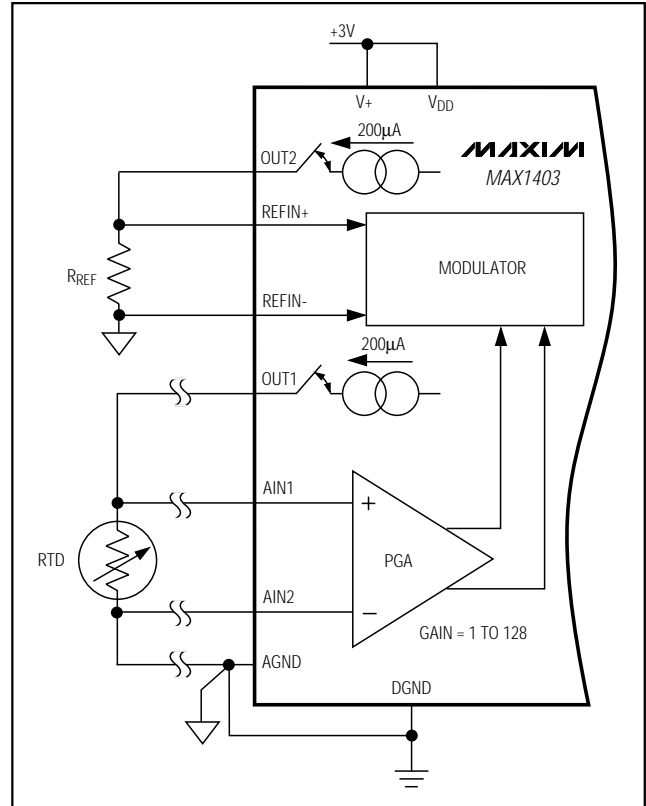


図18. 4線RTDアプリケーション

アナログとデジタルのセクションが分離され、各々が基板上の異なる場所に局限されるようにプリント基板を設計してください。デジタルとアナログのグランドプレーンは、1箇所だけで接続してください。AGNDとDGNDの接続を必要とするデバイスがMAX1403だけである場合は、グランドプレーン同士の接続をMAX1403のAGNDピンとDGNDピンのところで行ってください。複数のデバイスがAGNDとDGNDの接続を必要とするシステムにおいても、接続は一点だけで行ってください。星型グランドがMAX1403のできるだけ近くに来るようにしてください。

デジタルラインをデバイスの下に引くのは避けてください。これは、ノイズがチップにカップリングする恐れがあるためです。アナロググランドプレーンをMAX1403の下に引くことによって、デジタルノイズのカップリングを最小限に抑えてください。低インピーダンス経路を提供し、電源ラインのグリッチによる影響を低減するために、MAX1403への電源ラインはできるだけ広くしてください。

クロック等の高速スイッチング信号をデジタルグランドでシールドすることにより、基板上の他のセクションへの放射ノイズを避けてください。クロック信号をアナログ入力の近くに引かないでください。デジタル

# +3V、18ビット、低電力マルチチャネル オーバーサンプリング(シグマ-デルタ)ADC

MAX1403

信号とアナログ信号が交差しないようにしてください。基板の反対側にあるトレース同士は互いに直角に引くようにしてください。これによって、基板上のフィードスルーの影響を軽減することができます。マイクロストリップ技法が最善ですが、両面基板では不可能な場合もあります。この技法においては、基板の部品面側はグランドプレーン専用で使用し、信号はハンダ面側に配置されます。

高分解能ADCを使用する場合には、良好なデカップリングが重要です。全てのアナログ電源は、10 $\mu$ F tantalumコンデンサと0.1 $\mu$ F HFセラミックコンデンサを並列に接続したものでAGNDにバイパスしてください。最良のデカップリングを実現するために、これらの部品はできるだけデバイスの近くに配置してください。推奨レイアウトは、MAX1403評価キットのマニュアルに記載されています。この評価基板パッケージには完全実装済み、試験済みの評価基板が含まれています。

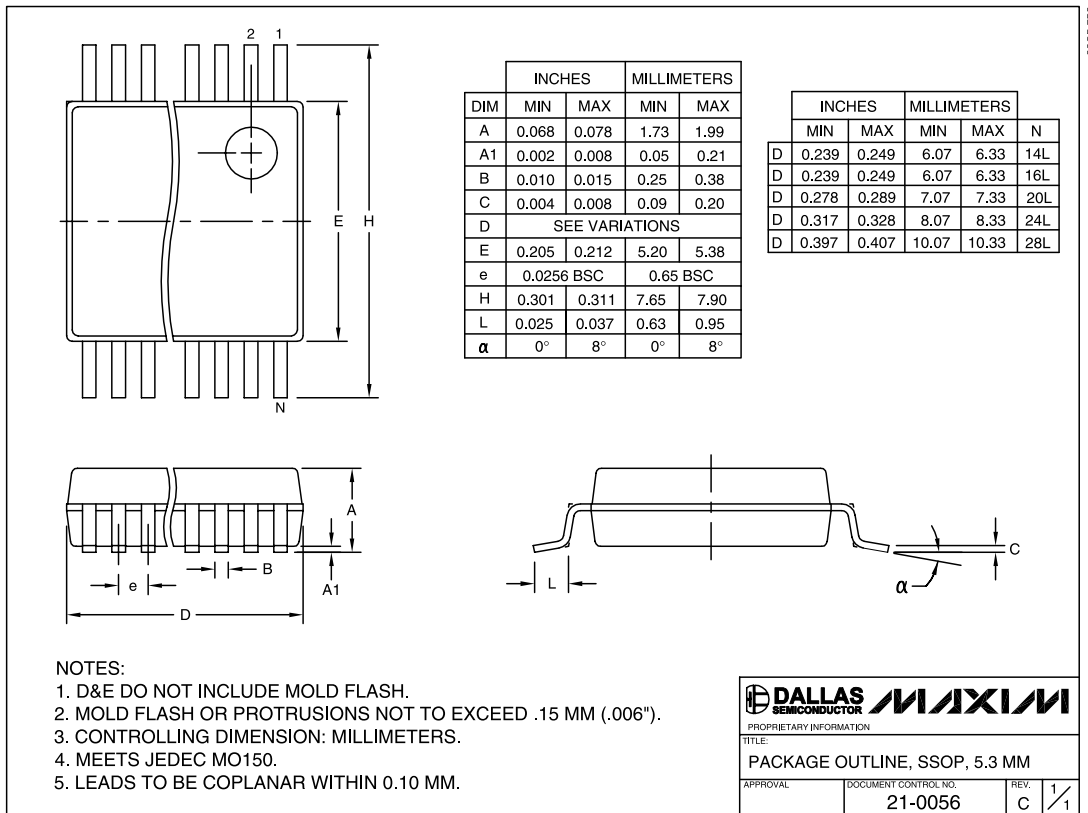
## チップ情報

TRANSISTOR COUNT: 34,648

SUBSTRATE CONNECTED TO AGND

## パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、<http://japan.maxim-ic.com/packages>をご参照下さい。)



マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16(ホリゾン1ビル)  
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

36 \_\_\_\_\_ Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600