

# 250ksps、+3V、8/4チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

## 概要

MAX1291/MAX1293は、逐次比較ADC、自動パワーダウ、高速ウェイクアップ(2 $\mu$ s)、内蔵クロック、+2.5V内部リファレンス及び高速バイト幅パラレルインタフェースを備えた低電力、12ビットアナログデジタルコンバータ(ADC)です。これらの製品は、単一+3Vアナログ電源で動作し、+1.8V~+5.5Vデジタル電源と直接インタフェースするためのV<sub>LOGIC</sub>ピンを備えています。

最大サンプリング速度250kspsにおける消費電力は、僅か5.7mW(V<sub>DD</sub>=V<sub>LOGIC</sub>)です。2つのソフトウェア選択可能なパワーダウンモードにより、MAX1291/MAX1293は変換の合間にシャットダウンすることができます。パラレルインタフェースにアクセスすると、通常動作に戻ります。変換の合間にパワーダウンすることにより、低サンプリング速度における消費電流を10 $\mu$ A以下に削減できます。

いずれの素子も、アナログ入力はユニポーラ/バイポーラ及びシングルエンド/疑似差動動作をソフトウェアで設定できるようになっています。シングルエンドモードにおいて、MAX1291は8つの入力チャンネル、MAX1293は4つの入力チャンネルを持っています(疑似差動モードにおいてはそれぞれ4つ及び2つの入力チャンネル)。

本製品は優れた動的性能及び低電力特性に加え、パッケージが小型で使いやすいため、バッテリー駆動及びデータ収集アプリケーション、あるいはその他の省電力、小型化が必要な回路に最適です。

MAX1291/MAX1293は、CSがハイになると、INTをトライステートにします。INTのトライステートが好ましくない場合、MAX1261/MAX1263を参照してください。

MAX1291は28ピンQSOPパッケージで提供されています。MAX1293は24ピンQSOPです。ピンコンパチブルな+5V、12ビットバージョンについては、MAX1290/MAX1292データシートを参照して下さい。

## アプリケーション

工業用制御機器	データロギング
エネルギー管理	患者の監視
データ収集機器	タッチスクリーン

## 型番

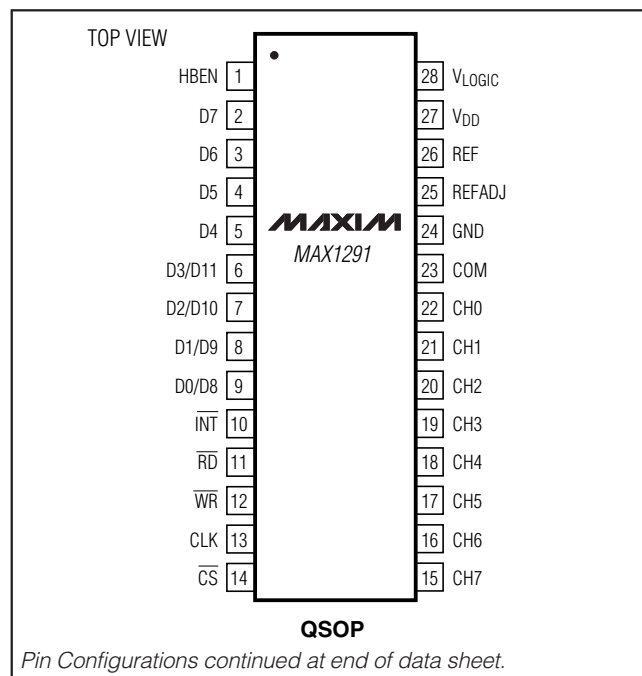
PART	TEMP RANGE	PIN-PACKAGE	INL (LSB)
MAX1291ACEI	0°C to +70°C	28 QSOP	$\pm 0.5$
MAX1291BCEI	0°C to +70°C	28 QSOP	$\pm 1$
MAX1291AEI	-40°C to +85°C	28 QSOP	$\pm 0.5$
MAX1291BEI	-40°C to +85°C	28 QSOP	$\pm 1$

型番の続きはデータシートの最後に記載されています。

## 特長

- ◆ 分解能：12ビット、直線性： $\pm 0.5$ LSB
- ◆ 電源：+3V単一
- ◆ ユーザがロジックレベルを調節可能：+1.8V~+3.6V
- ◆ 内部+2.5Vリファレンス
- ◆ ソフトウェア設定可能なアナログ入力マルチプレクサ
  - 8チャンネルシングルエンド/
  - 4チャンネル疑似差動(MAX1291)
  - 4チャンネルシングルエンド/
  - 2チャンネル疑似差動(MAX1293)
- ◆ ユニポーラ/バイポーラ入力をソフトウェア設定可能
- ◆ 低電力：1.9mA(250ksps)  
1.0mA(100ksps)  
400 $\mu$ A(10ksps)  
2 $\mu$ A(シャットダウン)
- ◆ フルパワー帯域幅が3MHzの内部トラック/ホールド
- ◆ バイト幅パラレル(8+4)インタフェース
- ◆ 小面積：28ピンQSOP(MAX1291)  
24ピンQSOP(MAX1293)

## ピン配置



標準動作回路はデータシートの最後に記載されています。

# 250ksps、+3V、8/4チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

MAX1291/MAX1293

## ABSOLUTE MAXIMUM RATINGS

V<sub>DD</sub> to GND .....-0.3V to +6V  
V<sub>LOGIC</sub> to GND .....-0.3V to +6V  
CH0–CH7, COM to GND .....-0.3V to (V<sub>DD</sub> + 0.3V)  
REF, REFADJ to GND .....-0.3V to (V<sub>DD</sub> + 0.3V)  
Digital Inputs to GND .....-0.3V to +6V  
Digital Outputs (D0–D11, I<sub>INT</sub>) to GND...-0.3V to (V<sub>LOGIC</sub> + 0.3V)

Continuous Power Dissipation (T<sub>A</sub> = +70°C)  
24-Pin QSOP (derate 9.5mW/°C above +70°C) .....762mW  
28-Pin QSOP (derate 8.00mW/°C above +70°C) .....667mW  
Operating Temperature Ranges  
MAX1291\_C\_/MAX1293\_C\_ .....0°C to +70°C  
MAX1291\_E\_/MAX1293\_E\_ .....-40°C to +85°C  
Storage Temperature Range .....-65°C to +150°C  
Lead Temperature (soldering, 10s) .....+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(V<sub>DD</sub> = V<sub>LOGIC</sub> = +2.7V to +3.6V, COM = GND, REFADJ = V<sub>DD</sub>, V<sub>REF</sub> = +2.5V, 4.7μF capacitor at REF pin, f<sub>CLK</sub> = 4.8MHz (50% duty cycle); T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>DC ACCURACY</b> (Note 1)						
Resolution	RES		12			Bits
Relative Accuracy (Note 2)	INL	MAX129_A			±0.5	LSB
		MAX129_B			±1	
Differential Nonlinearity	DNL	No missing codes over temperature			±1	LSB
Offset Error					±4	LSB
Gain Error (Note 3)					±4	LSB
Gain Temperature Coefficient				±2.0		ppm/°C
Channel-to-Channel Offset Matching				±0.2		LSB
<b>DYNAMIC SPECIFICATIONS</b> (f <sub>IN(sine wave)</sub> = 50kHz, V <sub>IN</sub> = 2.5V <sub>P-P</sub> , 250ksps, external f <sub>CLK</sub> = 4.8MHz, bipolar input mode)						
Signal-to-Noise Plus Distortion	SINAD		67	70		dB
Total Harmonic Distortion (including 5th-order harmonic)	THD				-78	dB
Spurious-Free Dynamic Range	SFDR		80			dB
Intermodulation Distortion	IMD	f <sub>IN1</sub> = 49kHz, f <sub>IN2</sub> = 52kHz		76		dB
Channel-to-Channel Crosstalk		f <sub>IN</sub> = 125kHz, V <sub>IN</sub> = 2.5V <sub>P-P</sub> (Note 4)		-78		dB
Full-Linear Bandwidth		SINAD > 68dB		250		kHz
Full-Power Bandwidth		-3dB rolloff		3		MHz
<b>CONVERSION RATE</b>						
Conversion Time (Note 5)	t <sub>CONV</sub>	External clock mode	3.3			μs
		External acquisition/internal clock mode	2.5	3.0	3.5	
		Internal acquisition/internal clock mode	3.2	3.6	4.1	
Track/Hold Acquisition Time	t <sub>ACQ</sub>				625	ns
Aperture Delay		External acquisition or external clock mode		50		ns
Aperture Jitter		External acquisition or external clock mode		<50		ps
		Internal acquisition/internal clock mode		<200		
External Clock Frequency	f <sub>CLK</sub>		0.1		4.8	MHz
Duty Cycle			30		70	%

# 250ksps、+3V、8/4チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

MAX1291/MAX1293

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = V_{LOGIC} = +2.7V$  to  $+3.6V$ ,  $COM = GND$ ,  $REFADJ = V_{DD}$ ,  $V_{REF} = +2.5V$ ,  $4.7\mu F$  capacitor at REF pin,  $f_{CLK} = 4.8MHz$  (50% duty cycle);  $T_A = T_{MIN}$  to  $T_{MAX}$  unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>ANALOG INPUTS</b>						
Analog Input Voltage Range Single-Ended and Differential (Note 6)	$V_{IN}$	Unipolar, $V_{COM} = 0$	0		$V_{REF}$	V
		Bipolar, $V_{COM} = V_{REF} / 2$	$-V_{REF}/2$		$+V_{REF}/2$	
Multiplexer Leakage Current		On/off-leakage current, $V_{IN} = 0$ or $V_{DD}$		$\pm 0.01$	$\pm 1$	$\mu A$
Input Capacitance	$C_{IN}$			12		pF
<b>INTERNAL REFERENCE</b>						
REF Output Voltage			2.49	2.5	2.51	V
REF Short-Circuit Current				15		mA
REF Temperature Coefficient	$TC_{REF}$	$T_A = 0^\circ C$ to $+70^\circ C$		$\pm 20$		ppm/ $^\circ C$
REFADJ Input Range		For small adjustments		$\pm 100$		mV
REFADJ High Threshold		To power down the internal reference	$V_{DD} - 1.0$			V
Load Regulation (Note 7)		0 to 0.5mA output load		0.2		mV/mA
Capacitive Bypass at REFADJ				0.01	1	$\mu F$
Capacitive Bypass at REF			4.7		10	$\mu F$
<b>EXTERNAL REFERENCE AT REF</b>						
REF Input Voltage Range	$V_{REF}$		1.0		$V_{DD} + 50mV$	V
REF Input Current	$I_{REF}$	$V_{REF} = 2.5V$ , $f_{SAMPLE} = 250ksps$		200	300	$\mu A$
		Shutdown mode			2	
<b>DIGITAL INPUTS AND OUTPUTS</b>						
Input High Voltage	$V_{IH}$	$V_{LOGIC} = 2.7V$	2.0			V
		$V_{LOGIC} = 1.8V$	1.5			
Input Low Voltage	$V_{IL}$	$V_{LOGIC} = 2.7V$			0.8	V
		$V_{LOGIC} = 1.8V$			0.5	
Input Hysteresis	$V_{HYS}$			200		mV
Input Leakage Current	$I_{IN}$	$V_{IN} = 0$ or $V_{DD}$		$\pm 0.1$	$\pm 1$	$\mu A$
Input Capacitance	$C_{IN}$			15		pF
Output Low Voltage	$V_{OL}$	$I_{SINK} = 1.6mA$			0.4	V
Output High Voltage	$V_{OH}$	$I_{SOURCE} = 1mA$	$V_{LOGIC} - 0.5$			V
Three-State Leakage Current	$I_{LEAKAGE}$	$\overline{CS} = V_{DD}$		$\pm 0.1$	$\pm 1$	$\mu A$
Three-State Output Capacitance	$C_{OUT}$	$\overline{CS} = V_{DD}$		15		pF

# 250ksps、+3V、8/4チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

MAX1291/MAX1293

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = V_{LOGIC} = +2.7V$  to  $+3.6V$ ,  $COM = GND$ ,  $REFADJ = V_{DD}$ ,  $V_{REF} = +2.5V$ ,  $4.7\mu F$  capacitor at REF pin,  $f_{CLK} = 4.8MHz$  (50% duty cycle);  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
<b>POWER REQUIREMENTS</b>							
Analog Supply Voltage	$V_{DD}$			2.7		3.6	V
Digital Supply Voltage	$V_{LOGIC}$			1.8		$V_{DD} + 0.3$	V
Positive Supply Current	$I_{DD}$	Operating mode, $f_{SAMPLE} = 250ksps$	Internal reference		2.3	2.6	mA
			External reference		1.9	2.3	
		Standby mode	Internal reference		0.9	1.2	
			External reference		0.5	0.8	
Shutdown mode			2	10	$\mu A$		
$V_{LOGIC}$ Current	$I_{LOGIC}$	$C_L = 20pF$	$f_{SAMPLE} = 250ksps$			150	$\mu A$
			Not converting		2	10	
Power-Supply Rejection	PSR	$V_{DD} = 3V \pm 10\%$ , full-scale input			$\pm 0.4$	$\pm 0.9$	mV

## TIMING CHARACTERISTICS

( $V_{DD} = V_{LOGIC} = +2.7V$  to  $+3.6V$ ,  $COM = GND$ ,  $REFADJ = V_{DD}$ ,  $V_{REF} = +2.5V$ ,  $4.7\mu F$  capacitor at REF pin,  $f_{CLK} = 4.8MHz$  (50% duty cycle);  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
CLK Period	$t_{CP}$		208			ns
CLK Pulse Width High	$t_{CH}$		40			ns
CLK Pulse Width Low	$t_{CL}$		40			ns
Data Valid to $\overline{WR}$ Rise Time	$t_{DS}$		40			ns
$\overline{WR}$ Rise to Data Valid Hold Time	$t_{DH}$		0			ns
$\overline{WR}$ to CLK Fall Setup Time	$t_{CWS}$		40			ns
CLK Fall to $\overline{WR}$ Hold Time	$t_{CWH}$		40			ns
$\overline{CS}$ to CLK or $\overline{WR}$ Setup Time	$t_{CSWS}$		60			ns
CLK or $\overline{WR}$ to $\overline{CS}$ Hold Time	$t_{CSWH}$		0			ns
$\overline{CS}$ Pulse Width	$t_{CS}$		100			ns
$\overline{WR}$ Pulse Width (Note 8)	$t_{WR}$		60			ns
$\overline{CS}$ Rise to Output Disable	$t_{TC}$	$C_{LOAD} = 20pF$ (Figure 1)	20		100	ns

# 250ksps、+3V、8/4チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

## TIMING CHARACTERISTICS (continued)

( $V_{DD} = V_{LOGIC} = +2.7V$  to  $+3.6V$ ,  $COM = GND$ ,  $REFADJ = V_{DD}$ ,  $V_{REF} = +2.5V$ ,  $4.7\mu F$  capacitor at REF pin,  $f_{CLK} = 4.8MHz$  (50% duty cycle);  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
$\overline{RD}$ Rise to Output Disable	$t_{TR}$	$C_{LOAD} = 20pF$ , Figure 1	20		70	ns
$\overline{RD}$ Fall to Output Data Valid	$t_{DO}$	$C_{LOAD} = 20pF$ , Figure 1	20		70	ns
HBEN to Output Data Valid	$t_{DO1}$	$C_{LOAD} = 20pF$ , Figure 1	20		110	ns
$\overline{RD}$ Fall to INT High Delay	$t_{INT1}$	$C_{LOAD} = 20pF$ , Figure 1			100	ns
$\overline{CS}$ Fall to Output Data Valid	$t_{DO2}$	$C_{LOAD} = 20pF$ , Figure 1			110	ns

**Note 1:** Tested at  $V_{DD} = +3V$ ,  $COM = GND$ , unipolar single-ended input mode.

**Note 2:** Relative accuracy is the deviation of the analog value at any code from its theoretical value after offset and gain errors have been removed.

**Note 3:** Offset nulled.

**Note 4:** On channel is grounded; sine wave applied to off channels.

**Note 5:** Conversion time is defined as the number of clock cycles times the clock period; clock has 50% duty cycle.

**Note 6:** Input voltage range referenced to negative input. The absolute range for the analog inputs is from GND to  $V_{DD}$ .

**Note 7:** External load should not change during conversion for specified accuracy.

**Note 8:** When bit 5 is set low for internal acquisition,  $\overline{WR}$  must not return low until after the first falling clock edge of the conversion.

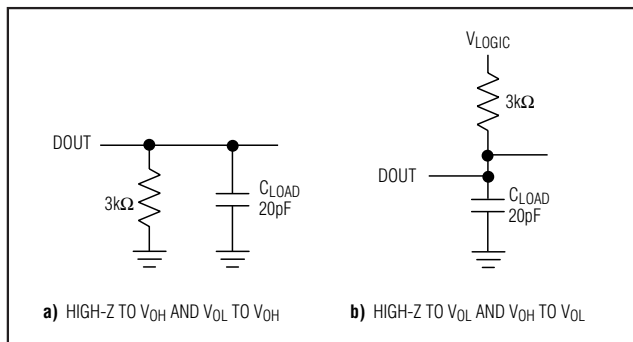
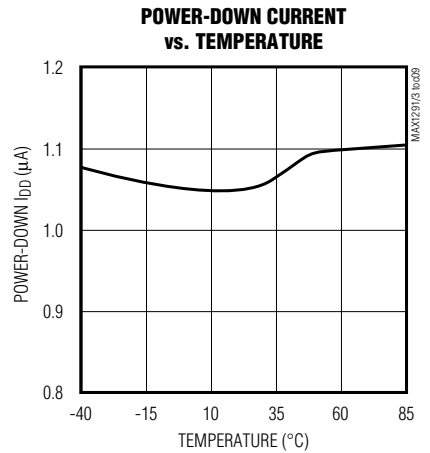
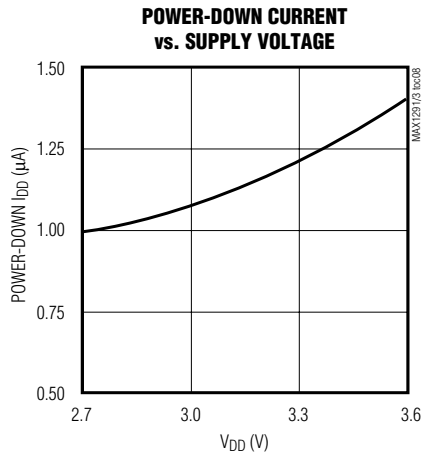
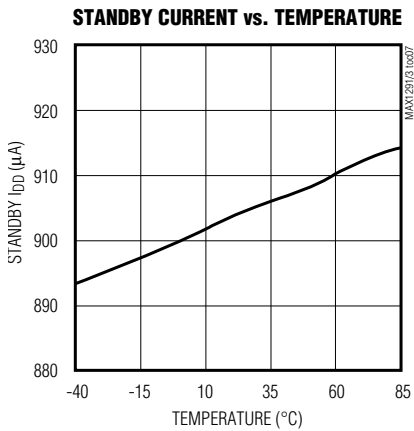
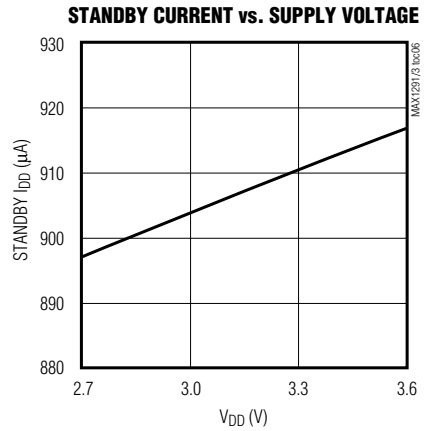
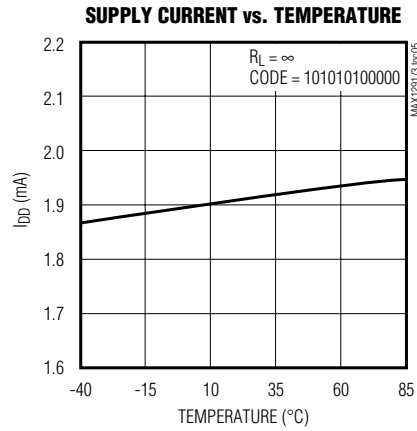
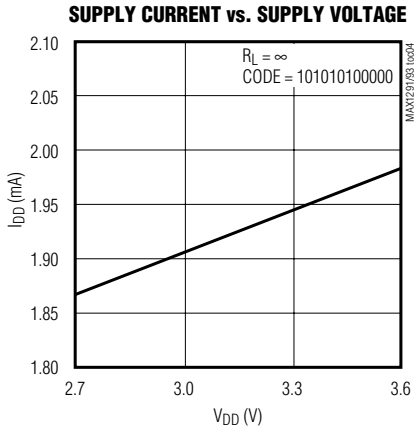
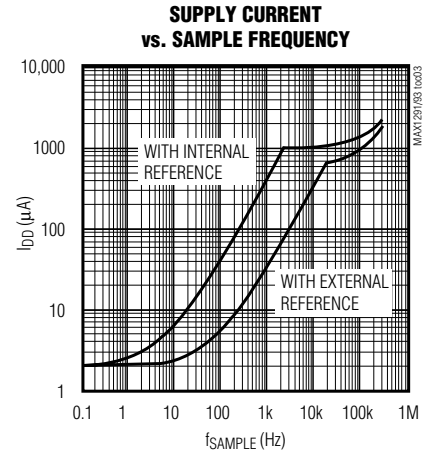
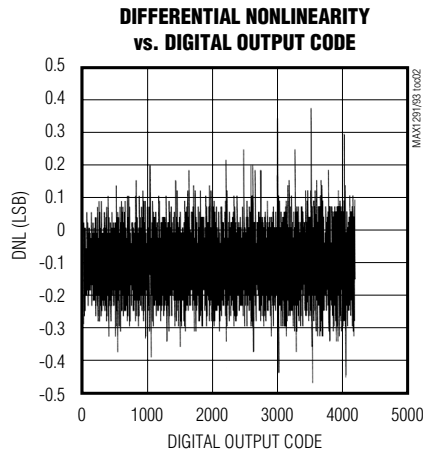
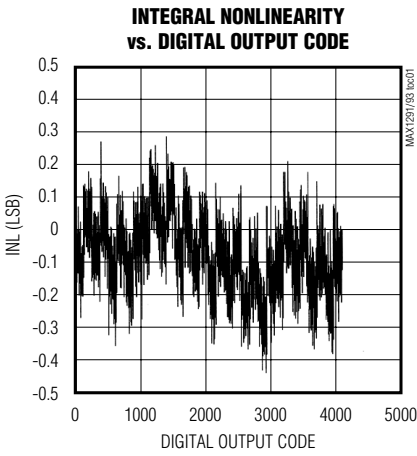


図1. イネーブル/ディセーブル時間の負荷回路

# 250ksps、+3V、8/4チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

## 標準動作特性

((V<sub>DD</sub> = V<sub>LOGIC</sub> = +3V, V<sub>REF</sub> = +2.500V, f<sub>CLK</sub> = 4.8MHz, C<sub>L</sub> = 20pF, T<sub>A</sub> = +25°C, unless otherwise noted.)

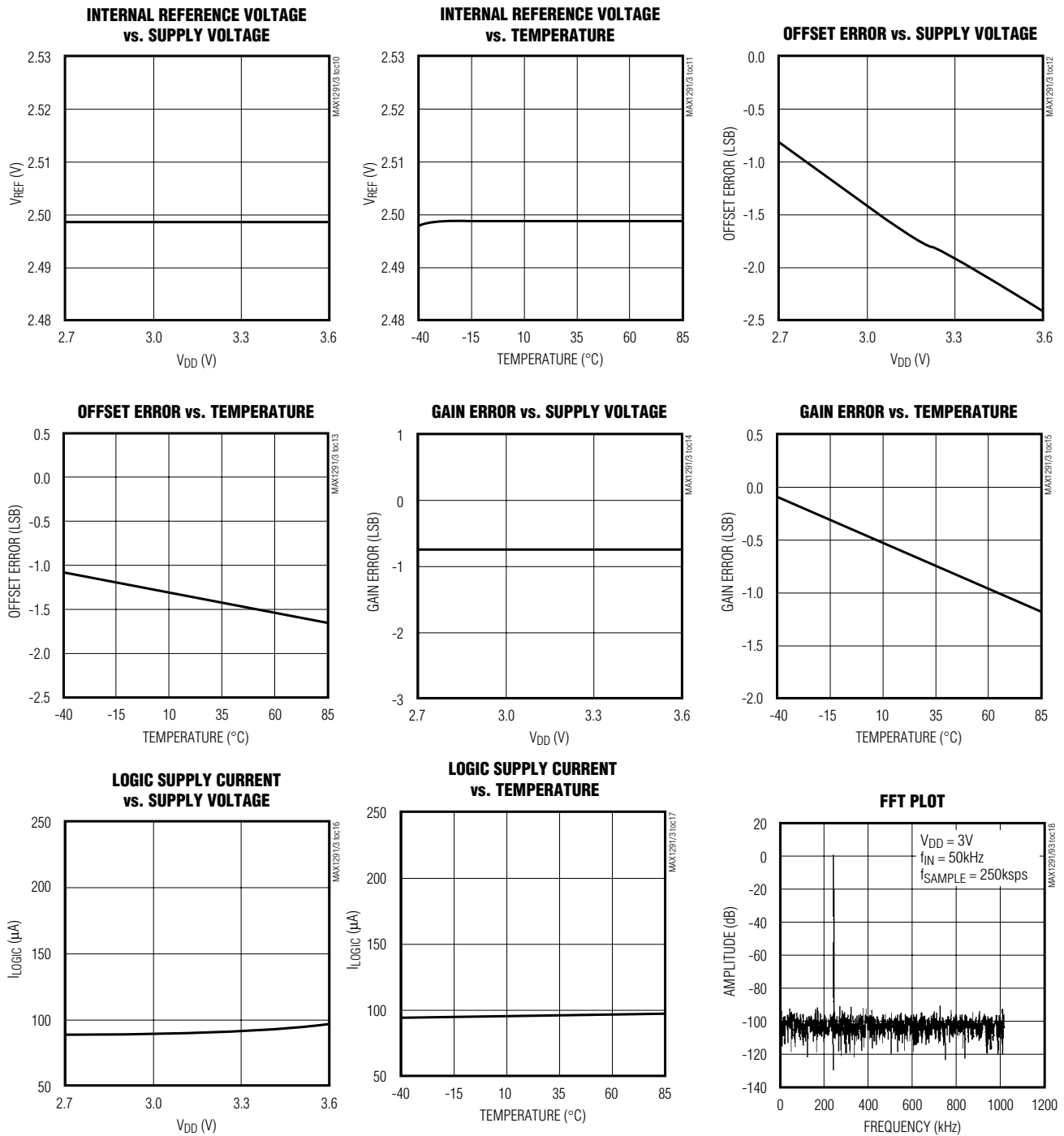


# 250kSPS、+3V、8/4チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

MAX1291/MAX1293

## 標準動作特性(続き)

( $V_{DD} = V_{LOGIC} = +3V$ ,  $V_{REF} = +2.500V$ ,  $f_{CLK} = 4.8MHz$ ,  $C_L = 20pF$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)



# 250ksps、+3V、8/4チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

MAX1291/MAX1293

## 端子説明

端子		名称	機能
MAX1291	MAX1293		
1	1	HBEN	ハイバイトイネーブル。12ビット変換結果を多重化するために使用されます。 1：4つのMSBがデータバス上で多重化されます。 0：8つのLSBがデータバス上で提供されます。
2	2	D7	スリーステートデジタル/Oライン(D7)
3	3	D6	スリーステートデジタル/Oライン(D6)
4	4	D5	スリーステートデジタル/Oライン(D5)
5	5	D4	スリーステートデジタル/Oライン(D4)
6	6	D3/D11	スリーステートデジタル/Oライン(D3、HBEN = 0；D11、HBEN = 1)
7	7	D2/D10	スリーステートデジタル/Oライン(D2、HBEN = 0；D10、HBEN = 1)
8	8	D1/D9	スリーステートデジタル/Oライン(D1、HBEN = 0；D9、HBEN = 1)
9	9	D0/D8	スリーステートデジタル/Oライン(D0、HBEN = 0；D8、HBEN = 1)
10	10	$\overline{\text{INT}}$	$\overline{\text{INT}}$ は変換が完了して出力データが準備できた時にローになります。
11	11	$\overline{\text{RD}}$	アクティブロー読み取り選択。 $\overline{\text{CS}}$ がローの場合、 $\overline{\text{RD}}$ の立下がりエッジがデータバス上の読み取り動作をイネーブルします。
12	12	$\overline{\text{WR}}$	アクティブロー書き込み選択。内部アキュイジションモードにおいて $\overline{\text{CS}}$ がローの場合、 $\overline{\text{WR}}$ の立下がりエッジで構成データがラッチインされ、アキュイジション及び変換サイクルが始まります。外部アキュイジションモードにおいて $\overline{\text{CS}}$ がローの場合、 $\overline{\text{WR}}$ の最初の立下がりエッジでアキュイジションが終了し、変換が始まります。
13	13	CLK	クロック入力。外部クロックモードの場合、TTL/CMOSコンパチブルクロックでCLKを駆動して下さい。内部クロックモードの場合、このピンを $V_{\text{DD}}$ 又はGNDに接続して下さい。
14	14	$\overline{\text{CS}}$	アクティブローチップセレクト。 $\overline{\text{CS}}$ がハイの時に、デジタル出力( $\overline{\text{INT}}$ 、D7~D0)がハイインピーダンスになります。
15	—	CH7	アナログ入力チャンネル7
16	—	CH6	アナログ入力チャンネル6
17	—	CH5	アナログ入力チャンネル5
18	—	CH4	アナログ入力チャンネル4
19	15	CH3	アナログ入力チャンネル3
20	16	CH2	アナログ入力チャンネル2
21	17	CH1	アナログ入力チャンネル1
22	18	CH0	アナログ入力チャンネル0
23	19	COM	アナログ入力のグランドリファレンス。シングルエンドモードにおけるゼロコード電圧を設定します。変換中は $\pm 0.5\text{LSB}$ まで安定している必要があります。
24	20	GND	アナログ及びデジタルグランド
25	21	REFADJ	バンドギャップリファレンス出力/バンドギャップリファレンスバッファ入力。0.01 $\mu\text{F}$ コンデンサでGNDにバイパスして下さい。外部リファレンスを使用する場合は、REFADJを $V_{\text{DD}}$ に接続して内部バンドギャップリファレンスをディセーブルして下さい。
26	22	REF	バンドギャップリファレンスバッファ出力/外部リファレンス入力。内部リファレンスを使用する場合は、4.7 $\mu\text{F}$ コンデンサを追加して下さい。
27	23	$V_{\text{DD}}$	アナログ+5V電源。0.1 $\mu\text{F}$ コンデンサでGNDにバイパスして下さい。
28	24	$V_{\text{LOGIC}}$	デジタル電源。 $V_{\text{LOGIC}}$ によりデータコンバータのデジタル出力が駆動されます。許容範囲は+1.8V~ $V_{\text{DD}}$ + 300 mVです。



# 250ksps、+3V、8/4チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

## 詳細

### コンバータの動作

MAX1291/MAX1293 ADCは、逐次比較(SAR)変換技法及び入力トラック/ホールド(T/H)段を使用することにより、アナログ入力信号を12ビットデジタル出力に変換します。パラレル8+4出力フォーマットにより、標準 $\mu$ Pへのインタフェースが容易になっています。図2に、MAX1291/MAX1293の内部構造の略図を示します。

### シングルエンド及び疑似差動動作

図3に、このADCのアナログコンパレータのサンプリング構成を等価回路で示します。シングルエンドモードでは、IN+が内部でCH0~CH7(MAX1291の場合、図3a)及びCH0~CH3(MAX1293の場合、図3b)にスイッチングされ、IN-はCOMにスイッチングされます(表3)。

差動モードの場合のIN+及びIN-は、アナログ入力ペアの中から選択され(表4)、内部でそれらのアナログ入力のどちらかにスイッチングされます。この構成ではIN+

のところの信号だけがサンプリングされるため、疑似差動と呼ばれます。リターン側(IN-)は、変換中GNDに対して $\pm 0.5$ LSB(最良の結果を得るには $\pm 0.1$ LSB)以内で安定していることが必要です。これを実現するには、(選択したアナログ入力)IN-とGNDの間に $0.1\mu\text{F}$ のコンデンサを接続して下さい。

アキュジション期間中は、正入力(IN+)として選択されたチャンネルにより、コンデンサ $C_{\text{HOLD}}$ が充電されます。アキュジション期間の終了時にT/Hスイッチが開き、 $C_{\text{HOLD}}$ の電荷をIN+の信号のサンプルとして保持します。変換期間は、入力マルチプレクサが $C_{\text{HOLD}}$ を正入力(IN+)から負入力(IN-)にスイッチングした時点から始まります。このため、コンパレータの入力におけるノードZEROが不平衡になります。変換サイクルの残りの時間で、容量性DACがノードZEROを12ビット分解能の制限範囲で0Vに調節します。この動作は、 $12\text{pF} \times [(V_{\text{IN}+}) - (V_{\text{IN}-})]$ の電荷を $C_{\text{HOLD}}$ からバイナリ重み付の容量性DACに移すことと等価です。この結果、アナログ入力信号のデジタル表示が生成されます。

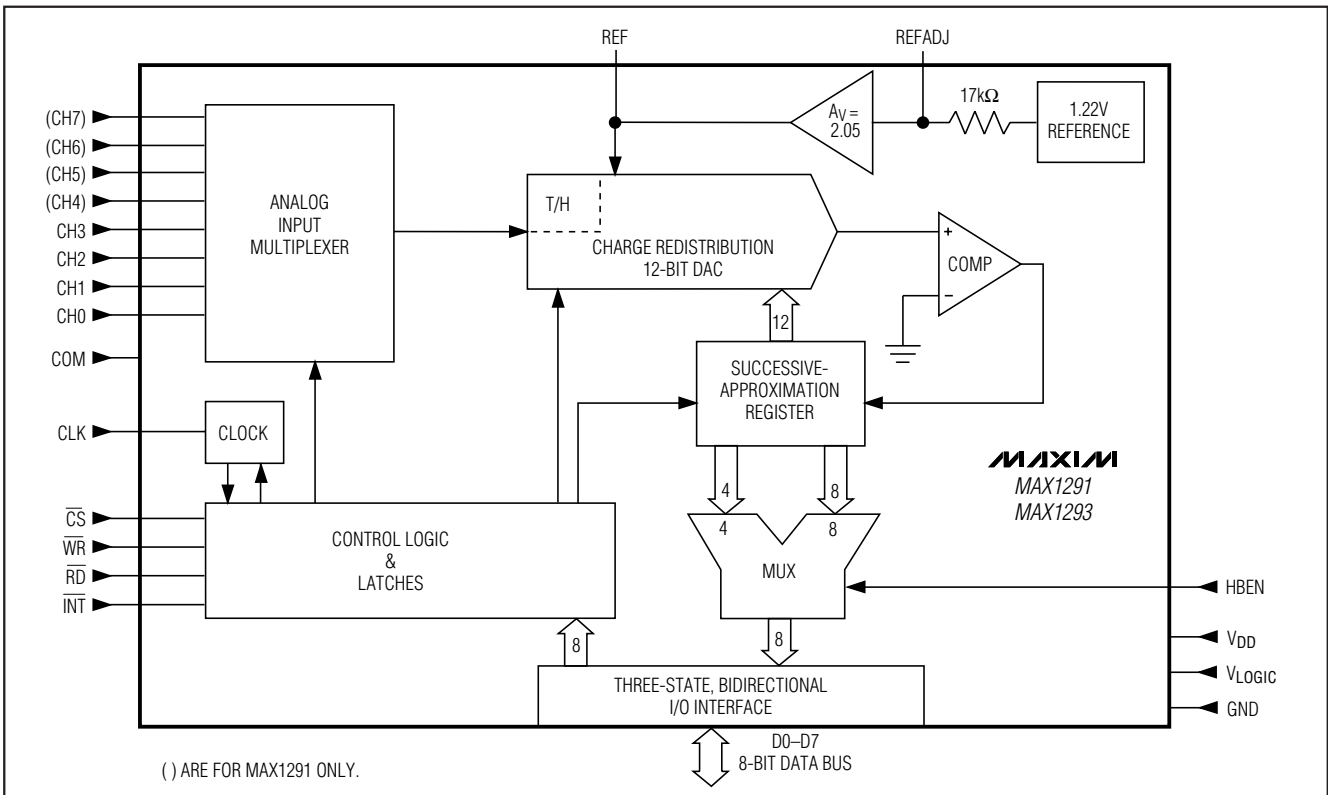


図2. 8/4チャンネルMAX1291/MAX1293の内部構造の略図

# 250ksps、+3V、8/4チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

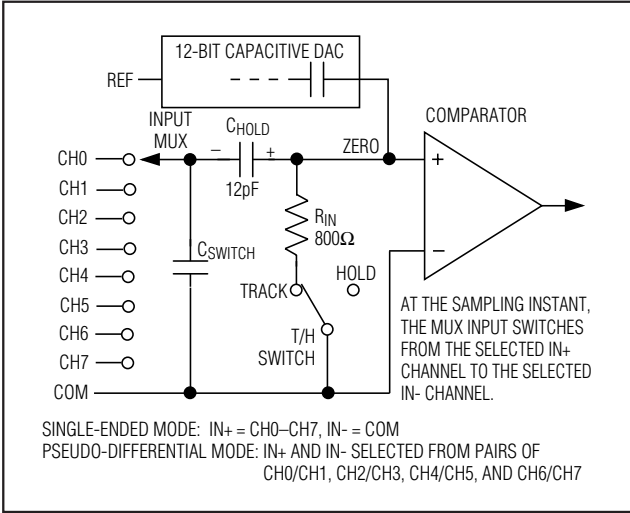


図3a. MAX1291の入力構造の略図

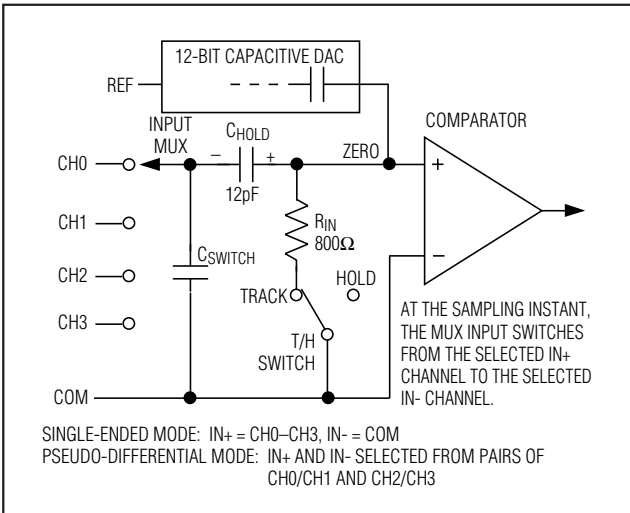


図3b. MAX1293の入力構造の略図

## アナログ入力保護

内部保護ダイオードによりアナログ入力が $V_{DD}$ とGNDにクランプされているため、チャンネル入力ピンは(GND - 300mV) ~ ( $V_{DD}$  + 300mV)の範囲で損傷を起こすことなくスイングできます。しかし、フルスケール付近で正確な変換を行うには、入力が( $V_{DD}$  + 50mV)を超えず、また(GND - 50mV)を下回らないようにして下さい。

オフチャンネルのアナログ入力電圧が50mV以上超えた場合は、順方向バイアス入力電流を4mAまでに制限して下さい。

## トラック/ホールド

MAX1291/MAX1293 T/H段は、 $\overline{WR}$ の立上がりエッジでトラックモードに入ります。外部アキュイジションモードにおいては、本素子は次の $\overline{WR}$ の立上がりエッジで

ホールドモードに入ります。内部アキュイジションモードにおいては、制御バイトを書き込んでから、4つ目のクロックの立下がりエッジでホールドモードに入ります。内部クロックモードにおいては、これが制御バイトへの書き込みから約1 $\mu$ s後に起こることに注意して下さい。シングルエンド動作の場合は、IN-がCOMに接続され、コンバータは“+”入力をサンプリングします。疑似差動動作の場合は、IN-が“-”入力に接続され、| (IN+) - (IN-) |の差がサンプリングされます。次の変換の開始時に正入力が再びIN+に接続され、 $C_{HOLD}$ は入力信号電圧まで充電されます。

T/H段が入力信号を取込むために要する時間は、入力容量が充電される速さの関数になっています。入力信号のソースインピーダンスが高いとアキュイジション時間は長くなるため、変換と変換の間の時間を長くする必要があります。アキュイジション時間 $t_{ACQ}$ は素子が信号を取込むために要する最大時間であると共に、信号の取込みに必要な最低時間にもなっています。 $t_{ACQ}$ は、次式で計算されます。

$$t_{ACQ} = 9(R_S + R_{IN})C_{IN}$$

ここで、 $R_S$  = 入力信号のソースインピーダンス、 $R_{IN}$  (800 $\Omega$ )は入力抵抗、そして $C_{IN}$  (12pF)はADCの入力容量です。ソースインピーダンスが3k $\Omega$ 以下であれば、MAX1291/MAX1293のAC性能に大きな影響はありません。

0.01 $\mu$ Fコンデンサが個々のアナログ入力に接続されている場合は、これ以上のソースインピーダンスの使用も可能です。入力コンデンサ及び入力ソースインピーダンスによってRCフィルタが形成され、ADCの信号帯域幅が制限されることに注意して下さい。

## 入力帯域幅

MAX1291/MAX1293のT/H段は、フルリニア帯域幅が250kHz、フルパワー帯域幅が3MHzであるため、高速のトランジェントの数値化及びアンダーサンプリング技法を使用することにより、帯域幅がADCのサンプリング速度以上の帯域の周期信号を測定できます。高周波信号が計測する周波数帯域にエイリアシングしてくるのを防ぐために、アンチエイリアシングフィルタリングを推奨します。

## 変換開始方法

変換は、制御バイトを書き込むことによって開始して下さい。制御バイトはマルチプレクサチャンネルを選択し、MAX1291/MAX1293をユニポーラ又はバイポーラ動作に設定します。書き込みパルス( $\overline{WR} + \overline{CS}$ )は、アキュイジション期間又は複合アキュイジション+変換を開始できます。サンプリング期間はアキュイジション期間の最後

# 250ksps、+3V、8/4チャネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

に始まります。入力制御バイト(表1)のACQMOD(アキュイジションモード)ビットは、信号の取り込み方として内部アキュイジション及び外部アキュイジションの2つのオプションを提供しています。クロック又はアキュイジションモードが内部又は外部のいずれの場合も、変換期間は13クロックサイクルだけ持続します。変換中に新しい制御バイトを書き込むと、その変換が中止されて新しいアキュイジション期間が始まります。

## 内部アキュイジション

制御バイトを書き込む時にACQMODをクリアしておく(ACQMOD = 0)、内部アキュイジションが選択されます。この場合、持続時間が内部で設定されたアキュイジション期間が書き込みパルスによって始まります。変換はこのアキュイジション期間が終わった時点で始まります(3外部サイクル、あるいは内部クロックモードの場合は約1 $\mu$ s)(図4)。内部アキュイジションと内部クロックの組み合わせの場合、アパーチャジッタが200psに達することがあることに注意して下さい。内部クロックでジッタ仕様50psを実現する場合は、常に外部アキュイジションモードを使用して下さい。

## 外部アキュイジション

サンプリングアパーチャを正確に制御する場合やアキュイジションと変換時間を連携して制御する場合は、外部アキュイジションモードを使用して下さい。2つの個別の書き込みパルスを使用することによって、アキュイジション及び変換開始を制御します。第1のパルスはACQMOD = 1で書き込まれ、長さ不定のアキュイジション期間を開始します。第2の書き込みパルスはACQMOD = 0で書き込まれ、 $\overline{WR}$ の立上がりエッジでアキュイジションを終了して変換を開始します(図5)。

入力マルチプレクサのアドレスビットは、第1及び第2の書き込みパルスで同じ値を持っていることが必要です。パワーダウンモードビット(PD0、PD1)は、第2の書き込みパルスで新しい値にすることができます(「パワーダウンモード」を参照)。制御バイトのその他のビットを変更すると、変換が破壊されます。

## 変換の読取り

MAX1291/MAX1293では、変換が終了して有効な結果が読み取れる状態になったことをマイクロプロセッサに知らせるフラグを出すための標準割込み信号INTが提供されています。INTは、変換が完了して出力データが準備できた時点でローになります(図4、5)。そして、最初の読取りサイクルが始まった時又は新しい制御バイトが書き込まれた時にハイに戻ります。

表1. 制御バイトの機能の説明

BIT	NAME	FUNCTION
D7, D6	PD1, PD0	<b>PD1 and PD0</b> select the various clock and power-down modes.
		<b>0 0</b> Full Power-Down Mode. Clock mode is unaffected.
		<b>0 1</b> Standby Power-Down Mode. Clock mode is unaffected.
		<b>1 0</b> Normal Operation Mode. Internal clock mode selected.
		<b>1 1</b> Normal Operation Mode. External clock mode selected.
D5	ACQMOD	ACQMOD = 0: Internal Acquisition Mode ACQMOD = 1: External Acquisition Mode
D4	SGL/ $\overline{DIF}$	SGL/ $\overline{DIF}$ = 0: Pseudo-Differential Analog Input Mode SGL/ $\overline{DIF}$ = 1: Single-Ended Analog Input Mode In single-ended mode, input signals are referred to COM. In pseudo-differential mode, the voltage difference between two channels is measured (see Tables 2, 3).
D3	UNI/ $\overline{BIP}$	UNI/ $\overline{BIP}$ = 0: Bipolar Mode UNI/ $\overline{BIP}$ = 1: Unipolar Mode In unipolar mode, an analog input signal from 0 to VREF can be converted; in bipolar mode, the signal can range from -VREF/2 to +VREF/2.
D2, D1, D0	A2, A1, A0	Address bits A2, A1, A0 select which of the 8/4 (MAX1291/MAX1293) channels are to be converted (see Tables 3, 4).

# 250ksp/s、+3V、8/4チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

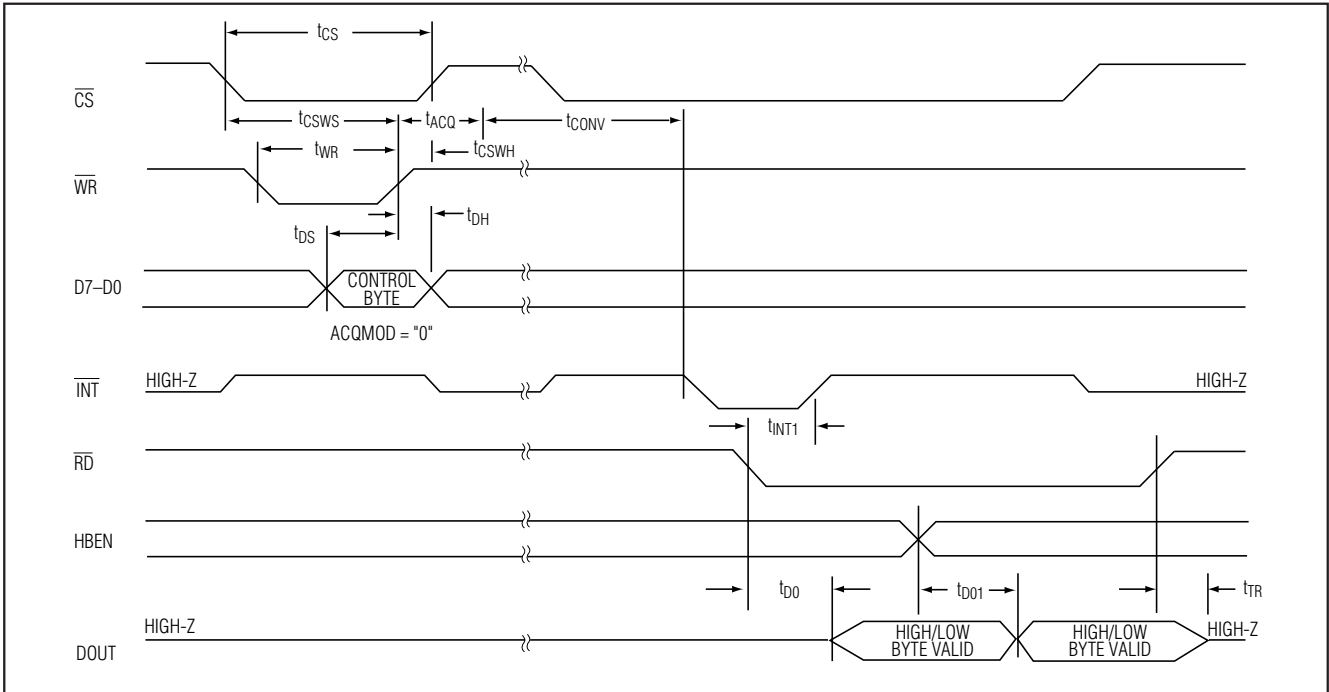


図4. 内部アキュイジションモードを使用した変換のタイミング

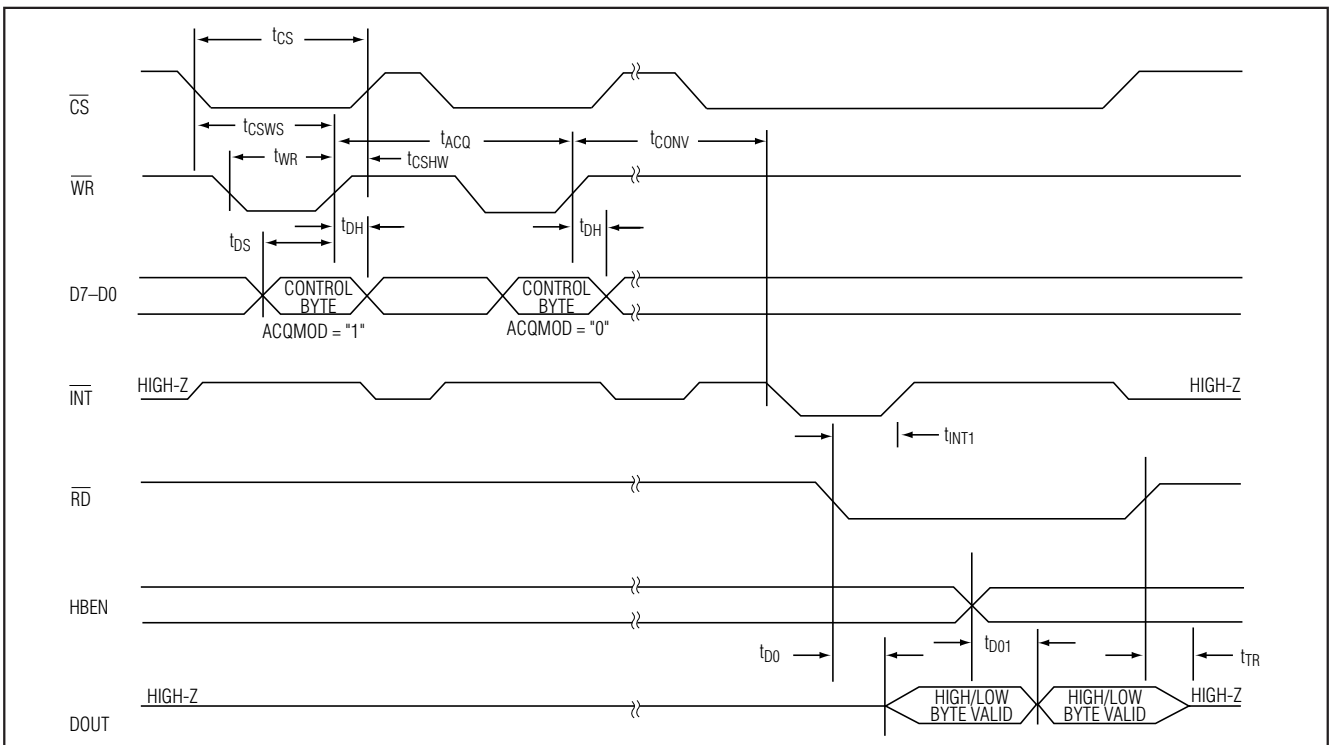


図5. 外部アキュイジションモードを使用した変換のタイミング

# 250ksps、+3V、8/4チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

## クロックモードの選択

MAX1291/MAX1293は、内部又は外部クロックのいずれでも動作します。制御ビットD6及びD7によって、内部又は外部クロックモードを選択します。その時の入力ワードでパワーダウンモードが選択されると、素子は最後にリクエストされたクロックモードを保持します。内部及び外部クロックモードのいずれの場合も、内部又は外部アキュイジションのどちらでも使用できます。パワーアップ時には、MAX1291/MAX1293はデフォルトの外部クロックモードになります。

## 内部クロックモード

内部クロックモードにすると、 $\mu\text{P}$ はSAR変換クロックを動作させる役割から解放されます。このモードを選択するには、制御バイトのビットD7を1に、ビットD6を0に設定する必要があります。これにより内部クロック周波数が選択され、変換時間が $3.6\mu\text{s}$ となります。内部クロックモードを使用する場合は、CLKピンがフローティングにならないようにハイ又はローに接続して下さい。

## 外部クロックモード

外部クロックモードを選択するには、制御バイトのD6及びD7をゼロに設定する必要があります。図6に、外部クロックによる内部(図6a)及び外部(図6b)アキュイジションモードのクロック及び $\overline{\text{WR}}$ タイミングの関係を示します。適正な動作には、デューティサイクルが30%~70%で周波数が100kHz~4.8MHzのクロックを推奨します。100kHz以下のクロック周波数でMAX1291/MAX1293を動作させることは推奨しません。

これは、T/H段のホールドコンデンサの両端の電圧が低下して性能が劣化するためです。

## デジタルインタフェース

入力(制御バイト)及び出力データは、スリーステートパラレルインタフェース上で多重化されます。このパラレルインタフェース(I/O)は、標準 $\mu\text{P}$ と簡単にインタフェースすることができます。信号 $\overline{\text{CS}}$ 、 $\overline{\text{WR}}$ 及び $\overline{\text{RD}}$ が書き込み及び読み取り動作を制御します。 $\overline{\text{CS}}$ はチップ選択信号です。この信号によって $\mu\text{P}$ はMAX1291/MAX1293をI/Oポートとしてアドレス指定できます。 $\overline{\text{CS}}$ がハイの時にはCLK  $\overline{\text{WR}}$ 及び $\overline{\text{RD}}$ 入力がディセーブルされ、インタフェースは強制的にハイインピーダンス状態(ハイZ)になります。

## 入力フォーマット

制御バイトは、書き込みコマンド中にピンD7~D0にラッチされます。表2に制御バイトフォーマットを示します。

## 出力フォーマット

MAX1291/MAX1293の出力フォーマットはユニポーラモードにおいてはバイナリ、バイポーラモードにおいては2の補数形式です。出力データを読み取る時には $\overline{\text{CS}}$ 及び $\overline{\text{RD}}$ がローであることが必要です。HBEN = 0の時は下位8ビットが読めます。HBEN = 1の時は上位4ビットが読み取り可能で、出力データビットD7~D4はユニポーラモードでローに設定され、バイポーラモードにおいてはMSBの値に設定されます(表5)。

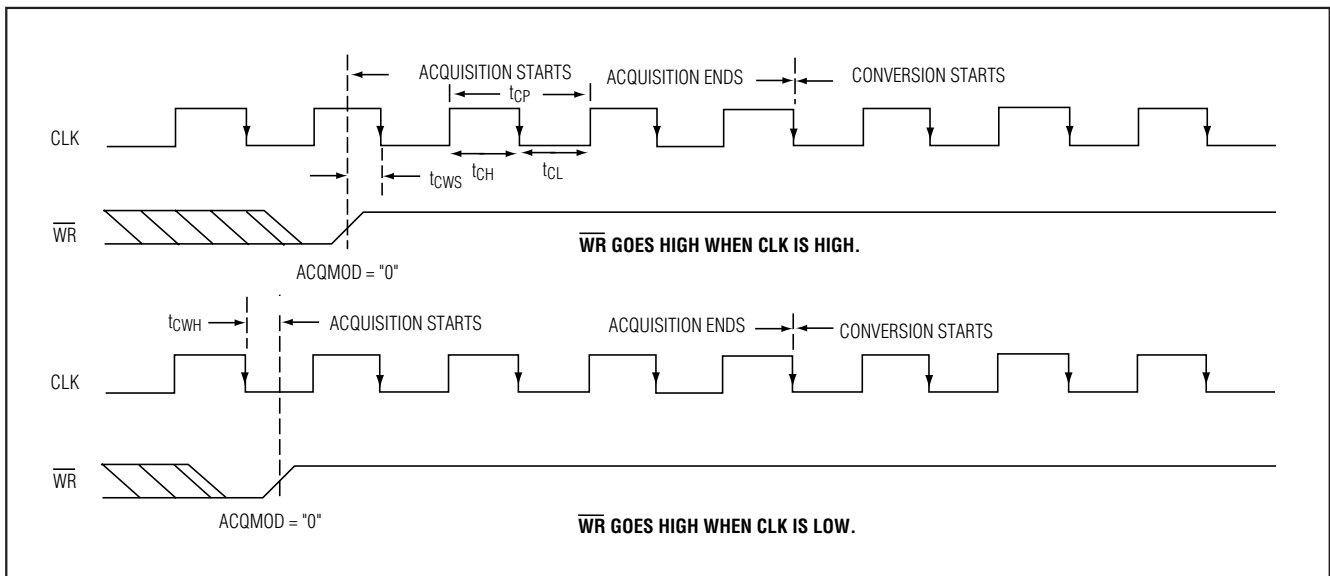


図6a. 外部クロック及び $\overline{\text{WR}}$ タイミング(内部アキュイジションモード)

# 250ksps、+3V、8/4チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

MAX1291/MAX1293

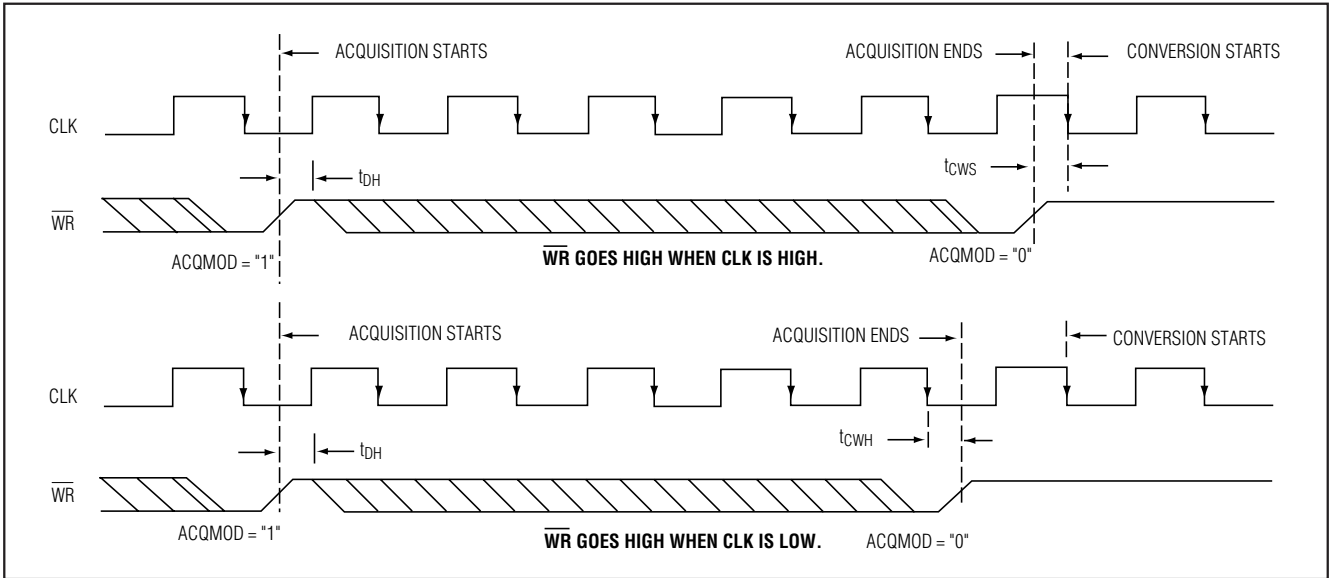


図6b. 外部クロック及びWRタイミング(外部アキュイジションモード)

表2. 制御バイトフォーマット

D7 (MSB)	D6	D5	D4	D3	D2	D1	D0 (LSB)
PD1	PD0	ACQMOD	SGL/DIF	UNI/BIP	A2	A1	A0

表3. シングルエンド動作のチャンネル選択(SGL/DIF = 1)

A2	A1	A0	CH0	CH1	CH2	CH3	CH4*	CH5*	CH6*	CH7*	COM
0	0	0	+								-
0	0	1		+							-
0	1	0			+						-
0	1	1				+					-
1	0	0					+				-
1	0	1						+			-
1	1	0							+		-
1	1	1								+	-

\*チャンネルCH4~CH7は、MAX1291のみに適用します。



# 250ksps、+3V、8/4チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

表4. 疑似差動動作のチャンネル選択(SGL/DIF = 0)

A2	A1	A0	CH0	CH1	CH2	CH3	CH4*	CH5*	CH6*	CH7*
0	0	0	+	-						
0	0	1	-	+						
0	1	0			+	-				
0	1	1			-	+				
1	0	0					+	-		
1	0	1					-	+		
1	1	0							+	-
1	1	1							-	+

\*チャンネルCH4~CH7は、MAX1291のみに適用します。

## アプリケーション情報

### パワーオンリセット

最初に電源が投入された時、内部パワーオンリセット回路がMAX1291/MAX1293を外部クロックモードで状態で起動し、 $\overline{\text{INT}}$ をハイに設定します。電源が安定化した後の内部リセット時間は10 $\mu\text{s}$ です。この時変換を行わないで下さい。内部リファレンスを使用する場合は、 $V_{\text{REF}}$ が安定するのに500 $\mu\text{s}$ を要します。

### 内部及び外部リファレンス

MAX1291/MAX1293は、内部又は外部リファレンス電圧を使用できます。外部リファレンス電圧は、直接REF又はREFADJに接続できます。

MAX1291及びMAX1293のいずれの場合も、内部バッファはREFで+2.5Vを供給するように設計されています。内部でトリミングされた+1.22Vリファレンスが利得+2.05V/Vでバッファされています。

### 内部リファレンス

内部リファレンスの場合、フルスケール範囲はユニポーラ入力の場合+2.5V、バイポーラ入力の場合 $\pm 1.25\text{V}$ です。内部リファレンスバッファは、リファレンス電圧の微調整( $\pm 100\text{mV}$ )が可能になっています。図7を参照して下さい。

リファレンスバッファは、REFとGNDの間の外部コンデンサ(4.7 $\mu\text{F}$  min)で補償される必要があることに注意して下さい。これは、リファレンスノイズとADCからのスイッチングスパイクを低減するためです。リファレンスのノイズをさらに小さくするには、REFADJとGNDの間に0.01 $\mu\text{F}$ コンデンサを接続して下さい。

### 外部リファレンス

MAX1291とMAX1293は、いずれも内部リファレンスバッファアンプの入力(REFADJ)又は出力(REF)において外部リファレンスに接続できます。

REFADJ入力を使用すると外部リファレンスをバッファする必要がなくなります。REFADJの入カインピーダンスは17k $\Omega$ (typ)です。

表5. データバス出力(8+4パラレルインタフェース)

PIN	HBEN = 0		HBEN = 1	
	D0	BIT 0 (LSB)		BIT 8
D1	BIT 1		BIT 9	
D2	BIT 2		BIT 10	
D3	BIT 3		BIT 11 (MSB)	
D4	BIT 4	BIPOLAR (UNI/BIP = 0)	UNIPOLAR (UNI/BIP = 1)	
		BIT 11	0	
D5	BIT 5	BIT 11		0
D6	BIT 6	BIT 11		0
D7	BIT 7	BIT 11		0

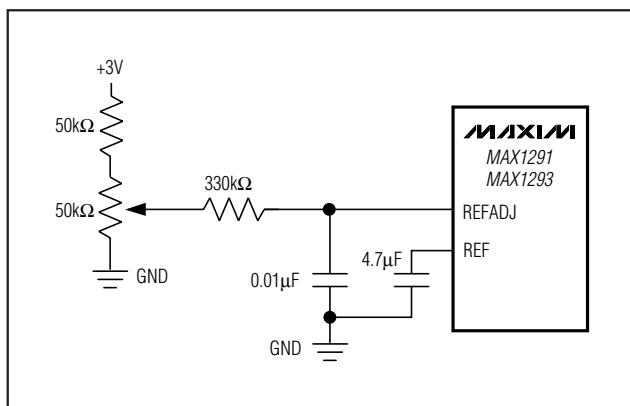


図7. 外部ポテンショメータを使用したリファレンス電圧調節

# 250ksps、+3V、8/4チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

外部リファレンスをREFに印加する場合は、REFADJをV<sub>DD</sub>に接続することによって内部リファレンスバッファをディセーブルして下さい。REFにおけるDC入力抵抗は25kΩであるため、REFにおける外部リファレンスが変換中に最大200μAのDC負荷電流を供給し、出力インピーダンスが10Ω以下であることが必要です。リファレンスの出力インピーダンスがこれよりも大きかったり、ノイズが大きい場合には、REFピンの近くで4.7μFコンデンサを使用してバイパスして下さい。

## パワーダウンモード

変換の合間にコンバータを低電流シャットダウン状態にすることによって、電力を節約することができます。制御バイトのD6及びD7を使用して、スタンバイモード又はシャットダウンモードを選択して下さい(表1及び2)。いずれのソフトウェアパワーダウンモードにおいてもパラレルインタフェースはアクティブのままですが、AD変換を行いません。

## スタンバイモード

スタンバイモードにおいては、消費電流が850μA(typ)です。素子は、次のWRの立上がりエッジでパワーアップし、変換可能な状態になります。このようにターンオンが速いため、250ksps以下の変換速度において大幅な省電力が可能です。

## シャットダウンモード

シャットダウンモードにおいては、自己消費電流を費やす全てのチップ機能がターンオフされて、その時

の変換が完了した直後に標準消費電流が2μAに低下します。WRの立上がりエッジでMAX1291/MAX1293はシャットダウンモードを終了し、通常動作に戻ります。4.7μFのリファレンスバイパスコンデンサを使用してフル12ビット精度を実現するには、パワーアップ後に500μsが必要です。この500μsをフルパワーモードではなくスタンバイモードで待つと、消費電力を3分の1以下に減らすことができます。外部リファレンスを使用する場合、パワーアップ後の待ち時間は僅か50μsで済みます。スタンバイモードに入るには、制御バイトでスタンバイモードを指定してダミーの変換を行って下さい。

**注記：**REFとGNDの間のバイパスコンデンサが4.7μFよりも大きいと、パワーアップ遅延が長くなります。

## 伝達関数

表6に、ユニポーラ及びバイポーラモードのフルスケール電圧範囲を示します。

図8に公称ユニポーラ入力/出力(I/O)伝達関数を、図9にバイポーラ(I/O)伝達関数を示します。コード遷移は、連続する整数のLSB値同士の間で起こります。出力コードはバイナリで、1LSB = (V<sub>REF</sub>/4096)です。

## 最大サンプリング速度/300kspsを実現する方法

最大クロック周波数4.8MHzで動作している時、19クロックサイクル毎に変換を完了することにより仕様のスループット250kspsを実現できます。19サイクルのうちわけは、1書込みサイクル、3アキュイジション

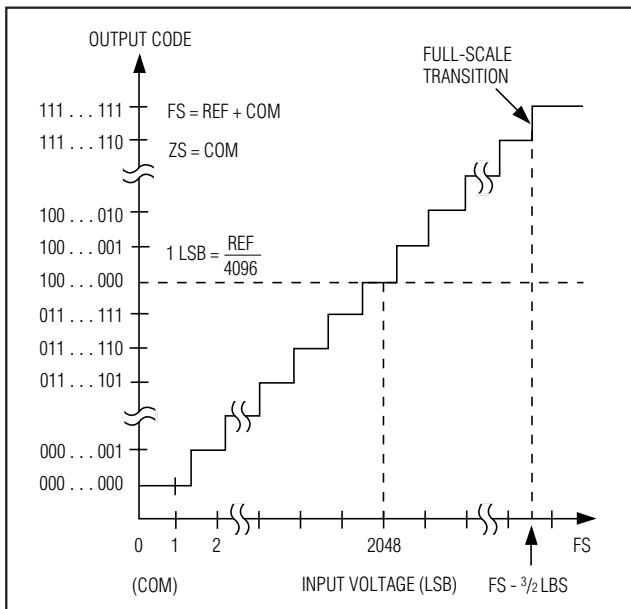


図8. ユニポーラ伝達関数

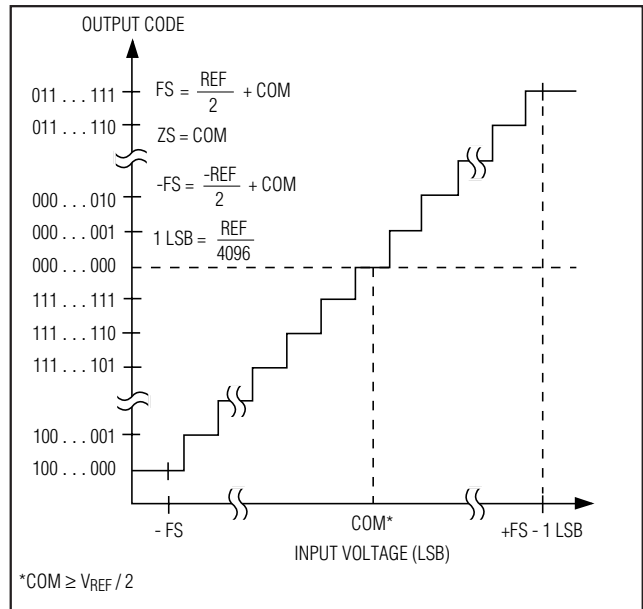


図9. バイポーラ伝達関数



# 250ksps、+3V、8/4チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

表6. ユニポーラ及びバイポーラ動作のフルスケール及びゼロスケール

UNIPOLAR MODE		BIPOLAR MODE	
Full Scale	VREF + COM	Positive Full Scale	VREF/2 + COM
Zero Scale	COM	Zero Scale	COM
—	—	Negative Full Scale	-VREF/2 + COM

サイクル、13変換サイクル、及び2読取りサイクルです。これは、次の制御バイトが書き込まれる前に最後の変換結果が読み取られると仮定しています。さらに速くするために、次の変換のアクイジションサイクルを開始するための制御ワードを先に書き込んで、その後バスから前の変換の結果を読み取るようにすると、最大300kspsのスループットを実現できます(図10)。この技法を使用すると、16クロックサイクル毎に変換を完了できます。アクイジション中又は変換中にデータバスでスイッチングが起こると電源ノイズの原因となり、真の12ビット性能を実現することが難しくなることに注意して下さい。

## レイアウト、グラウンド、及びバイパス

最高の性能を得るために、プリント回路(PC)基板を使用して下さい。デジタル信号ラインとアナログ信号ラインを分離するレイアウトを必要とするため、ワイヤラップ構成は推奨できません。アナログとデジタルラインを互いに並行に走らせないで下さい。又、デジタル信号経路がADCパッケージの下に配置されないようにして下さい。アナログとデジタルのプリント基板グラウンド部分は別々にして、2つのグラウンドシステムが1つのスターポイント(図11)だけで接続されるようにして下さい。ノイズを排除するために、このスターグラウンドから電源へのグラウンドリターンはできるだけ短くすると共に、低インピーダンスにして下さい。デジタル信号は、敏感なアナログ及びリファレンス入力から離して配線して下さい。

電源(VDD)内の高周波ノイズが、ADCの高速コンバータに影響を与える可能性があります。V<sub>DD</sub>は、MAX1291/MAX1293にできるだけ近いところで並列の0.1µF及び4.7µFコンデンサを使用してスターグラウンドにバイパスして下さい。最高の電源ノイズ除去比を得るために、コンデンサのリード線をできるだけ短くして下さい。電源のノイズが特に大きい場合は、減衰抵抗(5Ω)を接続して下さい。

## 用語の定義

### 積分非直線性

積分非直線性(INL)は、実際の伝達関数値の直線からの偏差です。この直線は、ベストストレートラインフィットあるいはオフセット及び利得誤差をヌル(ゼロ)にした後に、伝達関数のエンドポイント間を結んだ線です。MAX1291/MAX1293の静的直線性パラメータは、エンドポイント法を使用して測定されます。

### 微分非直線性

微分非直線性(DNL)は、実際のステップの高さと1LSBの理想値の間の差です。DNL誤差の仕様が1LSB未満であれば、ミッシングコードがないこと及びコードは単調性であることが保証されます。

### アパーチャの定義

アパーチャジッタ(t<sub>AJ</sub>)は、サンプルとサンプル間の時間のばらつきです。アパーチャディレイ(t<sub>AD</sub>)は、サンプリングクロックの立上がりエッジと実際にサンプルが取られる瞬間の間の時間です。

### 信号対雑音比

デジタルサンプルから完べきに再構築された波形の場合、信号対雑音比SNRは、フルスケールアナログ入力(RMS値)のRMS量子化エラー(残留エラー)に対する比です。理想的な最小アナログデジタルノイズは量子化エラーのみに起因し、ADCの分解能(Nビット)によって直接決まります。

$$SNR = (6.02 \times N + 1.76) \text{dB}$$

現実には、量子化ノイズの他にもサーマルノイズ、リファレンスノイズ、クロックジッタ等のノイズソースがあります。このため、SNRを計算する時はRMS信号とRMSノイズの比をとります。RMSノイズは基本波以外の全てのスペクトラル成分、最初の5つの高調波及びDCオフセットを含みます。

### 信号対雑音+歪み(SINAD)

信号対雑音+歪み(SINAD)は、基本入力周波数のRMS振幅とその他全てのADC出力信号のRMS等価値の比です。

$$SINAD(\text{dB}) = 20 \times \log(\text{信号}_{\text{RMS}}/\text{ノイズ}_{\text{RMS}})$$

# 250ksps、+3V、8/4チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

MAX1291/MAX1293

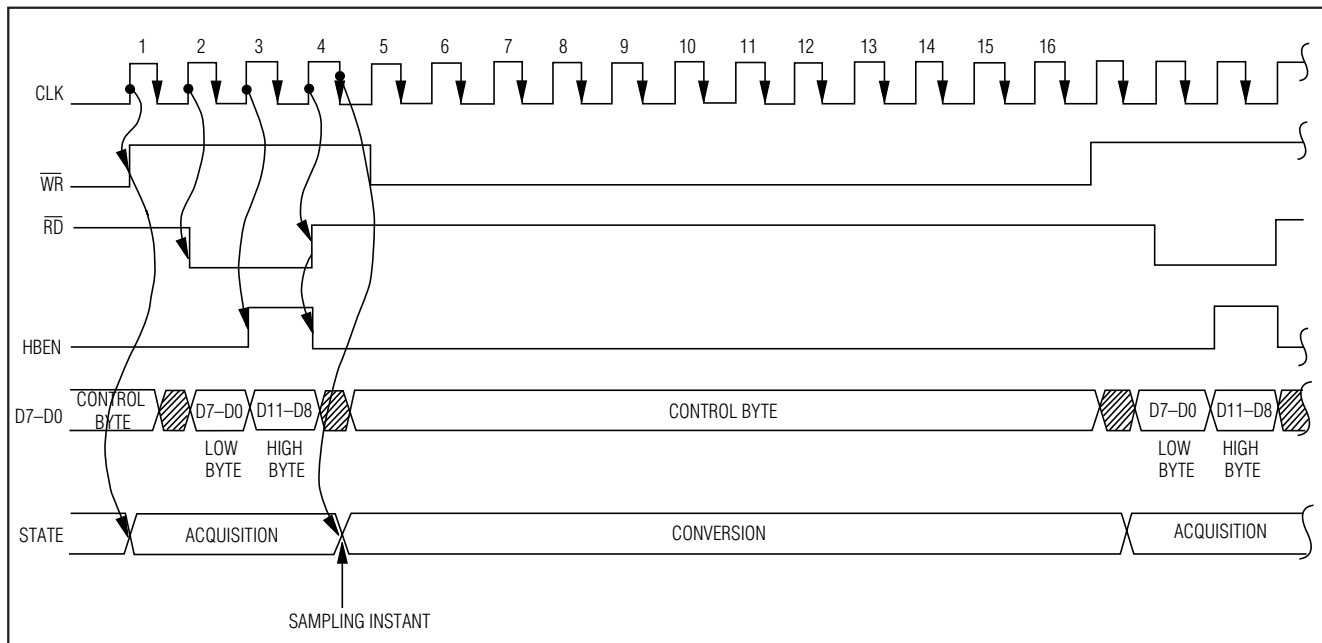


図10. 最も速い変換のタイミング図

## 有効ビット数

有効ビット数(ENOB)は、特定の入力周波数及びサンプリングレートにおけるADCの包括的な精度です。理想的なADCの誤差は、量子化ノイズのみからなっています。入力範囲がADCのフルスケール範囲に等しい場合、有効ビット数は次式で計算できます。

$$\text{ENOB} = (\text{SINAD} - 1.76) / 6.02$$

## 全高調波歪み

全高調波歪み(THD)は、入力信号の最初の5つの高調波RMS和と基本波そのものの比です。これは次式で表されます。

$$\text{THD} = 20 \times \log \left( \sqrt{(V_2^2 + V_3^2 + V_4^2 + V_5^2)} / V_1 \right)$$

ここで、 $V_1$ は基本波の振幅、 $V_2 \sim V_5$ は2次～5次高調波の振幅です。

## スプリアスフリーダイナミックレンジ

スプリアスフリーダイナミックレンジ(SFDR)は、基本波(最大信号成分)のRMS振幅と次に大きな歪み成分のRMS値の比です。

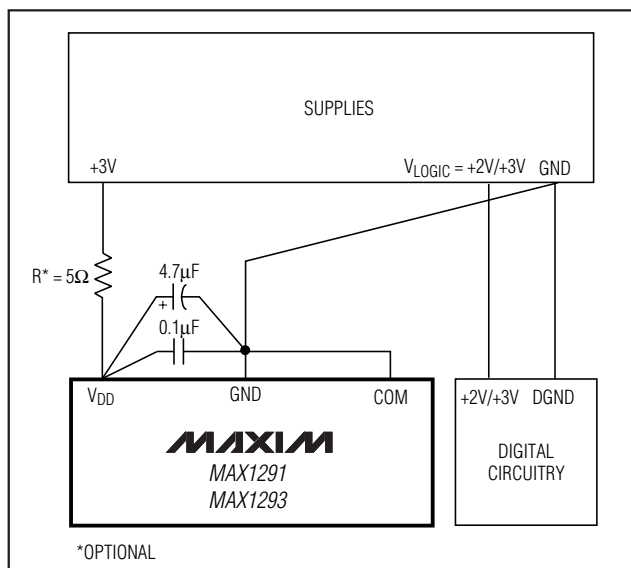


図11. 電源及びグランド接続

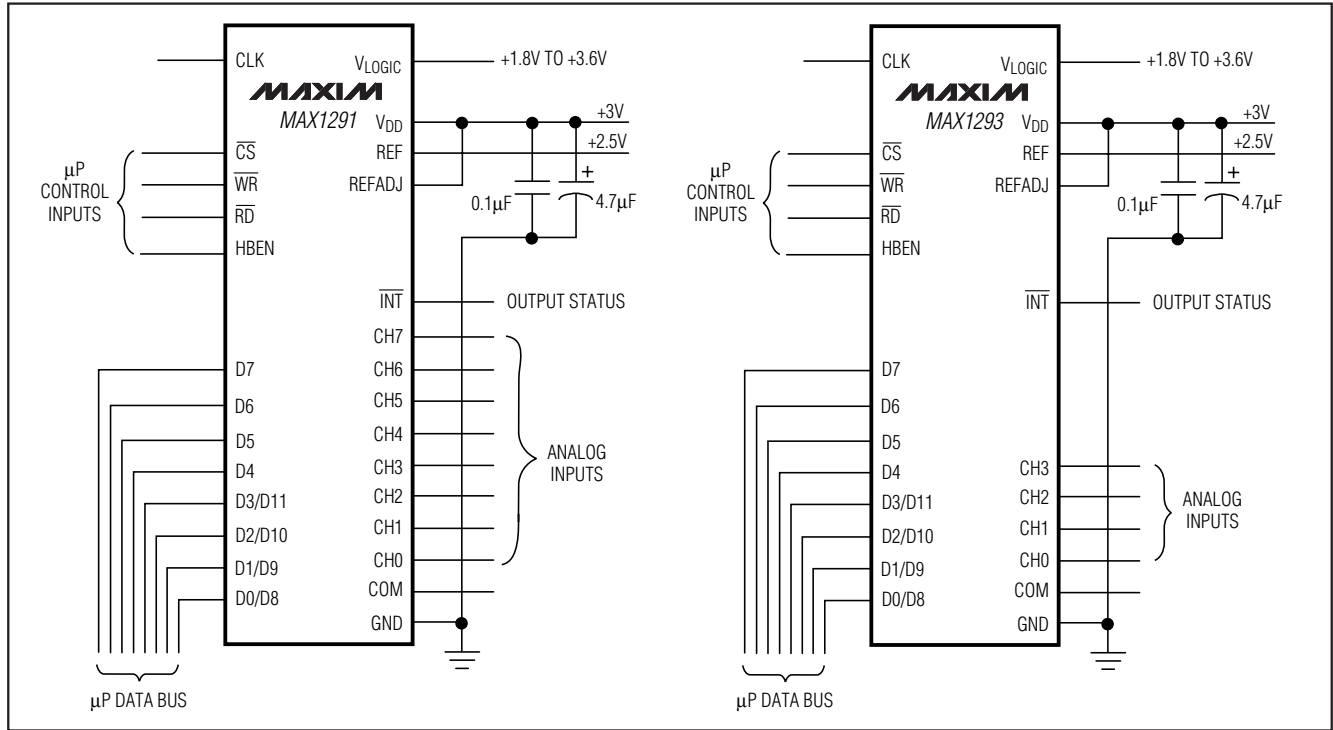
## チップ情報

TRANSISTOR COUNT: 5781  
SUBSTRATE CONNECTED TO GND

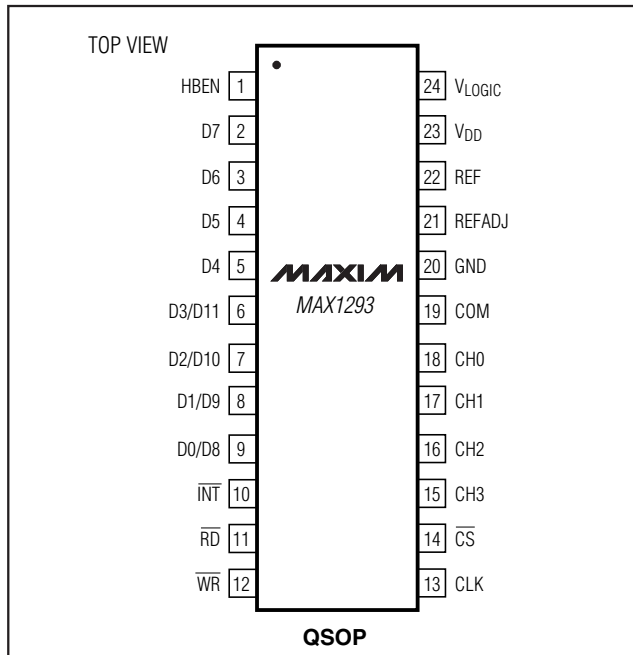
# 250ksps、+3V、8/4チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

MAX1291/MAX1293

## 標準動作回路



## ピン配置(続き)



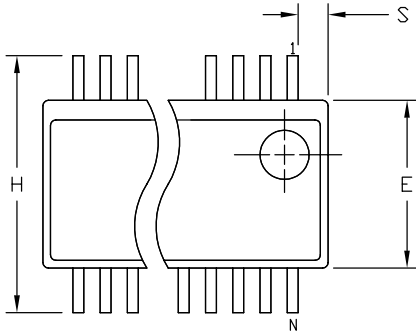
## 型番(続き)

PART	TEMP RANGE	PIN-PACKAGE	INL (LSB)
MAX1293ACEG	0°C to +70°C	24 QSOP	±0.5
MAX1293BCEG	0°C to +70°C	24 QSOP	±1
MAX1293AEEG	-40°C to +85°C	24 QSOP	±0.5
MAX1293BEEG	-40°C to +85°C	24 QSOP	±1

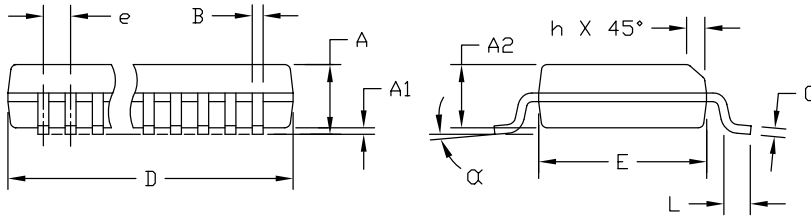
# 250ksps、+3V、8/4チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

## パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、[japan.maxim-ic.com/packages](http://japan.maxim-ic.com/packages)をご参照下さい。)



DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	.061	.068	1.55	1.73
A1	.004	.0098	0.102	0.249
A2	.055	.061	1.40	1.55
B	.008	.012	0.20	0.30
C	.0075	.0098	0.191	0.249
D	SEE VARIATIONS			
E	.150	.157	3.81	3.99
e	.025 BSC		0.635 BSC	
H	.230	.244	5.84	6.20
h	.010	.016	0.25	0.41
L	.016	.035	0.41	0.89
N	SEE VARIATIONS			
α	0°	8°	0°	8°



### VARIATIONS:

	INCHES		MILLIMETERS		N
	MIN.	MAX.	MIN.	MAX.	
D	.189	.196	4.80	4.98	16 AB
S	.0020	.0070	0.05	0.18	
D	.337	.344	8.56	8.74	20 AD
S	.0500	.0550	1.270	1.397	
D	.337	.344	8.56	8.74	24 AE
S	.0250	.0300	0.635	0.762	
D	.386	.393	9.80	9.98	28 AF
S	.0250	.0300	0.635	0.762	

### NOTES:

- 1). D & E DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS.
- 2). MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .006" PER SIDE.
- 3). CONTROLLING DIMENSIONS: INCHES.
- 4). MEETS JEDEC MQ137.

<small>PROPRIETARY INFORMATION</small>	
<small>TITLE:</small> PACKAGE OUTLINE, QSOP .150", .025" LEAD PITCH	
<small>APPROVAL</small>	<small>DOCUMENT CONTROL NDL</small> 21-0055
<small>REV.</small> E	<small>1/1</small>

## マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)  
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

20 \_\_\_\_\_ **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**