

400ksps、+5V、8/4チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

概要

MAX1290/MAX1292は、逐次比較ADC、自動パワーダウン、高速ウェイクアップ(2 μ s)、内蔵クロック、+2.5V内部リファレンス及び高速バイト幅パラレルインタフェースを備えた低電力、12ビットアナログデジタルコンバータ(ADC)です。これらの製品は、単一+5Vアナログ電源で動作し、+2.7V~+5.5Vデジタル電源と直接インタフェースするためのV_{LOGIC}ピンを備えています。

最大サンプリング速度400kspsにおける消費電力は、僅か10mW(V_{DD} = V_{LOGIC})です。2つのソフトウェア選択可能なパワーダウンモードにより、MAX1290/MAX1292は変換の合間にシャットダウンすることができます。パラレルインタフェースにアクセスすると通常動作に戻ります。変換の合間にパワーダウンすることにより、低サンプリング速度における消費電流を10 μ A以下に削減できます。

いずれの素子も、アナログ入力ユニポーラ/バイポーラ及びシングルエンド/疑似差動動作をソフトウェアで設定できるようになっています。シングルエンドモードにおいて、MAX1290は8つの入力チャンネル、MAX1292は4つの入力チャンネルを持っています(疑似差動モードにおいてはそれぞれ4つ及び2つの入力チャンネル)。

本製品は、優れた動的性能及び低電力特性に加え、パッケージが小型で使いやすくなっているため、バッテリ駆動及びデータ収集アプリケーション、あるいはその他の省電力、小型化が必要な回路に最適です。

MAX1290/MAX1292は、CSがハイになると、INTをトライステートにします。INTのトライステートが好ましくない場合、MAX1262/MAX1264を参照してください。

MAX1290は28ピンQSOPパッケージで提供されています。MAX1292は24ピンQSOPです。ピンコンパチブルな+3V、12ビットバージョンについては、MAX1291/MAX1293データシートを参照して下さい。

アプリケーション

工業用制御機器	データロギング
エネルギー管理	患者の監視
データ収集機器	タッチスクリーン

型番

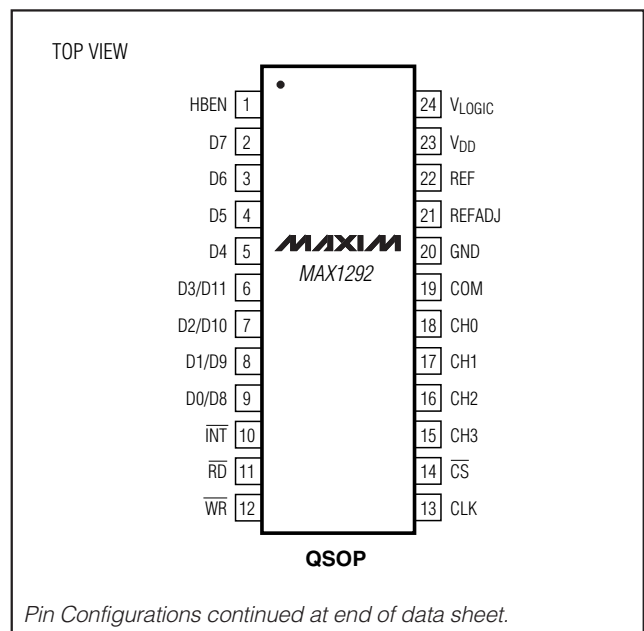
PART	TEMP RANGE	PIN-PACKAGE	INL (LSB)
MAX1290ACEI	0°C to +70°C	28 QSOP	± 0.5
MAX1290BCEI	0°C to +70°C	28 QSOP	± 1
MAX1290AEEI	-40°C to +85°C	28 QSOP	± 0.5
MAX1290BEEI	-40°C to +85°C	28 QSOP	± 1

型番の続きはデータシートの最後に記載されています。

特長

- ◆ 分解能：12ビット、直線性： ± 0.5 LSB
- ◆ 電源：+5V単一
- ◆ ユーザがロジックレベルを調整可能：+2.7V~+5.5V
- ◆ 内部+2.5Vリファレンス
- ◆ ソフトウェア設定可能なアナログ入力マルチプレクサ
 - 8チャンネルシングルエンド/
4チャンネル疑似差動(MAX1290)
 - 4チャンネルシングルエンド/
2チャンネル疑似差動(MAX1292)
- ◆ ユニポーラ/バイポーラ入力をソフトウェア設定可能
- ◆ 低電力：2.5mA(400ksps)
1.0mA(100ksps)
400 μ A(10ksps)
2 μ A(シャットダウン)
- ◆ フルパワー帯域幅が6MHzの内部トラック/ホールド
- ◆ バイト幅パラレル(8+4)インタフェース
- ◆ 小面積：28ピンQSOP(MAX1290)
24ピンQSOP(MAX1292)

ピン配置



標準動作回路はデータシートの最後に記載されています。

400ksps、+5V、8/4チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

MAX1290/MAX1292

ABSOLUTE MAXIMUM RATINGS

V _{DD} to GND	-0.3V to +6V	Continuous Power Dissipation (T _A = +70°C)	
V _{LOGIC} to GND	-0.3V to +6V	24-Pin QSOP (derate 9.5mW/°C above +70°C).....	762mW
CH0-CH7, COM to GND	-0.3V to (V _{DD} + 0.3V)	28-Pin QSOP (derate 8.00mW/°C above +70°C).....	667mW
REF, REFADJ to GND	-0.3V to (V _{DD} + 0.3V)	Operating Temperature Ranges	
Digital Inputs to GND	-0.3V to +6V	MAX1290_C_/MAX1292_C_	0°C to +70°C
Digital Outputs (D0-D11, INT)		MAX1290_E_/MAX1292_E_	-40°C to +85°C
to GND	-0.3V to (V _{LOGIC} + 0.3V)	Storage Temperature Range	-65°C to +150°C
		Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = V_{LOGIC} = +5V ±10%, COM = GND, REFADJ = V_{DD}, V_{REF} = +2.5V, 4.7µF capacitor at REF pin, f_{CLK} = 7.6MHz (50% duty cycle), T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY (Note 1)						
Resolution	RES		12			Bits
Relative Accuracy (Note 2)	INL	MAX129_A			±0.5	LSB
		MAX129_B			±1	
Differential Nonlinearity	DNL	No missing codes over temperature			±1	LSB
Offset Error					±4	LSB
Gain Error (Note 3)					±4	LSB
Gain Temperature Coefficient				±2		ppm/°C
Channel-to-Channel Offset Matching				±0.2		LSB
DYNAMIC SPECIFICATIONS (f _{IN(sine wave)} = 50kHz, V _{IN} = 2.5V _{P-P} , 400ksps, external f _{CLK} = 7.6MHz, bipolar input mode)						
Signal-to-Noise Plus Distortion	SINAD		67	70		dB
Total Harmonic Distortion (including 5th-order harmonic)	THD				-80	dB
Spurious-Free Dynamic Range	SFDR		80			dB
Intermodulation Distortion	IMD	f _{IN1} = 49kHz, f _{IN2} = 52kHz		76		dB
Channel-to-Channel Crosstalk		f _{IN} = 175kHz, V _{IN} = 2.5V _{P-P} (Note 4)		-78		dB
Full-Linear Bandwidth		SINAD > 68dB		350		kHz
Full-Power Bandwidth		-3dB rolloff		6		MHz
CONVERSION RATE						
Conversion Time (Note 5)	t _{CONV}	External clock mode	2.1			µs
		External acquisition/internal clock mode	2.5	3.0	3.5	
		Internal acquisition/internal clock mode	3.2	3.6	4	
T/H Acquisition Time	t _{ACQ}				400	ns
Aperture Delay		External acquisition or external clock mode		25		ns
Aperture Jitter		External acquisition or external clock mode		<50		ps
		Internal acquisition/internal clock mode		<200		
External Clock Frequency	f _{CLK}		0.1		7.6	MHz
Duty Cycle			30		70	%

400ksps、+5V、8/4チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

MAX1290/MAX1292

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = V_{LOGIC} = +5V \pm 10\%$, $COM = GND$, $REFADJ = V_{DD}$, $V_{REF} = +2.5V$, $4.7\mu F$ capacitor at REF pin, $f_{CLK} = 7.6MHz$ (50% duty cycle), $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ANALOG INPUTS						
Analog Input Voltage Range Single Ended and Differential (Note 6)	V_{IN}	Unipolar, $V_{COM} = 0$	0		V_{REF}	V
		Bipolar, $V_{COM} = V_{REF} / 2$	$-V_{REF}/2$		$+V_{REF}/2$	
Multiplexer Leakage Current		On/off-leakage current, $V_{IN} = 0$ or V_{DD}		± 0.01	± 1	μA
Input Capacitance	C_{IN}			12		pF
INTERNAL REFERENCE						
REF Output Voltage			2.49	2.5	2.51	V
REF Short-Circuit Current				15		mA
REF Temperature Coefficient	TC_{REF}			± 20		ppm/ $^\circ C$
REFADJ Input Range		For small adjustments		± 100		mV
REFADJ High Threshold		To power down the internal reference	$V_{DD} - 1$			V
Load Regulation (Note 7)		0 to 0.5mA output load		0.2		mV/mA
Capacitive Bypass at REFADJ				0.01	1	μF
Capacitive Bypass at REF			4.7		10	μF
EXTERNAL REFERENCE AT REF						
REF Input Voltage Range	V_{REF}		1.0		$V_{DD} + 50mV$	V
Shutdown REF Input Current	I_{REF}	$V_{REF} = 2.5V$, $f_{SAMPLE} = 400ksps$		200	300	μA
		Shutdown mode			2	
DIGITAL INPUTS AND OUTPUTS						
Input Voltage High	V_{IH}	$V_{LOGIC} = 4.5V$	4.0			V
		$V_{LOGIC} = 2.7V$	2.0			
Input Voltage Low	V_{IL}				0.8	V
Input Hysteresis	V_{HYS}			200		mV
Input Leakage Current	I_{IN}	$V_{IN} = 0$ or V_{DD}		± 0.1	± 1	μA
Input Capacitance	C_{IN}			15		pF
Output Voltage Low	V_{OL}	$I_{SINK} = 1.6mA$			0.4	V
Output Voltage High	V_{OH}	$I_{SOURCE} = 1mA$	$V_{LOGIC} - 0.5$			V
Three-State Leakage Current	$I_{LEAKAGE}$	$\overline{CS} = V_{DD}$		± 0.1	± 1	μA
Three-State Output Capacitance	C_{OUT}	$\overline{CS} = V_{DD}$		15		pF

400ksps、+5V、8/4チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

MAX1290/MAX1292

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = V_{LOGIC} = +5V \pm 10\%$, COM = GND, REFADJ = V_{DD} , $V_{REF} = +2.5V$, 4.7 μF capacitor at REF pin, $f_{CLK} = 7.6MHz$ (50% duty cycle), $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
POWER REQUIREMENTS							
Analog Supply Voltage	V_{DD}			4.5		5.5	V
Digital Supply Voltage	V_{LOGIC}			2.7		$V_{DD} + 0.3$	V
Positive Supply Current	I_{DD}	Operating mode, $f_{SAMPLE} = 400ksps$	Internal reference		2.9	3.4	mA
			External reference		2.5	2.9	
		Standby mode	Internal reference		1.0	1.2	
			External reference		0.5	0.8	
Shutdown mode					2	10	μA
V_{LOGIC} Current	I_{LOGIC}	$C_L = 20pF$	$f_{SAMPLE} = 400ksps$			200	μA
			Nonconverting		2	10	
Power-Supply Rejection	PSR	$V_{DD} = +5V \pm 10\%$, full-scale input			± 0.3	± 0.9	mV

TIMING CHARACTERISTICS

($V_{DD} = V_{LOGIC} = +5V \pm 10\%$, COM = GND, REFADJ = V_{DD} , $V_{REF} = +2.5V$, 4.7 μF capacitor at REF pin, $f_{CLK} = 7.6MHz$ (50% duty cycle), $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
CLK Period	t_{CP}		132			ns
CLK Pulse Width High	t_{CH}		40			ns
CLK Pulse Width Low	t_{CL}		40			ns
Data Valid to \overline{WR} Rise Time	t_{DS}		40			ns
\overline{WR} Rise to Data Valid Hold Time	t_{DH}		0			ns
\overline{WR} to CLK Fall Setup Time	t_{CWS}		40			ns
CLK Fall to \overline{WR} Hold Time	t_{CWH}		40			ns
\overline{CS} to CLK or \overline{WR} Setup Time	t_{CSWS}		60			ns
CLK or \overline{WR} to \overline{CS} Hold Time	t_{CSWH}		0			ns
\overline{CS} Pulse Width	t_{CS}		100			ns
\overline{WR} Pulse Width (Note 8)	t_{WR}		60			ns

400ksps、+5V、8/4チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

TIMING CHARACTERISTICS (continued)

($V_{DD} = V_{LOGIC} = +5V \pm 10\%$, $COM = GND$, $REFADJ = V_{DD}$, $V_{REF} = +2.5V$, $4.7\mu F$ capacitor at REF pin, $f_{CLK} = 7.6MHz$ (50% duty cycle), $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
\overline{CS} Rise to Output Disable	t_{TC}	$C_{LOAD} = 20pF$, Figure 1	10		60	ns
\overline{RD} Rise to Output Disable	t_{TR}	$C_{LOAD} = 20pF$, Figure 1	10		40	ns
\overline{RD} Fall to Output Data Valid	t_{DO}	$C_{LOAD} = 20pF$, Figure 1	10		50	ns
HBEN Rise to Output Data Valid	t_{DO1}	$C_{LOAD} = 20pF$, Figure 1	10		50	ns
HBEN Fall to Output Data Valid	t_{DO1}	$C_{LOAD} = 20pF$, Figure 1	10		80	ns
\overline{RD} Fall to \overline{INT} High Delay	t_{INT1}	$C_{LOAD} = 20pF$, Figure 1			50	ns
\overline{CS} Fall to Output Data Valid	t_{DO2}	$C_{LOAD} = 20pF$, Figure 1			100	ns

Note 1: Tested at $V_{DD} = +5V$, $COM = GND$, = 0, unipolar single-ended input mode.

Note 2: Relative accuracy is the deviation of the analog value at any code from its theoretical value after offset and gain errors have been removed.

Note 3: Offset nulled.

Note 4: On channel is grounded; sine wave applied to off channels.

Note 5: Conversion time is defined as the number of clock cycles times the clock period; clock has 50% duty cycle.

Note 6: Input voltage range referenced to negative input. The absolute range for the analog inputs is from GND to V_{DD} .

Note 7: External load should not change during conversion for specified accuracy.

Note 8: When bit 5 is set low for internal acquisition, \overline{WR} must not return low until after the first falling clock edge of the conversion.

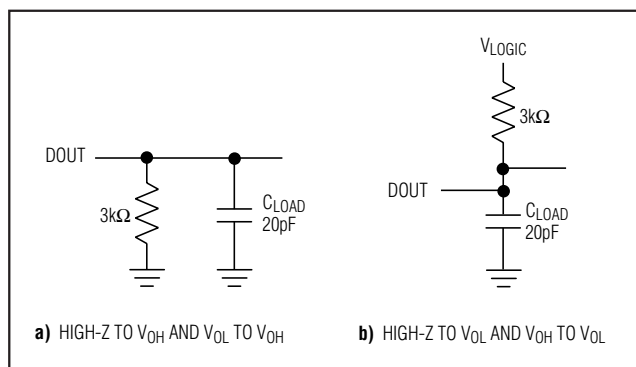
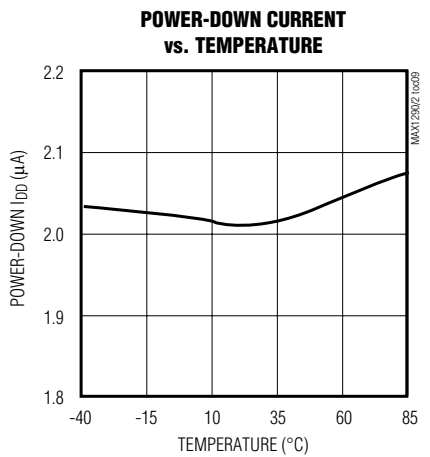
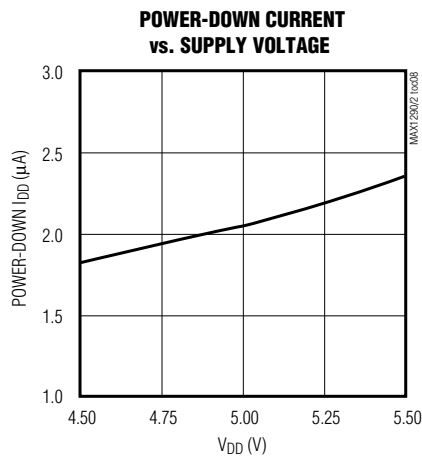
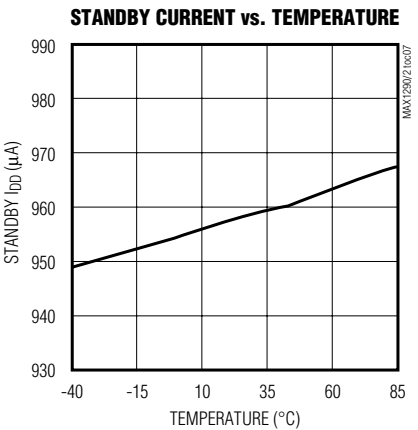
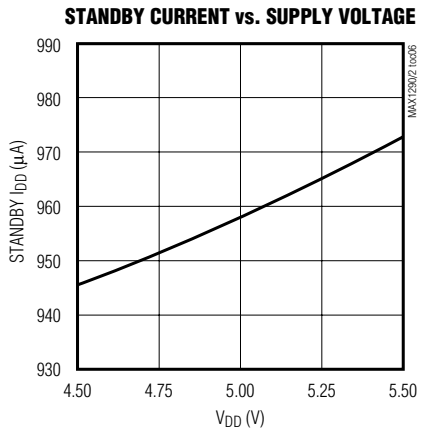
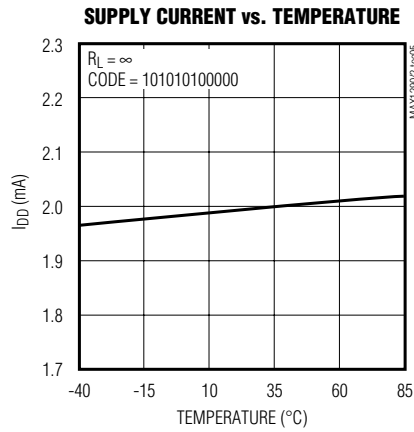
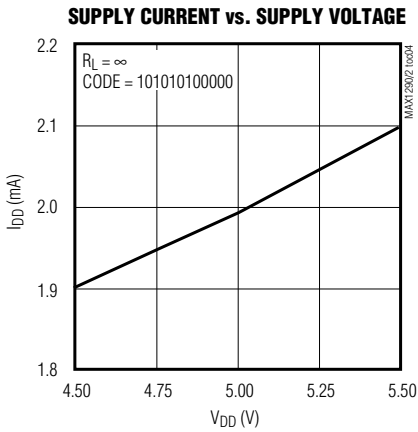
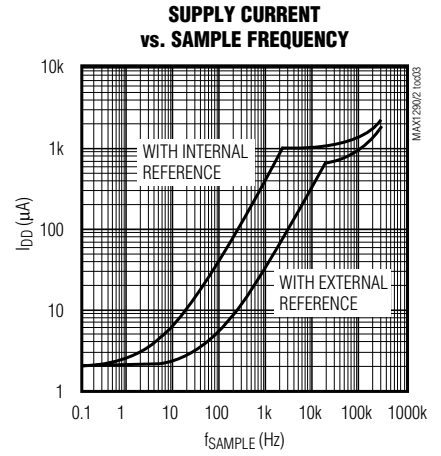
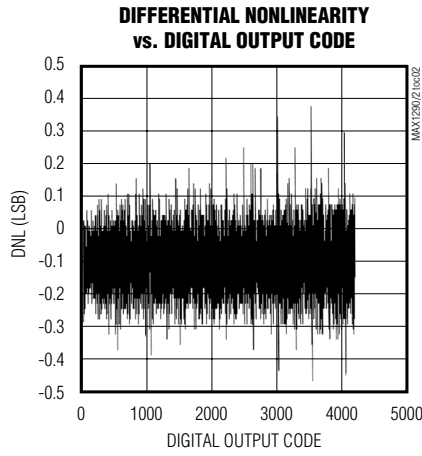
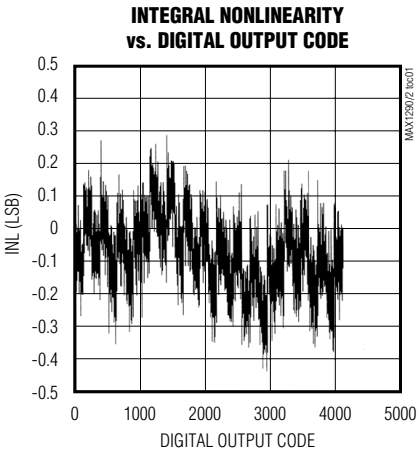


図1. イネーブル/ディセーブル時間の負荷回路

400ksps、+5V、8/4チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

標準動作特性

($V_{DD} = V_{LOGIC} = +5V$, $V_{REF} = +2.500V$, $f_{CLK} = 7.6MHz$, $C_L = 20pF$, $T_A = +25^\circ C$, unless otherwise noted.)

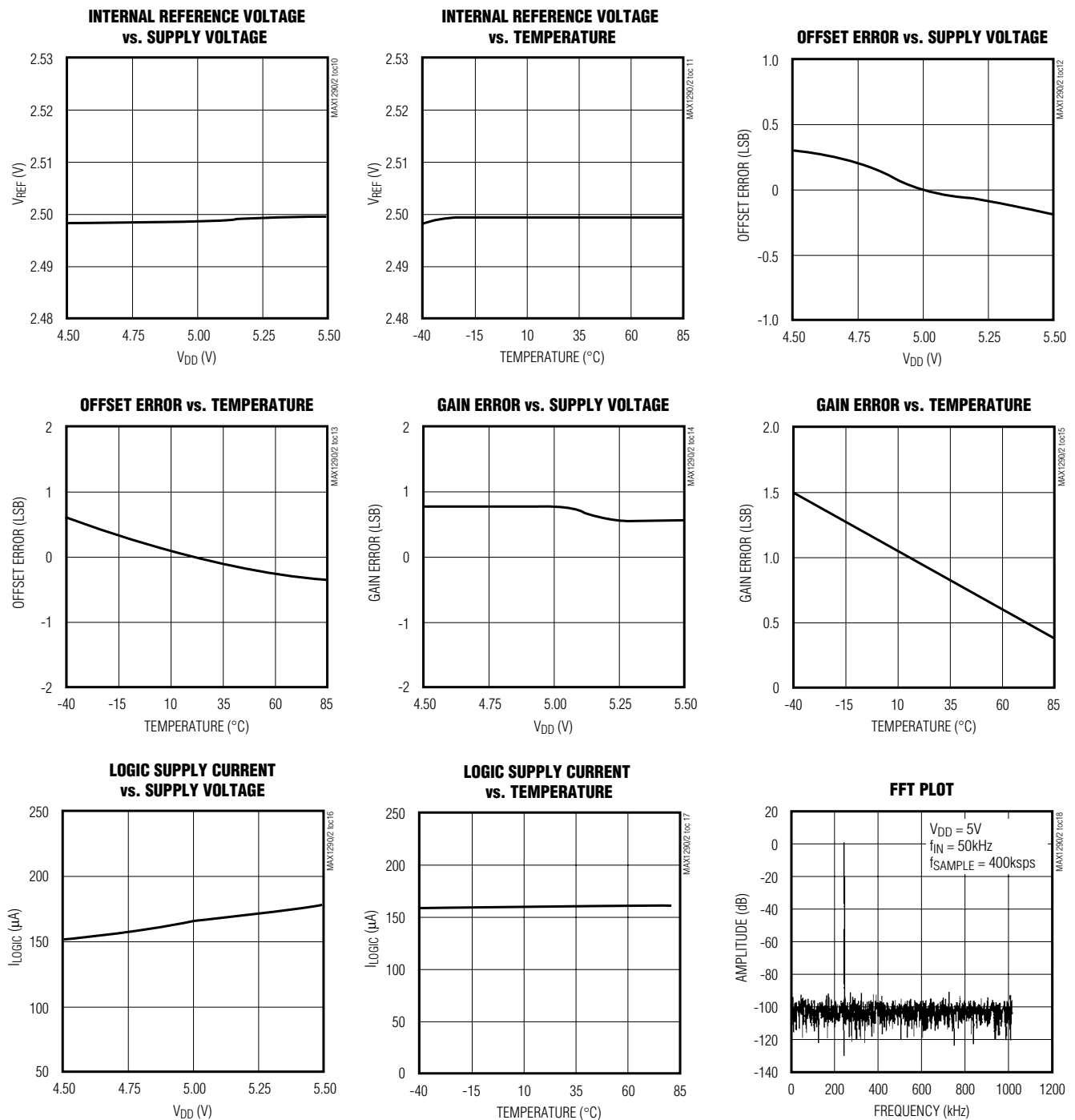


400ksps、+5V、8/4チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

MAX1290/MAX1292

標準動作特性(続き)

($V_{DD} = V_{LOGIC} = +5V$, $V_{REF} = +2.500V$, $f_{CLK} = 7.6MHz$, $C_L = 20pF$, $T_A = +25^\circ C$, unless otherwise noted.)



400ksps、+5V、8/4チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

MAX1290/MAX1292

端子説明

端子		名称	機能
MAX1290	MAX1292		
1	1	HBEN	ハイバイトイネーブル。12ビット変換結果を多重化するために使用されます。 1：4つのMSBがデータバス上で多重化されます。 0：8つのLSBがデータバス上で提供されます。
2	2	D7	スリーステートデジタル/Oライン(D7)
3	3	D6	スリーステートデジタル/Oライン(D6)
4	4	D5	スリーステートデジタル/Oライン(D5)
5	5	D4	スリーステートデジタル/Oライン(D4)
6	6	D3/D11	スリーステートデジタル/Oライン(D3、HBEN = 0；D11、HBEN = 1)
7	7	D2/D10	スリーステートデジタル/Oライン(D2、HBEN = 0；D10、HBEN = 1)
8	8	D1/D9	スリーステートデジタル/Oライン(D1、HBEN = 0；D9、HBEN = 1)
9	9	D0/D8	スリーステートデジタル/Oライン(D0、HBEN = 0；D8、HBEN = 1)
10	10	$\overline{\text{INT}}$	$\overline{\text{INT}}$ は変換が完了して出力データが準備できた時にローになります。
11	11	$\overline{\text{RD}}$	アクティブロー読み取り選択。 $\overline{\text{CS}}$ がローの場合、 $\overline{\text{RD}}$ の立下がりエッジがデータバス上の読み取り動作をイネーブルします。
12	12	$\overline{\text{WR}}$	アクティブロー書き込み選択。内部アキュイジションモードにおいて $\overline{\text{CS}}$ がローの場合、 $\overline{\text{WR}}$ の立下がりエッジで構成データがラッチインされて、アキュイジション及び変換サイクルが始まります。外部アキュイジションモードにおいて $\overline{\text{CS}}$ がローの場合、 $\overline{\text{WR}}$ の最初の立下がりエッジでアキュイジションが終了して変換が始まります。
13	13	CLK	クロック入力。外部クロックモードの場合、TTL/CMOSコンパチブルクロックでCLKを駆動して下さい。内部クロックモードの場合、このピンを V_{DD} 又はGNDに接続して下さい。
14	14	$\overline{\text{CS}}$	アクティブローチップセレクト。 $\overline{\text{CS}}$ がハイの時に、デジタル出力($\overline{\text{INT}}$ 、D7~D0)がハイインピーダンスになります。
15	—	CH7	アナログ入力チャンネル7
16	—	CH6	アナログ入力チャンネル6
17	—	CH5	アナログ入力チャンネル5
18	—	CH4	アナログ入力チャンネル4
19	15	CH3	アナログ入力チャンネル3
20	16	CH2	アナログ入力チャンネル2
21	17	CH1	アナログ入力チャンネル1
22	18	CH0	アナログ入力チャンネル0
23	19	COM	アナログ入力のグラウンドリファレンス。シングルエンドモードにおけるゼロコード電圧を設定します。変換中は $\pm 0.5\text{LSB}$ まで安定していることが必要です。
24	20	GND	アナログ及びデジタルグラウンド
25	21	REFADJ	バンドギャップリファレンス出力/バンドギャップリファレンスバッファ入力。0.01 μF コンデンサでGNDにバイパスして下さい。外部リファレンスを使用する場合は、REFADJを V_{DD} に接続して内部バンドギャップリファレンスをディセーブルして下さい。
26	22	REF	バンドギャップリファレンスバッファ出力/外部リファレンス入力。内部リファレンスを使用する場合は、GNDに4.7 μF コンデンサを追加して下さい。
27	23	V_{DD}	アナログ+5V電源。0.1 μF コンデンサでGNDにバイパスして下さい。
28	24	V_{LOGIC}	デジタル電源。 V_{LOGIC} は、データコンバータのデジタル出力を駆動します。許容範囲は+2.7V~ V_{DD} + 300mVです。

400ksp/s、+5V、8/4チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

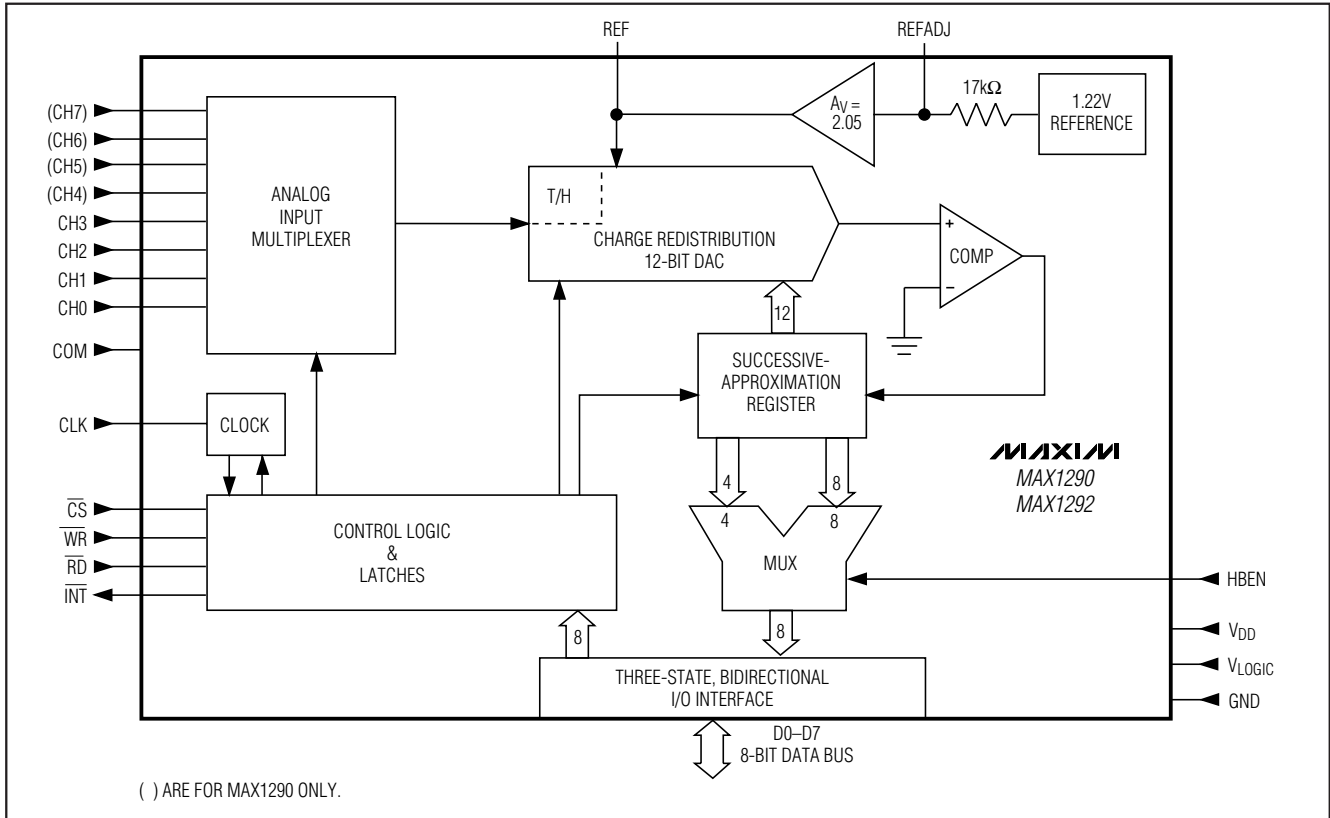


図2. 8/4チャンネルMAX1290/MAX1292の簡略化ファンクションダイアグラム

詳細

コンバータの動作

MAX1290/MAX1292 ADCは、逐次比較(SAR)変換技法及び入力トラック/ホールド(T/H)段を使用することにより、アナログ入力信号を12ビットデジタル出力に変換します。パラレル8+4出力フォーマットにより、標準マイクロプロセッサ(μ P)へのインタフェースが容易です。図2に、MAX1290/MAX1292の内部構造の略図を示します。

シングルエンド及び疑似差動動作

図3a及び図3bの等価回路に、このADCのアナログコンパレータのサンプリング構成を示します。シングルエンドモードでは、IN+が内部でCH0~CH7(MAX1290の場合、図3a)及びCH0~CH3(MAX1292の場合、図3b)にスイッチングされ、IN-はCOMにスイッチングされます(表3)。差動モードの場合、IN+及びIN-はアナログ入力ペアから選択されます(表4)。

差動モードにおけるIN+及びIN-は、アナログ入力のどちらかにスイッチングされます。この構成ではIN+のところの信号だけがサンプリングされるため、この構成を疑似差動と呼んでいます。リターン側(IN-)は、変換中、GNDに対して ± 0.5 LSB(最良の結果を得るには ± 0.1 LSB)以内で安定している必要があります。これを実現するには、(選択したアナログ入力の)IN-とGNDの間に $0.1\mu\text{F}$ のコンデンサを接続して下さい。

アキュイジション期間中は、正入力(IN+)として選択されたチャンネルにより、コンデンサ C_{HOLD} が充電されます。アキュイジション期間の終了時にT/Hスイッチが開き、 C_{HOLD} の電荷をIN+の信号のサンプルとして保持します。

変換期間は、入力マルチプレクサが C_{HOLD} を正入力(IN+)から負入力(IN-)にスイッチングした時点から始まります。このため、コンパレータの入力におけるノードZEROが不平衡になります。変換サイクルの残りの時間で、容量性DACがノードZEROを12ビット分解能の制限範囲で0Vに調整します。この動作は、 $12\text{pF} \times [(V_{\text{IN}+}) - (V_{\text{IN}-})]$ の電荷を C_{HOLD} からバイナリ重み付の容量性DACに移すことと等価です。この結果、アナログ入力信号のデジタル表示が生成されます。

400ksps、+5V、8/4チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

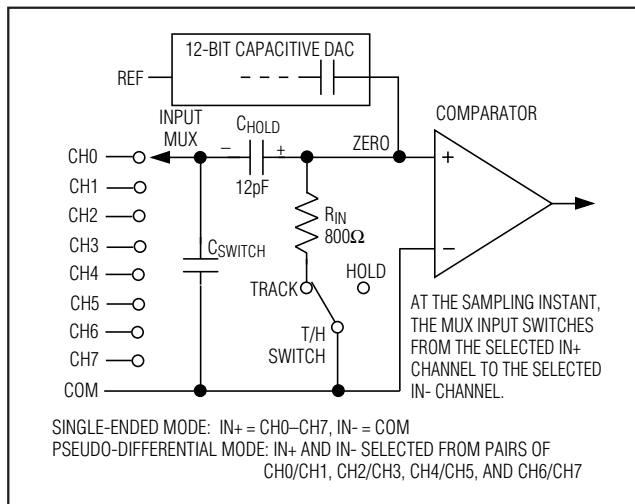


図3a. MAX1290の入力構造の略図

アナログ入力保護

内部保護ダイオードによりアナログ入力が V_{DD} とGNDにクランプされているため、チャンネル入力ピンは(GND - 300mV) ~ (V_{DD} + 300mV)の範囲で、損傷を起こすことなくスイングできます。しかし、フルスケール付近で正確な変換を行うためには、入力が(V_{DD} + 50mV)を超えず、また(GND - 50mV)を下回らないようにして下さい。

オフチャンネルのアナログ入力が電源を50mV以上超えた場合は、順方向バイアス入力電流を4mAまでに制限して下さい。

トラック/ホールド

MAX1290/MAX1292 T/H段は、 \overline{WR} の立上がりエッジでトラックモードに入ります。外部アキュジションモードにおいては、本素子は次の \overline{WR} の立上がりエッジでホールドモードに入ります。内部アキュジションモードにおいては、制御バイトを書き込んでから4つ目のクロックの立下がりエッジでホールドモードに入ります。内部クロックモードにおいては、これは制御バイトへの書込みから約1μs後に起こることに注意して下さい。

シングルエンド動作の場合は、IN-がCOMに接続され、コンバータは“+”入力をサンプリングします。疑似差動動作の場合は、IN-が負入力“-”に接続され、|(IN+) - (IN-)|の差がサンプリングされます。変換完了時に正入力が再びIN+に接続され、 C_{HOLD} は入力信号電圧まで充電されます。

T/H段が入力信号を取込むために要する時間は、入力容量が充電される速さの関数になっています。入力信号のソースインピーダンスが高いとアキュジション時間は長くなるため、変換と変換の間の時間を長くする必要

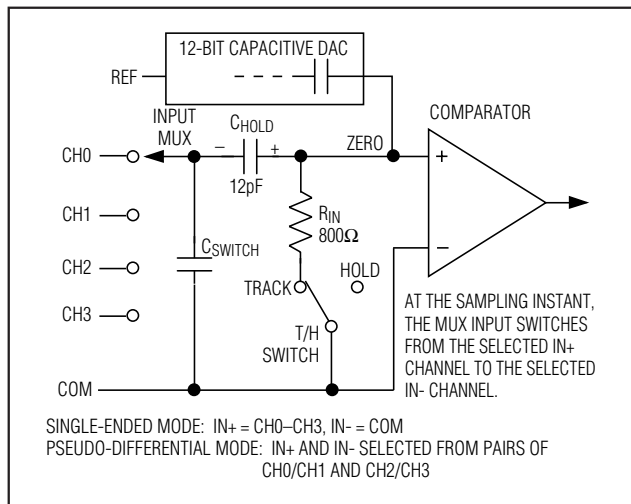


図3b. MAX1292の入力構造の略図

があります。アキュジション時間 t_{ACQ} は素子が信号を取込むために要する最大時間であり、信号の取込みに必要な最低時間にもなっています。これは次式で計算されます。

$$t_{ACQ} = 9(R_S + R_{IN})C_{IN}$$

ここで、 R_S =入力信号のソースインピーダンス、 R_{IN} (800Ω)は入力抵抗、そして C_{IN} (12pF)はADCの入力容量です。ソースインピーダンスが3kΩ以下であれば、MAX1290/MAX1292のAC性能に大きな影響はありません。

0.01μFコンデンサが個々のアナログ入力に接続されている場合は、これ以上のソースインピーダンスの使用も可能です。入力コンデンサと入力ソースインピーダンスがRCフィルタを形成し、ADCの信号帯域幅を制限することに注意して下さい。

入力帯域幅

MAX1290/MAX1292のT/H段はフルリニア帯域幅が350kHz、フルパワー帯域幅が6MHzであるため、高速のトランジェントの数値化、及びアンダサンプリング技法を使用することにより、帯域幅がADCのサンプリング速度以上の帯域の周期信号を測定できます。高周波信号が計測する周波数帯域にエイリアシングして防ぐのを防ぐために、アンチエイリアシングフィルタリングを推奨します。

変換開始方法

変換は、制御バイトを書き込むことによって開始して下さい。制御バイトはマルチプレクサチャンネルを選択し、MAX1290/MAX1292をユニポーラ又はバイポーラ動作に設定します。書込みパルス($\overline{WR} + \overline{CS}$)は、アキュジション期間又は複合アキュジション+変換を開始

400ksps、+5V、8/4チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

できます。サンプリング期間は、アキュイジション期間の最後に始まります。入力制御バイト(表1)のACQMOD(アキュイジションモード)ビットは、信号の取り込み方として内部アキュイジション及び外部アキュイジションの2つのオプションを提供しています。クロック又はアキュイジションモードが内部又は外部のいずれの場合も、変換期間は13クロックサイクルだけ持続します。変換中に新しい制御バイトを書き込むと、その変換が中止されて新しいアキュイジション期間が始まります。

内部アキュイジション

制御バイトを書き込む時にACQMODをクリアしておく(ACQMOD = 0)、内部アキュイジションが選択されます。この場合、持続時間の内部設定されたアキュイジション期間が書き込みパルスによって始まります。変換は、このアキュイジション期間が終わった時に始まります(3外部サイクル、あるいは内部クロックモードの場合は約1 μ s)(図4)。内部アキュイジションと内部クロックの組み合わせの場合、アパーチャジッタが200psに達することがあることに注意して下さい。内部クロックでジッタ仕様50psを実現する場合は、常に外部アキュイジションモードを使用して下さい。

外部アキュイジション

サンプリングアパーチャを正確に制御する場合やアキュイジションと変換時間を連携して制御する場合は、外部アキュイジションモードを使用して下さい。ユーザは2つの個別の書き込みパルスを使用することによって、アキュイ

ジション及び変換開始を制御します。第1のパルスはACQMOD = 1で書き込まれ、長さ不定のアキュイジション期間を開始します。第2の書き込みパルスはACQMOD = 0(制御バイトのその他全てのビットは不変)で書き込まれ、WRの立上がりエッジでアキュイジションを終了して変換を開始します(図5)。

入力マルチプレクサのアドレスビットは、第1及び第2の書き込みパルスで同じ値を持っていることが必要です。パワーダウンモードビット(PD0、PD1)は、第2の書き込みパルスで新しい値にすることができます(「パワーダウンモード」を参照)。制御バイトのその他のビットを変更すると、変換が破壊されます。

変換の読取り

変換が終了して有効な結果が読み取れる状態になったことをマイクロプロセッサに知らせるフラグをMAX1290/MAX1292が出すための標準割込み信号INTが提供されています。INTは、変換が完了して出力データが準備できたときにローになります(図4、5)。そして、INTは最初の読取りサイクルが始まった時又は新しい制御バイトが書き込まれた時にハイに戻ります。

クロックモードの選択

MAX1290/MAX1292は、内部又は外部クロックのいずれでも動作します。制御ビットD6及びD7が内部又は外部クロックモードを選択します。その時の入力ワードでパワーダウンモードが選択されると、素子は

表1. 制御バイトの機能の説明

BIT	NAME	FUNCTION
D7, D6	PD1, PD0	PD1 and PD0 select the various clock and power-down modes.
		0 0 Full Power-Down Mode. Clock mode is unaffected.
		0 1 Standby Power-Down Mode. Clock mode is unaffected.
		1 0 Normal Operation Mode. Internal clock mode is selected.
		1 1 Normal Operation Mode. External clock mode is selected.
D5	ACQMOD	ACQMOD = 0: Internal Acquisition Mode ACQMOD = 1: External Acquisition Mode
D4	SGL/DIF	SGL/DIF = 0: Pseudo-Differential Analog Input Mode SGL/DIF = 1: Single-Ended Analog Input Mode In single-ended mode, input signals are referred to COM. In pseudo-differential mode, the voltage difference between two channels is measured (Tables 2, 3).
D3	UNI/BIP	UNI/BIP = 0: Bipolar Mode UNI/BIP = 1: Unipolar Mode In unipolar mode, an analog input signal from 0 to VREF can be converted; in bipolar mode, the signal can range from -VREF/2 to +VREF/2.
D2, D1, D0	A2, A1, A0	Address bits A2, A1, A0 select which of the 8/4 (MAX1290/MAX1292) channels is to be converted (Tables 3, 4).

400ksps、+5V、8/4チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

MAX1290/MAX1292

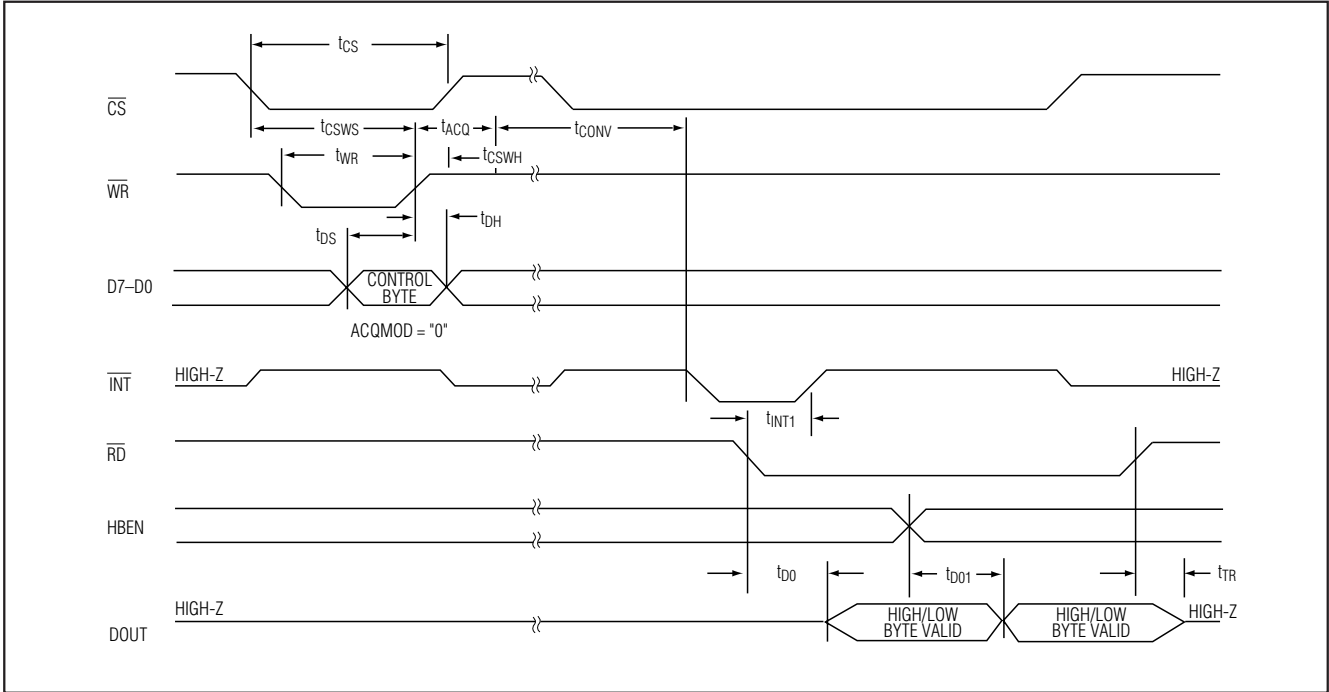


図4. 内部アキュイジションモードを使用した変換のタイミング

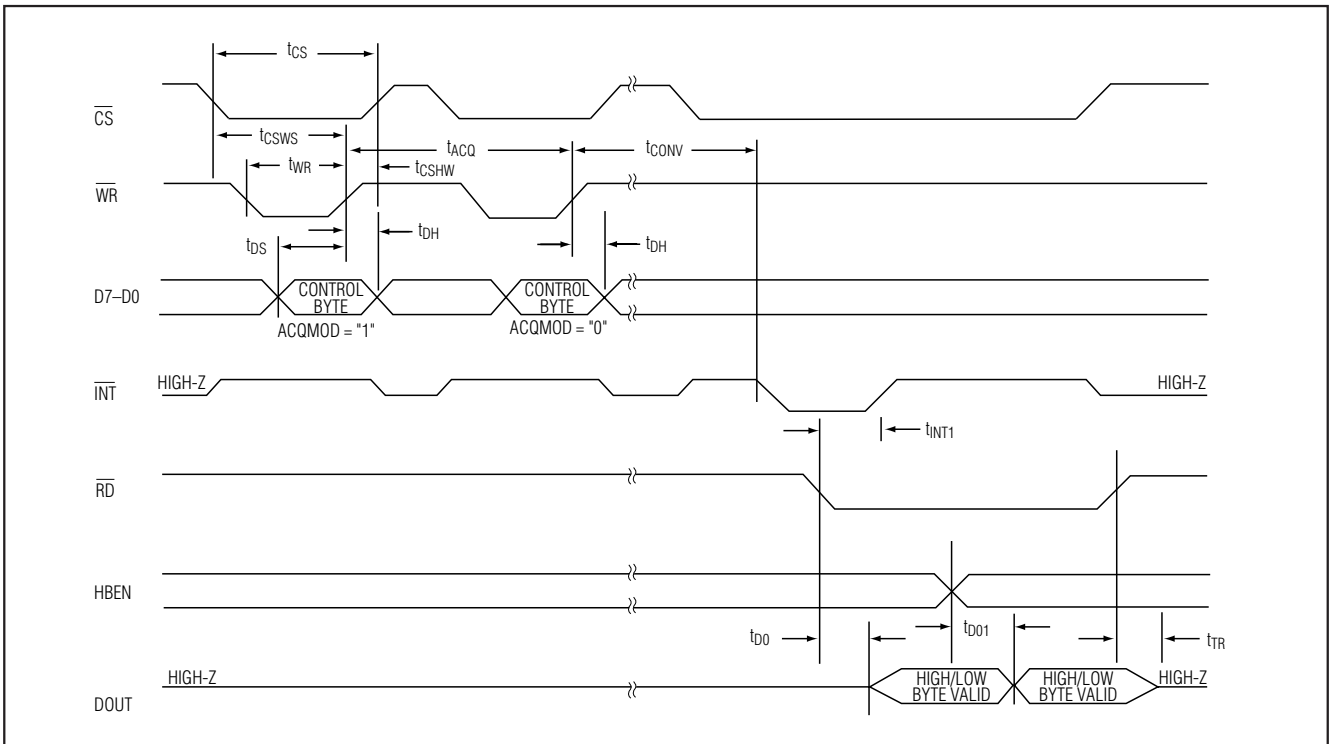


図5. 外部アキュイジションモードを使用した変換のタイミング

400kpsps、+5V、8/4チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

最後にリクエストされたクロックモードを保持します。内部及び外部クロックモードのいずれの場合も、内部又は外部アキュイジションのどちらでも使用できます。パワーアップ時には、MAX1290/MAX1292はデフォルトの外部クロックモードになります。

内部クロックモード

内部クロックモードにすると、 μ PIはSAR変換クロックを動作させる役割から解放されます。このモードを選択するには、制御バイトのビットD7を1に、D6を0に設定する必要があります。これにより内部クロック周波数が選択され、変換時間が $3.6\mu\text{s}$ となります。内部クロックモードを使用する場合は、CLKピンがフローティングにならないようにハイ又はローに接続して下さい。

外部クロックモード

外部クロックモードを選択するには、制御バイトのD6及びD7を1に設定する必要があります。図6に、外部クロックによる内部(図6a)及び外部(図6b)アキュイジションモードのクロック及びWRタイミングの関係を示します。適正な動作のためには、デューティサイクルが30%~70%で周波数が100kHz~7.6MHzのクロックを推奨します。T/H段のホールドコンデンサの両端の電圧が低下して性能が劣化するため、100kHz以下のクロック周波数でMAX1290/MAX1292を動作させることは推奨しません。

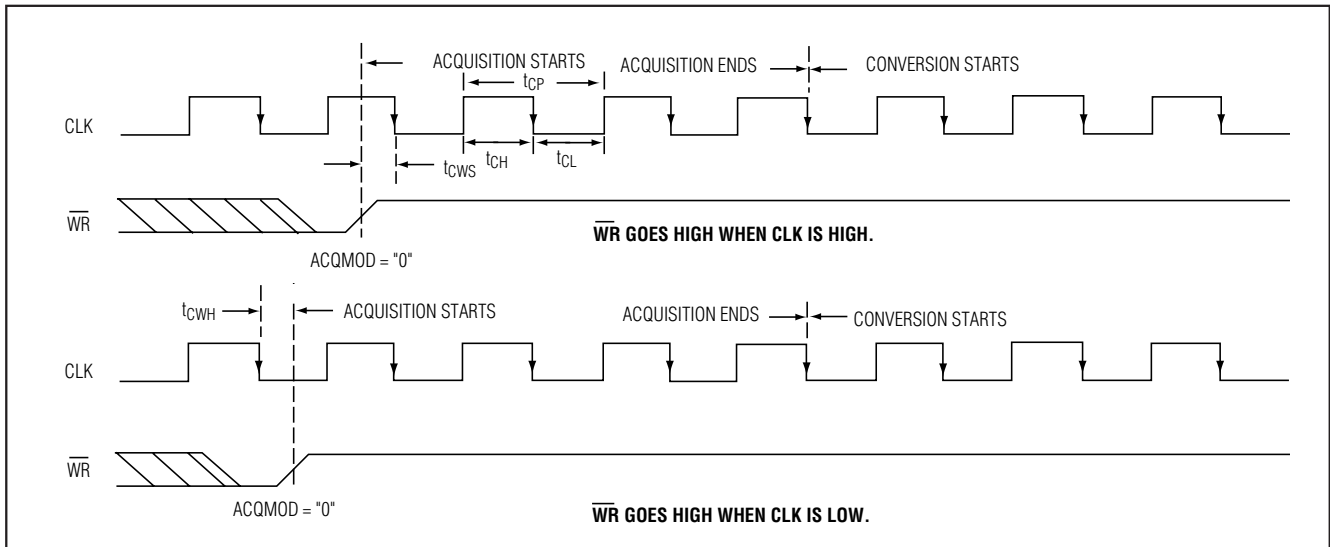


図6a. 外部クロック及びWRタイミング(内部アキュイジションモード)

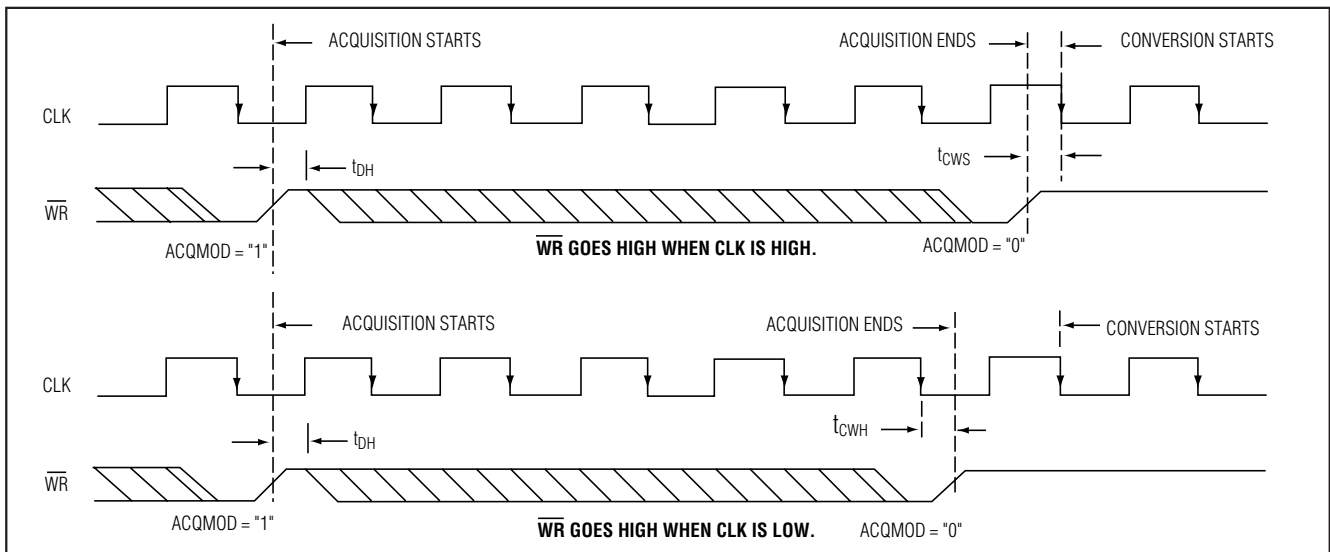


図6b. 外部クロック及びWRタイミング(外部アキュイジションモード)

400ksps、+5V、8/4チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

MAX1290/MAX1292

デジタルインタフェース

入力(制御バイト)及び出力データは、スリーステートパラレルインタフェース上で多重化されます。このパラレルインタフェース(I/O)は、標準 μ Pと簡単にインタフェースすることができます。信号 \overline{CS} 、 \overline{WR} 及び \overline{RD} が書込み及び読み取り動作を制御します。 \overline{CS} はチップ選択信号です。この信号によって、 μ PはMAX1290/MAX1292をI/Oポートとしてアドレス指定できます。 \overline{CS} がハイの時にCLK \overline{WR} 及び \overline{RD} 入力がディセーブされ、インタフェースは強制的にハイインピーダンス(ハイZ)状態になります。

入力フォーマット

制御バイトは、書き込みコマンド中にピンD7~D0にラッチされます。表2に、制御バイトフォーマットを示します。

出力フォーマット

MAX1290/MAX1292の出力フォーマットはユニポーラモードにおいてはバイナリ、バイポーラモードにおいては2の補数形式です。出力データを読み取る時には \overline{CS} 及び \overline{RD} がローであることが必要です。HBEN = 0の時は下位8ビットが読まれます。HBEN = 1の時は上位4ビットが読み取り可能で、出力データビットD7~D4はユニポーラモードでローに設定され、バイポーラモードにおいてはMSBの値に設定されます(表5)。

表2. 制御バイトフォーマット

D7 (MSB)	D6	D5	D4	D3	D2	D1	D0 (LSB)
PD1	PD0	ACQMOD	SGL/DIF	UNI/BIP	A2	A1	A0

表3. シングルエンド動作のチャンネル選択(SGL/DIF = 1)

A2	A1	A0	CH0	CH1	CH2	CH3	CH4*	CH5*	CH6*	CH7*	COM
0	0	0	+								-
0	0	1		+							-
0	1	0			+						-
0	1	1				+					-
1	0	0					+				-
1	0	1						+			-
1	1	0							+		-
1	1	1								+	-

*チャンネルCH4~CH7は、MAX1290のみに適用します。

表4. 疑似差動動作のチャンネル選択(SGL/DIF = 0)

A2	A1	A0	CH0	CH1	CH2	CH3	CH4*	CH5*	CH6*	CH7*
0	0	0	+	-						
0	0	1	-	+						
0	1	0			+	-				
0	1	1			-	+				
1	0	0					+	-		
1	0	1					-	+		
1	1	0							+	-
1	1	1							-	+

*チャンネルCH4~CH7は、MAX1290のみに適用します。

400ksps、+5V、8/4チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

表5. データバス出力(8+4パラレル
インタフェース)

PIN	HBEN = 0		HBEN = 1	
	UNIPOLAR (UNI/BIP = 1)		BIPOLAR (UNI/BIP = 0)	
D0	Bit 0 (LSB)	Bit 8		
D1	Bit 1	Bit 9		
D2	Bit 2	Bit 10		
D3	Bit 3	Bit 11 (MSB)		
D4	Bit 4	Bit 11	0	
D5	Bit 5	Bit 11	0	
D6	Bit 6	Bit 11	0	
D7	Bit 7	Bit 11	0	

アプリケーション情報

パワーオンリセット

最初に電源が投入された時には、内部パワーオンリセット回路がMAX1290/MAX1292を外部クロックモード状態で起動し、TNTをハイに設定します。電源が安定化した後の内部リセット時間は10μsです。この時、変換は行わないで下さい。内部リファレンスを使用する場合は、VREFが安定するのに500μsを要します。

内部及び外部リファレンス

MAX1290/MAX1292は、内部又は外部リファレンス電圧を使用できます。外部リファレンス電圧は、直接REF又はREFADJに接続できます。

いずれの製品も、内部バッファはREFで+2.5Vを供給するように設計されています。内部でトリミングされた+1.22Vリファレンスが利得+2.05V/Vでバッファされています。

内部リファレンス

内部リファレンスの場合、フルスケール範囲はユニポーラ入力の場合+2.5V、バイポーラ入力の場合±1.25Vです。内部リファレンスバッファは、リファレンス電圧の微調整(±100mV)が可能になっています(図7)。

注記: リファレンスバッファは、REFとGNDの間の外部コンデンサ(4.7μF min)で補償される必要があることに注意して下さい。これはリファレンスノイズとADCからのスイッチングスパイクを低減するためです。リファレンスのノイズをさらに小さくするには、REFADJとGNDの間に0.01μFコンデンサを接続して下さい。

外部リファレンス

MAX1290とMAX1292はいずれも、内部リファレンスバッファンプの入力(REFADJ)又は出力(REF)において外部リファレンスに接続できます。

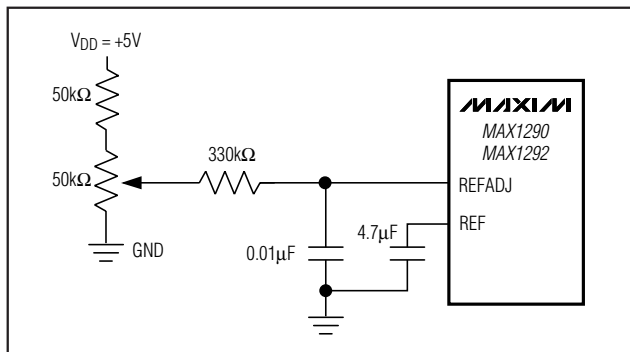


図7. 外部ポテンショメータを使用したリファレンス電圧調整

REFADJ入力を使用すると、外部リファレンスをバッファする必要がなくなります。REFADJの入力インピーダンスは17kΩ(typ)です。

外部リファレンスをREFに印加する場合は、REFADJをVDDに接続することによって内部リファレンスバッファをディセーブルして下さい。REFにおけるDC入力抵抗は25kΩであるため、REFにおける外部リファレンスは変換中に最大200μAのDC負荷電流を供給し、出力インピーダンスが10Ω以下であることが必要です。リファレンスの出力インピーダンスがこれよりも大きかったり、ノイズが大きい場合には、REFピンの近くで4.7μFコンデンサを使用してバイパスして下さい。

パワーダウンモード

変換の合間にコンバータを低電流シャットダウン状態にすることによって、電力を節約することができます。制御バイトのD6及びD7を使用して、スタンバイモード又はシャットダウンモードを選択して下さい(表1及び2)。いずれのソフトウェアパワーダウンモードにおいてもパラレルインタフェースはアクティブのままですが、ADコンバートは行いません。

スタンバイモード

スタンバイモードにおいては、消費電流が1mA(typ)です。素子は、次のWRの立上がりエッジでパワーアップし、変換可能な状態になります。このようにターンオンが速いため、400ksps以下の変換速度において大幅な省電力が可能です。

シャットダウンモード

シャットダウンモードにおいては、自己消費電流を費やす全てのチップ機能がターンオフされ、その時の変換が完了した直後に標準消費電流が2μAに低下します。WR立上がりエッジで、MAX1290/MAX1292はシャットダウンモードを終了して通常動作に戻ります。4.7μFのリファレンスバイパスコンデンサを使用してフル12ビット精度を実現するには、パワーアップの後に500μs

400ksps、+5V、8/4チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

が必要です。この500 μ sをフルパワーモードではなくスタンバイモードで待つと、消費電力を3分の1以下に減らすことができます。外部リファレンスを使用する場合、パワーアップ後の待ち時間は僅か50 μ sで済みます。スタンバイモードに入るには、制御バイトでスタンバイモードを指定してダミーの変換を行って下さい。

注記：REFとGNDの間のバイパスコンデンサが4.7 μ Fよりも大きいと、パワーアップ遅延が長くなります。

伝達関数

表6に、ユニポーラ及びバイポーラモードのフルスケール電圧範囲を示します。

図8に公称ユニポーラ入力/出力(I/O)伝達関数を、図9にバイポーラ(I/O)伝達関数を示します。コード遷移は、連続する整数のLSB値同士の間で起こります。出力コードはバイナリで、1LSB = (V_{REF}/4096)です。

最大サンプリング速度/ 475kspsを実現する方法

最大クロック周波数7.6MHzで動作している時、19クロックサイクル毎に変換を完了することにより仕様のスループット400kspsを実現できます。19サイクルのうちわけは、1書き込みサイクル、3アキュイジションサイクル、13変換サイクル、及び2読取りサイクルです。これは、次の制御バイトが書き込まれる前に最後の変換結果が読み取られると仮定しています。さらに速くするために、次の変換のアキュイジションサイクルを開始するための制御ワードを先に書き込んで、その後バスから前の変換の結果を読み取るようにすると、最大475kspsのスループットを実現できます(図10)。この技法を使用すると、16クロックサイクル毎に変換を完了できます。アキュイジション中又は変換中にデータバスでスイッチングが起こると電源ノイズの原因となり、真の12ビット性能を実現することが難しくなることに注意して下さい。

レイアウト、グラウンド、及びバイパス

最高の性能を得るには、プリント回路基板を使用して下さい。デジタル信号ラインとアナログ信号ラインを分離するレイアウトが必要となるため、ワイヤラップ構成は推奨できません。アナログとデジタルライン

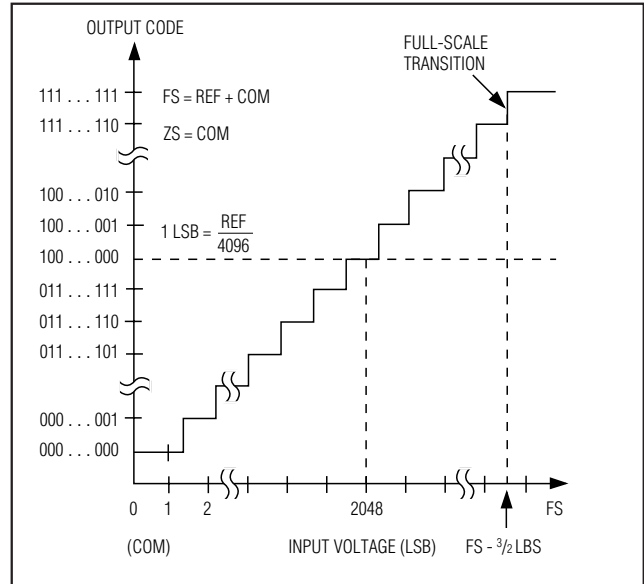


図8. ユニポーラ伝達関数

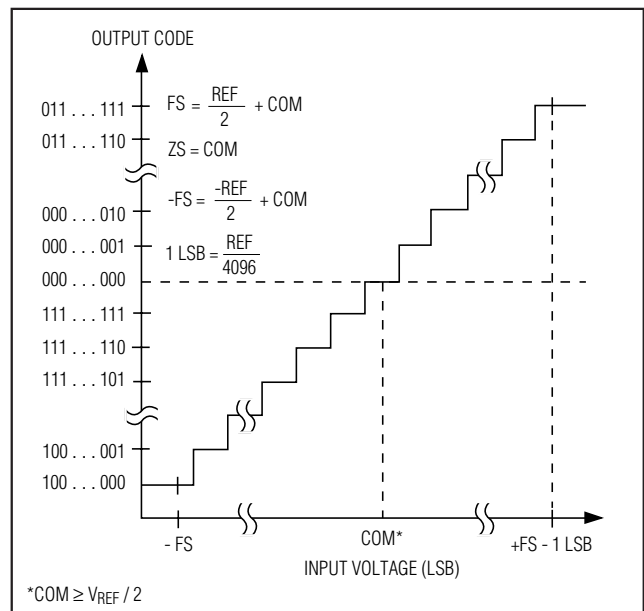


図9. バイポーラ伝達関数

表6. ユニポーラ及びバイポーラ動作のフルスケール及びゼロスケール

UNIPOLAR MODE		BIPOLAR MODE	
Full Scale	V _{REF} + COM	Positive Full Scale	V _{REF} /2 + COM
Zero Scale	COM	Zero Scale	COM
—	—	Negative Full Scale	-V _{REF} /2 + COM

400ksps、+5V、8/4チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

を互いに並行に走らせないで下さい。又、デジタルラインがADCパッケージの下に配置されないようにして下さい。アナログとデジタルのプリント基板グランド部分は別々にして、2つのグランドシステム(アナログとデジタル)が1つのスターポイント(図11)だけで接続されるようにして下さい。ノイズを排除するために、このスターグランドから電源へのグランドリターンはできるだけ短くすると共に、低インピーダンスにして下さい。デジタル信号は、敏感なアナログ及びリファレンス入力から離して配線して下さい。

電源(V_{DD})内の高周波ノイズがADCの高速コンパレータに影響を与える可能性があります。V_{DD}は、MAX1290/MAX1292にできるだけ近いところで並列の0.1 μ F及び4.7 μ Fコンデンサを使用してスターグランドにバイパスして下さい。最高の電源ノイズ除去比を得るために、コンデンサのリード線をできるだけ短くして下さい。電源のノイズが特に大きい場合は、減衰抵抗(5 Ω)を接続して下さい。

用語の定義

積分非直線性

積分非直線性(INL)は、実際の伝達関数値の直線からの偏差です。この直線は、ベストストレートラインフィットあるいはオフセット及び利得誤差をヌル(ゼロ)にした後に、伝達関数のエンドポイント間を結んだ線です。MAX1290/MAX1292のINLパラメータは、エンドポイント法を使用して測定されます。

微分非直線性

微分非直線性(DNL)は、実際のステップの高さと1LSBの理想的な値の間の差です。DNL誤差の仕様が1LSB未満であれば、そのDACはミッシングコードがないこと、及びコードが単調性であることが保証されます。

アパーチャジッタ

アパーチャジッタ(t_{AJ})は、サンプルとサンプル間の時間のばらつきです。

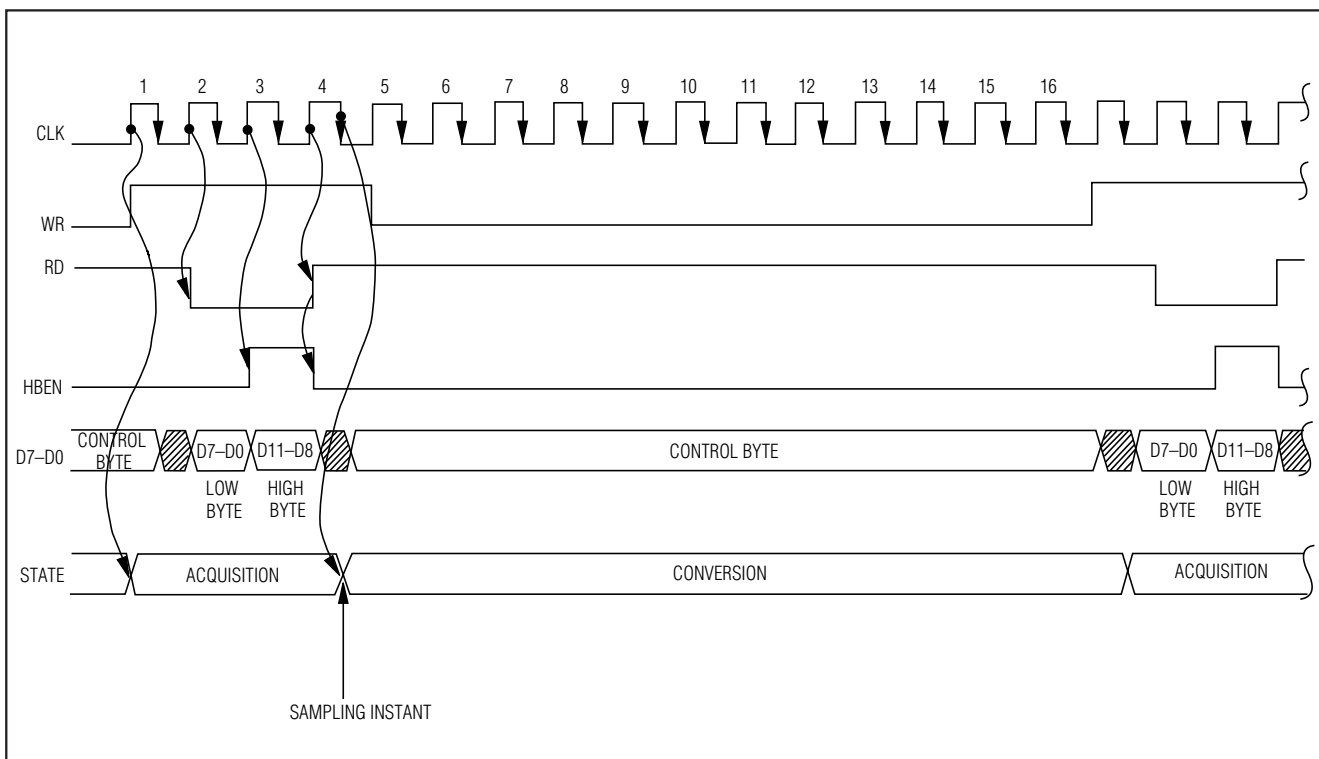


図10. 最も速い変換のタイミング図

400ksps、+5V、8/4チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

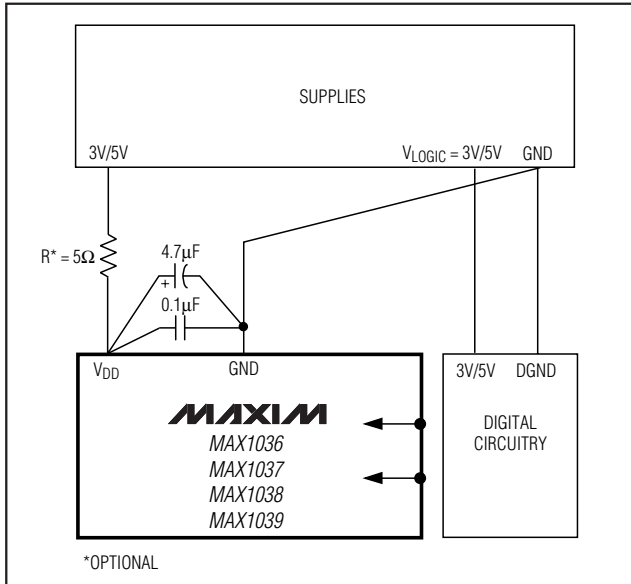


図11. 電源及びグランド接続

アパーチャディレイ

アパーチャディレイ(t_{AD})は、サンプリングクロックの立上がりエッジと実際にサンプルが取られる瞬間の間の時間です。

信号対雑音比

デジタルサンプルから完璧に再構築された波形の場合、信号対雑音比SNRはフルスケールアナログ入力(RMS値)のRMS量子化エラー(残留エラー)に対する比です。理想的な最小アナログデジタルノイズは量子化エラーのみに起因し、ADCの分解能(Nビット)によって直接決まります。

$$SNR = (6.02 \times N + 1.76) \text{dB}$$

現実には、量子化ノイズの他にもサーマルノイズ、リファレンスノイズ、クロックジッタ等のノイズソースがあります。このため、SNRを計算する時はRMS信号とRMSノイズの比をとります。RMSノイズは基本波以外の全てのスペクトラル成分、最初の5つの高調波及びDCオフセットを含みます。

信号対雑音+歪み(SINAD)

信号対雑音+歪み(SINAD)は、基本入力周波数のRMS振幅とその他全てのADC出力信号のRMS等値の比です。

$$SINAD(\text{dB}) = 20 \times \log(\text{信号}_{\text{RMS}} / \text{ノイズ}_{\text{RMS}})$$

有効ビット数

有効ビット数(ENOB)は、特定の入力周波数及びサンプリングレートにおけるADCの包括的な精度です。理想的なADCの誤差は、量子化ノイズのみからなっています。入力範囲がADCのフルスケール範囲に等しい場合、有効ビット数は次式で計算できます。

$$ENOB = (SINAD - 1.76) / 6.02$$

全高調波歪み(THD)

全高調波歪み(THD)は、入力信号の最初の5つの高調波RMS和と基本波そのものの比です。これは次式で表されます。

$$THD = 20 \times \log \left(\sqrt{(V_2^2 + V_3^2 + V_4^2 + V_5^2)} / V_1 \right)$$

ここで、 V_1 は基本波の振幅、 $V_2 \sim V_5$ は2次～5次高調波の振幅です。

スプリアスフリーダイナミックレンジ

スプリアスフリーダイナミックレンジ(SFDR)は、基本波(最大信号成分)のRMS振幅と次に大きな歪み成分のRMS値の比です。

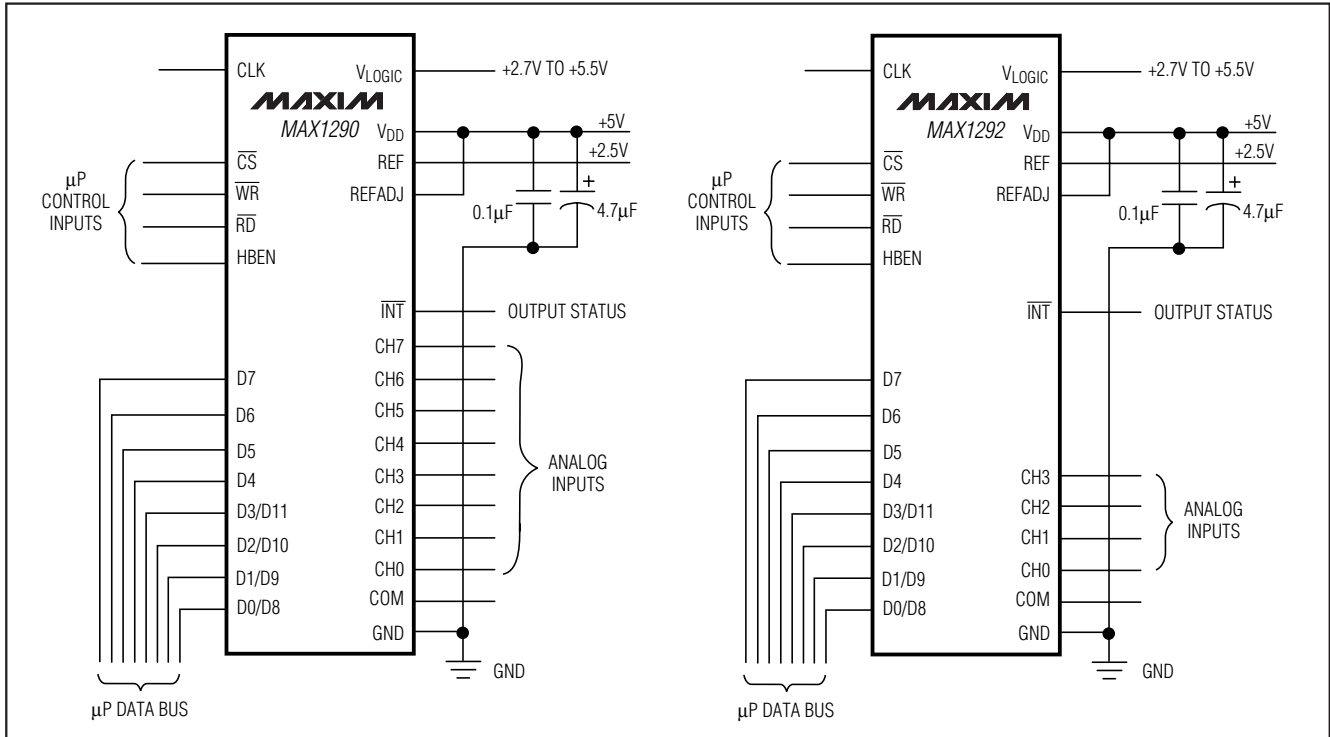
チップ情報

TRANSISTOR COUNT: 5781

SUBSTRATE CONNECTED TO GND

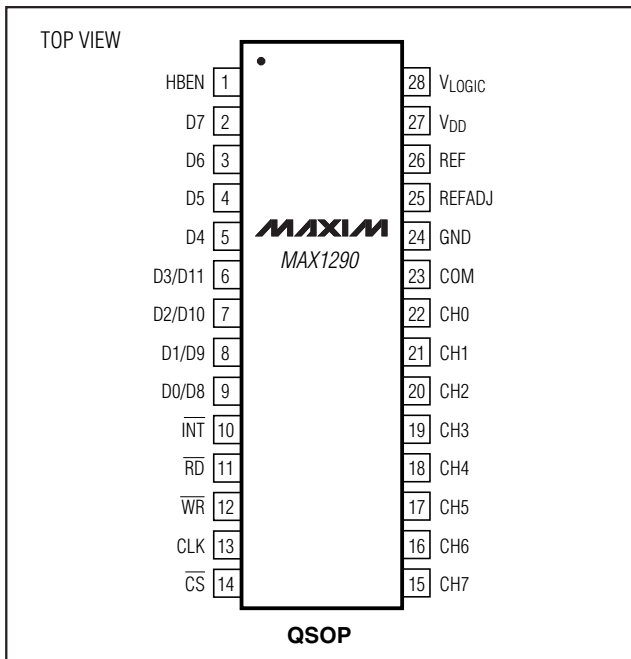
400ksps、+5V、8/4チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

標準動作回路



MAX1290/MAX1292

ピン配置(続き)



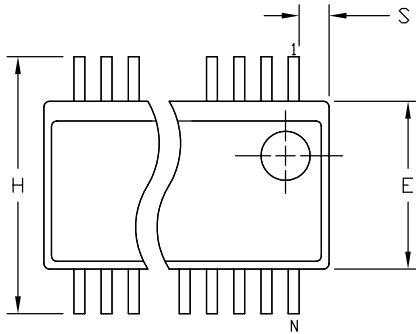
型番(続き)

PART	TEMP RANGE	PIN-PACKAGE	INL (LSB)
MAX1292ACEG	0°C to +70°C	24 QSOP	±0.5
MAX1292BCEG	0°C to +70°C	24 QSOP	±1
MAX1292AEEG	-40°C to +85°C	24 QSOP	±0.5
MAX1292BEEG	-40°C to +85°C	24 QSOP	±1

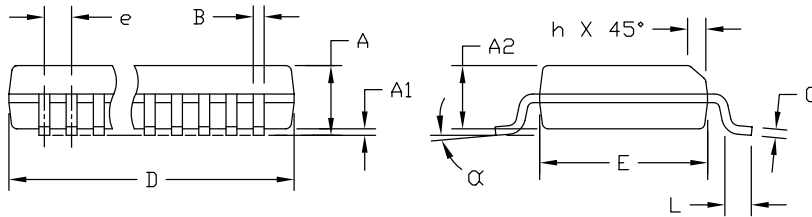
400ksps、+5V、8/4チャンネル、12ビットADC +2.5Vリファレンス及びパラレルインタフェース付

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	.061	.068	1.55	1.73
A1	.004	.0098	0.102	0.249
A2	.055	.061	1.40	1.55
B	.008	.012	0.20	0.30
C	.0075	.0098	0.191	0.249
D	SEE VARIATIONS			
E	.150	.157	3.81	3.99
e	.025 BSC		0.635 BSC	
H	.230	.244	5.84	6.20
h	.010	.016	0.25	0.41
L	.016	.035	0.41	0.89
N	SEE VARIATIONS			
α	0°	8°	0°	8°



VARIATIONS:

	INCHES		MILLIMETERS		N
	MIN.	MAX.	MIN.	MAX.	
D	.189	.196	4.80	4.98	16 AB
S	.0020	.0070	0.05	0.18	
D	.337	.344	8.56	8.74	20 AD
S	.0500	.0550	1.270	1.397	
D	.337	.344	8.56	8.74	24 AE
S	.0250	.0300	0.635	0.762	
D	.386	.393	9.80	9.98	28 AF
S	.0250	.0300	0.635	0.762	

NOTES:

- 1). D & E DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS.
- 2). MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .006" PER SIDE.
- 3). CONTROLLING DIMENSIONS: INCHES.
- 4). MEETS JEDEC MO137.

<small>PROPRIETARY INFORMATION</small>	
<small>TITLE:</small> PACKAGE OUTLINE, QSOB .150", .025" LEAD PITCH	
<small>APPROVAL</small>	<small>DOCUMENT CONTROL NO.</small> 21-0055
<small>REV.</small> E	<small>REV.</small> 1/1

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

20 _____ **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**