

150ksps、12ビット、2チャンネルシングルエンド、 及び1チャンネル真の差動ADC

概要

MAX1286~MAX1289は、低コスト、マイクロパワー、シリアル出力、12ビットのA/Dコンバータ(ADC)で小型8ピンSOT23および8ピンTDFNパッケージで提供されます。MAX1286/MAX1288は+5Vの単一電源で動作し、MAX1287/MAX1289は+3Vの単一電源で動作します。これらデバイスは逐次比較型ADC、自動シャットダウン、高速ウェイクアップ(1.4 μ s)、及び高速3線インタフェースを特徴としています。電力消費は最大サンプリングレート150kspsにおいて僅か0.5mW($V_{DD}=+2.7V$)となっています。変換間のAutoShutdown™(0.2 μ A)により低速のスループットレートにおいて電力消費が削減されます。MAX1286/MAX1287は2チャンネル、シングルエンド動作、及び0~ V_{REF} の入力信号を受け入れます。MAX1288/MAX1289は0~ V_{REF} の真の差動入力を受け入れます。データは3線SPI™/QSPI™/MICROWIRE™コンパチブルのシリアルインタフェースを介した外部クロックを使ってアクセスします。優れたダイナミック性能、低電力、使いやすさ、及び小型パッケージサイズによって、これらコンバータはポータブルバッテリー駆動のデータ取得アプリケーション、及び低消費電力や最小スペースを必要とするその他のアプリケーションに最適です。

アプリケーション

低電力データ取得システム
ポータブル温度モニタ
フローメータ
タッチスクリーン

AutoShutdownはMaxim Integrated Products, Inc.の登録商標です。
SPI及びQSPIはMotorola, Inc.の登録商標
MICROWIREはNational Semiconductor Corp.の登録商標です。

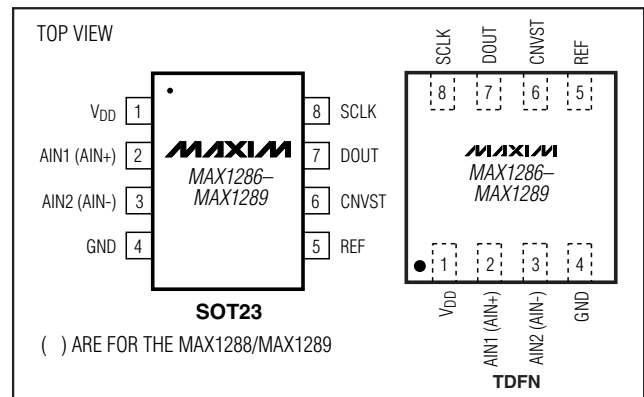
特長

- ◆ 単一電源動作
 - +3V(MAX1287/MAX1289)
 - +5V(MAX1286/MAX1288)
- ◆ 変換間のAutoshutdown
- ◆ 低電力
 - 150kspsで245 μ A
 - 100kspsで150 μ A
 - 10kspsで15 μ A
 - 1kspsで2 μ A
 - シャットダウン時0.2 μ A
- ◆ 真の差動トラック/ホールド、150kHzサンプリングレート
- ◆ ソフト設定可能なユニポーラ/バイポーラ変換(MAX1288/MAX1289のみ)
- ◆ DSP及びプロセッサ用
SPI/QSPI/MICROWIREコンパチブルインタフェース
- ◆ 内蔵変換クロック
- ◆ パッケージ：8ピンSOT23および8ピンTDFN

型番

PART	PIN-PACKAGE	TOP MARK	PKG CODE
MAX1286EKA-T	8 SOT23-8	AAFA	K8F-4
MAX1286ETA+T	8 TDFN-8	+AFR	T833-1
MAX1287EKA-T	8 SOT23-8	AAEW	K8F-4
MAX1287ETA+T	8 TDFN-8	+AFN	T833-1
MAX1288EKA-T	8 SOT23-8	AAFC	K8F-4
MAX1288ETA+T	8 TDFN-8	+AFT	T833-1
MAX1289EKA-T	8 SOT23-8	AAEY	K8F-4
MAX1289ETA+T	8 TDFN-8	+AFP	T833-1

ピン配置



150ksps、12ビット、2チャンネルシングルエンド、及び1チャンネル真の差動ADC

ABSOLUTE MAXIMUM RATINGS

V_{DD} to GND-0.3V to +6V
 CNVST, SCLK, DOUT to GND.....-0.3V to (V_{DD} + 0.3V)
 REF, AIN1 (AIN+), AIN2 (AIN-) to GND.....-0.3V to (V_{DD} + 0.3V)
 Maximum Current into Any Pin.....50mA
 Continuous Power Dissipation (T_A = +70°C)
 8-Pin SOT23 (derate 9.70mW/°C above T_A = +70°C) ...696mW

Operating Temperature Range-40°C to +85°C
 Storage Temperature Range-60°C to +150°C
 Lead Temperature (soldering, 10s)+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = +2.7V to +3.6V, V_{REF} = +2.5V for MAX1287/MAX1289, or V_{DD} = +4.75V to +5.25V, V_{REF} = +4.096V for MAX1286/MAX1288, 0.1µF capacitor at REF, f_{SCLK} = 8MHz (50% duty cycle), AIN- = GND for MAX1288/MAX1289. T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY (Note 1)						
Resolution			12			Bits
Relative Accuracy (Note 2)	INL				±1.0	LSB
Differential Nonlinearity	DNL	No missing codes over temperature			±1.0	LSB
Offset Error				±2	±4	LSB
Gain Error (Note 3)				±2	±4	LSB
Gain Temperature Coefficient				±0.4		ppm/°C
Offset Temperature Coefficient				±0.4		ppm/°C
Channel-to-Channel Offset Matching				±0.1		LSB
Channel-to-Channel Gain Matching				±0.1		LSB
Input Common-Mode Rejection	CMR	V _{CM} = 0V to V _{DD} ; zero scale input		±0.1		mV
DYNAMIC SPECIFICATIONS: (f _{IN} (sine-wave) = 10kHz, V _{IN} = 4.096V _{p-p} for MAX1286/MAX1288 or V _{IN} = 2.5V _{p-p} for MAX1287/MAX1289, 150ksps, f _{SCLK} = 8MHz, (50% duty cycle) AIN- = GND for MAX1288/MAX1289)						
Signal to Noise Plus Distortion	SINAD			70		dB
Total Harmonic Distortion (up to the 5 th harmonic)	THD			-82		dB
Spurious-Free Dynamic Range	SFDR			86		dB
Full-Power Bandwidth		-3dB point		1		MHz
Full-Linear Bandwidth		SINAD > 68dB		100		kHz
CONVERSION RATE						
Conversion Time	t _{CONV}	Does not include t _{ACQ}			3.7	µs
T/H Acquisition Time	t _{ACQ}				1.4	µs
Aperture Delay				30		ns
Aperture Jitter				<50		ps
Maximum Serial Clock Frequency	f _{SCLK}		8			MHz
Duty Cycle			30		70	%
ANALOG INPUT						
Input Voltage Range (Note 4)		Unipolar	0		V _{REF}	V
		Bipolar	-V _{REF} /2		V _{REF} /2	

150ksps、12ビット、2チャンネルシングルエンド、 及び1チャンネル真の差動ADC

MAX1286-MAX1289

ELECTRICAL CHARACTERISTICS (continued)

(V_{DD} = +2.7V to +3.6V, V_{REF} = +2.5V for MAX1287/MAX1289, or V_{DD} = +4.75V to +5.25V, V_{REF} = +4.096V for MAX1286/MAX1288, 0.1µF capacitor at REF, f_{SCLK} = 8MHz (50% duty cycle), AIN- = GND for MAX1288/MAX1289. T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
Input Leakage Current		Channel not selected or conversion stopped		±0.01	±1	µA	
Input Capacitance				34		pF	
EXTERNAL REFERENCE INPUT							
Input Voltage Range	V _{REF}		1.0		V _{DD} +50mV	V	
Input Current	I _{REF}	V _{REF} = +2.5V at 150ksps		16	30	µA	
		V _{REF} = +4.096V at 150ksps		26	45		
		Acquisition/Between conversions		±0.01	±1		
DIGITAL INPUTS/OUTPUTS (SCLK, CNVST, DOUT)							
Input Low Voltage	V _{IL}				0.8	V	
Input High Voltage	V _{IH}		V _{DD} -1			V	
Input Leakage Current	I _L			±0.01	±1.0	µA	
Input Capacitance	C _{IN}			15		pF	
Output Low Voltage	V _{OL}	I _{SINK} = 2mA			0.4	V	
		I _{SINK} = 4mA			0.8	V	
Output High Voltage	V _{OH}	I _{SOURCE} = 1.5mA	V _{DD} -0.5			V	
Three-State Leakage Current		CNVST = GND		±0.05	±10	µA	
Three-State Output Capacitance	C _{OUT}	CNVST = GND		15		pF	
POWER REQUIREMENTS							
Positive Supply Voltage	V _{DD}	MAX1286/MAX1288	4.75	5.0	5.25	V	
		MAX1287/MAX1289	2.7	3.0	3.6		
Positive Supply Current	I _{DD}	V _{DD} = +3V	f _{SAMPLE} = 150ksps		245	350	µA
			f _{SAMPLE} = 100ksps		150		
			f _{SAMPLE} = 10ksps		15		
			f _{SAMPLE} = 1ksps		2		
		V _{DD} = +5V	f _{SAMPLE} = 150ksps		320	400	
			f _{SAMPLE} = 100ksps		215		
			f _{SAMPLE} = 10ksps		22		
			f _{SAMPLE} = 1ksps		2.5		
Shutdown				0.2	5		
Positive Supply Rejection	PSR	V _{DD} = 5V ±5%; full-scale input		±0.3	±1.0	mV	
		V _{DD} = +2.7V to +3.6V; full-scale input		±0.4	±1.2		

150ksps、12ビット、2チャンネルシングルエンド、及び1チャンネル真の差動ADC

TIMING CHARACTERISTICS (Figures 1, 2, and 5)

($V_{DD} = +2.7V$ to $+3.6V$, $V_{REF} = +2.5V$, $0.1\mu F$ capacitor at REF, or $V_{DD} = +4.75V$ to $+5.25V$ for MAX1286/MAX1288, $V_{REF} = +4.096V$, $0.1\mu F$ capacitor at REF, $f_{SCLK} = 8MHz$ (50% duty cycle); $A_{IN-} = GND$ for MAX1288/MAX1289. $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values at $T_A = +25^\circ C$.)

PARAMETERS	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCLK Pulse Width High	t_{CH}		38			ns
SCLK Pulse Width Low	t_{CL}		38			ns
SCLK Fall to DOUT Transition	t_{DOT}	$C_{LOAD} = 30pF$			60	ns
SCLK Rise to DOUT Disable	t_{DOD}	$C_{LOAD} = 30pF$	100		500	ns
CNVST Rise to DOUT Enable	t_{DOE}	$C_{LOAD} = 30pF$			80	ns
CNVST Fall to MSB Valid	t_{CONV}	$C_{LOAD} = 30pF$			3.7	μs
CNVST Pulse Width	t_{CSW}		30			ns

Note 1: Unipolar mode.

Note 2: Relative accuracy is the deviation of the analog value at any code from its theoretical value after the full-scale range has been calibrated.

Note 3: Offset nulled.

Note 4: The absolute input voltage range for the analog inputs is from GND to V_{DD} .

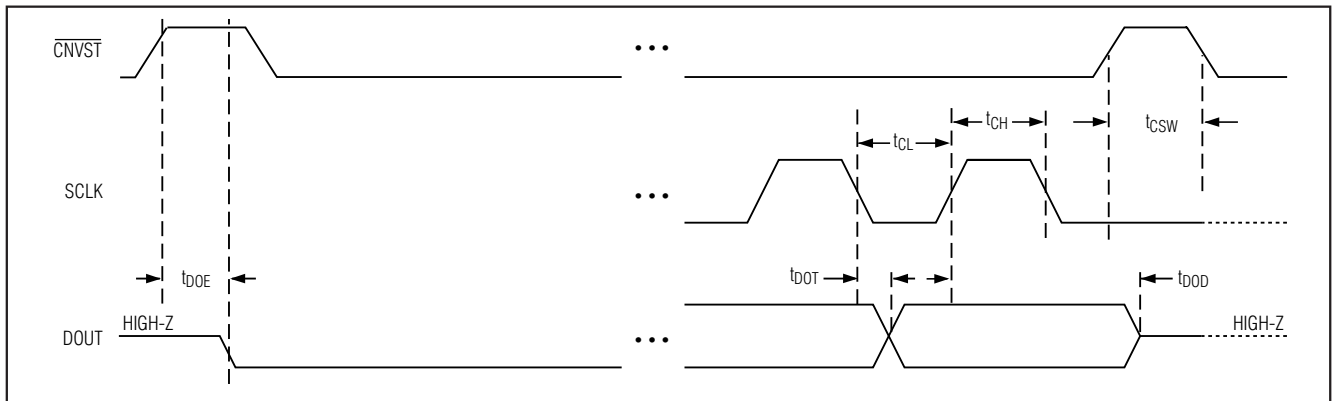


Figure 1. Detailed Serial-Interface Timing Sequence

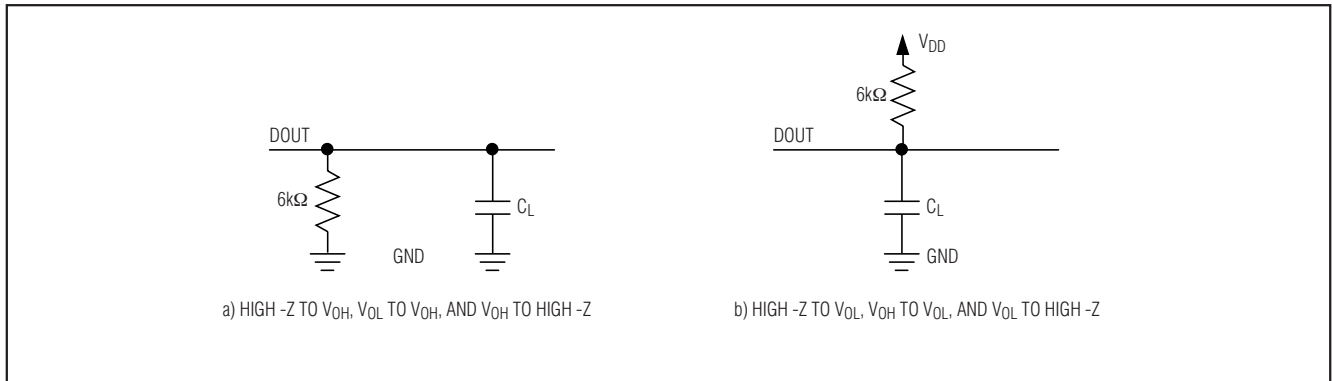


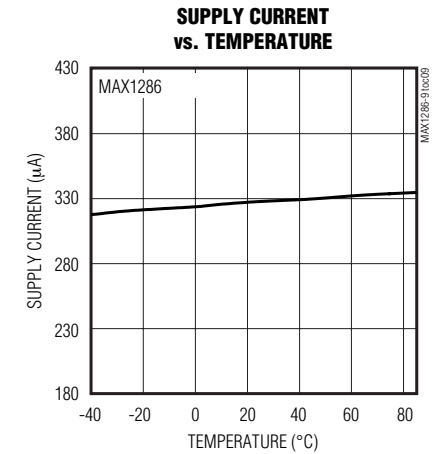
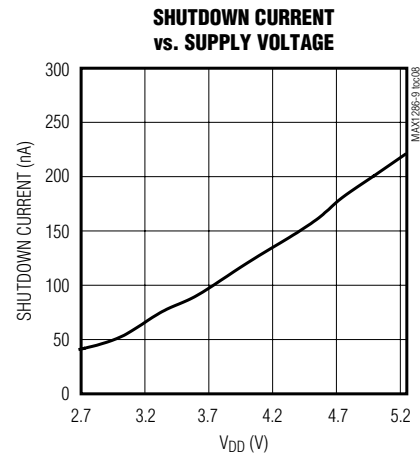
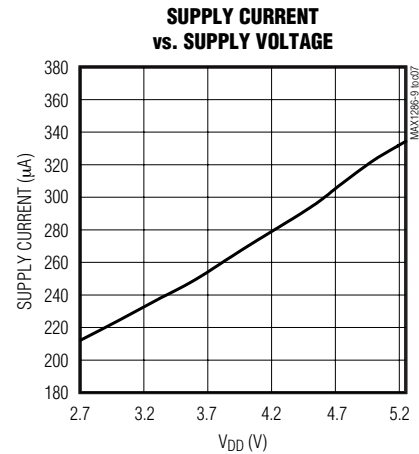
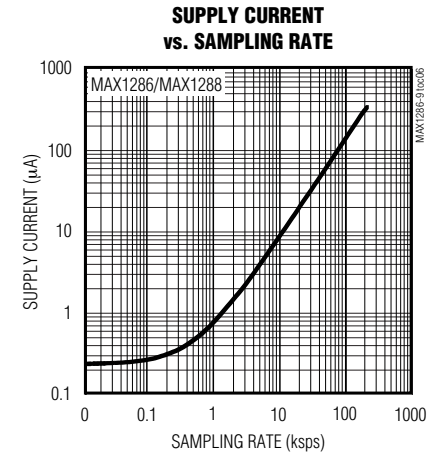
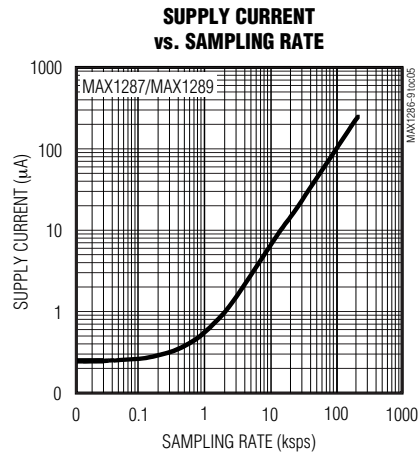
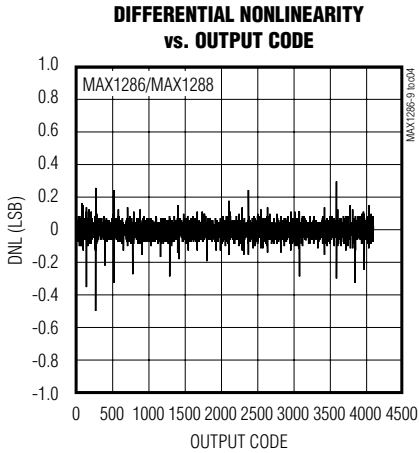
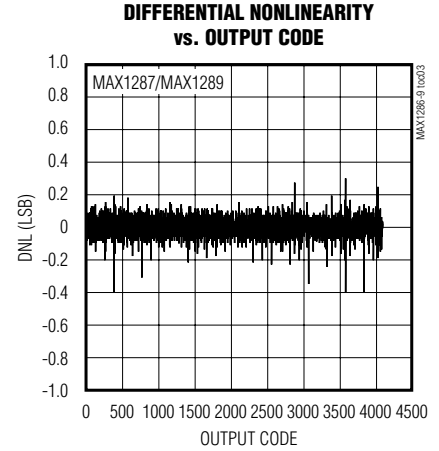
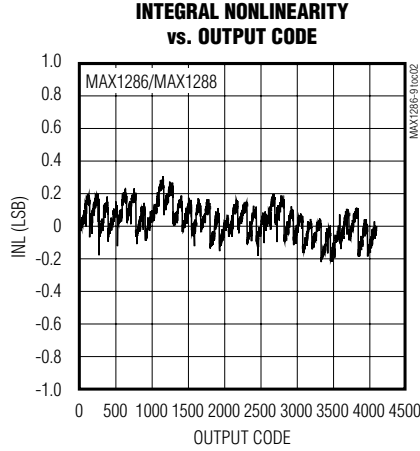
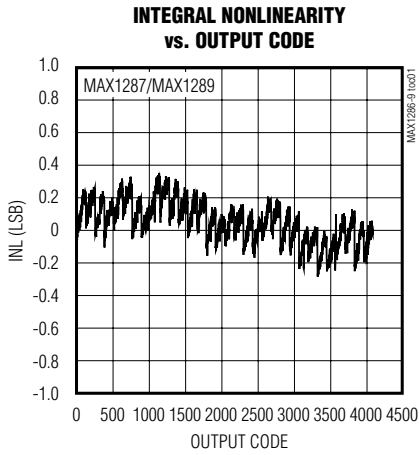
Figure 2. Load Circuits for Enable/Disable Times

150kps、12ビット、2チャンネルシングルエンド、 及び1チャンネル真の差動ADC

標準動作特性

($V_{DD} = +3V$, $V_{REF} = +2.5V$ for MAX1287/MAX1289. $V_{DD} = +5V$, $V_{REF} = +4.096V$ for MAX1286/MAX1288; $0.1\mu F$ capacitor at REF, $f_{SCLK} = 8MHz$ (50% duty cycle); $A_{IN-} = GND$ for MAX1288/MAX1289, $T_A = +25^\circ C$, unless otherwise noted.)

MAX1286-MAX1289

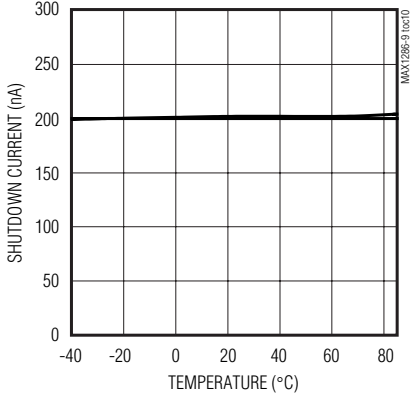


150ksps、12ビット、2チャンネルシングルエンド、及び1チャンネル真の差動ADC

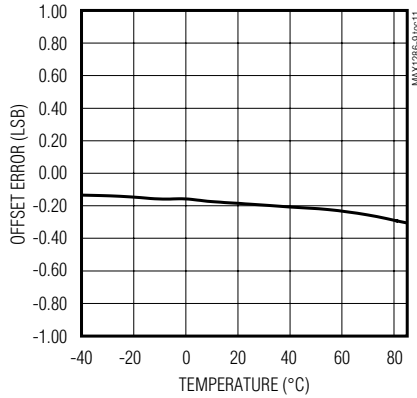
標準動作特性(続き)

($V_{DD} = +3V$, $V_{REF} = +2.5V$ for MAX1287/MAX1284. $V_{DD} = +5V$, $V_{REF} = +4.096V$ for MAX1286/MAX1288; 0.1 μ F capacitor at REF, fSCLK = 8MHz (50% duty cycle); AIN- = GND for MAX1288/MAX1289, $T_A = +25^\circ C$, unless otherwise noted.)

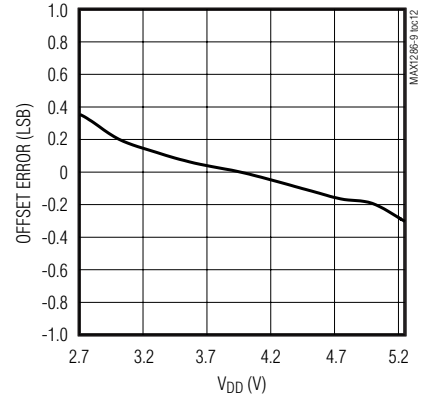
SHUTDOWN CURRENT vs. TEMPERATURE



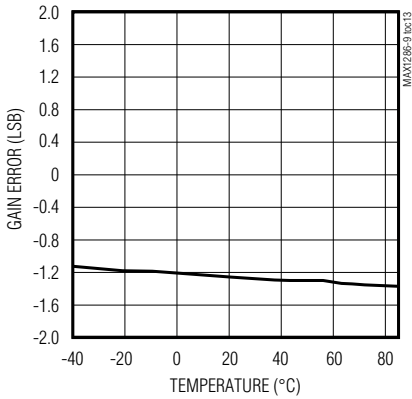
OFFSET ERROR vs. TEMPERATURE



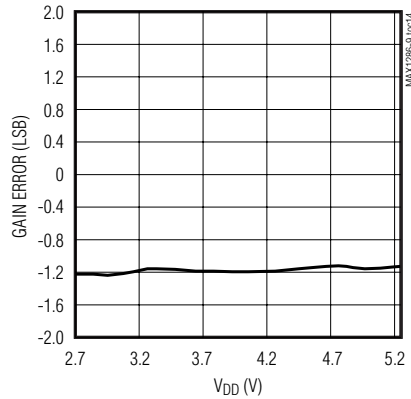
OFFSET ERROR vs. SUPPLY VOLTAGE



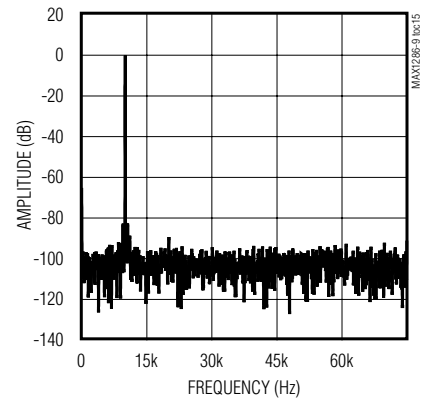
GAIN ERROR vs. TEMPERATURE



GAIN ERROR vs. SUPPLY VOLTAGE



FFT PLOT (SINAD)



150ksps、12ビット、2チャンネルシングルエンド、 及び1チャンネル真の差動ADC

端子説明

端子	名称		機能
	MAX1286 MAX1287	MAX1288 MAX1289	
1	V _{DD}	V _{DD}	正電源。+2.7V~3.6V(MAX1287/MAX1289)、+4.75V+5.25V(MAX1286/MAX1288)。0.1μFコンデンサでGNDへバイパスして下さい。
2	AIN1	AIN+	アナログ入力チャンネル1(MAX1286/MAX1287)、又は正アナログ入力(MAX1288/MAX1289)
3	AIN2	AIN-	アナログ入力チャンネル2(MAX1286/MAX1287)、又は負アナログ入力(MAX1288/MAX1289)
4	GND	GND	グラウンド
5	REF	REF	外部リファレンス電圧入力。アナログ電圧範囲を設定します。0.1μFコンデンサでGNDへバイパスして下さい。
6	CNVST	CNVST	変換開始。立上りエッジがICに電力を投入し、トラックモードにします。CNVSTの立下りエッジで、デバイスはホールドモードに入り、変換を開始します。CNVSTは入力チャンネルも(MAX1286/MAX1287)又は入力の極性(MAX1288/MAX1289)も選択します。
7	DOUT	DOUT	シリアルデータ出力。DOUTはSCLKの立下りエッジを移行します。DOUTは変換開始時にローなり、変換終了時にMSBを呈示します。DOUTはデータが完全にクロックアウトされるとハイインピーダンスになります。
8	SCLK	SCLK	シリアルクロック入力。DOUTでMSBを初めにデータをクロックアウトします。

詳細

MAX1286~MAX1289ADCは逐次比較変換技法(SAR)と内蔵トラック/ホールド(T/H)回路を用いてアナログ信号を12ビットデジタル出力へ変換します。

シリアルインタフェースはマイクロプロセッサ(μP)に容易なインタフェースを提供します。図3はMAX1286/

MAX1287(2チャンネル、シングルエンド)及びMAX1288/MAX1289(1チャンネル、真の差動)の簡素化された内部構成を示しています。

真の差動アナログ入力T/H

図4の等価回路は、トラック/ホールド(T/H)、入力マルチプレクサ、コンパレータ、スイッチトコンデンサDACで構成されたMAX1286~MAX1289入力アーキテクチャを示しています。T/HはそのトラックモードにCNVSTの立上りエッジで入ります。正入力コンデンサはAIN1又はAIN2(MAX1286/MAX1287)又はAIN+(MAX1288/MAX1289)に接続されています。負入力コンデンサはGND(MAX1286/MAX1287)又はAIN-(MAX1288/MAX1289)に接続されています。T/HはCNVSTの立下りエッジでホールドモードに入り、サンプリングされた正入力電圧と負入力電圧の差分が変換されます。T/Hが入力信号を取得するために必要な時間は入力容量がチャージされる時間で決まります。入力信号のソースインピーダンスが高ければ、アキュイジション時間は長くなり、CNVSTはより長い時間ハイに維持されなければなりません。アキュイジション時間 t_{ACQ} は、信号が取得されるに必要な最大時間とパワーアップ時間の和です。次式を使って計算されます。

$$t_{ACQ} = 9 \times (R_S + R_{IN}) \times 24pF + t_{PWR}$$

$R_{IN} = 1.5k\Omega$ の場合、 R_S は入力信号のソースインピーダンスで、 $t_{PWR} = 1\mu s$ がデバイスのパワーアップ時間です。

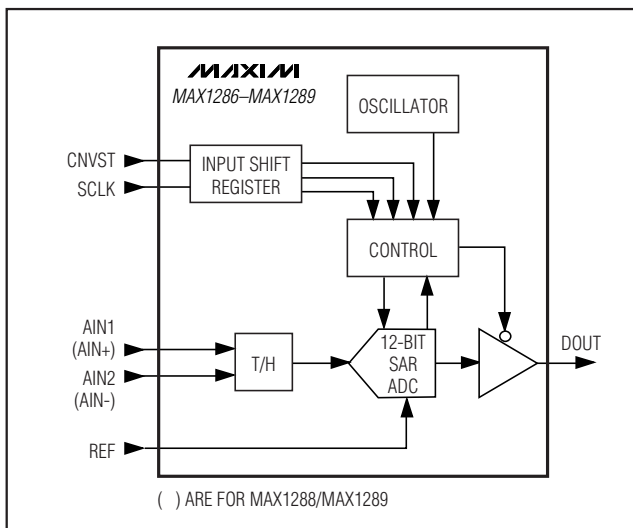


図3. 簡素化ファンクションダイアグラム

150kpsps、12ビット、2チャンネルシングルエンド、及び1チャンネル真の差動ADC

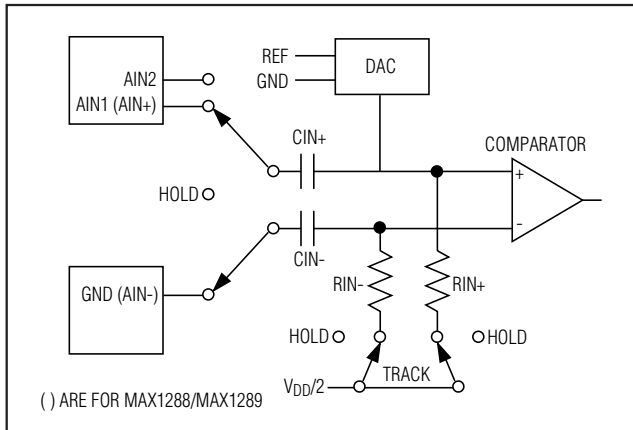


図4. 等価入力回路

注記： t_{ACQ} は 1.4μ s以下になることはなく、 300Ω 以下のソースインピーダンスはADCのAC性能に大きく影響することはありません。ハイインピーダンスソースは t_{ACQ} を長くするか、正と負のアナログ入力間に 1μ Fコンデンサを入れることによって実行できます。

AIN1又はAIN2の選択 (MAX1286/MAX1287)

MAX1286/MAX1287の2つの正入力チャンネルの1つをCNVSTピンを使って選択して下さい。AIN1が必要な場合(図5a)、ADCをパワーアップするためにCNVSTをハイで駆動し、AIN1を正入力コンデンサに接続したままT/Hをトラックモードにします。 t_{ACQ} が完全に信号を取得するためにCNVSTをハイで駆動します。CNVSTをローで駆動するとT/Hがホールドモードになります。ADCはここで変換を行い、自動的にシャットダウンします。MSBは 3.7μ s後、DOUTで呈示されます。データはSCLKを使ってクロックアウトできます。次の変換のためにCNVSTをハイで駆動する前に全ての12ビットのデータをクロックアウトします。CNVSTがハイで駆動される前に、全ての12ビットのデータがクロックアウトされなければ、次の変換のためにAIN2が選択されます。AIN2を必要とする場合(図5b)、CNVSTを少なくとも30ns間ローで駆動します。少なくとも30ns間ローで駆動した後、再度ハイで駆動すると、ADCがパワーアップして、AIN2を正入力コンデンサに接続したままT/Hをトラックモードにします。ここで、 t_{ACQ} が完全に信号を取得するためにCNVSTをハイに維持します。T/HをホールドモードにするためにCNVSTをローで駆動します。ADCはここで変換を行い、自動的にシャットダウンします。MSBは 3.7μ s後、DOUTで呈示されます。データはSCLKを使ってクロックアウトできます。CNVSTがハイで駆動する前に全ての12ビットのデータがクロックアウトされていないと、AIN2が次の変換に選択されます。

ユニポーラ/バイポーラ変換の選択 (MAX1288/MAX1289)

MAX1288/MAX1289のユニポーラ及びバイポーラモードで、CNVSTピンを使い真の差動変換を開始します。AIN+及びAIN-はCNVSTの立下りエッジでサンプリングされます。ユニポーラモードではAIN+は最大 V_{REF} までAIN-を超えることが可能です。出力フォーマットはストレートバイナリです。バイポーラモードではどちらかの入力が他方を最大 $V_{REF}/2$ まで超えることが可能です。出力フォーマットは2の補数です。

注記：両方のモードにおいて、AIN+とAIN-は V_{DD} を50mV以上超えないこと、あるいはGNDより50mV以上低くならないことが必要です。

ユニポーラモードを必要とする場合は(図5a)、ADCをパワーアップするためにCNVSTをハイで駆動し、AIN+とAIN-を入力コンデンサに接続したままT/Hをトラックモードにします。 t_{ACQ} が完全に信号を取得するためにCNVSTをハイに維持します。T/HをホールドモードにするためにCNVSTをローで駆動します。ADCはここで変換を行い、自動的にシャットダウンします。MSBは 3.7μ s後、DOUTで呈示されます。データはSCLKを使ってクロックアウトできます。次の変換にはCNVSTをハイで駆動する前に全ての12ビットのデータをクロックアウトします。CNVSTがハイで駆動される前に全ての12ビットのデータがクロックアウトされなければ、次の変換にバイポーラモードが選択されます。

バイポーラモードを必要とする場合(図5b)、CNVSTを少なくとも30ns間ハイで駆動します。次に少なくとも30ns間ローで駆動し、再度ハイで駆動します。ADCに電力投入し、AIN+とAIN-を入力コンデンサに接続したままT/Hをトラックモードにします。 t_{ACQ} が完全に信号を取得するためにCNVSTをハイにします。T/HをホールドモードにするためにCNVSTをローで駆動します。ADCはここで変換を行い、自動的にシャットダウンします。MSBは 3.7μ s後、DOUTで呈示されます。データはSCLKを使ってクロックアウトできます。CNVSTがハイで駆動する前に全ての12ビットのデータがクロックアウトされていないと、次の変換にバイポーラモードが選択されます。

入力帯域幅

ADC入力トラック回路は1MHz小信号帯域幅の入力トラック回路を装備しているため、高速トランジェント現象のデジタル化が可能で、アンダーサンプリング技法を使うことによってADCのサンプリングレートを超えた帯域幅で定期的信号を測定することが可能となります。高周波数信号が計測したい周波数帯域幅にエイリアシングしてくるのを防ぐためにアンチエイリアシングフィルタリングを推奨します。

150kps、12ビット、2チャンネルシングルエンド、 及び1チャンネル真の差動ADC

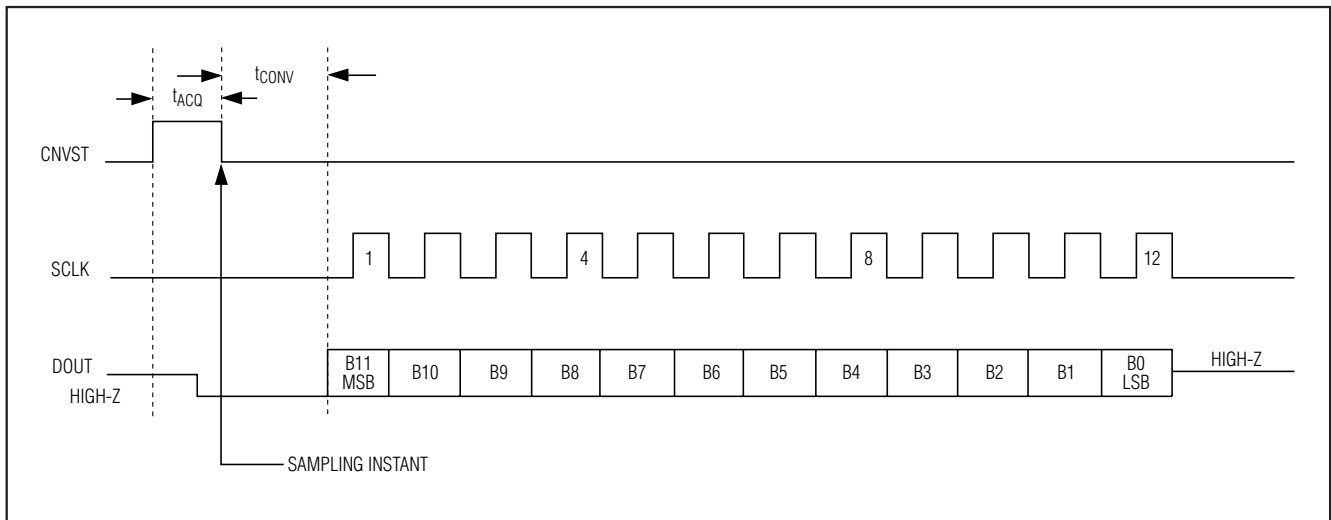


図5a. 単一変換AIN1対GND(MAX1286/MAX1287)、ユニポーラモードAIN+対AIN-(MAX1288/MAX1289)

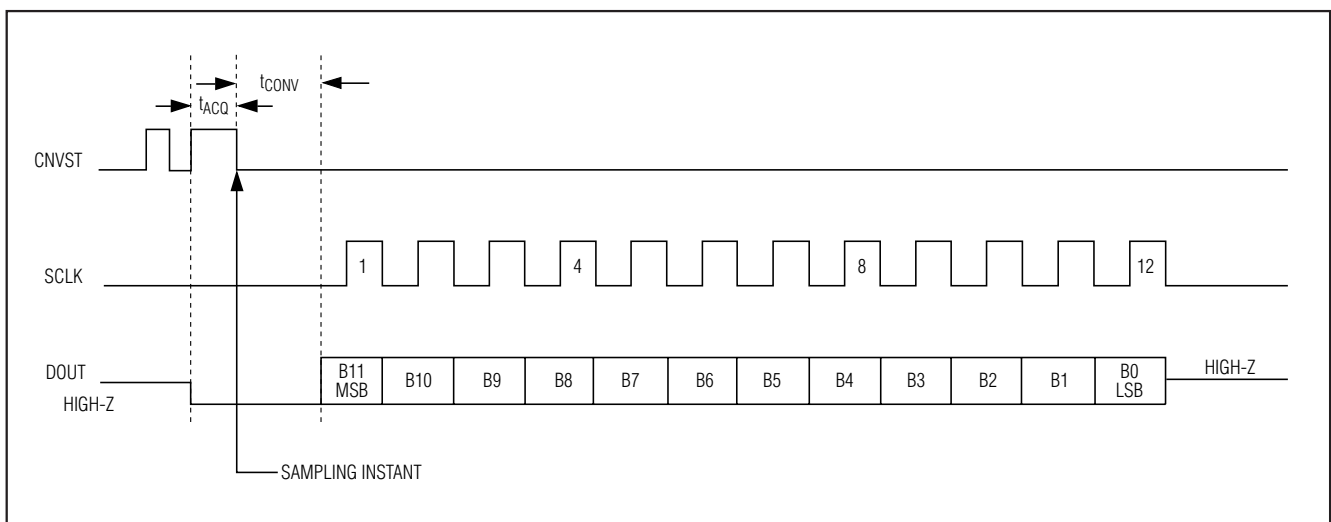


図5b. 単一変換AIN2対GND(MAX1286/MAX1287)、バイポーラモードAIN+対AIN-(MAX1288/MAX1289)

アナログ入力保護

アナログ入力を V_{DD} 及びGNDにクランプする内部保護ダイオードによって、デバイスに損傷を起こすことなく、アナログ入力端子を($GND-0.3V$)から($V_{DD}+0.3V$)の範囲でスイングすることが可能です。両入力とも正確な変換をおこなうためには、GNDよりも50mV以下にならないように、又 V_{DD} よりも50mV以上にならないようにして下さい。オフチャネルアナログ入力電圧が電源電圧以上になる場合は、入力電流を2mAに制限して下さい。

内部クロック

MAX1286~MAX1289は、4MHz規格クロックレートの10%以内の精度をもつ内部発振器で動作します。これは最悪時の変換時間 $3.7\mu s$ の結果となります。内部クロックは、システムマイクロプロセッサをSAR変換クロックの駆動から解除し、プロセッサの都合次第で、0~8MHz内のクロックレートで変換結果を読みとることを可能にします。

150ksp/s、12ビット、2チャンネルシングルエンド、及び1チャンネル真の差動ADC

出力データフォーマット

図5aと5bはMAX1286~MAX1289の変換タイミングを表したものです。12ビット変換結果はMSBが最初に呈示されるフォーマットで出力されます。DOUTのデータはSCLKの立下りエッジに移行します。12ビット全てはCNVSTが再度移行する前にクロックアウトされなければなりません。MAX1288/MAX1289では、データはユニポーラモードではストレートバイナリで、バイポーラモードにおいては2の補数となります。MAX1286/MAX1287ではデータは常にストレートバイナリとなります。

伝達関数

図6はMAX1286~MAX1289のユニポーラの伝達関数を示しています。図7はMAX1288/MAX1289のバイポーラの伝達関数を示しています。コード移行は連続整数LSB値の中間点で起こります。

アプリケーション情報

自動シャットダウンモード

CNVSTがローの時、MAX1286~MAX1289はパワーアップ後及び変換の間に自動シャットダウンの状況(<0.2μA)にデフォルトします。CNVSTの立上りエッジを検出するとデバイスに電源が投入されDOUTがローになり、トラックモードに入ります。CNVSTの立下りエッジを検出すると、デバイスはホールドモードになり、

変換を開始します。最大3.7μs後に、デバイスは変換を完了してシャットダウンに入り、MSBがDOUTで呈示されます。

外部リファレンス

MAX1286~MAX1289は外部リファレンスを必要とします。最高の性能を得るには0.1μFコンデンサを使って下さい。このリファレンス入力構成により、+1V~ $V_{DD} + 50mV$ の電圧範囲が可能となります。

標準インタフェース接続

MAX1286~MAX1289はSPI、QSPI、MICROWIREと完全にコンパチブルなシリアルインタフェースを特徴としています。シリアルインタフェースが使用できれば、CPUがADCのシリアルクロックを生成するようにCPUのシリアルインタフェースをマスタとして設定して下さい。最大8MHzまでのクロック周波数を選択して下さい。

変換方法

- 1) 変換間にCNVSTをローに維持するためにCPUに汎用I/Oラインを使用して下さい。
- 2) AIN1(MAX1286/MAX1287)又はユニポーラモード(MAX1288/MAX1289)を得るためにCNVSTをハイで駆動して下さい。AIN2(MAX1286/MAX1287)又はバイポーラモード(MAX1288/MAX1289)を得るためにCNVSTをロー、そしてハイで駆動して下さい。

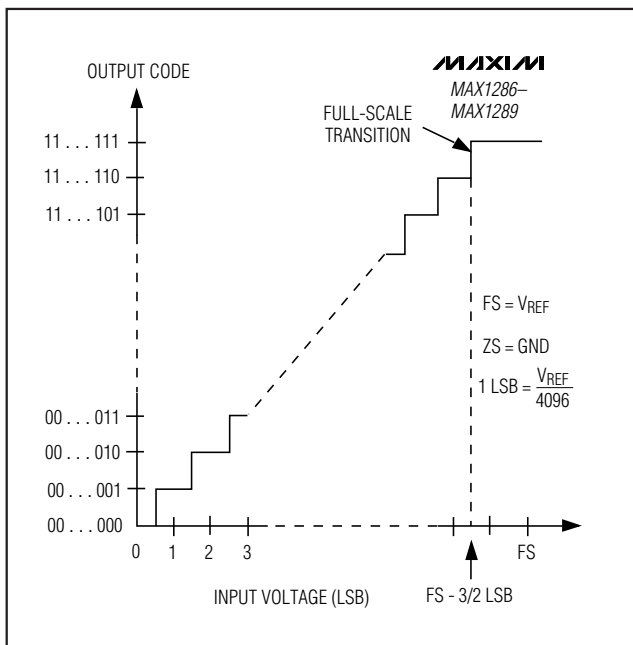


図6. ユニポーラトランスファ機能

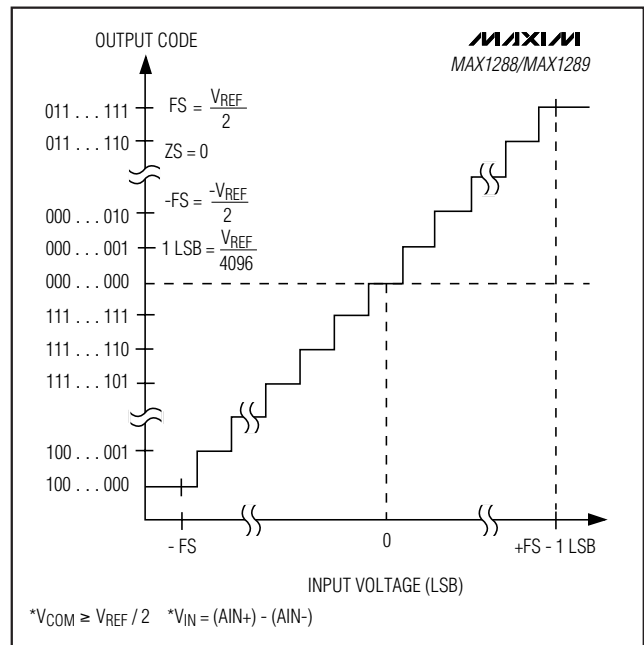


図7. バイポーラトランスファ機能

150ksps、12ビット、2チャンネルシングルエンド、 及び1チャンネル真の差動ADC

- 3) CNVSTを1.4 μ s間ハイに維持して下さい。
- 4) CNVSTをローで駆動し、変換が終了するまで約3.7 μ s待って下さい。3.7 μ s後、MSBがDOUTで呈示されます。
- 5) SCLKを最低12立上りクロックエッジ分有効にしてください。DOUTはSCLKの立下りエッジで移行し、MSBが最初にくるフォーマットで呈示されます。SCLK~DOUTへの有効タイミング特性を観察して下さい。SCLKの立上りエッジでデータをマイクロプロセッサにクロックします。

SPI及びMICROWIREインタフェース

SPI(図8a)又はMICROWIREインタフェース(図8a及び8b)を使用する際はCPOL = CPHA = 0に設定して下さい。ADCから全12ビットの結果を得るには2つの8ビット読み取りが必要です。DOUTデータはシリアルクロックの立下りエッジで移行し、SCLKの立上りエッジで μ Pにクロックされます。最初の8ビットデータストリームにはMSBを初めとするDOUTの最初の8ビットを含みます。2番目の8ビットデータストリームには残りの4つの結果ビットが含まれています。それからDOUTがハイインピーダンスになります。

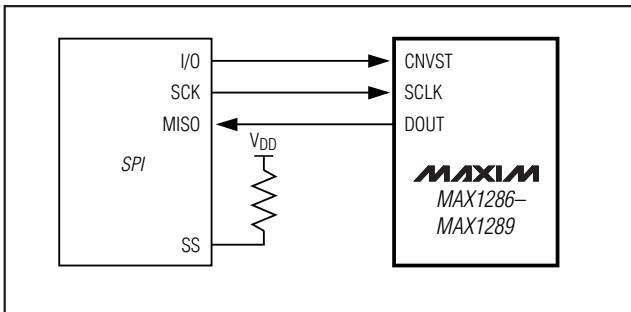


図8a. SPI接続

QSPIインタフェース

CPOL = 0及びCPHA = 0の高速QFIインタフェース(図9a)を使用するとMAX1286~MAX1289は最大 f_{SCLK} の8MHzをサポートします。ADCから12ビット全体の結果を得るのに1つの12~16ビット読み取りが必要です。DOUTデータはシリアルクロックの立下りエッジで移行し、SCLKの立上りエッジで μ Pにクロックされます。最初の12ビットがデータです。それからDOUTがハイインピーダンスになります。(図9b)

PIC16及びSSPモジュール PIC17インタフェース

MAX1286~MAX1289は、同期化シリアルポート(SSP)モジュールを使用すると μ CのPIC16/PIC17とコンパチブルです。

SPIコミュニケーションを確立するためには図10aに示されているようにコントローラを接続し、PIC16/PIC17をシステムマスタとして構成します。これは同期化シリアルポートコントロールレジスタ(SSPCON)及び同期化シリアルポート状態レジスタ(SSPSTAT)を表1と2に示されたビットパターンにして初期化することで行います。

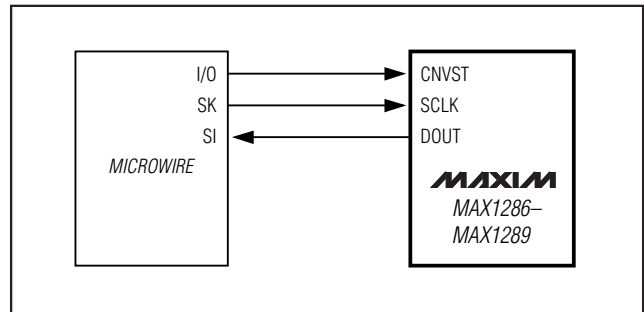


図8b. MICROWIRE接続

表1. SSPCONレジスタ内容の詳細

CONTROL BIT		MAX1286-MAX1289 SETTINGS	SYNCHRONOUS SERIAL PORT CONTROL REGISTER (SSPCON)
WCOL	Bit 7	X	Write Collision Detection Bit
SSPOV	Bit 6	X	Receive Overflow Detect Bit
SSPEN	Bit 5	1	Synchronous Serial Port Enable Bit: 0: Disables serial port and configures these pins as I/O port pins. 1: Enables serial port and configures SCK, SDO, and SCI pins as serial port pins.
CKP	Bit 4	0	Clock Polarity Select Bit. CKP = 0 for SPI master mode selection.
SSPM3	Bit 3	0	Synchronous Serial Port Mode Select Bit. Sets SPI master mode and selects FCLK = fOSC / 16.
SSPM2	Bit 2	0	
SSPM1	Bit 1	0	
SSPM0	Bit 0	1	

150ksp/s、12ビット、2チャンネルシングルエンド、及び1チャンネル真の差動ADC

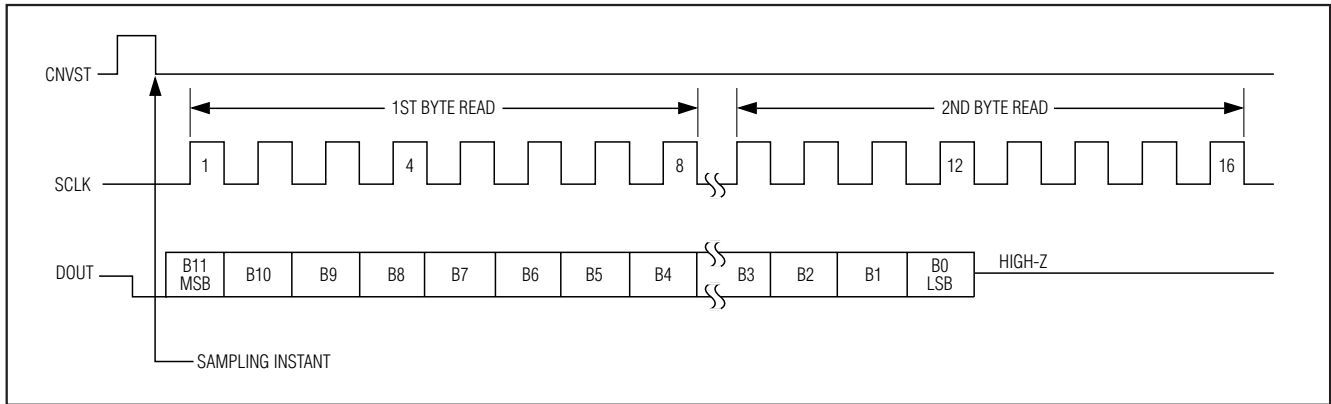


図8c. SPI/MICROWIRE インタフェースタイミングシーケンス(CPOL=CPHA=0)

SPIモードでは、PIC16/PIC17は8ビットのデータが同期で送信し、同時に受信することを可能にします。ADCから全体の12ビット結果を受け取るために2回連続の8ビット読み取り(図10b)が必要です。DOUTデータはシリアルクロックの立下りエッジで移行し、SCLKの立上りエッジで μ Cにクロックされます。最初の8ビットのデータストリームにはMSBを初めとする最初の8ビットを含みます。2番目のデータストリームにはD3~D0の残りのビットが含まれています。

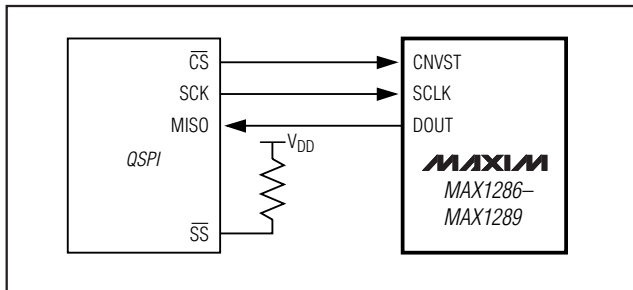


図9a. QSPI接続

レイアウト、接地、及びバイパス

最高の性能を得るにはPC基板をご使用下さい。アナログとデジタルのトレースが適切に分離したレイアウトが必要なのでワイヤラップ構成は推奨しません。アナログ及びデジタルラインをお互いに並行に走らせないで下さい。又デジタル信号経路がADCパッケージの下になるようなレイアウトは避けて下さい。アナログとデジタルPCボードのグランド部を別個にして、2つのグランドシステム(アナログとデジタル)が一箇所のスターポイントで接続するようにして下さい(図11)。ノイズの影響を最小にするためにはスターグランド電源へのグランドリターンをできるだけ短くして、低いインピーダンスにして下さい。デジタル信号は敏感なアナログ及びリファレンス入力からできるだけ離れて配線するようにします。

電源(V_{DD})の高周波数ノイズがADCの高速コンパレータの性能を劣化する恐れがあります。 V_{DD} は、MAX1286~MAX1289の電源ピンのできるだけ近くに配置された0.1 μ Fコンデンサを使ってスターグランドにバイパスするようにして下さい。最高の電源ノイズ除去比を得るにはコンデンサのリード線をできるだけ短くします。電源ノイズが非常に大きい場合は、減衰抵抗(5 Ω)を接続して下さい。

表2. SSPSTATレジスタ内容詳細

CONTROL BIT		MAX1286-MAX1289 SETTINGS	SYNCHRONOUS SERIAL STATUS REGISTER (SSPSTAT)
SMP	Bit 7	0	SPI Data Input Sample Phase. Input data is sampled at the middle of the data output time.
CKE	Bit 6	1	SPI Clock Edge Select Bit. Data is transmitted on the rising edge of the serial clock.
D/A	Bit 5	X	Data Address Bit
P	Bit 4	X	Stop Bit
S	Bit 3	X	Start Bit
R/W	Bit 2	X	Read/Write Bit Information
UA	Bit 1	X	Update Address
BF	Bit 0	X	Buffer Full Status Bit

150kpsps、12ビット、2チャンネルシングルエンド、 及び1チャンネル真の差動ADC

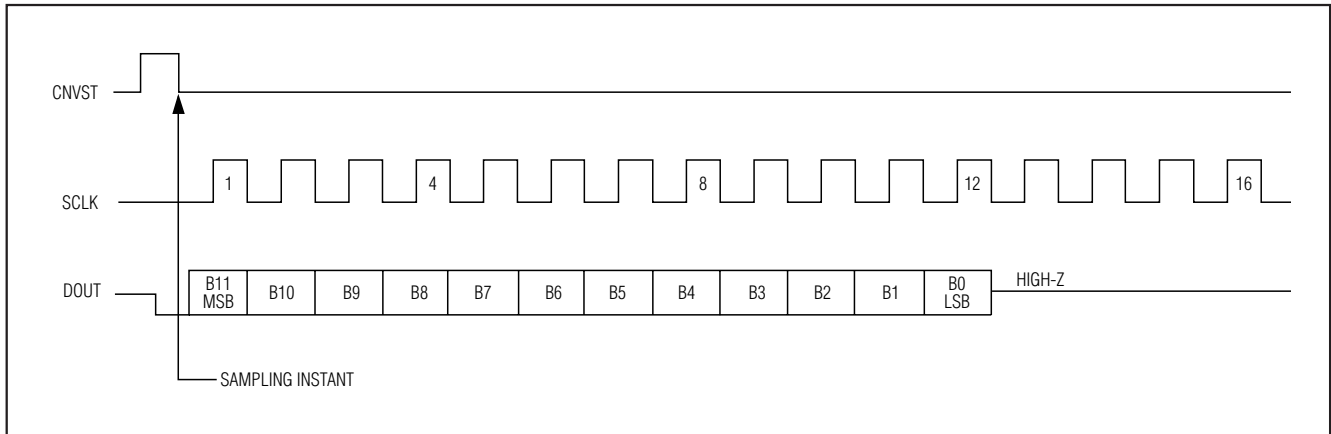


図9b. QSPIインタフェースタイミング(CPOL = CPHA = 0)

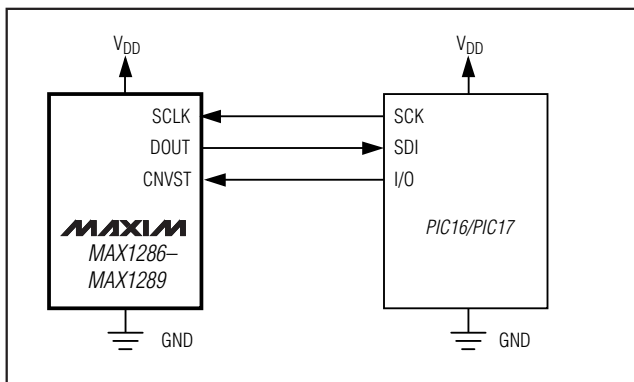


図10a. PIC16/PIC17コントローラの
SPIインタフェース接続

定義

積分非直線性

積分非直線性(INL)は実際の伝達関数値と直線の偏差です。この直線はベストストレートフィット線か、あるいはオフセット及び利得誤差をゼロにした後に伝達関数のエンドポイントを結んだ線です。MAX1286~MAX1289のスタティック直線性パラメータはエンドポイント法を使って測定されます。

微分非直線性

微分非直線性(DNL)は実際のステップ幅と1LSBの理想値の差です。1LSB以下のDNL誤差規格はミッシングコードがないことと、単調性伝達関数を保証します。

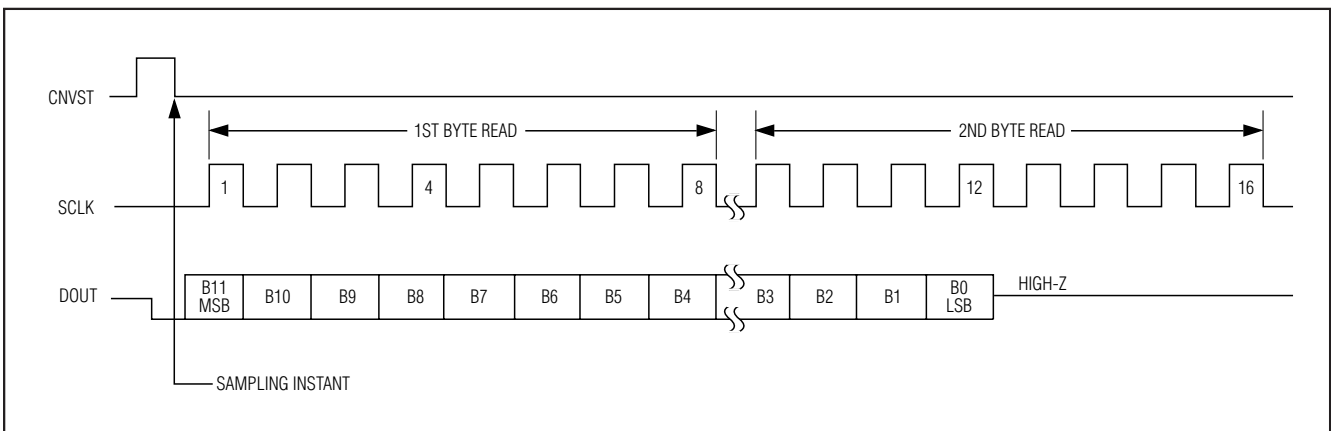


図10b. マスターモードにおけるPIC16/PIC17とのSPIインタフェースタイミング
(CKE = 1、CKP = 0、SMP = 0、SSMP = 0、SSPM3 - SSPM0 = 0001)

150ksps、12ビット、2チャンネルシングルエンド、及び1チャンネル真の差動ADC

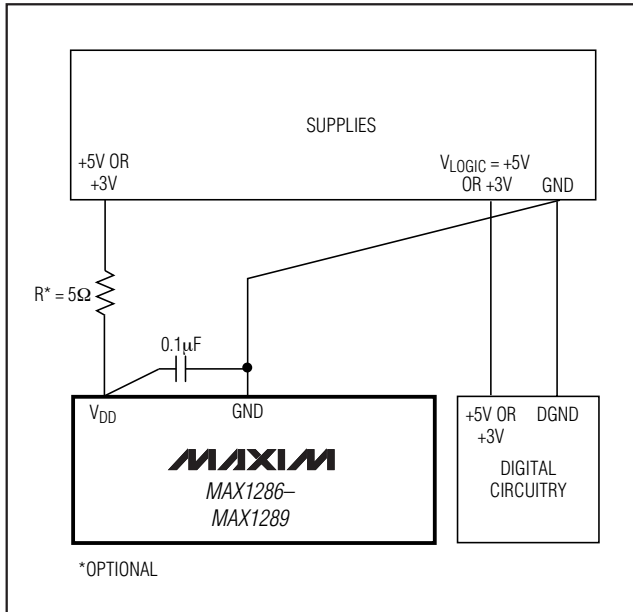


図11. 電源及びグランド接続

アパーチャの定義

アパーチャジッタ(t_{AJ})は、サンプル間の時間のサンプルからサンプルへの変動です。アパーチャ遅延(t_{AD})はサンプリングクロックの立上りエッジと実際のサンプリング時の時間です。

信号対雑音比

デジタルサンプルから完全に再形成された波形では、信号対雑音比(SNR)はフルスケールアナログ入力(RMS値)とRMS量子化誤差(残留誤差)の比率です。理想的な理論上の最小アナログデジタルノイズは量子化誤差のみから発生されるもので、ADCの分解能(Nビット)の直接の結果です。

$$\text{SNR} = (6.02 \times N + 1.76)\text{dB}$$

実際にはサーマルノイズ、リファレンスノイズ、クロックジッタ等の量子化ノイズ以外のノイズ源が存在します。従ってSNRはRMS信号とRMSノイズの比率を使って計算されます。この比率には全スペクトラム成分から基本波、最初の5つの高調波、及びDCオフセットを差し引いたものが含まれます。

信号対雑音+歪み

信号対雑音+歪み(SINAD)は基本入力周波数のRMS振幅とその他全てのADC出力信号のRMS等価との比率です。

$$\text{SINAD (dB)} = 20 \times \log (\text{Signal}_{\text{RMS}} / \text{Noise}_{\text{RMS}})$$

有効ビット数

有効ビット数(ENOB)は特定な入力周波数及びサンプリングレートにおけるADCのグローバル精度を示します。理想的なADCの誤差は量子化ノイズのみを含んでいるものです。ADCのフルスケール範囲に等しい入力範囲を使用して次のように有効ビット数を計算して下さい。

$$\text{ENOB} = (\text{SINAD} - 1.76) / 6.02$$

全高調波歪み

全高調波歪み(THD)は、入力信号の最初にくる5つの高調波と基本波そのもののRMS合計の比率です。これは次式で得られます。

$$\text{THD} = 20 \times \log \left(\sqrt{\frac{V_2^2 + V_3^2 + V_4^2 + V_5^2}{V_1}} \right)$$

この場合 V_1 は基本波の振幅で、 V_2 から V_5 までは2次から5次高調波の振幅です。

スプリアスフリーダイナミック範囲

スプリアスフリーダイナミック範囲(SFDR)は、基本波(最大信号成分)のRMS振幅と次に大きい歪み成分のRMS値の比率です。

チップ情報

TRANSISTOR COUNT: 6922

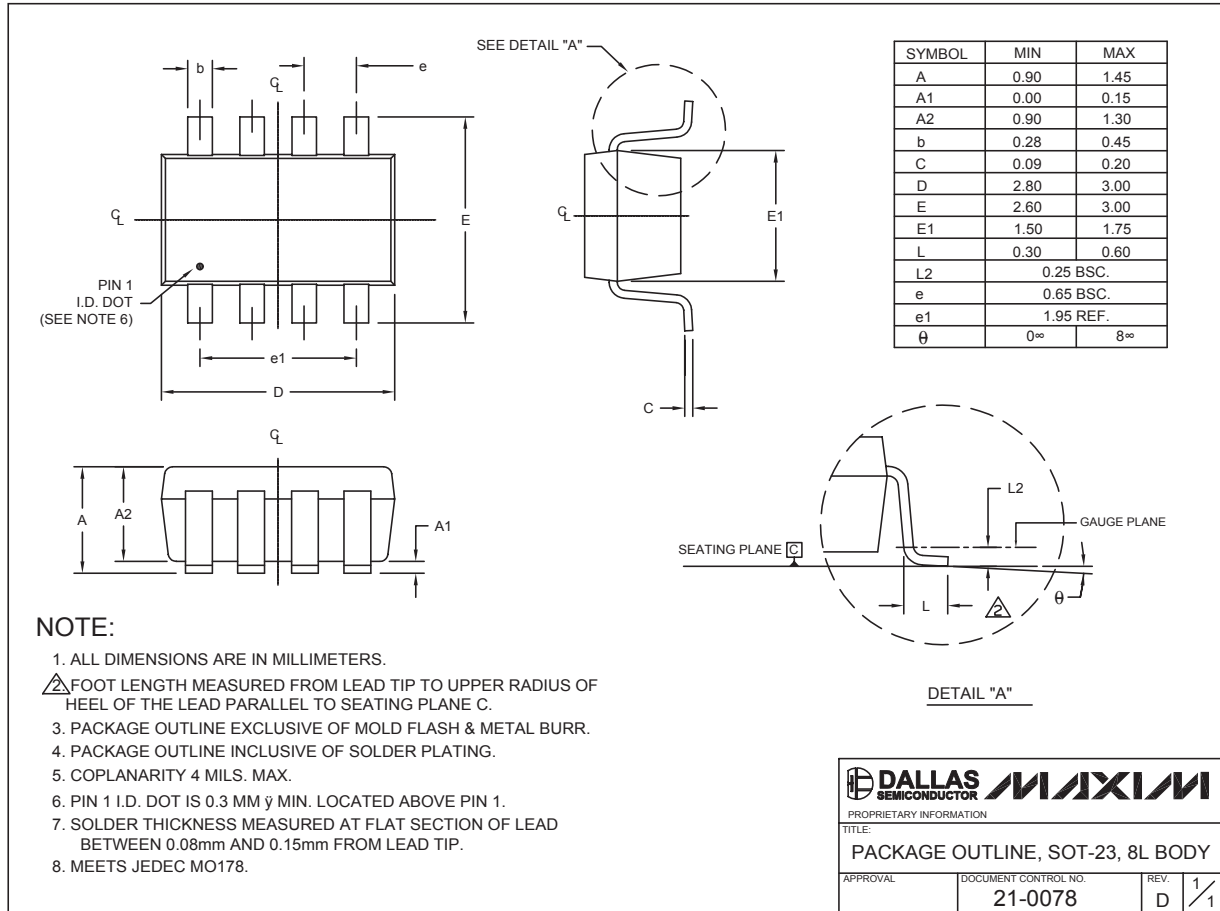
PROCESS: BiCMOS

150kpsps、12ビット、2チャンネルシングルエンド、 及び1チャンネル真の差動ADC

MAX1286-MAX1289

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)

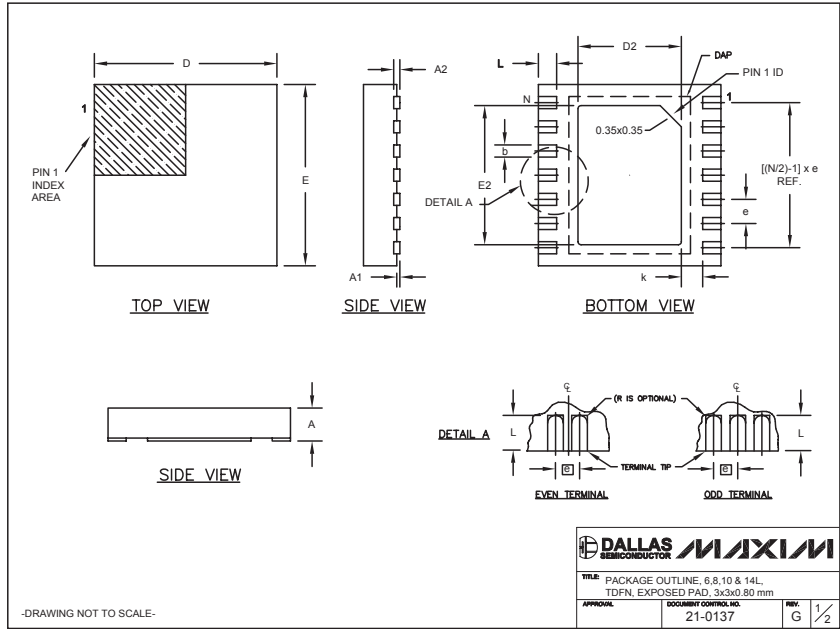


SOT23, 8L, EPS

150ksp/s、12ビット、2チャンネルシングルエンド、及び1チャンネル真の差動ADC

パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



COMMON DIMENSIONS							
SYMBOL	MIN.	MAX.					
A	0.70	0.80					
D	2.90	3.10					
E	2.90	3.10					
A1	0.00	0.05					
L	0.20	0.40					
k	0.25 MIN.						
A2	0.20 REF.						

PACKAGE VARIATIONS								
PKG. CODE	N	D2	E2	e	JEDEC SPEC	b	[(N/2)-1] x e	DOWNBONDS ALLOWED
T633-1	6	1.50±0.10	2.30±0.10	0.95 BSC	MO229 / WEEA	0.40±0.05	1.90 REF	NO
T633-2	6	1.50±0.10	2.30±0.10	0.95 BSC	MO229 / WEEA	0.40±0.05	1.90 REF	NO
T833-1	8	1.50±0.10	2.30±0.10	0.65 BSC	MO229 / WEEC	0.30±0.05	1.95 REF	NO
T833-2	8	1.50±0.10	2.30±0.10	0.65 BSC	MO229 / WEEC	0.30±0.05	1.95 REF	NO
T833-3	8	1.50±0.10	2.30±0.10	0.65 BSC	MO229 / WEEC	0.30±0.05	1.95 REF	YES
T1033-1	10	1.50±0.10	2.30±0.10	0.50 BSC	MO229 / WEED-3	0.25±0.05	2.00 REF	NO
T1433-1	14	1.70±0.10	2.30±0.10	0.40 BSC	----	0.20±0.05	2.40 REF	YES
T1433-2	14	1.70±0.10	2.30±0.10	0.40 BSC	----	0.20±0.05	2.40 REF	NO

NOTES:

1. ALL DIMENSIONS ARE IN mm. ANGLES IN DEGREES.
2. COPLANARITY SHALL NOT EXCEED 0.08 mm.
3. WARPAGE SHALL NOT EXCEED 0.10 mm.
4. PACKAGE LENGTH/PACKAGE WIDTH ARE CONSIDERED AS SPECIAL CHARACTERISTIC(S).
5. DRAWING CONFORMS TO JEDEC MO229, EXCEPT DIMENSIONS "D2" AND "E2", AND T1433-1 & T1433-2.
6. "N" IS THE TOTAL NUMBER OF LEADS.
7. NUMBER OF LEADS SHOWN ARE FOR REFERENCE ONLY.

-DRAWING NOT TO SCALE-

DALLAS SEMICONDUCTOR		MAXIM	
TITLE: PACKAGE OUTLINE, 6, 8, 10 & 14L, TDFN, EXPOSED PAD, 3x3x0.80 mm			
APPROVAL	DOCUMENT CONTROL NO. 21-0137	REV. G	2/2

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

16 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

© 2005 Maxim Integrated Products, Inc. All rights reserved. **MAXIM** is a registered trademark of Maxim Integrated Products, Inc.