

デュアル、96MSPs、14ビット、IF/ベースバンドADC

概要

MAX12559は、完全差動型の広帯域トラックアンドホールド(T/H)入力を備え、内蔵の量子化器を駆動する、デュアル、3.3V、14ビットアナログ-デジタルコンバータ(ADC)です。MAX12559は、低い消費電力、小さなサイズ、および中間周波数(IF)とベースバンドのサンプリングアプリケーションにおける高い動特性に最適化されています。このデュアルADCは3.3Vの単一電源で動作し、わずか980mWの消費電力で、入力周波数175MHzにおいて信号ノイズ比(SNR)代表値71.9dBという性能を発揮します。T/H入力段は最高350MHzまでのシングルエンドまたは差動入力に対応しています。低い動作電力に加えて、MAX12559はアイドル時の電力を削減する0.5mWのパワーダウンモードも備えています。

MAX12559はリファレンス(基準電圧)の構造に柔軟性があり、内蔵の2.048Vバンドギャップリファレンスを使用することも、外部から印加されるリファレンスを使用することも可能であり、そのリファレンスを2個のADC間で共有することができます。このリファレンスの構造によって、フルスケールのアナログ入力範囲を $\pm 0.35V$ から $\pm 1.15V$ まで調整可能です。差動アナログ入力回路における設計の単純化と外付け部品数の削減を実現するため、MAX12559はコモンモードリファレンスを提供しています。

MAX12559は、シングルエンドまたは差動の入力クロックをサポートします。ユーザが選択可能な2分周(DIV2)モードと4分周(DIV4)モードが設計の柔軟性を高め、クロックジッタの悪影響を排除するのに役立ちます。クロックのデューティサイクルに大きな変動があっても、ADCに内蔵されたデューティサイクルイコライザ(DCE)によって補償されます。

MAX12559は、14ビット幅のCMOS互換パラレル出力を2組備えています。デジタル出力のフォーマットは、2の補数形式とグレイコードのいずれかをピン選択可能です。デジタル出力用の独立した電源入力は1.7V~3.6Vの電圧に対応しており、様々な論理レベルとの柔軟なインタフェースが可能です。MAX12559はエクスポートパッド(EP)を備えた10mm x 10mm x 0.8mmの68ピンTQFNで提供され、拡張(-40°C~+85°C)温度範囲での動作が保証されています。

このADCとピン互換な12ビット版については、MAX12529のデータシートを参照してください。その他の製品については、「選択ガイド」の項をご覧ください。

アプリケーション

IFおよびベースバンド通信のレシーバ
セルラ、LMDS、ポイント間マイクロ波、
MMDS、HFC、WLAN
I/Qレシーバ
医療用画像処理
携帯型計器類
デジタルセットトップボックス
低消費電力データ収集

特長

- ◆ 最高350MHzのダイレクトIFサンプリング
- ◆ 優れた動特性
SNR 74dB/71.9dB ($f_{IN} = 70MHz/175MHz$)
SFDR 85.1dBc/79.8dBc ($f_{IN} = 70MHz/175MHz$)
- ◆ 3.3V低消費電力動作
980mW (差動クロックモード)
952mW (シングルエンドクロックモード)
- ◆ 完全差動型またはシングルエンドのアナログ入力
- ◆ 調節可能な差動アナログ入力電圧
- ◆ 入力帯域幅750MHz
- ◆ 調整可能な、内蔵または外部、共有リファレンス
- ◆ 差動またはシングルエンドのクロック
- ◆ 25%~75%のクロックデューティサイクルに対応
- ◆ ユーザ選択可能なDIV2およびDIV4クロックモード
- ◆ パワーダウンモード
- ◆ 2の補数またはグレイコードのCMOS出力
- ◆ アウトオブレンジとデータ有効の各インジケータ
- ◆ 小さな68ピンTQFNパッケージ
(10mm x 10mm x 0.8mm)
- ◆ 12ビットのピン互換バージョンも利用可能
(MAX12529)
- ◆ 評価キットが利用可能(MAX12559EVKITを注文してください)

型番

PART	TEMP RANGE	PIN-PACKAGE	PKG CODE
MAX12559ETK-D	-40°C to +85°C	68 Thin QFN-EP*	T6800-4
MAX12559ETK+D	-40°C to +85°C	68 Thin QFN-EP*	T6800-4

*EP = エクスポートパッド

+は鉛フリーパッケージを示します。

D = ドライバック

選択ガイド

PART	SAMPLING RATE (MSPs)	RESOLUTION (Bits)
MAX12559	96	14
MAX12558	80	14
MAX12557	65	14
MAX12529	96	12
MAX12528	80	12
MAX12527	65	12

ピン配置はデータシートの最後に記載されています。

デュアル、96Msps、14ビット、IF/ベースバンドADC

MAX12559

ABSOLUTE MAXIMUM RATINGS

V_{DD} to GND.....-0.3V to +3.6V
 OV_{DD} to GND.....-0.3V to the lower of ($V_{DD} + 0.3V$) and +3.6V
 INAP, INAN to GND ...-0.3V to the lower of ($V_{DD} + 0.3V$) and +3.6V
 INBP, INBN to GND ...-0.3V to the lower of ($V_{DD} + 0.3V$) and +3.6V
 CLKP, CLKN to
 GND-0.3V to the lower of ($V_{DD} + 0.3V$) and +3.6V
 REF1P, REFOUT
 to GND-0.3V to the lower of ($V_{DD} + 0.3V$) and +3.6V
 REFAP, REFAN,
 COMA to GND-0.3V to the lower of ($V_{DD} + 0.3V$) and +3.6V
 REFBP, REFBN,
 COMB to GND-0.3V to the lower of ($V_{DD} + 0.3V$) and +3.6V

DIFFCLK/ \overline{SECLK} , G/T, PD, SHREF, DIV2,
 DIV4 to GND-0.3V to the lower of ($V_{DD} + 0.3V$) and +3.6V
 D0A–D13A, D0B–D13B, DAV,
 DORA, DORB to GND-0.3V to ($OV_{DD} + 0.3V$)
 Continuous Power Dissipation ($T_A = +70^\circ C$)
 68-Pin Thin QFN, 10mm x 10mm x 0.8mm
 (derate 70mW/ $^\circ C$ above +70 $^\circ C$)4000mW
 Operating Temperature Range.....-40 $^\circ C$ to +85 $^\circ C$
 Junction Temperature+150 $^\circ C$
 Storage Temperature Range-65 $^\circ C$ to +150 $^\circ C$
 Lead Temperature (soldering, 10s).....+300 $^\circ C$

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

($V_{DD} = 3.3V$, $OV_{DD} = 2.0V$, GND = 0, REFIN = REFOUT (internal reference), $C_L \approx 10pF$ at digital outputs, $V_{IN} = -1dBFS$ (differential), DIFFCLK/ $\overline{SECLK} = OV_{DD}$, PD = GND, SHREF = GND, DIV2 = GND, DIV4 = GND, G/T = GND, $f_{CLK} = 96MHz$ (50% duty cycle), $T_A = -40^\circ C$ to +85 $^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY						
Resolution			14			Bits
Integral Nonlinearity	INL	$f_{IN} = 3MHz$		± 2.15		LSB
Differential Nonlinearity	DNL	$f_{IN} = 3MHz$		± 0.65		LSB
Offset Error				± 0.05	± 0.7	%FSR
Gain Error		External reference, $V_{REFIN} = 2.048V$		± 0.2	± 5	%FSR
ANALOG INPUTS (INAP, INAN, INBP, INBN)						
Differential Input Voltage Range	V_{DIFF}	Differential or single-ended inputs		± 1.024		V
Common-Mode Input Voltage				$V_{DD} / 2$		V
Analog Input Resistance	R_{IN}	Each input, Figure 3		2.3		k Ω
Analog Input Capacitance	C_{PAR}	Fixed capacitance to ground, each input, Figure 3		2		pF
	C_{SAMPLE}	Switched capacitance, each input, Figure 3		4.5		
CONVERSION RATE						
Maximum Clock Frequency	f_{CLK}		96			MHz
Minimum Clock Frequency					5	MHz
Data Latency		Figure 5		8		Clock Cycles
DYNAMIC CHARACTERISTICS ($V_{IN} = -1dBFS$)						
Small-Signal Noise Floor	SSNF	Input at -35dBFS	74.5	76.3		dBFS
Signal-to-Noise Ratio	SNR	$f_{IN} = 3MHz$	71.7	75		dB
		$f_{IN} = 30MHz$		74.7		
		$f_{IN} = 70MHz$		74		
		$f_{IN} = 175MHz$	69.7	71.9		

デュアル、96Msps、14ビット、IF/ベースバンドADC

MAX12559

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 3.3V$, $OV_{DD} = 2.0V$, $GND = 0$, $REFIN = REFOUT$ (internal reference), $C_L \approx 10pF$ at digital outputs, $V_{IN} = -1dBFS$ (differential), $DIFFCLK/\overline{SECLK} = OV_{DD}$, $PD = GND$, $SHREF = GND$, $DIV2 = GND$, $DIV4 = GND$, $G/T = GND$, $f_{CLK} = 96MHz$ (50% duty cycle), $T_A = -40^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Signal-to-Noise Plus Distortion	SINAD	$f_{IN} = 3MHz$	69.7	74.6		dB
		$f_{IN} = 30MHz$		73.6		
		$f_{IN} = 70MHz$		73.4		
		$f_{IN} = 175MHz$	66.1	70.9		
Spurious-Free Dynamic Range	SFDR	$f_{IN} = 3MHz$	74.1	87.9		dBc
		$f_{IN} = 30MHz$		83		
		$f_{IN} = 70MHz$		85.1		
		$f_{IN} = 175MHz$	70.2	79.8		
Total Harmonic Distortion	THD	$f_{IN} = 3MHz$		-85.2	-72.5	dBc
		$f_{IN} = 30MHz$		-80		
		$f_{IN} = 70MHz$		-81.8		
		$f_{IN} = 175MHz$		-77.9	-67.6	
Second Harmonic	HD2	$f_{IN} = 3MHz$		-88.6		dBc
		$f_{IN} = 30MHz$		-85		
		$f_{IN} = 70MHz$		-87.9		
		$f_{IN} = 175MHz$		-80.5		
Third Harmonic	HD3	$f_{IN} = 3MHz$		-94		dBc
		$f_{IN} = 30MHz$		-83		
		$f_{IN} = 70MHz$		-85.7		
		$f_{IN} = 175MHz$		-82.5		
3rd-Order Intermodulation Distortion	IM3	$f_{IN1} = 69MHz$ at $A_{IN1} = -7dBFS$, $f_{IN2} = 72MHz$ at $A_{IN2} = -7dBFS$		-90		dBc
		$f_{IN1} = 173MHz$ at $A_{IN1} = -7dBFS$, $f_{IN2} = 177MHz$ at $A_{IN2} = -7dBFS$		-85		
Full-Power Bandwidth	FPBW	Input at $-0.2dBFS$, $-3dB$ rolloff		750		MHz
Aperture Delay	t_{AD}	Figure 5		1.2		ns
Aperture Jitter	t_{AJ}			< 0.1		psRMS
Output Noise	n_{OUT}	INAP = INAN = COMA, INBP = INBN = COMB		0.9		LSBRMS

デュアル、96Msps、14ビット、IF/ベースバンドADC

MAX12559

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 3.3V$, $OV_{DD} = 2.0V$, $GND = 0$, $REFIN = REFOUT$ (internal reference), $C_L \approx 10pF$ at digital outputs, $V_{IN} = -1dBFS$ (differential), $DIFFCLK/SECLK = OV_{DD}$, $PD = GND$, $SHREF = GND$, $DIV2 = GND$, $DIV4 = GND$, $G/T = GND$, $f_{CLK} = 96MHz$ (50% duty cycle), $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Overdrive Recovery Time		$\pm 10\%$ beyond full scale		1		Clock Cycle
INTERCHANNEL CHARACTERISTICS						
Crosstalk Rejection		f_{INA} or $f_{INB} = 70MHz$ at $-1dBFS$		98		dB
		f_{INA} or $f_{INB} = 175MHz$ at $-1dBFS$		82		
Gain Matching				± 0.02	± 0.1	dB
Offset Matching				± 0.01		%FSR
INTERNAL REFERENCE (REFOUT)						
REFOUT Output Voltage	V_{REFOUT}		2.000	2.048	2.080	V
REFOUT Load Regulation		$-1mA < I_{REFOUT} < +1mA$		35		mV/mA
REFOUT Temperature Coefficient	TC_{REF}			55		ppm/ $^{\circ}C$
REFOUT Short-Circuit Current		Short to V_{DD} —sinking		0.24		mA
		Short to GND —sourcing		2.1		
BUFFERED REFERENCE MODE (REFIN is driven by REFOUT or an external 2.048V single-ended reference source; $V_{REFAP}/V_{REFAN}/V_{COMA}$ and $V_{REFBP}/V_{REFBN}/V_{COMB}$ are generated internally)						
REFIN Input Voltage	V_{REFIN}			2.048		V
REFIN Input Resistance	R_{REFIN}			> 50		$M\Omega$
COM_ Output Voltage	V_{COMA} V_{COMB}	$V_{COM_} = V_{DD} / 2$	1.60	1.65	1.70	V
REF_P Output Voltage	V_{REFAP} V_{REFBP}	$V_{REF_P} = V_{DD} / 2 + (V_{REFIN} \times 3/8)$		2.418		V
REF_N Output Voltage	V_{REFAN} V_{REFBN}	$V_{REF_N} = V_{DD} / 2 - (V_{REFIN} \times 3/8)$		0.882		V
Differential Reference Voltage	V_{REFA} V_{REFB}	$V_{REF_} = V_{REF_P} - V_{REF_N}$	1.440	1.536	1.600	V
Differential Reference Temperature Coefficient	TC_{REF}			40		ppm/ $^{\circ}C$
UNBUFFERED EXTERNAL REFERENCE (REFIN = GND, $V_{REFAP}/V_{REFAN}/V_{COMA}$ and $V_{REFBP}/V_{REFBN}/V_{COMB}$ are applied externally, $V_{COMA} = V_{COMB} = V_{DD} / 2$)						
REF_P Input Voltage	V_{REFAP} V_{REFBP}	$V_{REF_P} - V_{COM_}$		+0.768		V
REF_N Input Voltage	V_{REFAN} V_{REFBN}	$V_{REF_N} - V_{COM_}$		-0.768		V
COM_ Input Voltage	$V_{COM_}$	$V_{COM_} = V_{DD} / 2$		1.65		V
Differential Reference Voltage	V_{REFA} V_{REFB}	$V_{REF_} = V_{REF_P} - V_{REF_N} = V_{REFIN} \times 3/4$		1.536		V

デュアル、96Msps、14ビット、IF/ベースバンドADC

MAX12559

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 3.3V$, $OV_{DD} = 2.0V$, $GND = 0$, $REFIN = REFOUT$ (internal reference), $C_L \approx 10pF$ at digital outputs, $V_{IN} = -1dBFS$ (differential), $DIFFCLK/\overline{SECLK} = OV_{DD}$, $PD = GND$, $SHREF = GND$, $DIV2 = GND$, $DIV4 = GND$, $G/T = GND$, $f_{CLK} = 96MHz$ (50% duty cycle), $T_A = -40^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
REF_P Sink Current	I_{REFAP} I_{REFBP}	$V_{REF_P} = 2.418V$		1.2		mA
REF_N Source Current	I_{REFAN} I_{REFBN}	$V_{REF_N} = 0.882V$		0.85		mA
COM_ Sink Current	I_{COMA} I_{COMB}	$V_{COM_} = 1.65V$		0.85		mA
REF_P, REF_N Capacitance	C_{REF_P} , C_{REF_N}			13		pF
COM_ Capacitance	$C_{COM_}$			6		pF
CLOCK INPUTS (CLKP, CLKN)						
Single-Ended Input High Threshold	V_{IH}	$DIFFCLK/\overline{SECLK} = GND$, $CLKN = GND$	$0.8 \times V_{DD}$			V
Single-Ended Input Low Threshold	V_{IL}	$DIFFCLK/\overline{SECLK} = GND$, $CLKN = GND$			$0.2 \times V_{DD}$	V
Minimum Differential Clock Input Voltage Swing		$DIFFCLK/\overline{SECLK} = OV_{DD}$		0.2		V_{P-P}
Differential Input Common-Mode Voltage		$DIFFCLK/\overline{SECLK} = OV_{DD}$		$V_{DD} / 2$		V
CLKP, CLKN Input Resistance	R_{CLK}	Figure 4		5		$k\Omega$
CLKP, CLKN Input Capacitance	C_{CLK}			2		pF
DIGITAL INPUTS ($DIFFCLK/\overline{SECLK}$, G/T, PD, DIV2, DIV4, SHREF)						
Input High Threshold	V_{IH}		$0.8 \times OV_{DD}$			V
Input Low Threshold	V_{IL}				$0.2 \times OV_{DD}$	V
Input Leakage Current		OV_{DD} applied to input			± 5	μA
		Input connected to ground			± 5	
Digital Input Capacitance	C_{DIN}			5		pF
DIGITAL OUTPUTS (D0A–D13A, D0B–D13B, DORA, DORB, DAV)						
Output-Voltage Low	V_{OL}	D0A–D13A, D0B–D13B, DORA, DORB: $I_{SINK} = 200\mu A$			0.2	V
		DAV: $I_{SINK} = 600\mu A$			0.2	
Output-Voltage High	V_{OH}	D0A–D13A, D0B–D13B, DORA, DORB: $I_{SOURCE} = 200\mu A$	$OV_{DD} - 0.2$			V
		DAV: $I_{SOURCE} = 600\mu A$	$OV_{DD} - 0.2$			
Tri-State Leakage Current (Note 2)	I_{LEAK}	OV_{DD} applied to input			± 5	μA
		Input connected to ground			± 5	

デュアル、96Msps、14ビット、IF/ベースバンドADC

MAX12559

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 3.3V$, $OV_{DD} = 2.0V$, $GND = 0$, $REFIN = REFOUT$ (internal reference), $C_L \approx 10pF$ at digital outputs, $V_{IN} = -1dBFS$ (differential), $DIFFCLK/\overline{SECLK} = OV_{DD}$, $PD = GND$, $SHREF = GND$, $DIV2 = GND$, $DIV4 = GND$, $G/T = GND$, $f_{CLK} = 96MHz$ (50% duty cycle), $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
D0A–D13A, DORA, D0B–D13B, and DORB Tri-State Output Capacitance (Note 2)	C_{OUT}			3		pF
DAV Tri-State Output Capacitance (Note 2)	C_{DAV}			6		pF
POWER REQUIREMENTS						
Analog Supply Voltage	V_{DD}		3.15	3.30	3.60	V
Digital Output Supply Voltage	OV_{DD}		1.70	2.0	V_{DD}	V
Analog Supply Current	I_{VDD}	Normal operating mode $f_{IN} = 175MHz$ single-ended clock ($DIFFCLK/\overline{SECLK} = GND$)		288.5		mA
		Normal operating mode $f_{IN} = 175MHz$ differential clock ($DIFFCLK/\overline{SECLK} = OV_{DD}$)		297	322	
		Power-down mode ($PD = OV_{DD}$) clock idle		0.15		
Analog Power Dissipation	P_{VDD}	Normal operating mode $f_{IN} = 175MHz$ single-ended clock ($DIFFCLK/\overline{SECLK} = GND$)		952		mW
		Normal operating mode $f_{IN} = 175MHz$ differential clock ($DIFFCLK/\overline{SECLK} = OV_{DD}$)		980	1063	
		Power-down mode ($PD = OV_{DD}$) clock idle		0.5		
Digital Output Supply Current	I_{OVDD}	Normal operating mode $f_{IN} = 175MHz$, $C_L \approx 10pF$		26.1		mA
		Power-down mode ($PD = OV_{DD}$) clock idle		0.001		

デュアル、96Msps、14ビット、IF/ベースバンドADC

MAX12559

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 3.3V$, $OV_{DD} = 2.0V$, $GND = 0$, $REFIN = REFOUT$ (internal reference), $C_L \approx 10pF$ at digital outputs, $V_{IN} = -1dBFS$ (differential), $DIFFCLK/\overline{SECLK} = OV_{DD}$, $PD = GND$, $SHREF = GND$, $DIV2 = GND$, $DIV4 = GND$, $G/\overline{T} = GND$, $f_{CLK} = 96MHz$ (50% duty cycle), $T_A = -40^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
TIMING CHARACTERISTICS (Figure 5)						
Clock Pulse-Width High	t_{CH}			5.1		ns
Clock Pulse-Width Low	t_{CL}			5.1		ns
Data-Valid Delay	t_{DAV}	(Notes 3, 4)	3.85	5.8	6.65	ns
Data Setup Time Before Rising Edge of DAV	t_{SETUP}	(Notes 3, 4)	3.60			ns
Data Hold Time After Rising Edge of DAV	t_{HOLD}	(Notes 3, 4)	3.55			ns
Data Setup Time Before Falling Edge of Clock	$t_{DATASETUP}$	(Notes 3, 4)	2.25			ns
Data Hold Time After Falling Edge of Clock	$t_{DATAHOLD}$	(Notes 3, 4)	3.95			ns
Wake-Up Time from Power-Down	t_{WAKE}	$V_{REFIN} = 2.048V$		10		ms

Note 1: Specifications $\geq +25^\circ C$ guaranteed by production test, $< +25^\circ C$ guaranteed by design and characterization.

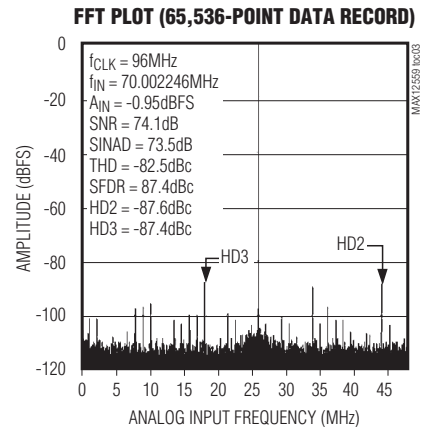
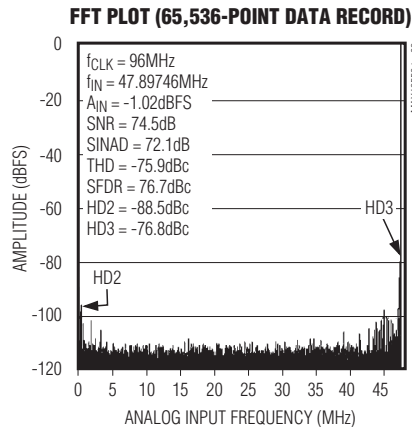
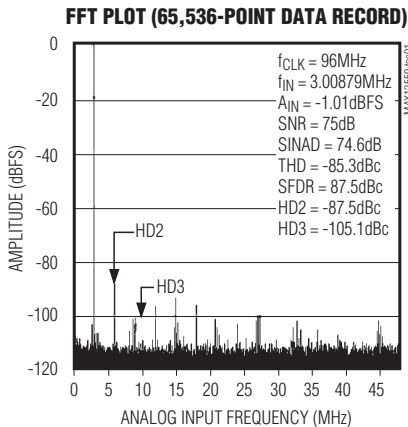
Note 2: During power-down, D0A–D13A, D0B–D13B, DORA, DORB, and DAV are high impedance.

Note 3: Data outputs settle to V_{IH} or V_{IL} .

Note 4: Guaranteed by design and characterization.

標準動作特性

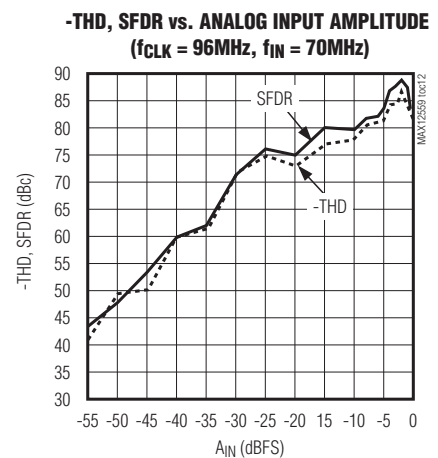
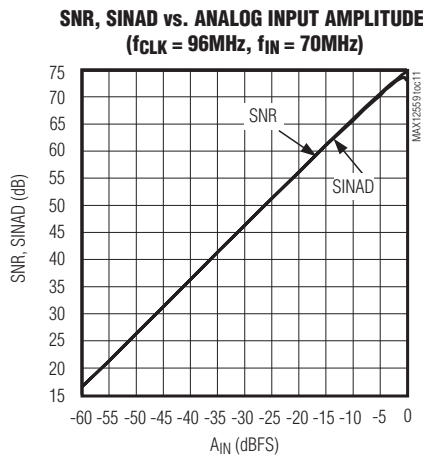
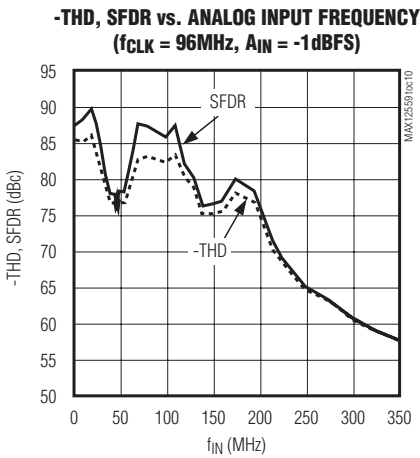
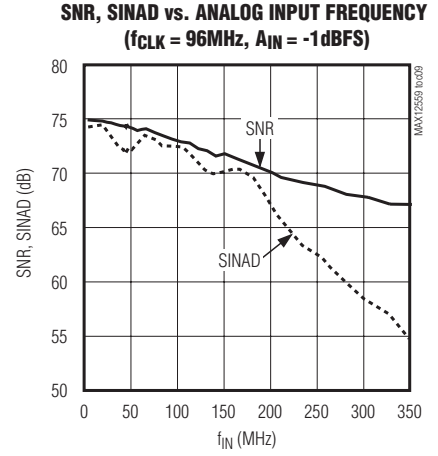
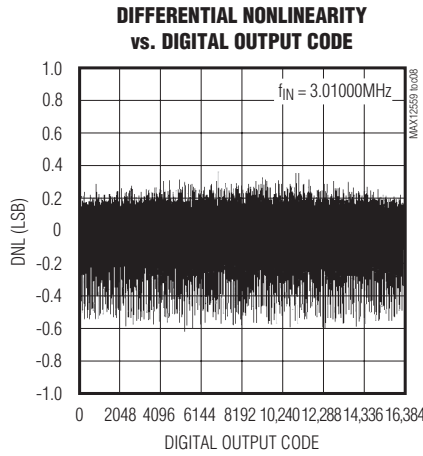
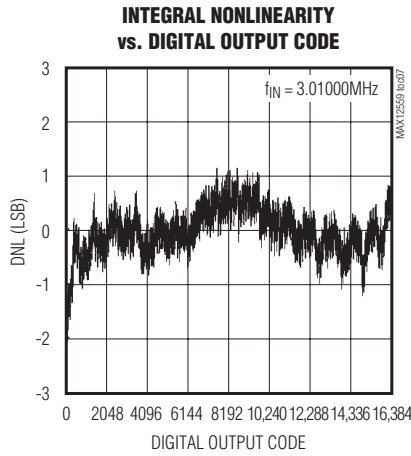
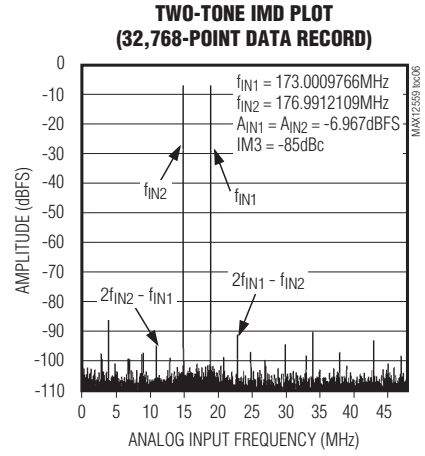
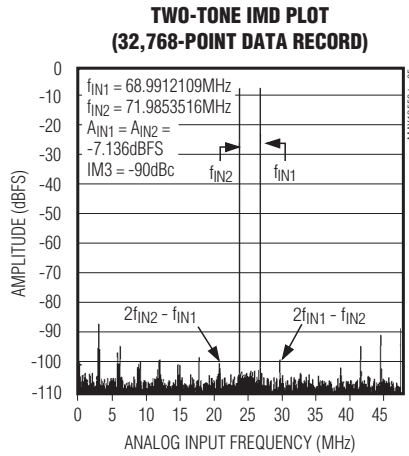
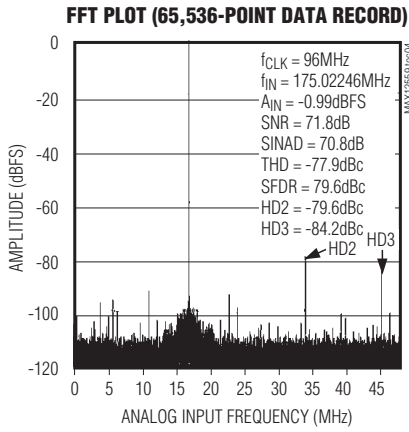
($V_{DD} = 3.3V$, $OV_{DD} = 2.0V$, $GND = 0$, $REFIN = REFOUT$ (internal reference), $C_L \approx 5pF$ at digital outputs, $V_{IN} = -1dBFS$ (differential), $DIFFCLK/\overline{SECLK} = OV_{DD}$, $PD = GND$, $G/\overline{T} = GND$, $f_{CLK} = 96MHz$ (50% duty cycle), $T_A = +25^\circ C$, unless otherwise noted.)



デュアル、96MSPS、14ビット、IF/ベースバンドADC

標準動作特性(続き)

($V_{DD} = 3.3V$, $OV_{DD} = 2.0V$, $GND = 0$, $REF_{IN} = REF_{OUT}$ (internal reference), $C_L \approx 5pF$ at digital outputs, $V_{IN} = -1dBFS$ (differential), $DIFFCLK/SECLK = OV_{DD}$, $PD = GND$, $G/T = GND$, $f_{CLK} = 96MHz$ (50% duty cycle), $T_A = +25^\circ C$, unless otherwise noted.)



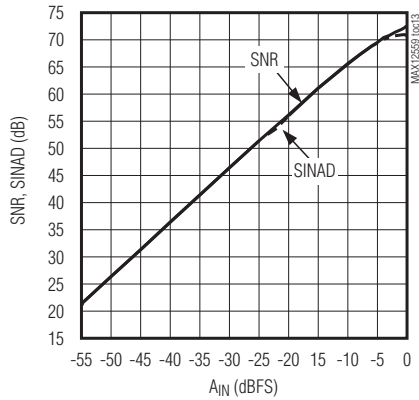
デュアル、96Mpsps、14ビット、IF/ベースバンドADC

MAX12559

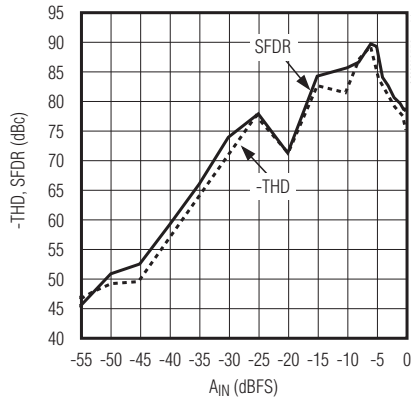
標準動作特性(続き)

($V_{DD} = 3.3V$, $OV_{DD} = 2.0V$, $GND = 0$, $REFIN = REFOUT$ (internal reference), $C_L \approx 5pF$ at digital outputs, $V_{IN} = -1dBFS$ (differential), $DIFFCLK/\overline{SECLK} = OV_{DD}$, $PD = GND$, $G/\overline{T} = GND$, $f_{CLK} = 96MHz$ (50% duty cycle), $T_A = +25^\circ C$, unless otherwise noted.)

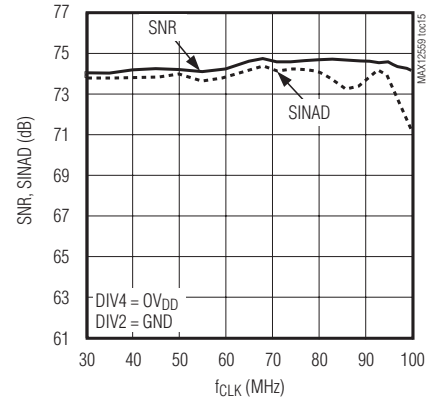
SNR, SINAD vs. ANALOG INPUT AMPLITUDE
($f_{CLK} = 96MHz$, $f_{IN} = 175MHz$)



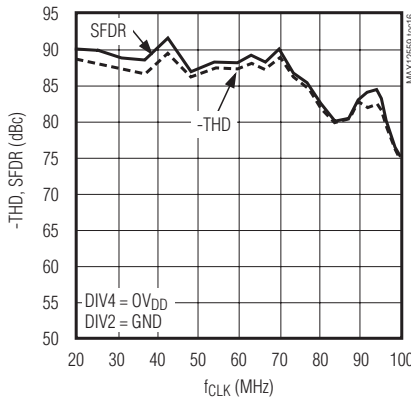
-THD, SFDR vs. ANALOG INPUT AMPLITUDE
($f_{CLK} = 96MHz$, $f_{IN} = 175MHz$)



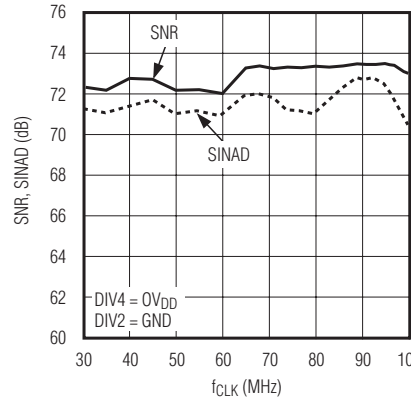
SNR, SINAD vs. CLOCK SPEED
($f_{IN} = 70MHz$, $A_{IN} = -1dBFS$)



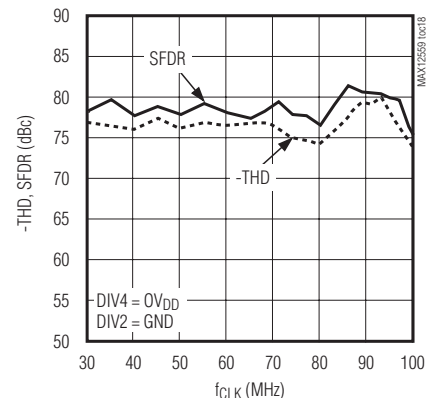
-THD, SFDR vs. CLOCK SPEED
($f_{IN} = 70MHz$, $A_{IN} = -1dBFS$)



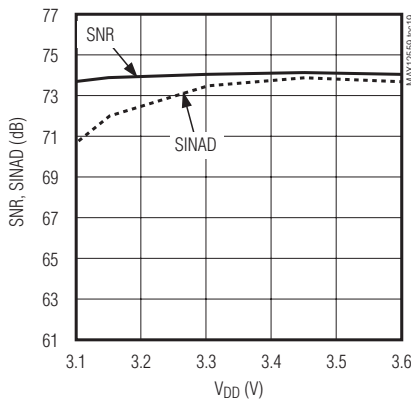
SNR, SINAD vs. CLOCK SPEED
($f_{IN} = 175MHz$, $A_{IN} = -1dBFS$)



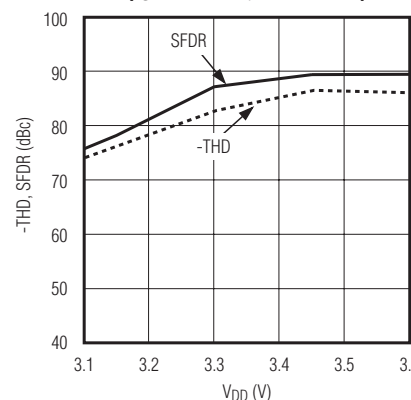
-THD, SFDR vs. CLOCK SPEED
($f_{IN} = 175MHz$, $A_{IN} = -1dBFS$)



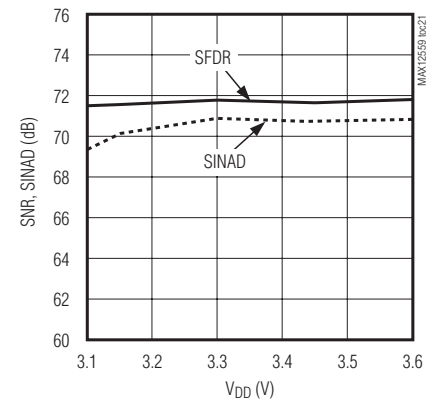
SNR, SINAD vs. ANALOG SUPPLY VOLTAGE
($f_{CLK} = 96MHz$, $f_{IN} = 70MHz$)



-THD, SFDR vs. ANALOG SUPPLY VOLTAGE
($f_{CLK} = 96MHz$, $f_{IN} = 70MHz$)



SNR, SINAD vs. ANALOG SUPPLY VOLTAGE
($f_{CLK} = 96MHz$, $f_{IN} = 175MHz$)

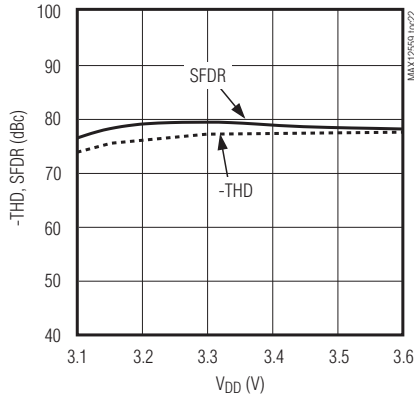


デュアル、96Mpsps、14ビット、IF/ベースバンドADC

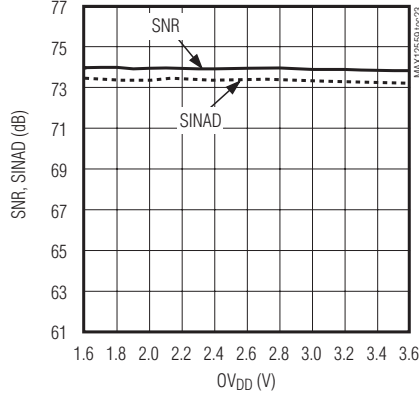
標準動作特性(続き)

($V_{DD} = 3.3V$, $OV_{DD} = 2.0V$, $GND = 0$, $REFIN = REFOUT$ (internal reference), $C_L \approx 5pF$ at digital outputs, $V_{IN} = -1dBFS$ (differential), $DIFFCLK/SECLK = OV_{DD}$, $PD = GND$, $G/\bar{T} = GND$, $f_{CLK} = 96MHz$ (50% duty cycle), $T_A = +25^\circ C$, unless otherwise noted.)

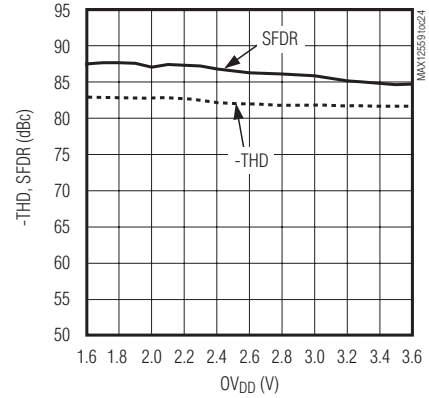
-THD, SFDR vs. ANALOG SUPPLY VOLTAGE
($f_{CLK} = 96MHz$, $f_{IN} = 175MHz$)



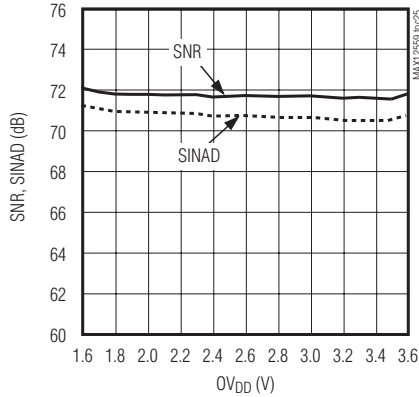
SNR, SINAD vs. DIGITAL SUPPLY VOLTAGE
($f_{CLK} = 96MHz$, $f_{IN} = 70MHz$)



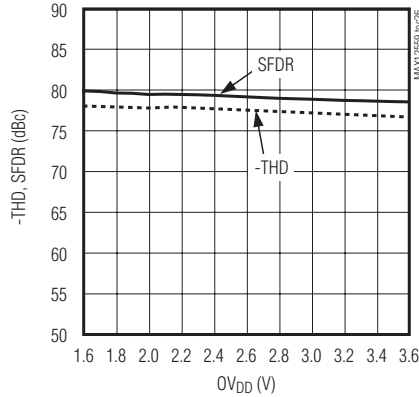
-THD, SFDR vs. DIGITAL SUPPLY VOLTAGE
($f_{CLK} = 96MHz$, $f_{IN} = 70MHz$)



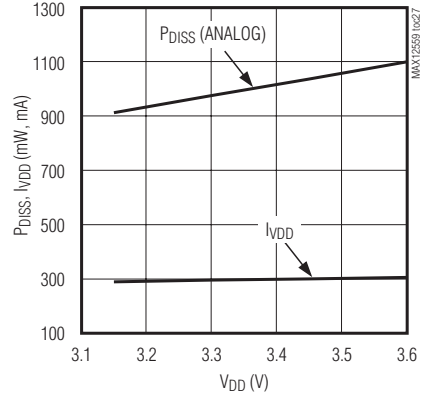
SNR, SINAD vs. DIGITAL SUPPLY VOLTAGE
($f_{CLK} = 96MHz$, $f_{IN} = 175MHz$)



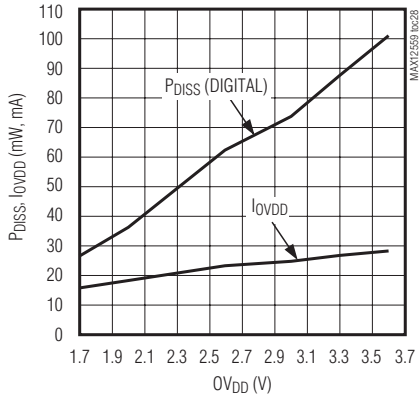
-THD, SFDR vs. DIGITAL SUPPLY VOLTAGE
($f_{CLK} = 96MHz$, $f_{IN} = 175MHz$)



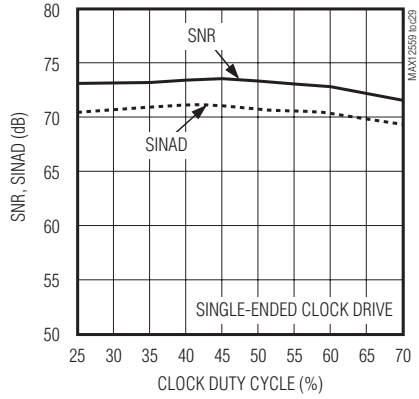
P_{DISS} , I_{OVDD} (ANALOG)
vs. ANALOG SUPPLY VOLTAGE
($f_{CLK} = 96MHz$, $f_{IN} = 175MHz$)



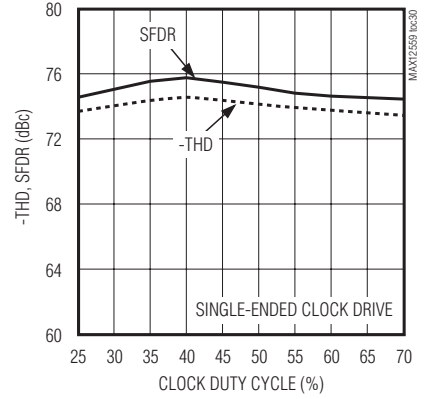
P_{DISS} , I_{OVDD} (DIGITAL) vs. DIGITAL SUPPLY VOLTAGE
($f_{CLK} = 96MHz$, $f_{IN} = 175MHz$)



SNR, SINAD vs. CLOCK DUTY CYCLE
($f_{IN} = 70MHz$, $A_{IN} = -1dBFS$)



-THD, SFDR vs. CLOCK DUTY CYCLE
($f_{IN} = 70MHz$, $A_{IN} = -1dBFS$)

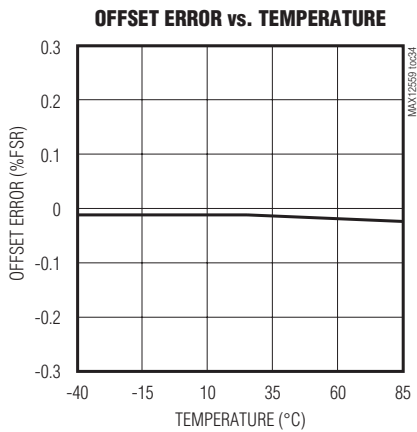
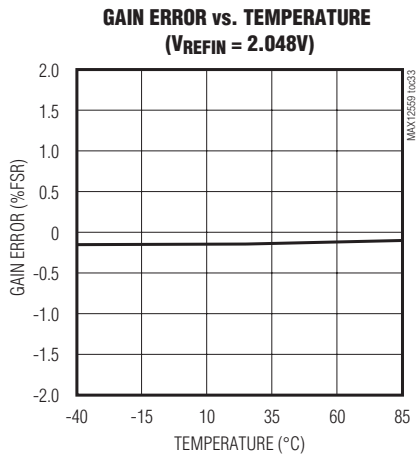
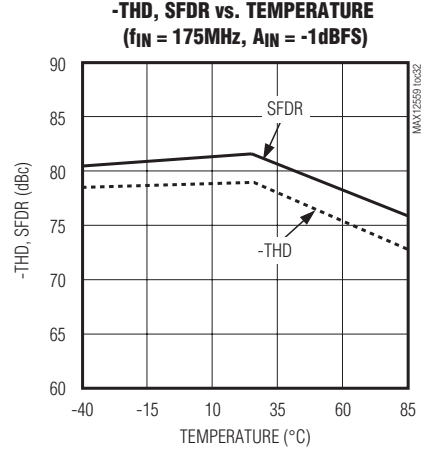
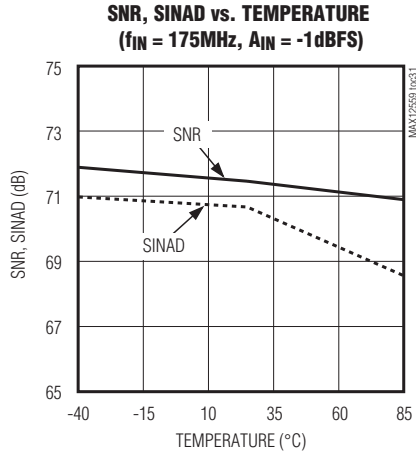


デュアル、96Msps、14ビット、IF/ベースバンドADC

MAX12559

標準動作特性(続き)

($V_{DD} = 3.3V$, $OV_{DD} = 2.0V$, $GND = 0$, $REFIN = REFOUT$ (internal reference), $C_L \approx 5pF$ at digital outputs, $V_{IN} = -1dBFS$ (differential), $DIFFCLK/SECLK = OV_{DD}$, $PD = GND$, $G/T = GND$, $f_{CLK} = 96MHz$ (50% duty cycle), $T_A = +25^\circ C$, unless otherwise noted.)



デュアル、96Msps、14ビット、IF/ベースバンドADC

MAX12559

端子説明

端子	名称	機能
1, 4, 5, 9, 13, 14, 17	GND	コンバータグランド。すべてのグランドピンとエクスポーズドパッド(EP)をまとめて接続します。
2	INAP	チャンネルAの正のアナログ入力
3	INAN	チャンネルAの負のアナログ入力
6	COMA	チャンネルAのコモンモード電圧I/O。0.1μFのコンデンサでCOMAをGNDにバイパスします。
7	REFAP	チャンネルAの正のリファレンスI/O。チャンネルAの変換範囲は $\pm 2/3 \times (V_{REFAP} - V_{REFAN})$ になります。0.1μFのコンデンサでREFAPをGNDにバイパスします。REFAPとREFANの間に4.7μFと0.1μFのバイパスコンデンサを接続します。REFAPとREFANとの間の0.1μFのコンデンサは、プリント基板の同一面で可能な限りデバイスの近くに配置してください。
8	REFAN	チャンネルAの負のリファレンスI/O。チャンネルAの変換範囲は $\pm 2/3 \times (V_{REFAP} - V_{REFAN})$ になります。0.1μFのコンデンサでREFANをGNDにバイパスします。REFAPとREFANの間に4.7μFと0.1μFのバイパスコンデンサを接続します。REFAPとREFANとの間の0.1μFのコンデンサは、プリント基板の同一面で可能な限りデバイスの近くに配置してください。
10	REFBN	チャンネルBの負のリファレンスI/O。チャンネルBの変換範囲は $\pm 2/3 \times (V_{REFBP} - V_{REFBN})$ になります。0.1μFのコンデンサでREFBNをGNDにバイパスします。REFBPとREFBNの間に4.7μFと0.1μFのバイパスコンデンサを接続します。REFBPとREFBNとの間の0.1μFのコンデンサは、プリント基板の同一面で可能な限りデバイスの近くに配置してください。
11	REFBP	チャンネルBの正のリファレンスI/O。チャンネルBの変換範囲は $\pm 2/3 \times (V_{REFBP} - V_{REFBN})$ になります。0.1μFのコンデンサでREFBPをGNDにバイパスします。REFBPとREFBNの間に4.7μFと0.1μFのバイパスコンデンサを接続します。REFBPとREFBNとの間の0.1μFのコンデンサは、プリント基板の同一面で可能な限りデバイスの近くに配置してください。
12	COMB	チャンネルBのコモンモード電圧I/O。0.1μFのコンデンサでCOMBをGNDにバイパスします。
15	INBN	チャンネルBの負のアナログ入力
16	INBP	チャンネルBの正のアナログ入力
18	DIFFCLK/ SECLK	差動/シングルエンド入力クロック駆動。この入力で、シングルエンドまたは差動のクロック入力駆動を選択します。 DIFFCLK/SECLK = GND：シングルエンドクロック入力駆動を選択。 DIFFCLK/SECLK = OV _{DD} ：差動クロック入力駆動を選択。
19	CLKN	負のクロック入力。差動クロック入力モード(DIFFCLK/SECLK = OV _{DD})の場合、差動クロック信号をCLKPとCLKNの間に接続します。シングルエンドクロックモード(DIFFCLK/SECLK = GND)の場合、クロック信号をCLKPに印加し、CLKNをGNDに接続します。
20	CLKP	正のクロック入力。差動クロック入力モード(DIFFCLK/SECLK = OV _{DD})の場合、差動クロック信号をCLKPとCLKNの間に接続します。シングルエンドクロックモード(DIFFCLK/SECLK = GND)の場合、クロック信号をCLKPに印加し、CLKNをGNDに接続します。
21	DIV2	2分周クロック分周器デジタル制御入力。詳細については表2を参照。
22	DIV4	4分周クロック分周器デジタル制御入力。詳細については表2を参照。
23-26, 61, 62, 63	V _{DD}	アナログ電源入力。V _{DD} は3.15V~3.60Vの電源に接続します。10μF以上と0.1μFのコンデンサを並列にしてV _{DD} をGNDにバイパスします。すべてのV _{DD} ピンを同一の電位に接続してください。
27, 43, 60	OV _{DD}	出力ドライバ電源入力。OV _{DD} は1.7V~V _{DD} の電源に接続します。10μF以上と0.1μFのコンデンサを並列にしてOV _{DD} をGNDにバイパスします。

デュアル、96Msps、14ビット、IF/ベースバンドADC

MAX12559

端子説明(続き)

端子	名称	機能
28	D0B	チャンネルB CMOSデジタル出力、ビット0 (LSB)
29	D1B	チャンネルB CMOSデジタル出力、ビット1
30	D2B	チャンネルB CMOSデジタル出力、ビット2
31	D3B	チャンネルB CMOSデジタル出力、ビット3
32	D4B	チャンネルB CMOSデジタル出力、ビット4
33	D5B	チャンネルB CMOSデジタル出力、ビット5
34	D6B	チャンネルB CMOSデジタル出力、ビット6
35	D7B	チャンネルB CMOSデジタル出力、ビット7
36	D8B	チャンネルB CMOSデジタル出力、ビット8
37	D9B	チャンネルB CMOSデジタル出力、ビット9
38	D10B	チャンネルB CMOSデジタル出力、ビット10
39	D11B	チャンネルB CMOSデジタル出力、ビット11
40	D12B	チャンネルB CMOSデジタル出力、ビット12
41	D13B	チャンネルB CMOSデジタル出力、ビット13 (MSB)
42	DORB	チャンネルBデータアウトオプレンジインジケータ。DORBデジタル出力は、チャンネルBアナログ入力の電圧が範囲外のとときにそれを示します。 DORB = 1 : デジタル出力がフルスケールレンジを超えている。 DORB = 0 : デジタル出力がフルスケールレンジ内である。
44	DAV	データ有効デジタル出力。DAVの立上りエッジが、デジタル出力にデータが存在することを示します。MAX12559評価キットでは、DAVを利用して任意の外部バックエンドデジタルロジックにデータをラッチしています。
45	D0A	チャンネルA CMOSデジタル出力、ビット0 (LSB)
46	D1A	チャンネルA CMOSデジタル出力、ビット1
47	D2A	チャンネルA CMOSデジタル出力、ビット2
48	D3A	チャンネルA CMOSデジタル出力、ビット3
49	D4A	チャンネルA CMOSデジタル出力、ビット4
50	D5A	チャンネルA CMOSデジタル出力、ビット5
51	D6A	チャンネルA CMOSデジタル出力、ビット6
52	D7A	チャンネルA CMOSデジタル出力、ビット7
53	D8A	チャンネルA CMOSデジタル出力、ビット8
54	D9A	チャンネルA CMOSデジタル出力、ビット9
55	D10A	チャンネルA CMOSデジタル出力、ビット10
56	D11A	チャンネルA CMOSデジタル出力、ビット11
57	D12A	チャンネルA CMOSデジタル出力、ビット12
58	D13A	チャンネルA CMOSデジタル出力、ビット13 (MSB)
59	DORA	チャンネルAデータアウトオプレンジインジケータ。DORAデジタル出力は、チャンネルAアナログ入力の電圧が範囲外のとときにそれを示します。 DORA = 1 : デジタル出力がフルスケールレンジを超えている。 DORA = 0 : デジタル出力がフルスケールレンジ内である。
64	G/T	出力フォーマット選択デジタル入力。 G/T = GND : 2の補数出力フォーマットが選択される。 G/T = OV _{DD} : グレイコード出力フォーマットが選択される。

デュアル、96MSPs、14ビット、1f/ベースバンドADC

端子説明(続き)

端子	名称	機能
65	PD	パワーダウンデジタル入力。 PD = GND : ADCが完全な動作状態になる。 PD = OV _{DD} : ADCがパワーダウン状態になる。
66	SHREF	共有リファレンスデジタル入力。 SHREF = V _{DD} : 共有リファレンス有効。 SHREF = GND : 共有リファレンス無効。 リファレンスを共有する場合、外部でREFAPとREFBPを接続して、V _{REFAP} = V _{REFBP} を保証します。 同様に、リファレンスを共有する場合、外部でREFANとREFBNを接続して、V _{REFAN} = V _{REFBN} を保証します。
67	REFOUT	内蔵リファレンス電圧出力。REFOUTの出力電圧は2.048Vであり、REFOUTは1mAを供給可能です。 内蔵リファレンス動作の場合、REFOUTをREFINに直結するか、またはREFOUTから抵抗分圧器を使用してREFINの電圧を設定します。0.1μF以上のコンデンサでREFOUTをGNDにバイパスします。 外部リファレンス動作の場合、REFOUTは不要であり、0.1μF以上のコンデンサでGNDにバイパスしなければなりません。
68	REFIN	シングルエンドリファレンスアナログ入力。内蔵リファレンスおよびバッファ付き外部リファレンス動作の場合、0.7V~2.3VのDCリファレンス電圧をREFINに印加します。4.7μFのコンデンサでREFINをGNDにバイパスします。仕様で示された動作電圧の範囲内で、REFINは50MΩを超える入力インピーダンスを持ち、差動リファレンス電圧(V _{REF P} - V _{REF N})がREFINから生成されます。バッファなし外部リファレンス動作の場合、REFINをGNDに接続します。このモードでは、REF_P、REF_N、およびCOM_は外部リファレンス電圧を印加可能なハイインピーダンス入力になります。
—	EP	エクスポーズドパッド。EPは内部でGNDに接続されています。仕様通りの動特性を達成するためには、外部でEPをGNDに接続してください。

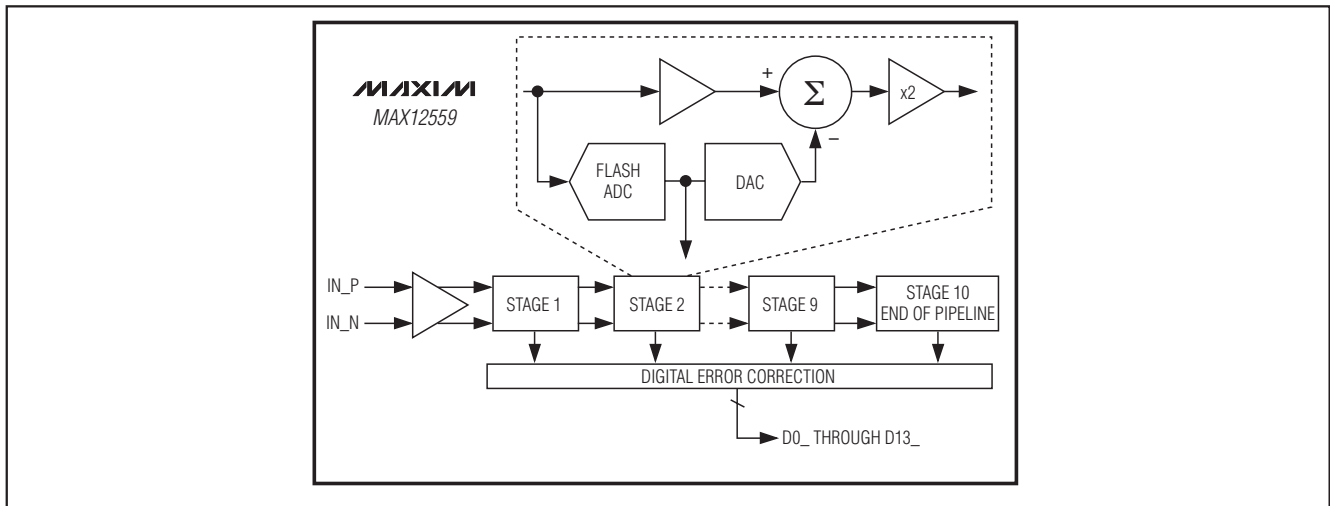


図1. パイプラインアーキテクチャ—各段ブロック構成

詳細

MAX12559は、高速な変換を実現すると同時に消費電力を最小化する、完全差動の10段パイプラインアーキテクチャを使用しています(図1)。入力で取得されたサンプルは、1/2クロックサイクルごとにパイプラインの各段を順に進んで行きます。入力から出力までの総レイテンシは8クロックサイクルです。パイプライン

各段のコンバータが、その段の入力電圧をデジタル出力コードに変換します。最終段を除いて、各段ごとに入力電圧とデジタル出力コードとの誤差が乗算されて、次のパイプライン段に渡されます。デジタル誤差修正が各パイプライン段でADCコンバータのオフセットを補償し、コードの欠落がないことを保証します。図2にMAX12559の機能ブロック図を示します。

デュアル、96Msps、14ビット、1F/ベースバンドADC

MAX12559

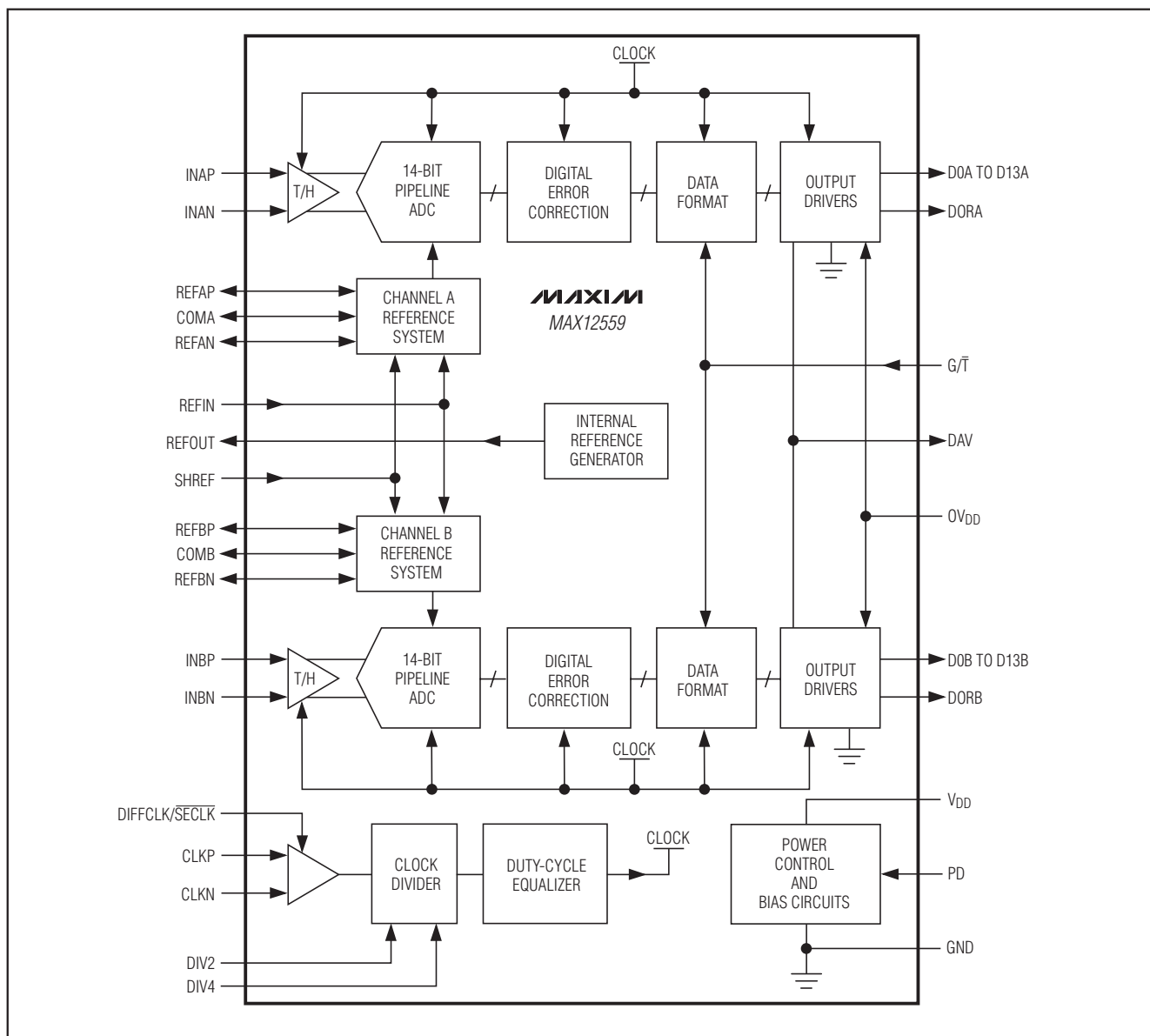


図2. 機能ブロック図

デュアル、96MSPS、14ビット、IF/ベースバンドADC

MAX12559

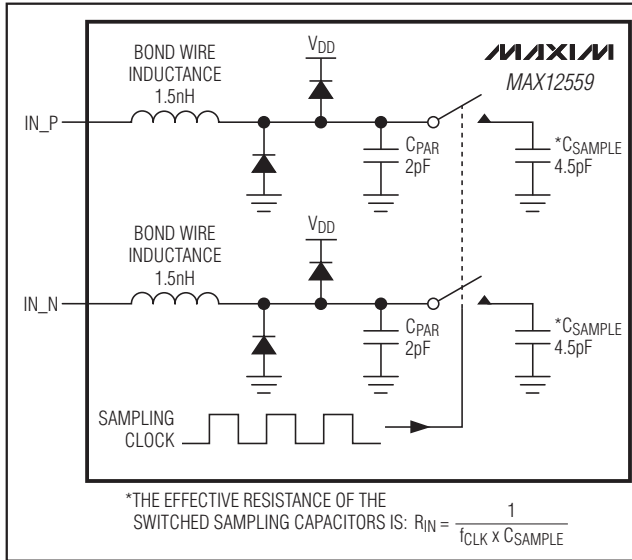


図3. 内蔵T/H回路

アナログ入力と入力トラックアンドホールド (T/H) アンプ

図3に、簡略化した入力T/H回路の機能ブロック図を示します。この入力T/H回路は175MHz以上の高いアナログ入力周波数(高IF)に対応し、 $V_{DD}/2$ の共通モード入力電圧をサポートします。

MAX12559のサンプリングクロックがスイッチトキャパシタ入力T/Hアーキテクチャ(図3)を制御し、アナログ入力信号をサンプリングコンデンサの電荷として保存することが可能になります。これらのスイッチは、サンプリングクロックがハイのとき閉(トラックモード)、サンプリングクロックがローのとき開(ホールドモード)になります(図4)。アナログ入力の信号源は、サンプリングコンデンサの充放電の動的電流を供給可能でなければなりません。信号の劣化を防ぐため、これらのコンデンサは1/2クロックサイクル内に1/2 LSBの精度まで充電されなければなりません。MAX12559のアナログ入力は、差動またはシングルエンドの入力駆動をサポートしています。差動入力で最高の性能を得るには、IN_PとIN_Nの入力インピーダンスをバランスさせ、共通モード電圧を電源中点($V_{DD}/2$)に設定してください。内蔵リファレンスモードおよびバッファ付き外部リファレンス動作の場合、MAX12559は $V_{DD}/2$ の最適な共通モード電圧をCOM出力から供給します。図9、10、および11に示すように、このCOM出力電圧を使って入力ネットワークにバイアスをかけることが可能です。

表1. リファレンスモード

VREFIN	REFERENCE MODE
35% VREFOUT to 100% VREFOUT	Internal Reference Mode. REFIN is driven by REFOUT either through a direct short or a resistive divider. $V_{COM} = V_{DD} / 2$ $V_{REF_P} = V_{DD} / 2 + 3/8 \times V_{REFIN}$ $V_{REF_N} = V_{DD} / 2 - 3/8 \times V_{REFIN}$
0.7V to 2.3V	Buffered External Reference Mode. An external 0.7V to 2.3V reference voltage is applied to REFIN. $V_{COM} = V_{DD} / 2$ $V_{REF_P} = V_{DD} / 2 + 3/8 \times V_{REFIN}$ $V_{REF_N} = V_{DD} / 2 - 3/8 \times V_{REFIN}$
< 0.5V	Unbuffered External Reference Mode. REF_P, REF_N, and COM_ are driven by external reference sources. The full-scale analog input range is $\pm(V_{REF_P} - V_{REF_N}) \times 2/3$.

リファレンス出力

内蔵バンドギャップリファレンスは、MAX12559で使用するすべての内部電圧とバイアス電流の基準です。パワーダウン論理入力(PD)によって、リファレンス回路の有効化と無効化が行われます。MAX12559がパワーダウンされているとき、REFOUTはGNDに対して約17kΩになります。MAX12559が最初に通電されたとき、またはPD (パワーダウン制御ライン)がハイからローに遷移したとき、リファレンス回路が立ち上がり、最終的な電圧で安定するまでに10msを必要とします。

内蔵バンドギャップリファレンスは、 $2.048V \pm 1\%$ のバッファ付きリファレンス電圧を、温度係数 $\pm 50\text{ppm}/^\circ\text{C}$ でREFOUTピンに生成します。安定動作のため、 $0.1\mu\text{F}$ 以上の外付けバイパスコンデンサをREFOUTとGNDの間に接続してください。REFOUTは外部回路に対して最大1mAのソースと最大0.1mAのシンクが可能であり、ロードレギュレーションは35mV/mAです。短絡保護によって、GNDに短絡したとき I_{REFOUT} は2.1mAのソース電流に制限され、 V_{DD} に短絡したとき0.24mAのシンク電流に制限されます。REFOUT同様、REFINも $4.7\mu\text{F}$ のコンデンサでGNDにバイパスしてください。

リファレンスの設定

MAX12559のフルスケールアナログ入力範囲は $\pm 2/3 \times V_{REF}$ 、共通モード入力範囲は $V_{DD}/2 \pm 0.5V$ です。 V_{REF} は、REFAP (REFBP)とREFAN (REFBN)の間の電圧の差です。MAX12559は3種類のリファレンス動作モードを提供しています。REFINの電圧(V_{REFIN})を設定することで、リファレンスの動作モードを選択します(表1)。

デュアル、96Msps、14ビット、IF/ベースバンドADC

内蔵リファレンスモードにするには、直結または抵抗分圧器を使ってREFOUTをREFINに接続します。COM₋、REF_P、およびREF_Nはローインピーダンス出力になり、 $V_{COM-} = V_{DD} / 2$ 、 $V_{REF_P} = V_{DD} / 2 + 3/8 \times V_{REFIN}$ 、そして $V_{REF_N} = V_{DD} / 2 - 3/8 \times V_{REFIN}$ です。REF_P、REF_N、およびCOM₋を、それぞれ0.1μFのコンデンサでGNDにバイパスします。10μFのコンデンサでREF_PをREF_Nにバイパスします。REFINとREFOUTを0.1μFのコンデンサでGNDにバイパスします。REFINの入インピーダンスは非常に大きな値(50MΩ以上)になります。抵抗分圧器を通してREFINを駆動するときは、REFOUTへの負荷を避けるため10kΩ以上の抵抗値を使用してください。

バッファ付き外部リファレンスモードは、リファレンスソースが外部リファレンスから供給されてMAX12559の内蔵バンドギャップリファレンスではないという点を除けば、実質的には内蔵リファレンスモードと同じです。バッファ付き外部リファレンスモードでは、0.7V~2.3Vの安定したリファレンス電圧ソースをREFINに印加します。COM₋、REF_P、およびREF_Nの各ピンはローインピーダンス出力になり、 $V_{COM-} = V_{DD} / 2$ 、 $V_{REF_P} = V_{DD} / 2 + 3/8 \times V_{REFIN}$ 、そして $V_{REF_N} = V_{DD} / 2 - 3/8 \times V_{REFIN}$ です。REF_P、REF_N、およびCOM₋を、それぞれ0.1μFのコンデンサでGNDにバイパスします。4.7μFのコンデンサでREF_PをREF_Nにバイパスします。

バッファなしの外部リファレンスモードに入るには、REFINをGNDに接続します。REFINをGNDに接続すると、COM₋、REF_P、およびREF_Nに対するオンチップのリファレンスバッファが無効化されます。バッファが無効化された場合、COM₋、REF_P、およびREF_Nはハイインピーダンス入力になり、それぞれ独立した、外部のリファレンスソースで駆動しなければなりません。 V_{COM-} は $V_{DD} / 2 \pm 5\%$ に、REF_PとREF_Nは $V_{COM-} = (V_{REF_P} + V_{REF_N}) / 2$ になるように駆動してください。アナログ入力の範囲は、 $\pm(V_{REF_P} - V_{REF_N}) \times 2/3$ になります。REF_P、REF_N、およびCOM₋を、それぞれ0.1μFのコンデンサでGNDにバイパスします。4.7μFのコンデンサでREF_PをREF_Nにバイパスします。

すべてのリファレンスモードについて、REFOUTを0.1μFのコンデンサで、REFINを4.7μFのコンデンサで、それぞれGNDにバイパスします。

MAX12559は共有リファレンスモードも備えており、ユーザがチャンネル間のより良いマッチングを達成することができます。リファレンスを共有する場合(SHREF = V_{DD})、外部でREFAPとREFBPを接続して $V_{REFAP} = V_{REFBP}$ を保証します。同様に、リファレンスを共有する場合、外部でREFANとREFBNを接続して $V_{REFAN} = V_{REFBN}$ を保証します。

MAX12559の共有リファレンスモードを無効化するには、SHREFをGNDに接続します。この独立リファレンスモードでは、チャンネル間のより良い分離性が達成されます。詳細な回路の提案およびバッファ付き/バッファなし外部リファレンスモードでADCを駆動する方法については、

「アプリケーション情報」の項をご覧ください。

クロックデューティサイクルイコライザ

MAX12559はクロックデューティサイクルイコライザを内蔵しており、CLKPおよびCLKNに印加される信号のデューティサイクルにコンバータが影響されないようになっています。コンバータの動特性に悪影響を受けることなく、25%~75%のクロックデューティサイクルの変動に対応します。

クロックデューティサイクルイコライザは、ディレイロックループ(DLL)を使って、デューティサイクルに依存しない内部タイミング信号を生成します。このDLLがあるため、MAX12559は新しいクロック周波数を取得してそれにロックするために約100クロックサイクルを必要とします。

クロック入力およびクロック制御ライン

MAX12559は、差動およびシングルエンドの両方のクロック入力が可能であり、25%~75%という幅広い入力クロックデューティサイクルに対応します。シングルエンドクロック入力動作の場合、DIFFCLK/SECLKとCLKNをGNDに接続します。外部のシングルエンドクロック信号をCLKPに印加します。クロックジッタを低減させるため、外部シングルエンドクロックは急峻な立下りエッジを持つものでなければなりません。差動クロック入力動作の場合、DIFFCLK/SECLKを OV_{DD} に接続します。外部の差動クロック信号をCLKPとCLKNに印加します。クロック入力をアナログ入力と考えて、他のアナログ入力およびデジタル信号ラインから離して配線します。MAX12559がパワーダウンされると、CLKPとCLKNはハイインピーダンス状態に入ります(図4)。

MAX12559の仕様通りのSNR特性を得るためには、クロックジッタの低減が要求されます。アナログ入力はCLKP(CLKN)の立下り(立上り)エッジでサンプリングされるため、このエッジのジッタを可能な限り低くする必要があります。あらゆるADCの最大SNR特性は、次の関係に従ってジッタによる制限を受けます。

$$SNR = 20 \times \log \left(\frac{1}{2 \times \pi \times f_{IN} \times t_J} \right)$$

ここで、 f_{IN} はアナログ入力の周波数を表し、 t_J は総システムクロックジッタを示します。クロックジッタは、アンダサンプリングを行うアプリケーションで特に重要になります。たとえば、クロックジッタが唯一のノイズ源であると仮定したとき、入力周波数175MHzで仕様通りの71.9dBというSNRを得るためには、システムのクロックジッタが0.23psより低くなくてはなりません。しかし現実には、熱雑音や量子化ノイズなど、他にもシステムノイズの原因となるノイズ源が存在するため、175MHzにおいて仕様通り71.9dBというSNRを得るためには、クロックジッタが0.18psより低いことが要求されます。

デュアル、96MSPS、14ビット、1/2/ベースバンドADC

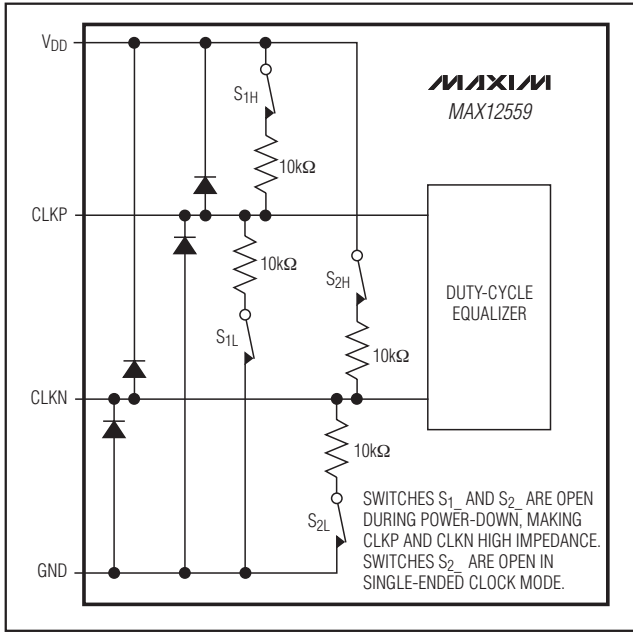


図4. 単純化したクロック入力回路

クロック分周器制御入力(DIV2、DIV4)

MAX12559は、3種類のサンプリング/クロック動作モードを備えています(表2参照)。両方の制御ラインをローにプルダウンすると、クロック分周器の機能が無効化され、コンバータはフルクロックスピードでサンプリングを行います。DIV4をローに、DIV2をハイにすると2分周機能が有効化され、サンプリング速度が、選択したクロック周波数の1/2に設定されます。4分周モードでは、コンバータのサンプリング速度がMAX12559のクロック速度の1/4に設定されます。4分周モードは、DIV4にハイレベル、DIV2にローレベルを印加することで実現されます。クロック速度の1/2または1/4をサン

表2. クロック分周器制御入力

DIV4	DIV2	FUNCTION
0	0	Clock Divider Disabled $f_{SAMPLE} = f_{CLK}$
0	1	Divide-by-Two Clock Divider $f_{SAMPLE} = f_{CLK} / 2$
1	0	Divide-by-Four Clock Divider $f_{SAMPLE} = f_{CLK} / 4$
1	1	Not Allowed

リングに使用するという選択肢が与えられていることで、設計の柔軟性が提供され、クロックの要件が緩和され、クロックジッタの最少化が可能になっています。

システムタイミング要件

図5に、クロック、アナログ入力、DAVインジケータ、DOR_インジケータ、および結果の出力データの間におけるタイミングの関係を示します。アナログ入力はCLKP (CLKN)の立下り(立上り)エッジでサンプリングされ、結果のデータは8クロックサイクル後にデジタル出力に現れます。

DAVインジケータはデジタル出力と同期しており、データをデジタルバックエンド回路にラッチする用途に最適化されています。または、変換クロック(CLKP-CLKN)の立上りエッジに合わせてデジタルバックエンド回路をラッチすることも可能です。

データ有効出力

DAVは、入力クロックのシングルエンド版であり、入力クロックのデューティサイクルが変動してもそれを矯正するための補償が加えられています。MAX12559の

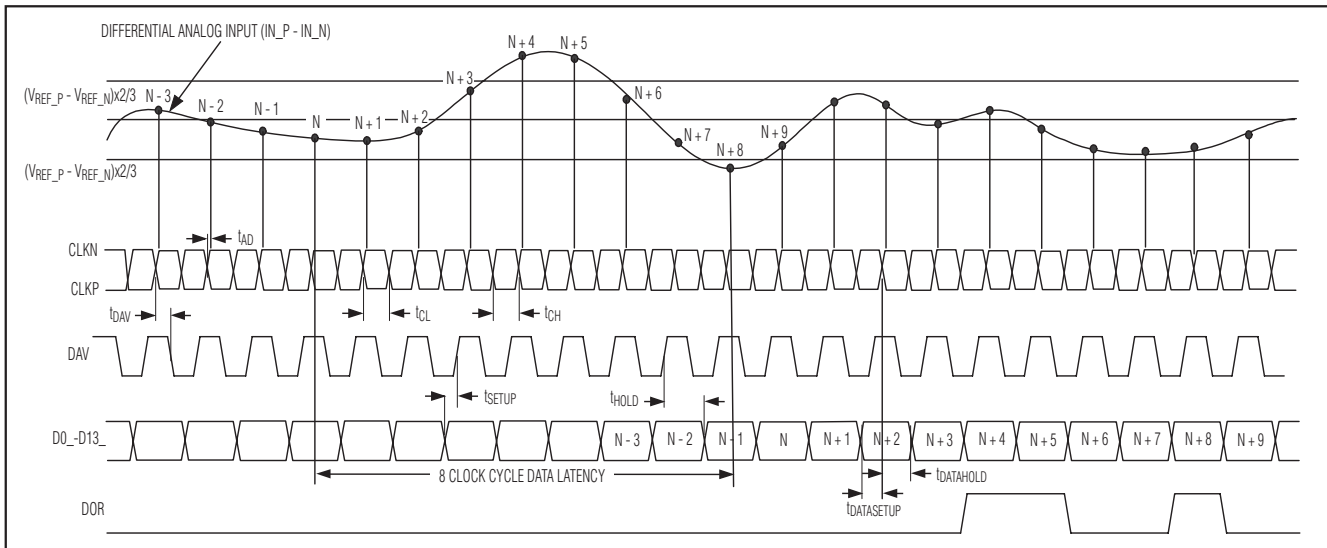


図5. システムタイミング図

デュアル、96Msps、14ビット、IF/ベースバンドADC

出力データはDAVの立下りエッジで変化し、出力データが有効になった後でDAVが立上ります。DAVの立下りエッジは、入力クロックの立下りエッジから5.8nsのディレイになるように同期化されています。D0A/B~D13A/BおよびDORA/Bの出力データは、DAVの立上りエッジの3.6ns前から、DAVの立上りエッジの3.55ns後まで有効です。

MAX12559がパワーダウンされる(PD = OV_{DD})されると、DAVはハイインピーダンス状態に入ります。DAVは、PDの立上りエッジから10ns後にハイインピーダンス状態に入り、PD がローに遷移した10ns後に再びアクティブになります。

DAVは600μAのシンクおよびソースが可能であり、D0A/B~D13A/BおよびDORA/Bの3倍の駆動能力があります。DAVは、通常MAX12559の出力データを外部のデジタルバックエンド回路にラッチするために使用されます。大きなデジタル電流がMAX12559のアナログ部分にフィードバックされ、動特性が劣化する原因になるのを防ぐため、DAVに対する容量性負荷は可能な限り低い値(15pF未満)にしてください。外部でDAVをバッファリングすれば、大きな容量性負荷から分離することができます。外部バッファを通じたDAV信号の駆動方法に関する推奨事項については、MAX12559のEVキットの図を参照してください。

データアウトオブレンジインジケータ

DORAおよびDORBデジタル出力は、アナログ入力電圧が範囲外のときにそれを知らせます。DOR₊がハイのとき、アナログ入力範囲外です。DOR₊がローのとき、アナログ入力は範囲内です。有効な差動入力の範囲は、(V_{REF_P} - V_{REF_N}) × 2/3から(V_{REF_N} - V_{REF_P}) × 2/3までの間です。表1に示すように、この有効差動範囲外の信号が入力されるとDOR₊がハイにアサートされます。

DORはDAVと同期しており、出力データD13₊~D0₊とともに遷移します。出力データ同様、DOR機能にも8クロックサイクルのレイテンシが存在します(図5)。MAX12559のパワーダウン時(PD = high)には、DOR₊はハイインピーダンス状態になります。DOR₊は、PDの立上りエッジから10ns以内にハイインピーダンス状態に入り、PDの立下りエッジから10ns以内にアクティブになります。

デジタル出力データおよび出力フォーマット選択

MAX12559は、2つの14ビット、パラレル、トライステート出力バスを備えています。D0A/B~D13A/BおよびDORA/Bは、DAVの立下りエッジで更新され、DAVの立上りエッジで有効になります。

表3. 出力コードと入力電圧の関係

GRAY-CODE OUTPUT CODE (G/T = 1)				TWO'S-COMPLEMENT OUTPUT CODE (G/T = 0)				V _{IN_P} - V _{IN_N} V _{REF_P} = 2.418V V _{REF_N} = 0.882V
BINARY D13A-D0A D13B-D0B	DOR	HEXADECIMAL EQUIVALENT OF D13A-D0A D13B-D0B	DECIMAL EQUIVALENT OF D13A-D0A D13B-D0B (CODE ₁₀)	BINARY D13A-D0A D13B-D0B	DOR	HEXADECIMAL EQUIVALENT OF D13A-D0A D13B-D0B	DECIMAL EQUIVALENT OF D13A-D0A D13B-D0B (CODE ₁₀)	
10 0000 0000 0000	1	0x2000	+16,383	01 1111 1111 1111	1	0x1FFF	+8191	> +1.023875V (DATA OUT OF RANGE)
10 0000 0000 0000	0	0x2000	+16,383	01 1111 1111 1111	0	0x1FFF	+8191	+1.023875V
10 0000 0000 0001	0	0x2001	+16,382	01 1111 1111 1110	0	0x1FFE	+8190	+1.023750V
11 0000 0000 0011	0	0x3003	+8194	00 0000 0000 0010	0	0x0002	+2	+0.000250V
11 0000 0000 0001	0	0x3001	+8193	00 0000 0000 0001	0	0x0001	+1	+0.000125V
11 0000 0000 0000	0	0x3000	+8192	00 0000 0000 0000	0	0x0000	0	+0.000000V
01 0000 0000 0000	0	0x1000	+8191	11 1111 1111 1111	0	0x3FFF	-1	-0.000125V
01 0000 0000 0001	0	0x1001	+8190	11 1111 1111 1110	0	0x3FFE	-2	-0.000250V
00 0000 0000 0001	0	0x0001	+1	10 0000 0000 0001	0	0x2001	-8191	-1.023875V
00 0000 0000 0000	0	0x0000	0	10 0000 0000 0000	0	0x2000	-8192	-1.024000V
00 0000 0000 0000	1	0x0000	0	10 0000 0000 0000	1	0x2000	-8192	< -1.024000V (DATA OUT OF RANGE)

デュアル、96MSPs、14ビット、IF/ベースバンドADC

MAX12559

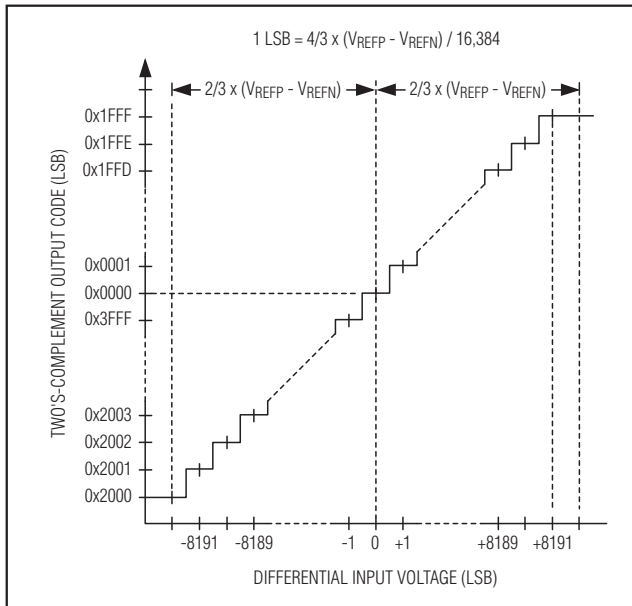


図6. 2の補数の伝達関数($G/T = 0$)

MAX12559の出力データフォーマットは、論理入力 G/T の設定によって、グレイコードまたは2の補数形式のいずれかになります。 G/T がハイのとき、出力データフォーマットはグレイコードです。 G/T がローのとき、出力データフォーマットは2の補数形式に設定されます。バイナリからグレイおよびグレイからバイナリへのコード変換例は、図8をご覧ください。

以下の式、表3、図6、および図7で、デジタル出力とアナログ入力の関係が定義されます。

グレイコード($G/T = 1$):

$$V_{IN_P} - V_{IN_N} = \frac{2/3 \times (V_{REF_P} - V_{REF_N}) \times 2 \times (\text{CODE}_{10} - 8192)}{16,384}$$

2の補数($G/T = 0$):

$$V_{IN_P} - V_{IN_N} = \frac{2/3 \times (V_{REF_P} - V_{REF_N}) \times 2 \times \text{CODE}_{10}}{16,384}$$

ここで、 CODE_{10} はデジタル出力コードに相当する10進数です(表3参照)。

MAX12559がパワーダウン($PD = 1$)モードのとき、デジタル出力D0A/B~D13A/Bはハイインピーダンスになります。D0A/B~D13A/Bは、PDの立上りエッジから10ns後にこの状態に入り、PDがローに遷移した10ns後にアクティブに戻ります。

大きなデジタル電流がコンバータのアナログ部分にフィードバックされ、動特性が劣化する原因になるのを防ぐため、MAX12559のデジタル出力D0A/B~D13A/Bに対する容量性負荷は可能な限り低い値(15pF

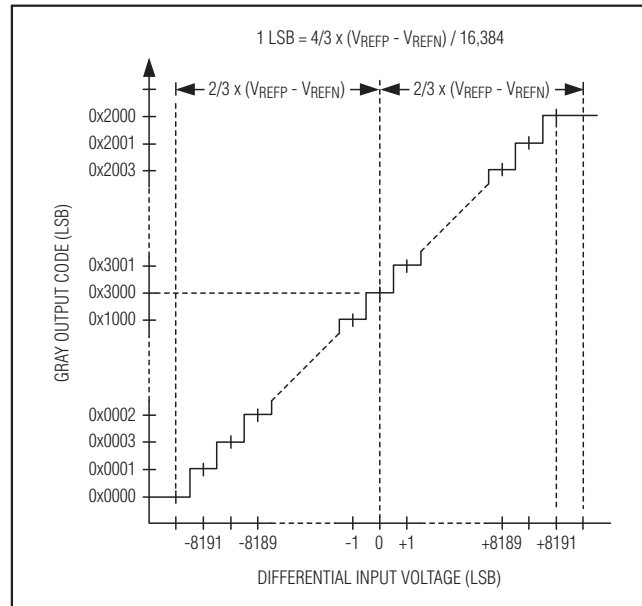


図7. グレイコードの伝達関数($G/T = 1$)

未満)にしてください。デジタル出力に外付けのデジタルバッファを付加することによって、MAX12559を大きな容量性負荷から分離するのに役立ちます。MAX12559の動特性を改善するため、MAX12559に近い位置で、デジタル出力と直列に220Ωの抵抗を付加します。220Ωの直列抵抗と外付けのデジタル出力バッファを通してデジタル出力を駆動する方法のガイドラインについては、MAX12559のEVキットの図を参照してください。

パワーダウン入力

MAX12559は2種類のパワーモードを備えており、パワーダウンデジタル入力(PD)で制御します。PDがローの場合、コンバータは通常動作モードになります。PDがハイの場合、MAX12559はパワーダウンモードになります。

パワーダウンモードでは、変換が必要ないときは低消費電力状態に遷移することによって、MAX12559は効率的に電力を使用することができます。さらに、パワーダウンモードではMAX12559の平行出力バスがハイインピーダンスになり、バス上の他のデバイスへのアクセスが可能になります。

パワーダウンモードでは、すべての内部回路がオフになり、アナログ電源電流が50μA以下に減少し、デジタル電源電流が1μAに減少します。次のリストに、パワーダウンモードにおけるアナログ入力およびデジタル出力の状態を示します。

デュアル、96Msps、14ビット、IF/ベースバンドADC

BINARY-TO-GRAY CODE CONVERSION

1) THE MOST SIGNIFICANT GRAY-CODE BIT IS THE SAME AS THE MOST SIGNIFICANT BINARY BIT.

D13	→	D11	→	D7	→	D3	→	D0	BIT POSITION
0	1	1	0	1	1	0	1	0	BINARY
↓									
0									GRAY CODE

2) SUBSEQUENT GRAY-CODE BITS ARE FOUND ACCORDING TO THE FOLLOWING EQUATION:

$$\text{GRAY}_X = \text{BINARY}_X \oplus \text{BINARY}_{X+1}$$

WHERE \oplus IS THE EXCLUSIVE OR FUNCTION (SEE TRUTH TABLE BELOW) AND X IS THE BIT POSITION:

$$\text{GRAY}_{12} = \text{BINARY}_{12} \oplus \text{BINARY}_{13}$$

$$\text{GRAY}_{12} = 1 \oplus 0$$

$$\text{GRAY}_{12} = 1$$

D13	→	D11	→	D7	→	D3	→	D0	BIT POSITION
0	1	1	0	1	1	0	1	0	BINARY
↓	⊕								
0	1								GRAY CODE

3) REPEAT STEP 2 UNTIL COMPLETE:

$$\text{GRAY}_{11} = \text{BINARY}_{11} \oplus \text{BINARY}_{12}$$

$$\text{GRAY}_{11} = 1 \oplus 1$$

$$\text{GRAY}_{11} = 0$$

D13	→	D11	→	D7	→	D3	→	D0	BIT POSITION
0	1	1	0	1	1	0	1	0	BINARY
↓	⊕	↓							
0	1	0							GRAY CODE

4) THE FINAL GRAY-CODE CONVERSION IS:

D13	→	D11	→	D7	→	D3	→	D0	BIT POSITION
0	1	1	0	1	1	0	1	0	BINARY
0	1	0	1	1	0	1	1	0	GRAY CODE

GRAY-TO-BINARY CODE CONVERSION

1) THE MOST SIGNIFICANT BINARY BIT IS THE SAME AS THE MOST SIGNIFICANT GRAY-CODE BIT.

D13	→	D11	→	D7	→	D3	→	D0	BIT POSITION
0	1	0	1	1	0	1	1	0	GRAY CODE
↓									
0									BINARY

2) SUBSEQUENT BINARY BITS ARE FOUND ACCORDING TO THE FOLLOWING EQUATION:

$$\text{BINARY}_X = \text{BINARY}_{X+1} \oplus \text{GRAY}_X$$

WHERE \oplus IS THE EXCLUSIVE OR FUNCTION (SEE TRUTH TABLE BELOW) AND X IS THE BIT POSITION:

$$\text{BINARY}_{12} = \text{BINARY}_{13} \oplus \text{GRAY}_{12}$$

$$\text{BINARY}_{12} = 0 \oplus 1$$

$$\text{BINARY}_{12} = 1$$

D13	→	D11	→	D7	→	D3	→	D0	BIT POSITION
0	1	0	1	1	0	1	1	0	GRAY CODE
↓	⊕	↓							
0	1	1							BINARY

3) REPEAT STEP 2 UNTIL COMPLETE:

$$\text{BINARY}_{11} = \text{BINARY}_{12} \oplus \text{GRAY}_{11}$$

$$\text{BINARY}_{11} = 1 \oplus 0$$

$$\text{BINARY}_{11} = 1$$

D13	→	D11	→	D7	→	D3	→	D0	BIT POSITION
0	1	1	0	1	1	0	1	0	GRAY CODE
↓	⊕	↓	⊕						
0	1	1	1						BINARY

4) THE FINAL BINARY CONVERSION IS:

D13	→	D11	→	D7	→	D3	→	D0	BIT POSITION
0	1	0	1	1	0	1	1	0	GRAY CODE
0	1	1	0	1	1	0	1	0	BINARY

EXCLUSIVE OR TRUTH TABLE

A	B	Y = A ⊕ B
0	0	0
0	1	1
1	0	1
1	1	0

FIGURE 8 SHOWS THE GRAY-TO-BINARY AND BINARY-TO-GRAY CODE CONVERSION IN OFFSET BINARY FORMAT. THE OUTPUT FORMAT OF THE MAX12559 IS TWO'S-COMPLEMENT BINARY, HENCE EACH MSB OF THE TWO'S-COMPLEMENT OUTPUT CODE MUST BE INVERTED TO REFLECT TRUE OFFSET BINARY FORMAT.

図8. バイナリからグレイおよびグレイからバイナリのコード変換

デュアル、96Mps、14ビット、IF/ベースバンドADC

MAX12559

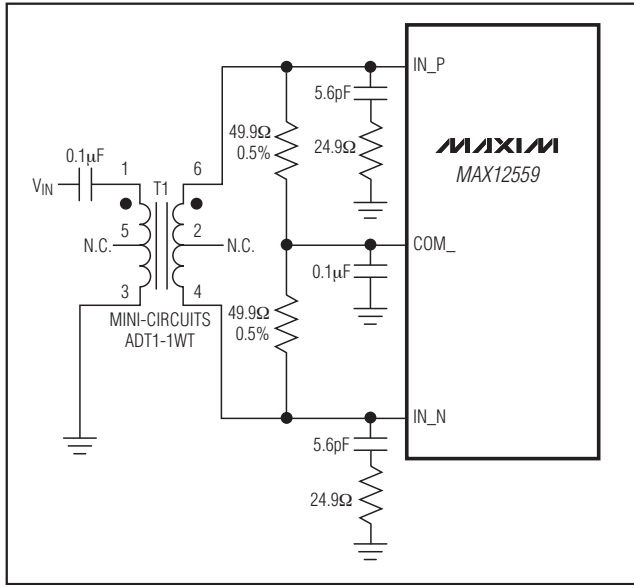


図9. ナイキストまでの入力周波数に対応するトランスカップリング入力駆動

- 1) INAP/B、INAN/Bの各アナログ入力は内部の入力アンプから切り離されます(図3)。
- 2) REFOUTは、GNDに対して約17kΩです。
- 3) REFAP/B、COMA/B、REFAN/BはV_{DD}とGNDに対してハイインピーダンス状態に入りますが、REFAP/BとCOMA/Bの間には4kΩの内部抵抗が存在し、同じくREFAN/BとCOMA/Bの間にも4kΩの内部抵抗が存在します。
- 4) DOA~D13A、DOB~D13B、DORA、およびDORBはハイインピーダンス状態に入ります。
- 5) DAVはハイインピーダンス状態に入ります。
- 6) CLKP、CLKN各クロック入力はハイインピーダンス状態に入ります(図4)。

パワーダウンモードからのウェイクアップ時間は、REF_P、REF_N、およびCOM_の各コンデンサの充電時間が大半を占めます。内蔵リファレンスモードとバッファ付き外部リファレンスモードの場合、標準的なウェイクアップ時間は10msです。バッファなし外部リファレンスモードで動作している場合、ウェイクアップ時間は外付けのリファレンスドライバに依存します。

アプリケーション情報

トランスカップリングの使用

一般にMAX12559は、特に125MHzを超える入力周波数において、完全差動入力信号の方がシングルエンド入力駆動よりもSFDRとTHDが良好です。差動入力モードでは、両方の入力バランスされるため偶数次の高調波

が低くなり、ADCの各入力が必要とする信号の振幅がシングルエンド入力モードの半分になります。

RFトランス(図9)には、MAX12559が最高の性能を発揮するために必要となる、シングルエンドの入力ソース信号を完全差動信号に変換するための優れたソリューションが提供されます。トランスのセンタタップをCOMに接続することによって、V_{DD}/2のDCレベルシフトが入力に与えられます。図では1:1のトランスを示していますが、駆動条件を軽減するためにステップアップトランスを選択することも可能です。オペアンプなど、入力ドライバからの信号振幅の減少も、全体的な歪みの改善につながります。図9の構成は、ナイキスト($f_{CLK}/2$)までの周波数に対応します。

図10の回路も、図9と同じようにシングルエンドの入力信号を完全差動に変換します。しかし、図10ではトランスをもう1つ使用してコモンモード除去を改善し、ナイキスト周波数を超える高い周波数の信号に対応させています。75Ωと110Ωの終端抵抗の組み合わせによって、信号ソースに対して50Ωと等価な終端を提供します。第2の終端抵抗のセットがCOM₁に接続され、正しい入力コモンモード電圧を提供します。2つの0Ω抵抗をアナログ入力と直列に接続することで、高いIF入力周波数を可能にしています。これらの0Ω抵抗を低い抵抗値のものに変えることで、入力の帯域幅を制限することが可能です。

図10の入力ネットワークに変更を加えて、単に入力容量を抵抗(R_{IN})とコンデンサ(C_{IN})の直列ネットワークに置き換えることによって、周波数レンジに固有なMAX12559のAC特性を強化することができます。表4に、特定の入力周波数範囲だけを必要とする固有のアプリケーション向けに、もともと優れているこのADCの性能をさらに改善するための、抵抗とコンデンサの推奨される選択を示します。

シングルエンドACカップリング入力信号

図11は、ACカップリングされたシングルエンド入力アプリケーションを示しています。MAX4108は、入力信号の完全性を維持するための高速性、高帯域性、低ノイズ性、および低歪み性を備えています。

バッファ付き外部リファレンスによる複数ADCの駆動

バッファ付き外部リファレンスモードでは、MAX12559のリファレンス電圧をより自由に制御することができ、複数のコンバータで共通のリファレンスを使用することが可能です。REFINの入力インピーダンスは50MΩ以上になります。

デュアル、96Msps、14ビット、IF/ベースバンドADC

MAX12559

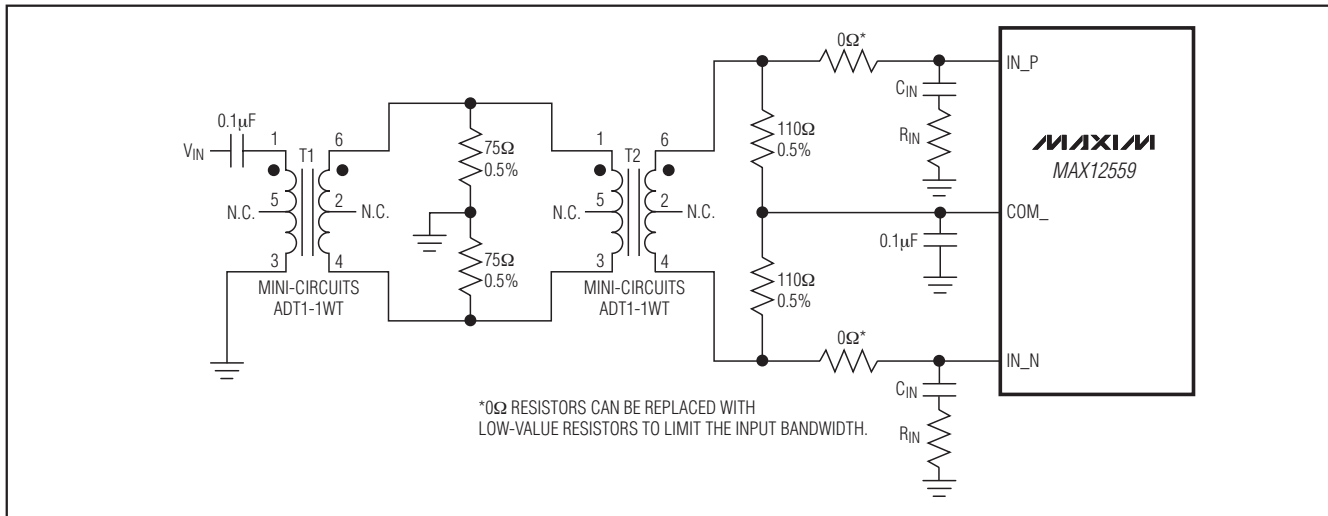


図10. ナイキストを超える入力周波数に対応するトランスカップリング入力駆動

図12では、MAX6029高精度2.048Vバンドギャップリファレンスを、複数のコンバータの共通リファレンスとして使用しています。MAX6029の2.048Vの出力は、単極の10Hz LPフィルタを通してMAX4230に渡されます。

MAX4250は2.048Vのリファレンスをバッファリングし、さらに10HzのLPフィルタを通した後で、その出力がMAX12559のREFIN入力に印加されます。

バッファなし外部リファレンスによる複数ADCの駆動

バッファなし外部リファレンスモードでは、MAX12559のリファレンスを高精度に制御することができ、複数のコンバータで共通のリファレンスを使用することが可能です。REFINをGNDに接続すると内蔵リファレンスが無効化され、1組の外部リファレンスソースによってREF_P、REF_N、およびCOM_を直接駆動できるようになります。

図13では、高精度3.000VバンドギャップリファレンスMAX6029を、複数のコンバータの共通リファレンスとして使用しています。MAX6029の電圧リファレンスの後に、7つの部品からなる抵抗分圧器チェーンが続いています。0.47µFのコンデンサをこのチェーンと組み合わせて、10HzのLPフィルタを形成しています。3個のMAX4230アンプがこの抵抗チェーンの各タップをバッファリングし、2.413V、1.647V、および0.880VをMAX12559のREF_P、REF_N、およびCOM_の各リファレンス入力に提供します。MAX4230オペアンプ周りのフィードバックによって、さらにもう1段の10Hz LPフィルタが提供されています。2.413Vと0.880Vのリファレンス電圧によって、コンバータのフルスケール

表4. 周波数レンジに固有なAC性能改善のための部品選択

INPUT FREQUENCY RANGE	C _{IN} COMPONENT VALUES	R _{IN} COMPONENT VALUES
< 10MHz	12pF to 22pF	0Ω
10MHz to 125MHz	12pF	50Ω
> 125MHz	5.6pF	0Ω

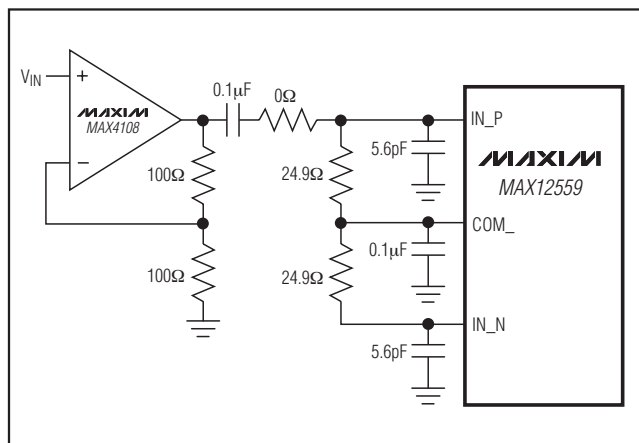


図11. シングルエンドのACカップリング入力駆動

アナログ入力レンジが $\pm 1.022V (\pm [V_{REF_P} - V_{REF_N}] \times 2/3)$ に設定されます。

単一の電源ですべてのアクティブな回路コンポーネントに対応することで、電源オン/オフ時の電源シーケンスについて考える必要もなくなることを注目してください。

デュアル、96MSPS、14ビット、IF/ベースバンドADC

MAX12559

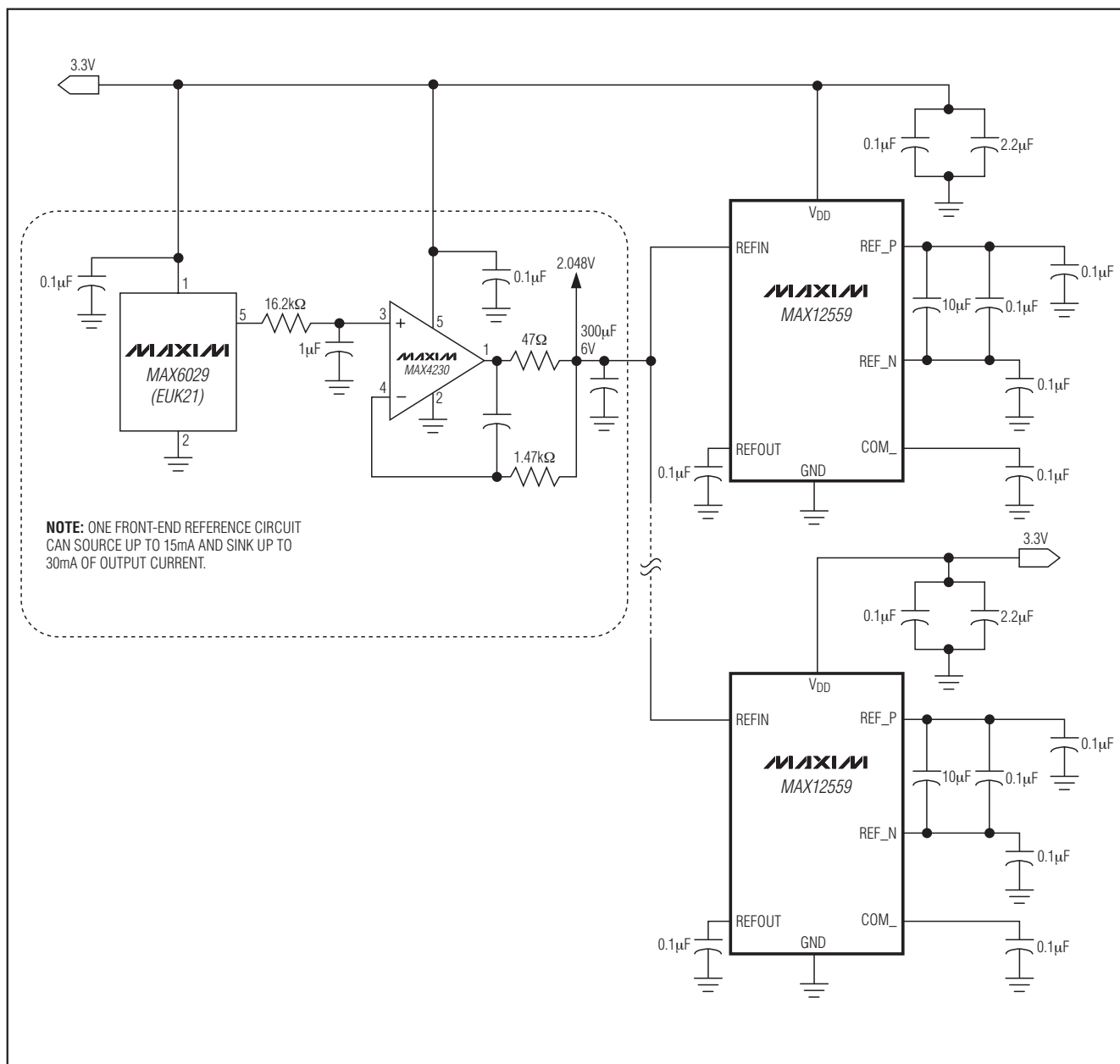


図12. MAX6029バンドギャップリファレンスを使用したバッファ(MAX4230)付き外部リファレンス駆動

デュアル、96Msps、14ビット、IF/ベースバンドADC

MAX12559

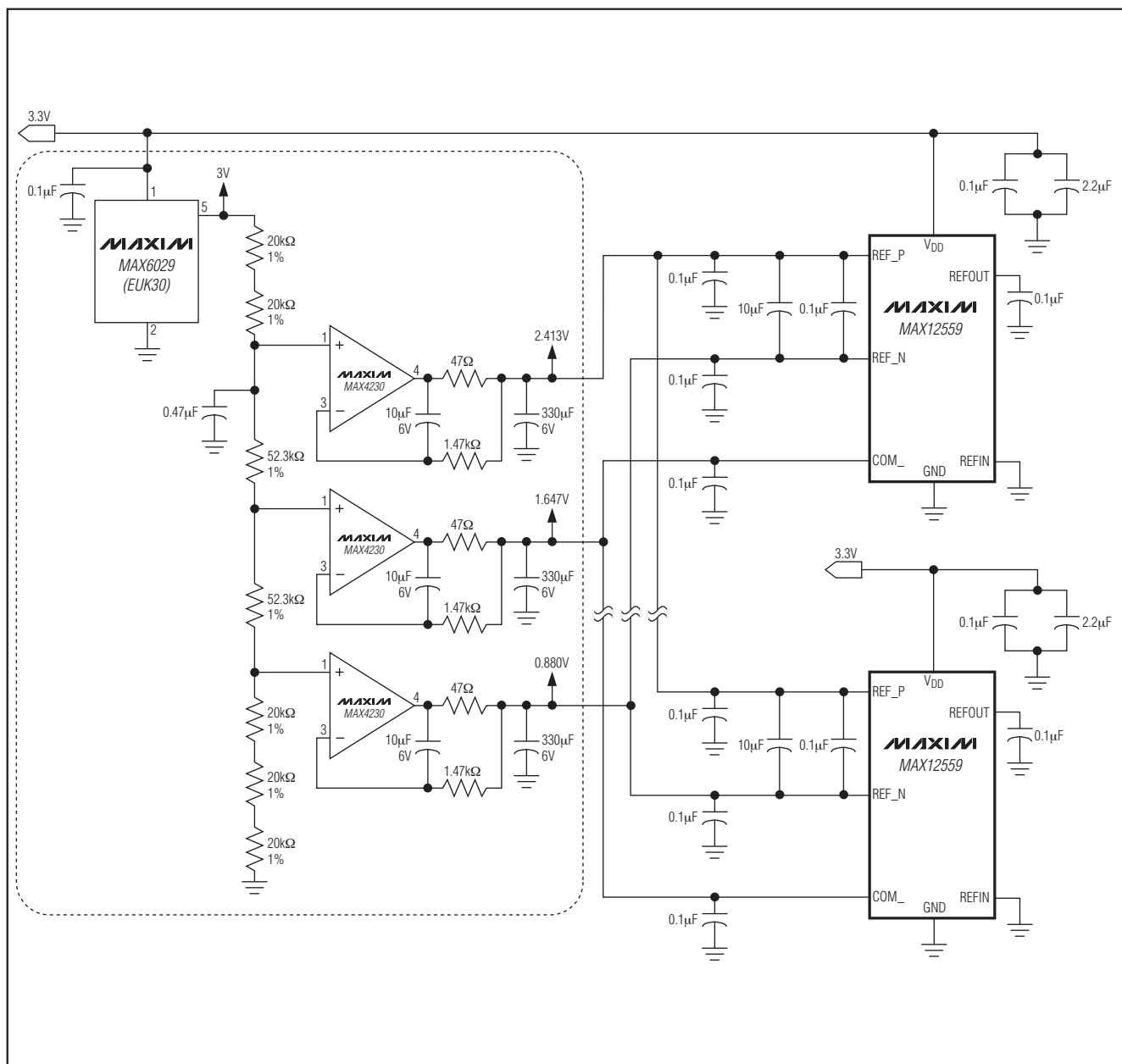


図13. バッファなし外部リファレンスによる複数ADCの駆動

デュアル、96Msps、14ビット、IF/ベースバンドADC

グラウンド処理、バイパス処理、および基板レイアウト

MAX12559には、高速基板レイアウトの設計手法が要求されます。基板レイアウトの参考としては、MAX12527/MAX12528/MAX12529/MAX12557/MAX12558/MAX12559のEVキットのデータシートを参照してください。インダクタンスを最小化するために表面実装デバイスを使用して、すべてのバイパスコンデンサを可能な限りデバイスの近くに(できればADCと同じ面上に)配置します。少なくとも $10\mu\text{F} \times 1$ 、 $4.7\mu\text{F} \times 1$ 、および $0.1\mu\text{F} \times 1$ のセラミックコンデンサと並列に接続した $220\mu\text{F}$ のセラミックコンデンサで、 V_{DD} をGNDにバイパスします。少なくとも $10\mu\text{F} \times 1$ 、 $4.7\mu\text{F} \times 1$ 、および $0.1\mu\text{F} \times 1$ のセラミックコンデンサと並列に接続した $220\mu\text{F}$ のセラミックコンデンサで、 OV_{DD} をGNDにバイパスします。高周波数のバイパス/デカップリングコンデンサは、コンバータの電源ピンに可能な限り接近させて配置する必要があります。

広いグラウンドプレーンと電源プレーンを持つ多層基板によって、最高水準の信号完全性が生み出されます。MAX12559のすべてのグラウンドおよび裏面エクスポートパッドは、同一のグラウンドプレーンに接続しなければなりません。MAX12559は、低インダクタンスのグラウンド接続を、裏面エクスポートパッド接続に依存しています。このグラウンドプレーンは、DSPや出力バッファのグラウンドなど、ノイズの多い他のデジタル系グラウンドプレーンから分離してください。

高速デジタル信号トレースは、感度の高いアナログ配線から離して配線してください。すべての信号線を短くして、90度の折れ曲がり避けてください。

差動アナログ入力ネットワークのレイアウトは対称形にして、すべての寄生成分が平衡するようにしてください。対称形の入力レイアウトの例については、MAX12527/MAX12528/MAX12529/MAX12557/MAX12558/MAX12559のEVキットのデータシートを参照してください。

パラメータの定義

積分非直線性(INL: Integral Nonlinearity)

INLは、実際の伝達関数上の値の、直線からの偏差です。MAX12559の場合、この直線は、オフセット誤差と利得誤差を除去した後、伝達関数の両端を結んだものになります。INLの偏差は伝達関数のすべてのステップで測定され、ワーストケースの偏差が「Electrical Characteristics (電気的特性)」の表に記載されています。

微分非直線性(DNL: Differential Nonlinearity)

DNLは、実際のステップ幅と理想的な1 LSBの値との差です。DNL誤差の仕様が1 LSB未満であれば、コード欠落

のない単調な伝達関数が保証されます。MAX12559の場合、DNLの偏差は伝達関数のすべてのステップで測定され、ワーストケースの偏差が「Electrical Characteristics (電気的特性)」の表に記載されています。

オフセット誤差

オフセット誤差は、単一点において実際の伝達関数が理想的な伝達関数とどの程度一致しているかを示す性能指数です。理想的には、スケール中央でのMAX12559の遷移はスケール中央から0.5 LSB上の点で起こります。オフセット誤差は、測定されたスケール中央の遷移点と理想的なスケール中央の遷移点との偏差量です。

利得誤差

利得誤差は、実際の伝達関数の勾配が理想的な伝達関数の勾配とどの程度一致しているかを示す性能指数です。実際の伝達関数の勾配は、正のフルスケールと負のフルスケールの、2つのデータ点間で測定されます。理想的には、正のフルスケールでのMAX12559の遷移は正のフルスケールから1.5 LSB下の点で起こり、負のフルスケールでの遷移は負のフルスケールから0.5 LSB上の点で起こります。利得誤差は、測定された遷移点間の差から、理想的な遷移点間の差を引いた値です。

小信号ノイズフロア (SSNF: Small-Signal Noise Floor)

SSNFは、小信号入力のナイキスト帯域における、ノイズおよび歪み電力の総計です。DCオフセットは、このノイズ計算から除外します。このコンバータの場合、小信号は振幅-35dBFSの単一トーンとして定義されます。このパラメータは、データコンバータの熱雑音と量子化ノイズ特性を捉えたものであり、デジタルレシーバの信号経路における全体的なノイズ値計算に使用することができます。

信号対ノイズ比(SNR: Signal-to-Noise Ratio)

デジタルサンプルから完全に再生された波形の場合、理論上の最大SNRはフルスケールアナログ入力(RMS値)とRMS量子化誤差(残留誤差)との比になります。理想的な、理論上の最小アナログ/デジタル変換ノイズは量子化誤差のみによって発生し、ADCの分解能(Nビット)から直接求められます。

$$\text{SNR}[\text{max}] = 6.02 \times N + 1.76$$

実際には、量子化ノイズの他にも、熱雑音、リファレンスノイズ、クロックジッタなどのノイズ源が存在します。SNRは、RMS信号とRMSノイズの比を計算することによって求められます。RMSノイズには、基本波、最初の6つの高調波(HD2~HD7)、およびDCオフセットを除く、ナイキスト周波数までのすべてのスペクトル成分が含まれます。

$$\text{SNR} = 20 \times \log(\text{SIGNAL}_{\text{RMS}} / \text{NOISE}_{\text{RMS}})$$

デュアル、96Msps、14ビット、IF/ベースバンドADC

信号対ノイズ + 歪み

(SINAD: Signal-to-Noise Plus Distortion)

SINADは、RMS信号とRMSノイズ+歪みの比を求めることによって計算します。RMSノイズ+歪みには、基本波とDCオフセットを除く、ナイキスト周波数までのすべてのスペクトル成分が含まれます。

全高調波歪み(THD: Total Harmonic Distortion)

THDは、入力信号の最初の6つの高調波のRMS合計と、基本波自体との比です。これは、次式によって表されます。

$$\text{THD} = 20 \times \log \left(\frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2 + V_7^2}}{V_1} \right)$$

ここで、 V_1 は基本波の振幅、 $V_2 \sim V_7$ は2次から7次高調波(HD2~HD7)の振幅です。

スプリアスフリーダイナミックレンジ

(SFDR: Spurious-Free Dynamic Range)

SFDRは、基本波のRMS振幅(最大信号成分)と、DCオフセットを除いて次に大きなスプリアス成分のRMS値との比を、デシベルで表したものです。

3次相互変調(IM3: 3rd-Order Intermodulation)

IM3は、入力トーン f_{IN1} と f_{IN2} いずれかの入力電力に対する、3次相互変調積の電力の相対値です。MAX12559の場合、各入力トーンの電力レベルは-7dBFSに設定されます。3次相互変調積は、 $2 \times f_{IN1} - f_{IN2}$ と $2 \times f_{IN2} - f_{IN1}$ です。

アパーチャジッタ

図14に示すのがアパーチャジッタ(t_{AJ})であり、これはアパーチャ遅延における各サンプル間の変動です。

アパーチャ遅延

アパーチャ遅延(t_{AD})は、サンプリングクロックの立上りエッジから実際のサンプルが取得される瞬間までの時間です(図14)。

フルパワー帯域幅

大きな-0.2dBFSのアナログ入力信号をADCに印加し、デジタル変換結果の振幅が-3dB減少する点まで入力周波数を連続的に変化させます。この点が、フルパワー入力帯域幅周波数として定義されます。

出力ノイズ(n_{OUT})

出力ノイズ(n_{OUT})パラメータは、熱雑音と量子化ノイズの和に似たもので、コンバータの総合的なノイズ特性を示します。

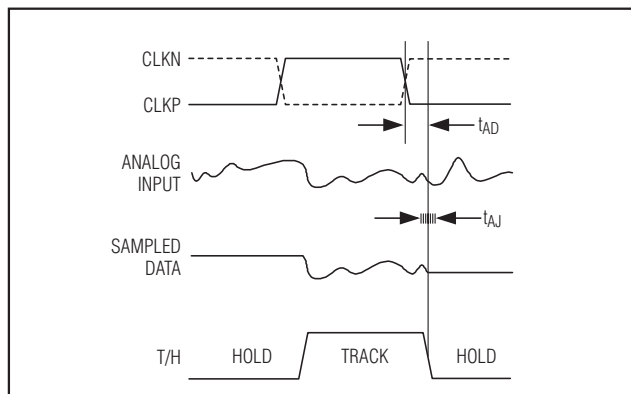


図14. T/Hアパーチャタイミング

n_{OUT} の試験には、基本となる入力トーンは使用しません。IN_P、IN_N、およびCOM_をすべて接続して、1024kのデータポイントを収集します。平均値を除去した後、収集したデータポイントのRMS値を求めることによって n_{OUT} を算出します。

オーバードライブ回復時間

オーバードライブ回復時間は、フルスケールの上下限を超える入力トランジェントからADCが回復するために必要な時間です。MAX12559では、フルスケールの上下限を±10%超過する入力トランジェントを使用してオーバードライブ回復時間を規定しています。MAX12559は、オーバードライブ状態からの回復に1クロックサイクルを必要とします。

クロストーク

クロストークは、各チャンネルが他のチャンネルからどの程度分離されているかを示します。MAX12559の場合、隣接する干渉チャンネルがフルスケール信号によって駆動されているときに、(-1dBFSの)信号によって駆動されている1つのチャンネルに生じるカップリングをクロストークの仕様として規定しています。測定には、直接的なカップリングと混合成分の両方に起因するすべての波形が含まれます。

利得マッチング

利得マッチングは、2つのチャンネル間で互いに利得がどの程度一致しているかを示す性能指数です。同一の入力信号を両方のチャンネルに印加して、利得の最大偏差を利得マッチングとして(通常はdB単位で)記録します。

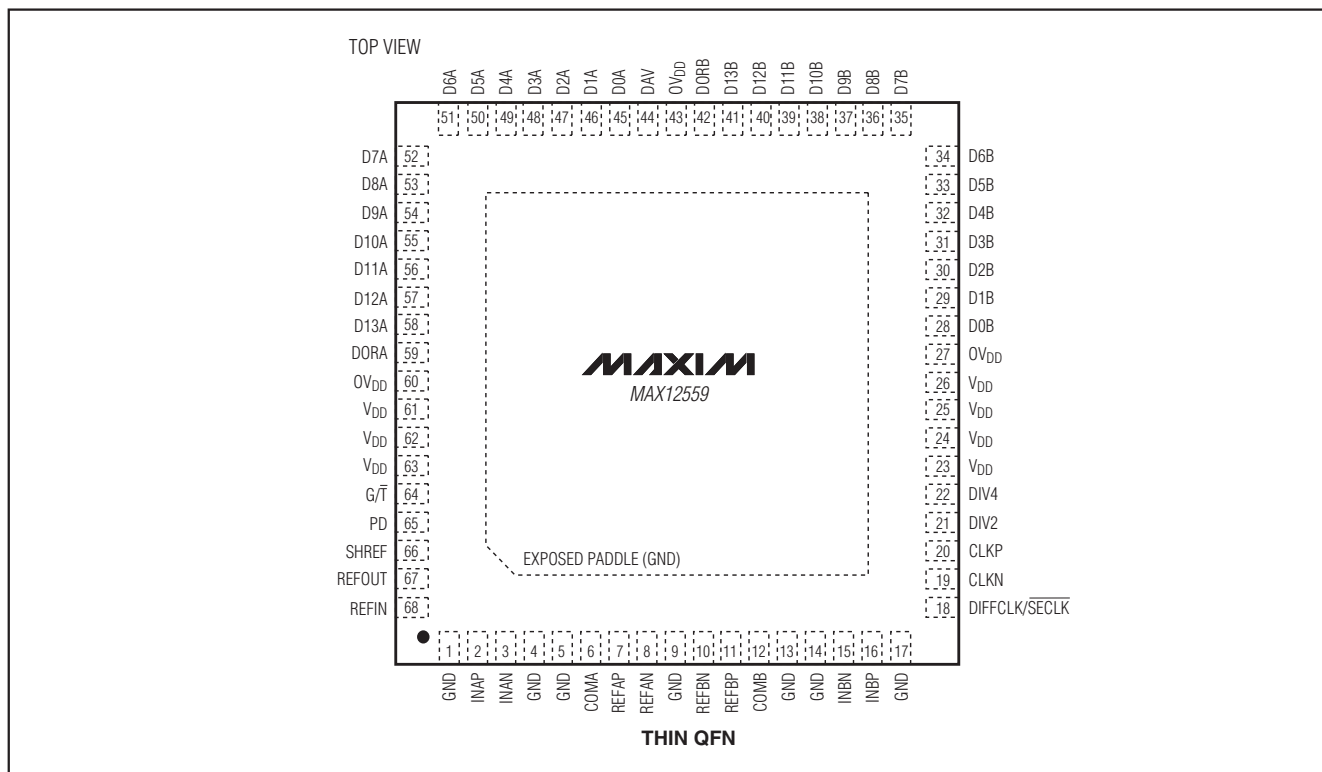
オフセットマッチング

利得マッチングと同様、オフセットマッチングは2つのチャンネル間で互いにオフセットがどの程度一致しているかを示す性能指数です。同一の入力信号を両方のチャンネルに印加して、オフセットの最大の偏差をオフセットマッチングとして(通常は%FSR単位で)記録します。

デュアル、96MSPS、14ビット、IF/ベースバンドADC

MAX12559

ピン配置



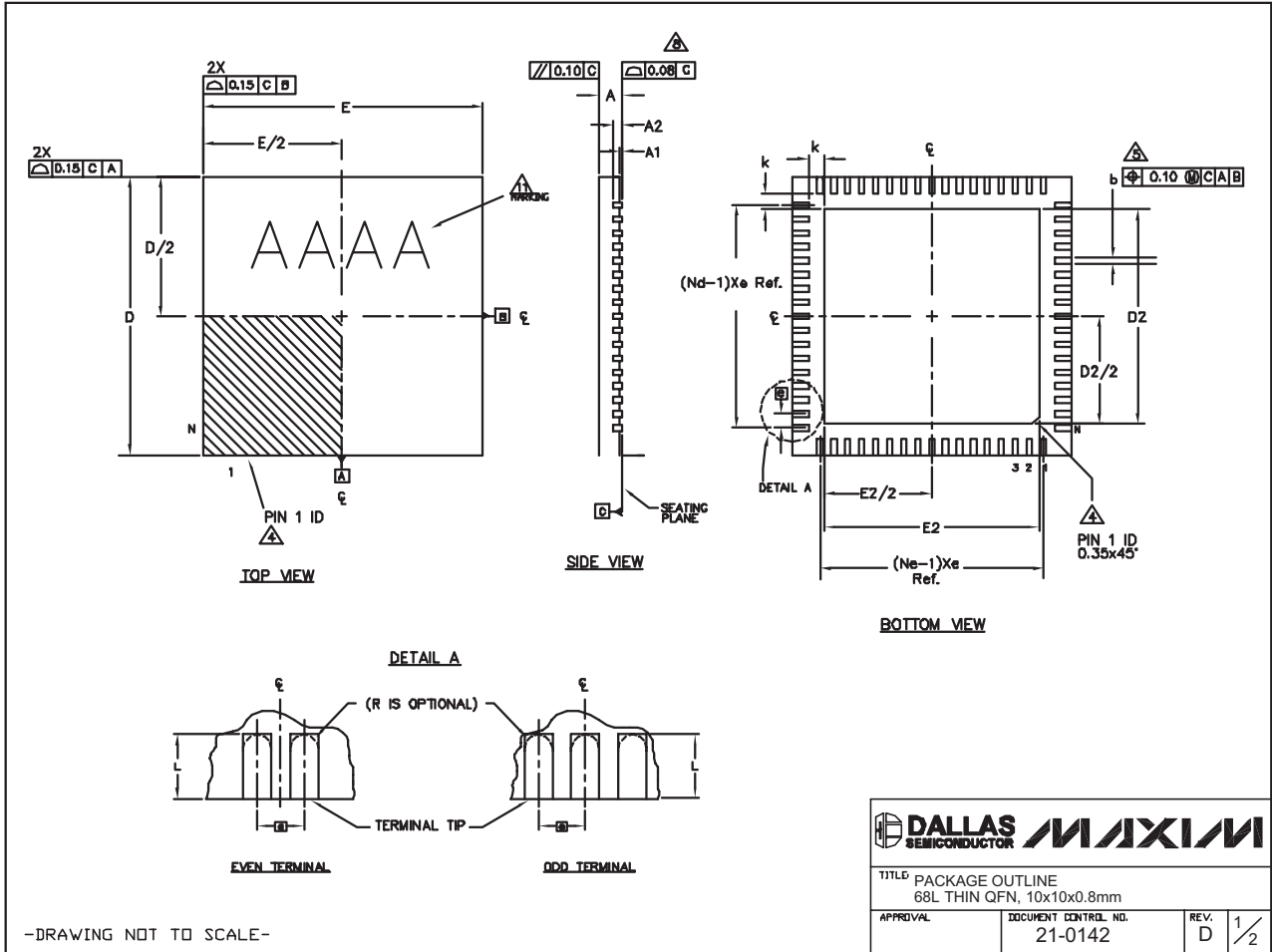
デュアル、96Msps、14ビット、IF/ベースバンドADC

MAX12559

68L QFN THIN.EPS

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



デュアル、96MSPS、14ビット、IF/ベースバンドADC

パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)

PKG REF.	68L 10x10			NOTE
	MIN.	NOM.	MAX.	
A	0.70	0.75	0.80	
A1	0.00	0.01	0.05	
A2	0.20 REF			
b	0.20	0.25	0.30	
D	9.90	10.00	10.10	
E	9.90	10.00	10.10	
e	0.50 BSC.			
k	0.25	-	-	
L	0.45	0.55	0.65	
N	68			
ND	17			
NE	17			
JEDEC	WNND-2			

PKG. CODE	EXPOSED PAD VARIATIONS						DOWN BONDS ALLOWED
	D2			E2			
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	
T6800-2	7.60	7.70	7.80	7.60	7.70	7.80	YES
T6800-3	7.60	7.70	7.80	7.60	7.70	7.80	NO
T6800-4	7.60	7.70	7.80	7.60	7.70	7.80	YES

NOTES:

1. DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
2. ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
3. N IS THE TOTAL NUMBER OF TERMINALS.
4. THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JESD 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
5. DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25mm AND 0.30mm FROM TERMINAL TIP.
6. ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
7. DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
8. COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
9. DRAWING CONFORMS TO JEDEC MO-220.
10. WARPAGE SHALL NOT EXCEED 0.10mm.
11. MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY
12. NUMBER OF LEADS SHOWN ARE FOR REFERENCE ONLY

-DRAWING NOT TO SCALE-

			
TITLE PACKAGE OUTLINE 68L THIN QFN, 10x10x0.8mm			
APPROVAL	DOCUMENT CONTROL NO.	REV.	2/2
	21-0142	D	

マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

30 Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600

© 2006 Maxim Integrated Products, Inc. All rights reserved. MAXIM is a registered trademark of Maxim Integrated Products, Inc.