

**MAXIM**

# +2.7V +5.25、低電力 10ビットシリアルADC、8ピンSOP

MAX1242/MAX1243

## 概要

MAX1242/MAX1243は、8ピンパッケージに収められた低電力、10ビットアナログデジタルコンバータ(ADC)です。どちらのICも+2.7V~+5.25Vの単一電源で動作し、7.5 $\mu$ sの逐次比較ADC、高速トラック/ホールド(1.5 $\mu$ s)、クロック及び高速3線シリアルインタフェースを備えています。

電力消費は、73kspsの最大サンプリング速度で僅か3mW( $V_{DD} = 3V$ )となっています。2 $\mu$ Aシャットダウンモードにより、低スループットレート時に電力を節約することができます。

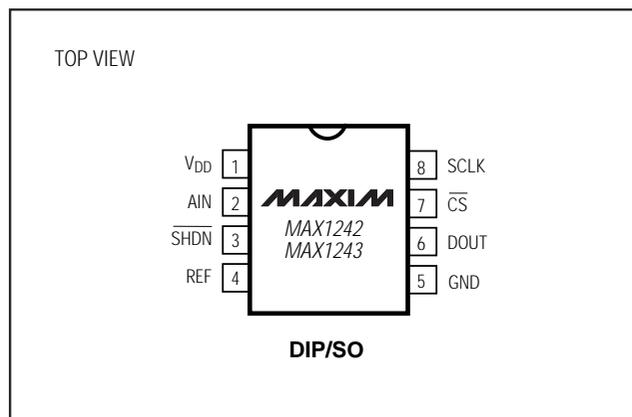
MAX1242は2.5Vリファレンスを内蔵し、MAX1243は外部リファレンスを必要とします。MAX1243は0V~ $V_{REF}$ の信号を受け付け、リファレンス入力範囲は正電源電圧が含まれます。外部クロックにより、標準的なマイクロコントローラのI/Oポートに直接接続できる3線インタフェースからデータをアクセスします。このインタフェースは、SPI™、QSPI™及びMicrowire™とコンパチブルです。

優れたAC特性、超低電力特性に加えて、使いやすくパッケージが小さいため、リモートセンサ及びデータ収集アプリケーション、あるいはその他の電力消費とスペースが厳しい回路に最適です。MAX1242/MAX1243は、8ピンDIP及びSOPパッケージで供給されています。

## アプリケーション

ポータブルデータロギング      プロセス制御監視  
試験機器                              温度測定  
絶縁データ収集

## ピン配置



## 特長

- ◆ 単一電源動作 : +2.7V ~ +5.25V
- ◆ 分解能 : 10ビット
- ◆ 2.5Vリファレンス内蔵 (MAX1242)
- ◆ 小型パッケージ : 8ピンDIP及びSOP
- ◆ 低電力 : 3.7mW (73ksps, MAX1242)  
3mW (73ksps, MAX1243)  
66 $\mu$ W (1ksps, MAX1243)  
5 $\mu$ W (パワーダウンモード)
- ◆ 内部トラック/ホールド
- ◆ 3線シリアルインタフェース :  
SPI™/QSPI™/Microwire™
- ◆ ピンコンパチブルの12ビットグレードアップ :  
MAX1240/MAX1241

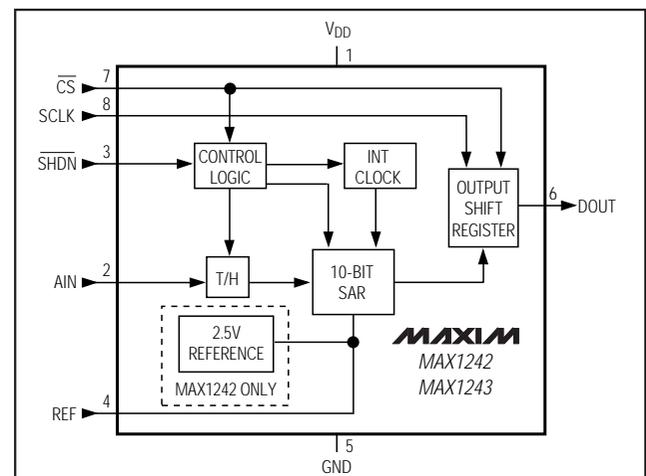
## 型番

PART	TEMP. RANGE	PIN-PACKAGE	INL (LSB)
MAX1242ACPA	0°C to +70°C	8 Plastic DIP	$\pm 1/2$
MAX1242BCPA	0°C to +70°C	8 Plastic DIP	$\pm 1$
MAX1242ACSA	0°C to +70°C	8 SO	$\pm 1/2$
MAX1242BCSA	0°C to +70°C	8 SO	$\pm 1$
MAX1242AEPA	-40°C to +85°C	8 Plastic DIP	$\pm 1/2$
MAX1242BEPA	-40°C to +85°C	8 Plastic DIP	$\pm 1$

**Ordering Information continued at end of data sheet.**

**Note:** Order the MAX1242A in place of the MAX1242C. Order the MAX1242B in place of the MAX1242D.

## ファンクションダイアグラム



SPI及びQSPIはMotorola, Inc.の商標です。MicrowireはNational Semiconductor Corp.の商標です。

# +2.7V +5.25、低電力、 10ビットシリアルADC、8ピンSOP

MAX1242/MAX1243

## ABSOLUTE MAXIMUM RATINGS

V <sub>DD</sub> to GND	-0.3V to +6V
AIN to GND	-0.3V to (V <sub>DD</sub> + 0.3V)
REF to GND	-0.3V to (V <sub>DD</sub> + 0.3V)
Digital Inputs to GND	-0.3V to +6V
DOUT to GND	-0.3V to (V <sub>DD</sub> + 0.3V)
DOUT Current	±25mA
Continuous Power Dissipation (T <sub>A</sub> = +70°C)	
Plastic DIP (derate 9.09mW/°C above +70°C)	727mW
SO (derate 5.88mW/°C above +70°C)	471mW
CERDIP (derate 8.00mW/°C above +70°C)	640mW

## Operating Temperature Ranges

MAX1242/MAX1243_C_A	0°C to +70°C
MAX1242/MAX1243_E_A	-40°C to +85°C
MAX1242/MAX1243_MJA	-55°C to +125°C
Storage Temperature Range	-60°C to +150°C
Lead Temperature (soldering, 10sec)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(V<sub>DD</sub> = +2.7V to +5.25V; 73ksps; f<sub>SCLK</sub> = 2.1MHz (50% duty cycle); MAX1242—4.7μF capacitor at REF pin, MAX1243—external reference; V<sub>REF</sub> = 2.5V applied to REF pin; T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>; unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>DC ACCURACY</b> (Note1)						
Resolution			10			Bits
Relative Accuracy (Note 2)		MAX124_A			±0.5	LSB
		MAX124_B			±1.0	
Differential Nonlinearity	DNL	No missing codes over temperature			±1	LSB
Offset Error		MAX124_A			±1	LSB
		MAX124_B			±2	
Gain Error (Note 3)		MAX124_A			±1	LSB
		MAX124_B			±2	
Gain Temperature Coefficient				±0.25		ppm/°C
<b>DYNAMIC SPECIFICATIONS</b> (10kHz sine-wave input, 0V to 2.5p-p, 73ksps, f <sub>SCLK</sub> = 2.1MHz)						
Signal-to-Noise Plus Distortion Ratio	SINAD			66		dB
Total Harmonic Distortion	THD	Up to the 5th harmonic		-70		dB
Spurious-Free Dynamic Range	SFDR			70		dB
Small-Signal Bandwidth		-3dB rolloff		2.25		MHz
Full-Power Bandwidth				1.0		MHz
<b>CONVERSION RATE</b>						
Conversion Time	t <sub>CONV</sub>		5.5		7.5	μs
Track/Hold Acquisition Time	t <sub>ACQ</sub>				1.5	μs
Throughput Rate		f <sub>SCLK</sub> = 2.1MHz			73	ksps
Aperture Delay	t <sub>AP</sub>	Figure 9		30		ns
Aperture Jitter				<50		ps
<b>ANALOG INPUT</b>						
Input Voltage Range			0		V <sub>REF</sub>	V
Input Capacitance				16		pF

# +2.7V +5.25、低電力 10ビットシリアルADC、8ピンSOP

MAX1242/MAX1243

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = +2.7V$  to  $+5.25V$ ; 73ksps;  $f_{SCLK} = 2.1MHz$  (50% duty cycle); MAX1242— $4.7\mu F$  capacitor at REF pin, MAX1243—external reference;  $V_{REF} = 2.5V$  applied to REF pin;  $T_A = T_{MIN}$  to  $T_{MAX}$ ; unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>INTERNAL REFERENCE</b> (MAX1242 only)						
REF Output Voltage		$T_A = +25^\circ C$ (Note 4)	2.470	2.500	2.530	V
REF Short-Circuit Current					30	mA
REF Temperature Coefficient		MAX1242		$\pm 30$		ppm/ $^\circ C$
Load Regulation (Note 5)		0mA to 0.2mA output load		0.35		mV
Capacitive Bypass at REF			4.7			$\mu F$
<b>EXTERNAL REFERENCE</b> ( $V_{REF} = 2.5V$ )						
Input Voltage Range			1.00		$V_{DD} + 50mV$	V
Input Current				100	150	$\mu A$
Input Resistance			18	25		k $\Omega$
REF Input Current in Shutdown		$\overline{SHDN} = 0V$		$\pm 0.01$	10	$\mu A$
Capacitive Bypass at REF			0.1			$\mu F$
<b>DIGITAL INPUTS: SCLK, <math>\overline{CS}</math>, <math>\overline{SHDN}</math></b>						
SCLK, $\overline{CS}$ Input High Voltage	$V_{IH}$	$V_{DD} \leq 3.6V$	2.0			V
		$V_{DD} > 3.6V$	3.0			
SCLK, $\overline{CS}$ Input Low Voltage	$V_{IL}$				0.8	V
SCLK, $\overline{CS}$ Input Hysteresis	$V_{HYST}$			0.2		V
SCLK, $\overline{CS}$ Input Leakage	$I_{IN}$	$V_{IN} = 0V$ or $V_{DD}$		$\pm 0.01$	$\pm 1$	$\mu A$
SCLK, $\overline{CS}$ Input Capacitance	$C_{IN}$	(Note 6)			15	pF
$\overline{SHDN}$ Input High Voltage	$V_{SH}$		$V_{DD} - 0.4$			V
$\overline{SHDN}$ Input Low Voltage	$V_{SL}$				0.4	V
$\overline{SHDN}$ Input Current		$\overline{SHDN} = 0V$ or $V_{DD}$			$\pm 4.0$	$\mu A$
$\overline{SHDN}$ Input Mid Voltage	$V_{SM}$		1.1		$V_{DD} - 1.1$	V
$\overline{SHDN}$ Voltage, Floating	$V_{FLT}$	$\overline{SHDN} = \text{float}$		$V_{DD} / 2$		V
$\overline{SHDN}$ Max Allowed Leakage, Mid Input		$\overline{SHDN} = \text{float}$			$\pm 100$	nA
<b>DIGITAL OUTPUT: DOUT</b>						
Output Voltage Low	$V_{OL}$	$I_{SINK} = 5mA$			0.4	V
		$I_{SINK} = 16mA$			0.8	
Output Voltage High	$V_{OH}$	$I_{SOURCE} = 0.5mA$	$V_{DD} - 0.5$			V
Three-State Leakage Current	$I_L$	$\overline{CS} = V_{DD}$		$\pm 0.01$	$\pm 10$	$\mu A$
Three-State Output Capacitance	$C_{OUT}$	$\overline{CS} = V_{DD}$ (Note 6)			15	pF
<b>POWER REQUIREMENTS</b>						
Supply Voltage	$V_{DD}$		2.7		5.25	V
Supply Current	$I_{DD}$	Operating mode (MAX1242)	$V_{DD} = 3.6V$	1.4	2.0	mA
			$V_{DD} = 5.25V$	1.8	3.0	
		Operating mode (MAX1243)	$V_{DD} = 3.6V$	0.9	1.5	
			$V_{DD} = 5.25V$	1.6	2.5	
		Power-down	$V_{DD} = 3.6V$	1.9	10	$\mu A$
			$V_{DD} = 5.25V$	3.5	15	
Power-Supply Rejection (Note 7)	PSR	$V_{DD} = V_{DD(min)}$ to $V_{DD(max)}$ , full-scale input		$\pm 0.3$		mV

# +2.7V +5.25、低電力、 10ビットシリアルADC、8ピンSOP

MAX1242/MAX1243

## TIMING CHARACTERISTICS

( $V_{DD} = +2.7V$  to  $+5.25V$ , circuit of Figure 9,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Acquisition Time	$t_{ACQ}$	$\overline{CS} = V_{DD}$ (Note 8)	1.5			$\mu s$
SCLK Fall to Output Data Valid	$t_{DO}$	Figure 1, $C_{LOAD} = 50pF$	MAX124__C/E	20	200	ns
			MAX124__M	20	240	
$\overline{CS}$ Fall to Output Enable	$t_{DV}$	Figure 1, $C_{LOAD} = 50pF$			240	ns
$\overline{CS}$ Rise to Output Disable	$t_{TR}$	Figure 2, $C_{LOAD} = 50pF$			240	ns
SCLK Clock Frequency	$f_{SCLK}$		0		2.1	MHz
SCLK Pulse Width High	$t_{CH}$		200			ns
SCLK Pulse Width Low	$t_{CL}$		200			ns
SCLK Low to $\overline{CS}$ Fall Setup Time	$t_{CSO}$		50			ns
DOUT Rise to SCLK Rise (Note 6)	$t_{STR}$		0			ns
$\overline{CS}$ Pulse Width	$t_{CS}$		240			ns

**Note 1:** Tested at  $V_{DD} = +2.7V$ .

**Note 2:** Relative accuracy is the deviation of the analog value at any code from its theoretical value after the full-scale range and offset have been calibrated.

**Note 3:** Offset nulled.

**Note 4:** Sample tested to 0.1% AQL.

**Note 5:** External load should not change during conversion for specified accuracy.

**Note 6:** Guaranteed by design. Not subject to production testing.

**Note 7:** Measured as  $[V_{FS}(V_{DD}(\min)) - V_{FS}(V_{DD}(\max))]$ .

**Note 8:** To guarantee acquisition time,  $t_{ACQ}$  is the maximum time the device takes to acquire the signal, and is also the minimum time needed for the signal to be acquired.

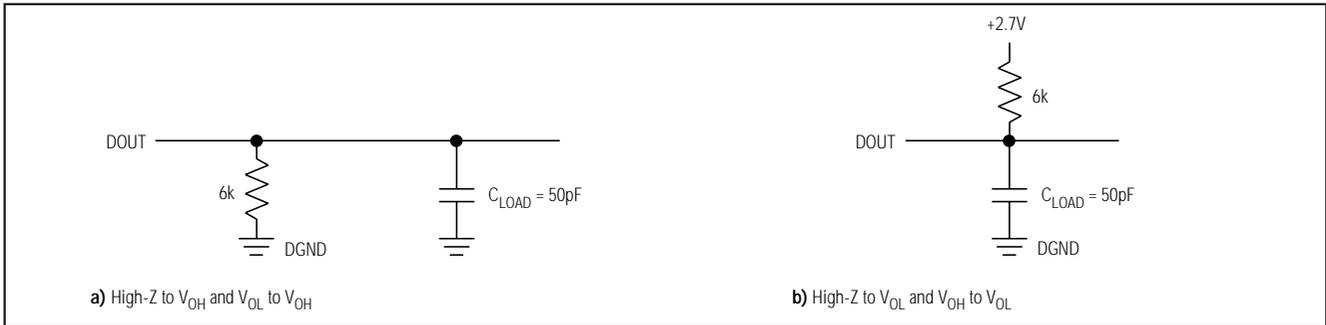


図1. DOUTイネーブル時間用の負荷回路

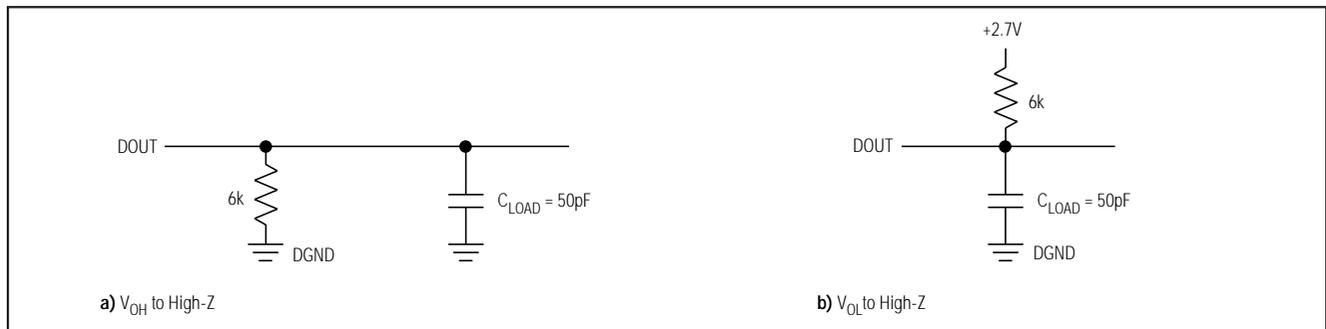


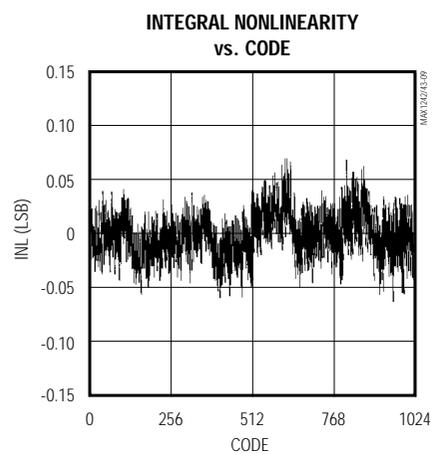
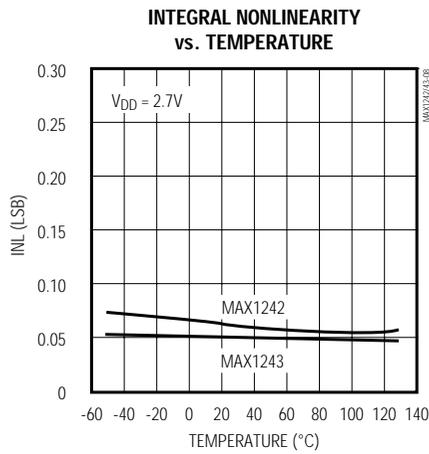
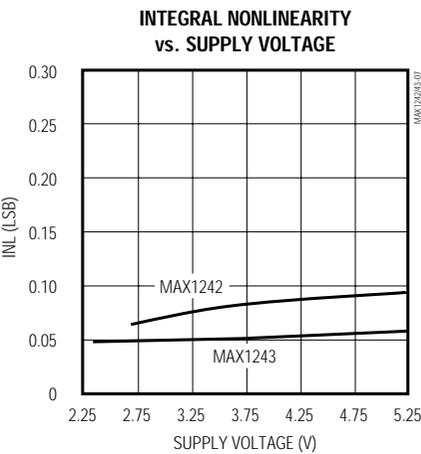
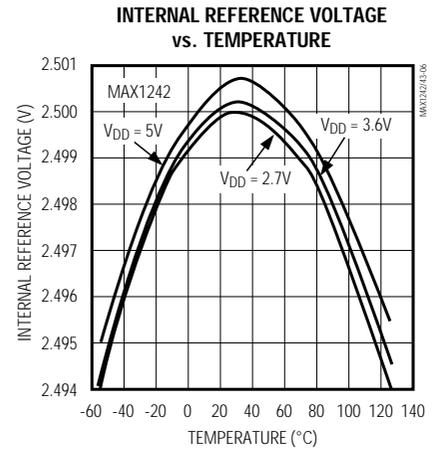
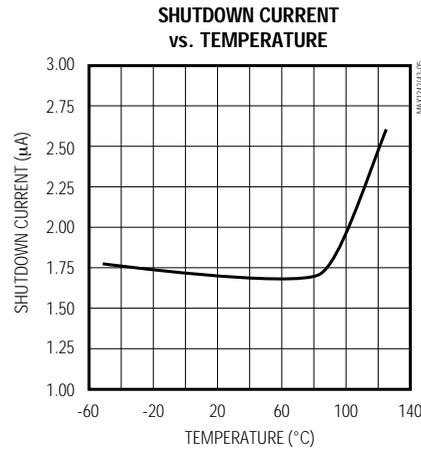
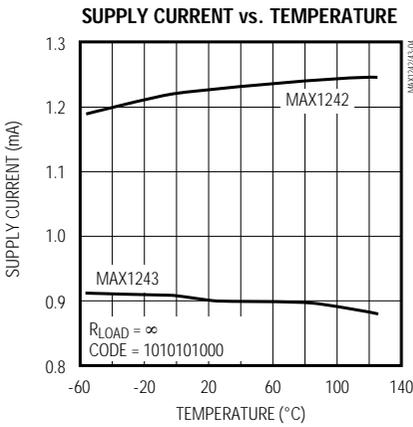
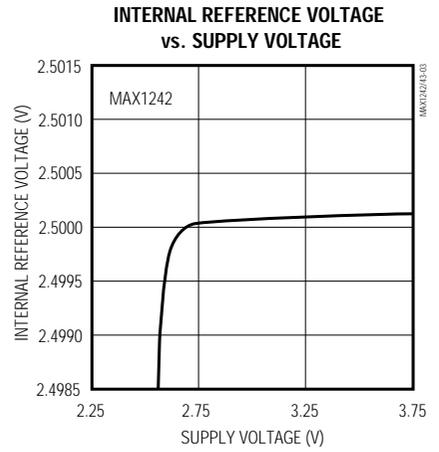
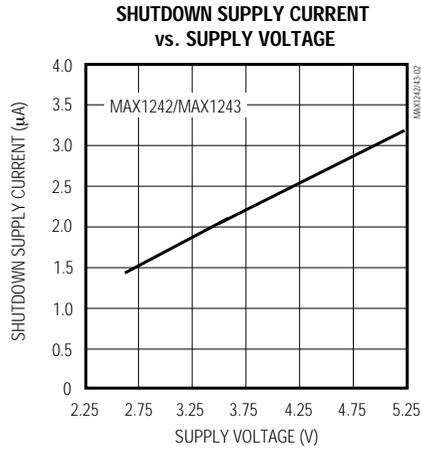
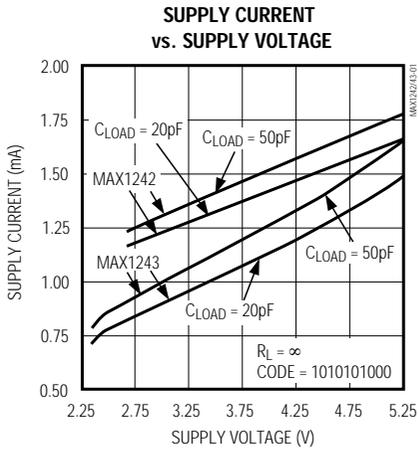
図2. DOUTディセーブル時間用の負荷回路

# +2.7V +5.25、低電力 10ビットシリアルADC、8ピンSOP

MAX1242/MAX1243

## 標準動作特性

( $V_{DD} = +3.0V$ ,  $V_{REF} = 2.5V$ ,  $f_{SCLK} = 2.1MHz$ ,  $C_{LOAD} = 20pF$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)



# +2.7V +5.25、低電力、 10ビットシリアルADC、8ピンSOP

## 端子説明

端子	名称	機能
1	VDD	正電源電圧：+2.7V～+5.25V
2	AIN	サンプリングアナログ入力。範囲は0V～V <sub>REF</sub> 。
3	$\overline{\text{SHDN}}$	3レベルシャットダウン入力。 $\overline{\text{SHDN}}$ をローにすると、MAX1242/MAX1243は、消費電流15 $\mu$ A(max)までシャットダウンされます。 $\overline{\text{SHDN}}$ がハイ又はフローティングの場合、MAX1242とMAX1243は完全な動作状態になります。MAX1242の場合、 $\overline{\text{SHDN}}$ をハイにすると、内部リファレンスはイネーブルになります。また、 $\overline{\text{SHDN}}$ をフローティングにすると、内部リファレンスはディセーブルされ、外部電圧リファレンスを使用できます。
4	REF	A/D変換用のリファレンス電圧。MAX1242の場合、内部2.5V電圧リファレンス出力となり、4.7 $\mu$ Fのコンデンサでバイパスします。MAX1243又は内部リファレンスがディセーブルされたMAX1242の場合には、外部リファレンス電圧入力となります。外部リファレンスを使用する際には、少なくとも0.1 $\mu$ Fのコンデンサでバイパスします。
5	GND	アナログ及びデジタルグラウンド
6	DOUT	シリアルデータ出力。データの状態はSCLKの立下がりエッジで変化します。 $\overline{\text{CS}}$ がハイの時ハイインピーダンスになります。
7	$\overline{\text{CS}}$	アクティブローのチップセレクトの立下がりエッジで変換が開始されます。 $\overline{\text{CS}}$ がハイの時DOUTはハイインピーダンスになります。
8	SCLK	シリアルクロック入力。SCLKにより、最大2.1MHzのレートでデータをクロックアウトします。

## 詳細

### コンバータの動作

MAX1242/MAX1243は、入力トラック/ホールド(T/H)及び逐次比較レジスタ(SAR)を使用してアナログ入力信号をデジタル10ビット出力に変換します。図3に、MAX1242/MAX1243の最もシンプルな構成を示します。MAX1242/MAX1243は、T/Hアクイジション時間も含めて0V～V<sub>REF</sub>の範囲の入力信号を9 $\mu$ sで変換します。MAX1242の内部リファレンスは2.5Vに設定されています。MAX1243は外部リファレンスを必要とします。どちらも1.0V～V<sub>DD</sub>の外部リファレンス電圧が許容されます。シリアルインタフェースは、僅か3本(SCLK、 $\overline{\text{CS}}$ 及びDOUT)のデジタルラインを必要とするだけの簡単なマイクロプロセッサ( $\mu$ P)へのインタフェースとなっています。

MAX1242/MAX1243には、通常及びシャットダウンの2つの動作モードがあります。 $\overline{\text{SHDN}}$ をローに下げると素子がシャットダウンし、消費電流が10 $\mu$ A以下に低減します(V<sub>DD</sub> 3.6V)。 $\overline{\text{SHDN}}$ をハイにするか、あるいはオープンの時に素子は通常動作モードになります。 $\overline{\text{CS}}$ をローにすると変換が開始されます。変換結果は、ユニポーラシリアルフォーマットでDOUTに出力されます。シリアルデータストリームは、変換完了(EOC)を示すハイビットにMSBを先頭にしたデータビットが続きます。

### アナログ入力

図4に、アナログデジタルコンバータ(ADC)のコンパレータのサンプリング構造を示します。フルスケール入力電圧は、REFの電圧で設定されます。

### トラック/ホールド

トラックモードでは、アナログ信号が取り込まれて内部ホールドコンデンサに蓄積されます。ホールドモードでは、T/Hスイッチが開いてADCのSAR部分の入力を一定に維持します。

アクイジション中は、アナログ入力AINによりコンデンサC<sub>HOLD</sub>が充電されます。 $\overline{\text{CS}}$ をローにするとアクイジション期間が終了します。この瞬間にT/HスイッチによってC<sub>HOLD</sub>の入力側がGNDに切り換わり、C<sub>HOLD</sub>に保持されている電荷が入力側のサンプルを表し、コンパレータの入力のノードZEROを不平衡にします。

ホールドモードでは、容量性デジタルアナログコンバータ(DAC)が、変換サイクルの残りの時間で、ノードZEROを10ビット分解能の限界内で0Vに調節します。この動作は、電荷をC<sub>HOLD</sub>からバイナリ重み付の容量性DACに移すことと等価です。この結果としてアナログ入力信号のデジタル表現が生成されます。変換の最後ではC<sub>HOLD</sub>の入力側がAINに再び切り換えられ、C<sub>HOLD</sub>は再び入力信号まで充電されます。

T/Hが入力信号を取り込むために要する時間は、入力コンデンサが充電される速さの関数です。入力信号のソースインピーダンスが高いとアクイジション時間は長くなるため、変換と変換の間隔を長くする必要があります。アクイジション時間(t<sub>ACQ</sub>)は素子が信号を取込むために要する最大時間であり、信号の取込みに対し必要な最小時間です。t<sub>ACQ</sub>は次式で計算されます。

$$t_{ACQ} = 7 \times (R_S + R_{IN}) \times 16\text{pF}$$

# +2.7V +5.25、低電力 10ビットシリアルADC、8ピンSOP

MAX1242/MAX1243

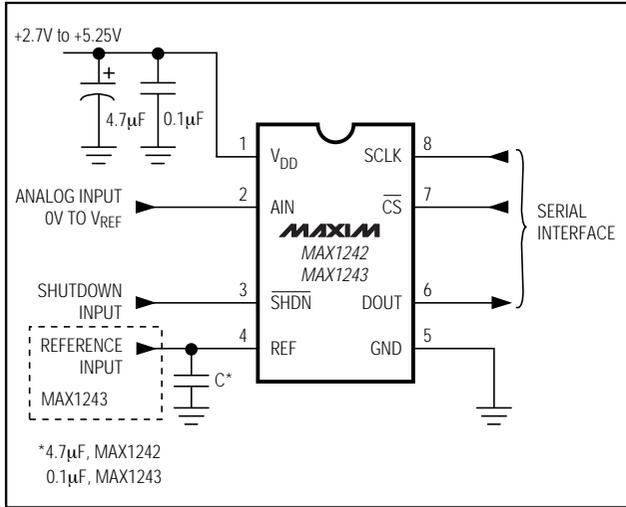


図3. 動作図

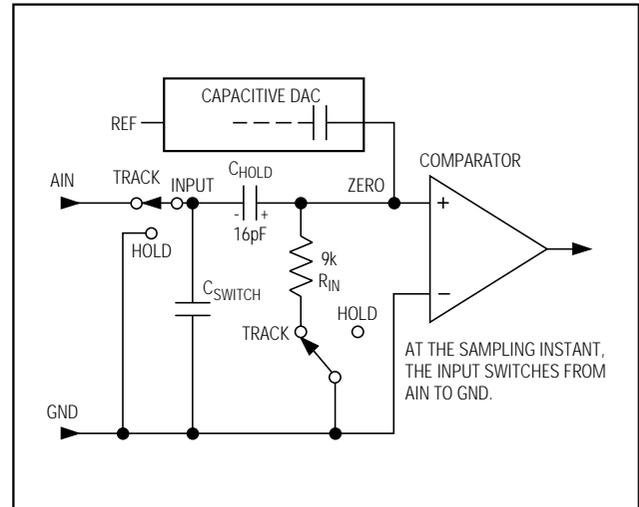


図4. 等価入力回路

ここで、 $R_{IN} = 9k$ 、 $R_S$  = 入力信号のソースインピーダンス、そして $t_{ACQ}$ は必ず $1.5\mu s$ 以上です。ソースインピーダンスが $4k$ 以下であれば、ADCのAC性能に大きな影響はありません。

アナログ入力に $0.01\mu F$ のコンデンサを接続することにより、これ以上のソースインピーダンスも可能となります。入力コンデンサと入力ソースインピーダンスによってRCフィルタが形成されるため、ADCの信号帯域幅が制限されることに注意してください。

### 入力帯域幅

ADCの入力トラック回路の小信号帯域幅は $2.25MHz$ であるため、アンダーサンプリング技法を使用することにより、帯域幅がADCのサンプリングレートを超える周期信号を測定し、高速トランジェント現象を数値化できます。不要な高周波信号のエイリアシングが目的の周波数帯域に入るのを防ぐために、アンチエイリアシングフィルタリングをお勧めします。

### アナログ入力保護

内部保護ダイオードがアナログ入力を $V_{DD}$ と $GND$ にクランプしているため、チャンネル入力ピンは $(GND - 0.3V) \sim (V_{DD} + 0.3V)$ の範囲で、損傷を起こすことなくスイングできます。しかし、フルスケール付近で正確な変換を行うには、入力が $V_{DD}$ を $50mV$ 以上超えないようすると共に、 $GND$ を $50mV$ 以上下回らないようにする必要があります。

アナログ入力が電源を $50mV$ 以上超えた場合、入力電流を $2mA$ 以下に制限してください。

### 内部電圧リファレンス(MAX1242)

MAX1242には $2.5V$ にトリミングされた電圧リファレンスが内蔵されています。この内部リファレンス出力はREF出力ピンに接続され、内部容量性DACの駆動にも使用されます。この電圧出力を他の部品用のリファレンス電圧源として使用することが可能で、最大で $400\mu A$ までソースできます。REFピンは $4.7\mu F$ のコンデンサでバイパスしてください。より容量の大きいコンデンサを使用すると、シャットダウンモードからウェイクアップする時間が長くなってしまいます(「SHDN使用による消費電流の低減」の項を参照ください)。SHDNをハイにすると、内部リファレンスが使用可能になります。このSHDNをフローティング状態すると、内部リファレンスの動作が禁止され、「外部リファレンス」の項で説明するように、外部リファレンスを使用することが可能になります。

### 外部リファレンス

MAX1242/MAX1243は、REFピンでの外部リファレンスで動作します。MAX1242を外部リファレンスで使用する場合は、SHDNをフローティングにし内部リファレンスをディセーブルしてください。仕様の精度を得るために、 $1.0V \sim V_{DD}$ の電圧範囲を超えないようにしてください。最小入力インピーダンスは、DC電流に対して $18k$ です。変換時には、リファレンスは最大 $250\mu A$ のDC負荷電流を供給できなければならず、出力インピーダンスは $10$ 以下でなければなりません。バイパスコンデンサの推奨最小値は、 $0.1\mu F$ です。リファレンスの出力インピーダンスがこれより高い場合やノイズが多い場合は、 $4.7\mu F$ のコンデンサで $V_{REF}$ ピンの近くにバイパスしてください。

# +2.7V +5.25、低電力、 10ビットシリアルADC、8ピンSOP

MAX1242/MAX1243

## シリアルインタフェース

### パワーアップ後の初期化及び変換開始

電源を最初に投入するとき、そして $\overline{\text{SHDN}}$ 入力がローでない場合には、完全に放電状態の $4.7\mu\text{F}$ のリファレンスパイパス用コンデンサを規定精度が保証されるまで十分に充電させるために、最高で $20\text{ms}$ までの時間が必要です。外部リファレンスでは、内部リセット時間は、電源が安定化した後 $10\mu\text{s}$ です。この期間には変換は実行されません。

変換は、 $\overline{\text{CS}}$ をローにすると開始されます。 $\overline{\text{CS}}$ の立下がりエッジでT/Hがホールドモードに入り、変換が開始されます。内部で決められた変換期間が過ぎると、DOUTがハイになることで変換の完了が表示されます。それから、データが外部クロックによってシリアルにシフトアウトされます。

## $\overline{\text{SHDN}}$ を使用して消費電流を低減

MAX1242/MAX1243を変換と変換の間でシャットダウンすることによって、消費電力を大幅に低減できます。これは図6の平均消費電流対変換レートのグラフに示されています。MAX1243では外部リファレンス電圧(連続的に出力されると仮定)を使用するので、シャットダウンモードから短時間( $4\mu\text{s}$ )でウェイクアップし、平均消費電流がより低い値に抑えられます。ウェイクアップ時間 $t_{\text{WAKE}}$ は、 $\overline{\text{SHDN}}$ が解除されてから変換が開始されるまでの時間です(図5)。MAX1242では外部 $4.7\mu\text{F}$ リファレンスパイパスコンデンサがシャットダウン中にゆっくりとチャージを失うため、ウェイクアップ時間はシャットダウン時間により異なります。MAX1243のウェイクアップ時間は、主に外部リファレンスのパワーアップ時間に依存します。外部リファレンスがシャットダウンされていない場合、ウェイクアップ時間は約 $4\mu\text{s}$ です。

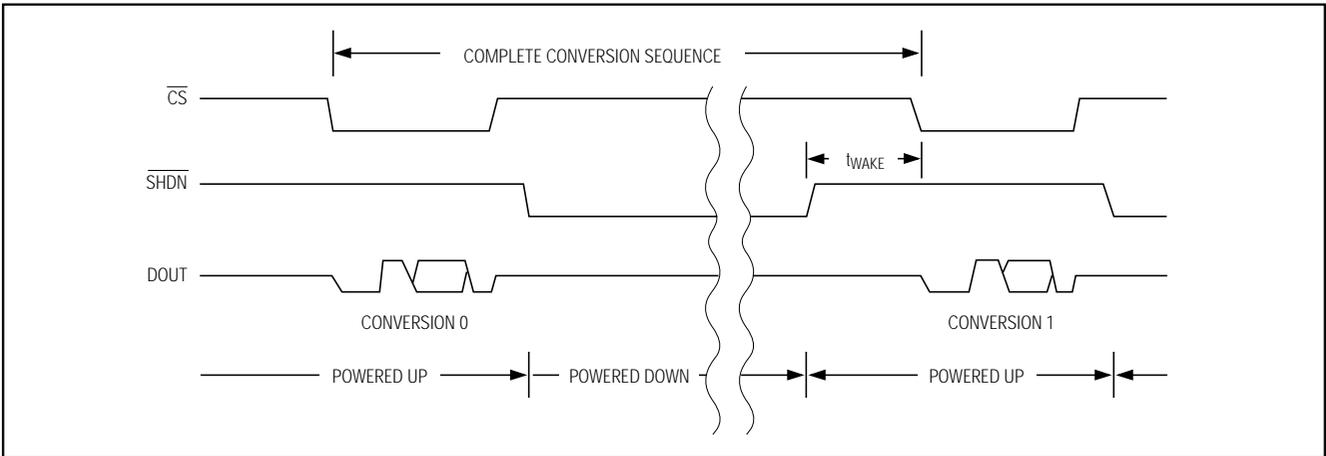


図5. MAX1243のシャットダウンシーケンス

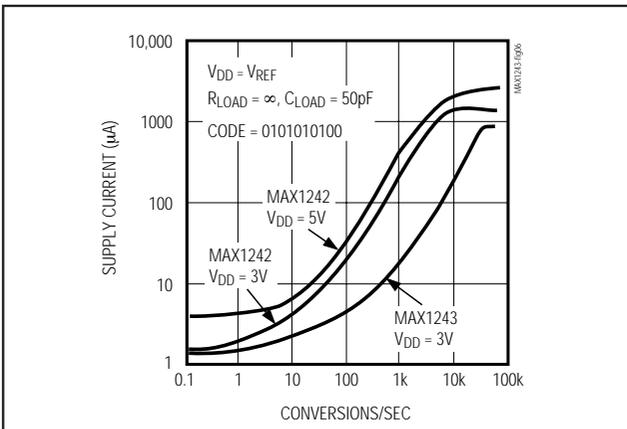


図6. 平均消費電流対変換レート

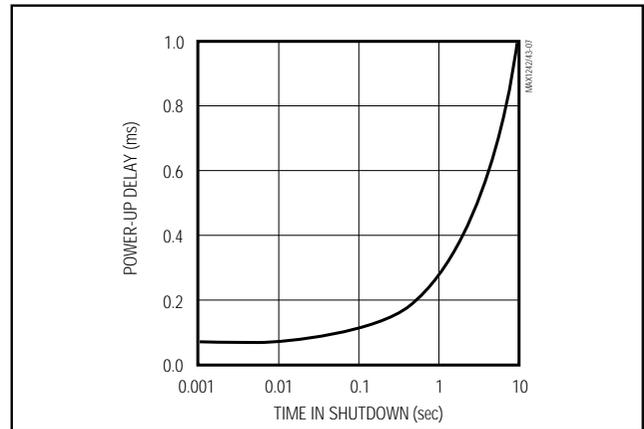


図7. 標準的なリファレンスバッファのパワーアップ遅延対シャットダウン時間(typ)

# +2.7V +5.25、低電力 10ビットシリアルADC、8ピンSOP

MAX1242/MAX1243

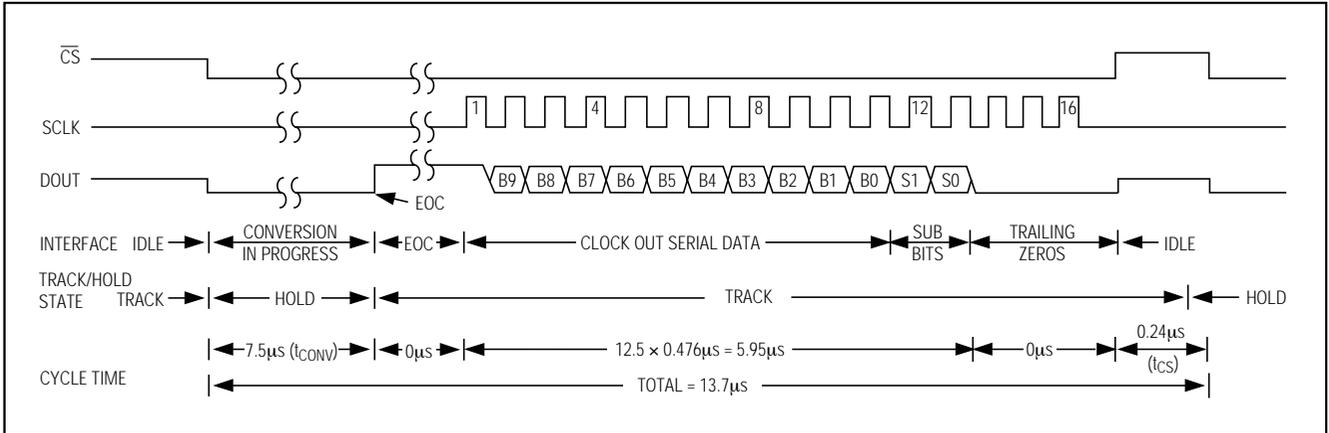


図8a. インタフェースのタイミングシーケンス

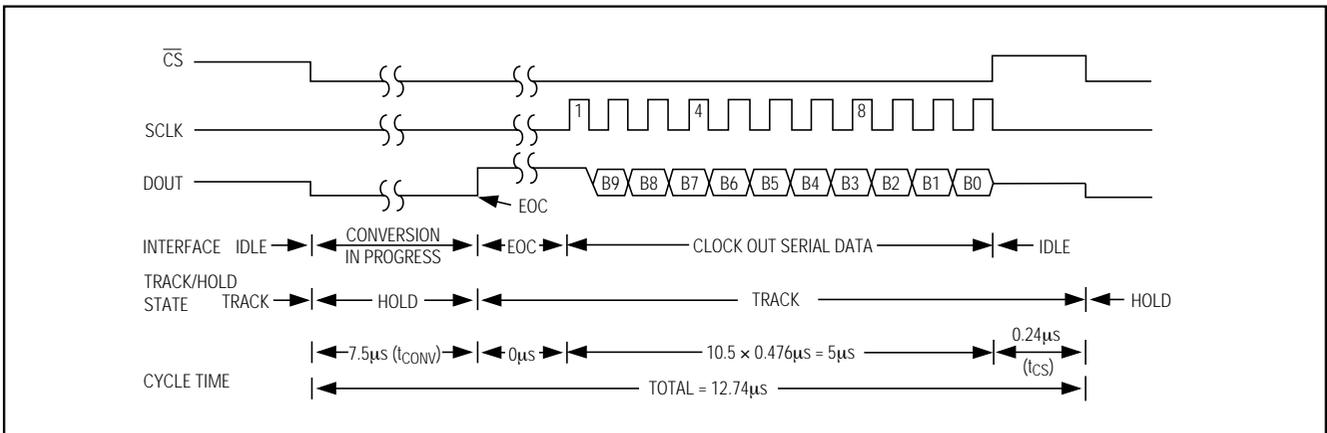


図8b. インタフェースのタイミングシーケンス(最小サイクル時間)

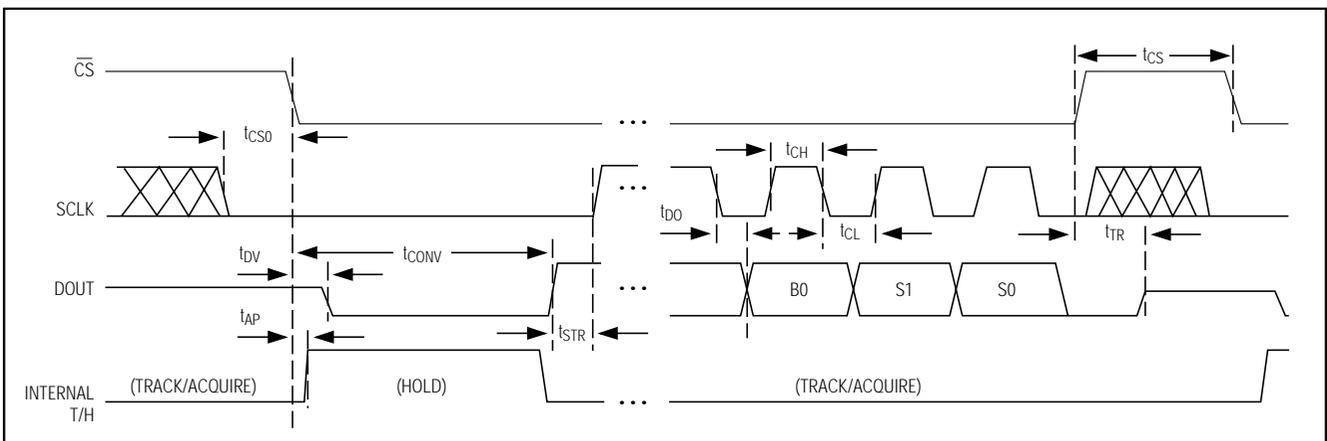


図9. シリアルインタフェースのタイミング詳細図

# +2.7V +5.25、低電力、 10ビットシリアルADC、8ピンSOP

MAX1242/MAX1243

## 外部クロック

実際の変換には外部クロックは必要ありません。このため、変換結果はμPの都合に合わせて2.1MHzまでの任意のクロックレートで読み取ることができます。クロックの各位相でのパルス幅が少なくとも200ns以上であれば、デューティサイクルには制限がありません。変換中には、クロックを動作させないでください。

## タイミング及び制御

変換開始及びデータ読み取り動作は、 $\overline{CS}$ 及びSCLKデジタル入力によって制御されます。図8及び図9のタイミング図に、シリアルインタフェースの動作がまとめられています。

$\overline{CS}$ の立下がりエッジにより変換シーケンスが開始されます。T/H段が入力電圧を保持し、ADCが変換を始め、DOUTがハイインピーダンスからロジックローに変わります。変換中は、SCLKをローに維持しなければなりません。変換の進行中は、内部レジスタにデータが保存されます。

DOUTがハイになると変換が完了(EOC)したことになります。DOUTの立上がりエッジをフレーミング信号として使用できます。変換完了後、任意の時にSCLKによってデータがこのレジスタからシフトアウトされます。DOUTは、SCLKの立下がりエッジで遷移します。その次のクロックの立下がりエッジでその変換のMSBがDOUTに出力され、残りのビットがそれに続きます。データビットが10個、サブビットが2個及び先行のハイビットが1個あるため、これらのビットをシフトアウトするには少なくとも13個のクロック立下がりエッジが必要です。変換結果がクロックアウトされた後で $\overline{CS}$ の立上がりエッジの前にある余分のクロックパルスは、DOUTにゼロの列を生成するだけでコンバータの動作には影響しません。

サイクル時間を最小にするためには、DOUTの立上がりエッジをEOC信号として使用します。また、データをフルスピードの10.5クロックサイクルでクロックアウトします(図8b)。変換のLSBを読んだ後に $\overline{CS}$ をハイにします。仕様で指定された最小時間 $t_{CS}$ の後、 $\overline{CS}$ を再びローにして次の変換を開始することができます。

## 出力コーディング及び伝達関数

MAX1242/MAX1243のデータ出力は、バイナリです。図10は、公称伝達関数を示しています。コード遷移は隣り合う整数LSB値同士の間差点で起こります。 $V_{REF} = 2.5V$ である場合、 $1LSB = 2.44mV$ (即ち $2.5V/1024$ )です。

## アプリケーション情報

### 標準インタフェースへの接続

MAX1242/MAX1243は、SPI、QSPI及びMicrowire標準シリアルインタフェースと完全にコンパチブルです(図11)。

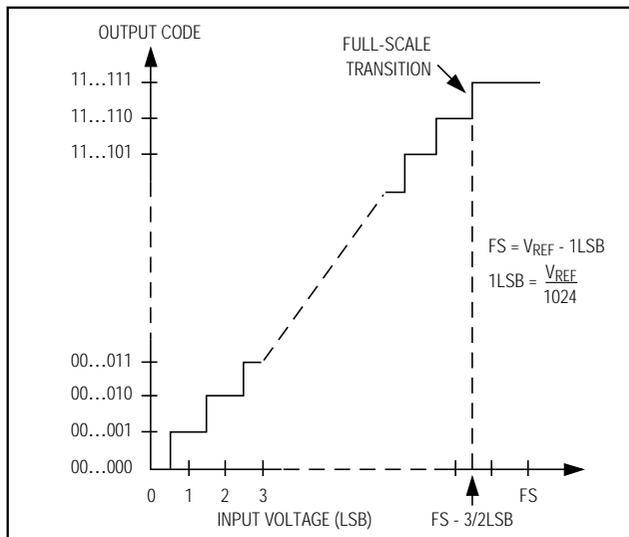


図10. ユニポーラ伝達関数(フルスケール(FS) =  $V_{REF} - 1LSB$ 、ゼロスケール(ZS) = GND)

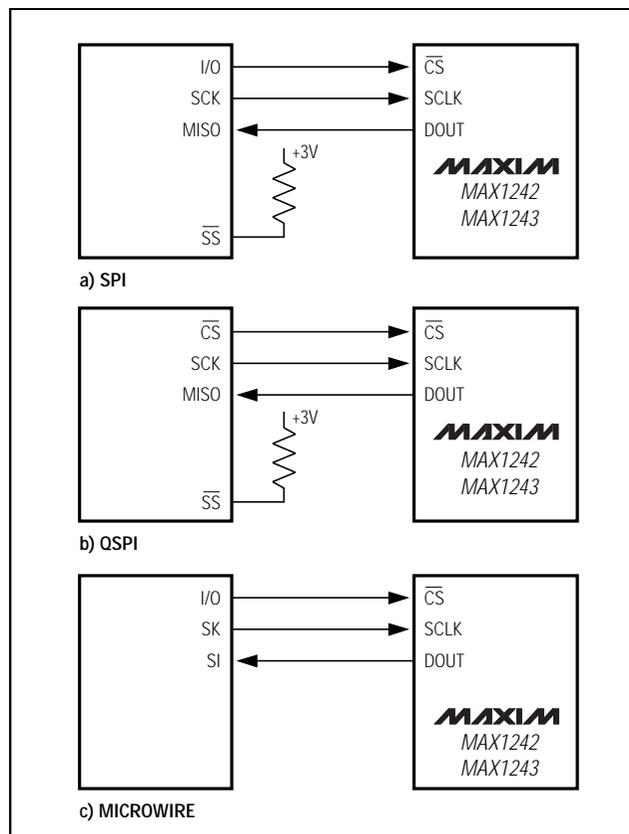


図11. MAX1242/MAX1243への一般的なシリアルインタフェース接続

# +2.7V +5.25、低電力 10ビットシリアルADC、8ピンSOP

MAX1242/MAX1243

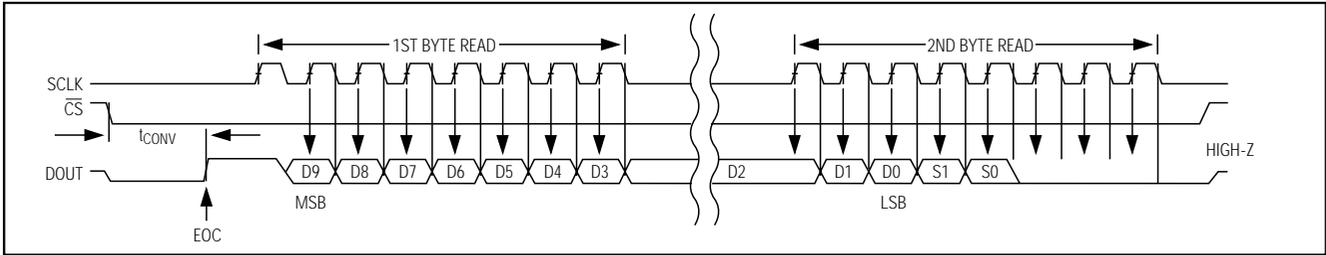


図12. SPI/Microwireシリアルインタフェースタイミング(CPOL = CPHA = 0)

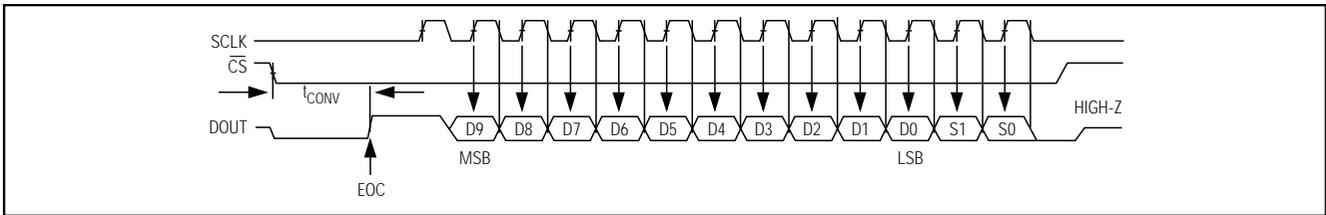


図13. QSPIシリアルインタフェースタイミング(CPOL = CPHA = 0)

シリアルインタフェースが使用できる場合は、CPUのシリアルインタフェースをマスターモードに設定してCPUがシリアルクロックを発生できるようにしてください。選択できるクロック周波数は、2.1MHzまでとなっています。

- 1) CPUの汎用I/Oラインを使用して $\overline{CS}$ ローにします。SCLKはローに維持します。
- 2) SCLKを作動させる前に、仕様で指定された最大変換時間待ちます。あるいは、DOUTの立上がりエッジにより変換の完了を確認します。
- 3) SCLKを少なくとも11クロックサイクル作動させます。最初の立上がりエッジでDOUT変換のMSBが生成されます。DOUTの出力データはSCLKの立上がりエッジで遷移し、MSBを先頭にしたフォーマットで出力されます。SCLKからDOUTへの有効タイミング特性を守ってください。SCLKの立上がりエッジでデータを $\mu P$ にクロックインすることができます。
- 4) 11番目の立上がりクロックエッジ以後に $\overline{CS}$ をハイにします。 $\overline{CS}$ がローに留まると、LSBの後に2つのサブビット及びその後にゼロの列がクロックアウトされます。
- 5)  $\overline{CS}$  = ハイの状態、仕様で指定された最小時間 $t_{CS}$ だけ待った後に $\overline{CS}$ をローにして新しい変換を開始します。変換が完了する前に $\overline{CS}$ をハイにして変換を中断した場合は、新しい変換を開始する前に最小アクイジション時間 $t_{ACQ}$ の間待ちます。

図8a及び図8bに示すように、データは2バイトずつ、又は連続的に出力することができます。これらのバイトは1の先頭ビットと、CSがローに維持されてSCLKがまだ作動している場合は2つのサブビット及び後に続く0の列が付加された変換結果となります。

SPI及びMicrowire

SPI又はMicrowireを使用する場合はCPOL = 0及び

CPHA = 0に設定してください。変換は $\overline{CS}$ の立下がりエッジで開始されます。DOUTがローになって変換が進行中であることを知らせます。DOUTがハイになるか、仕様で指定された最大変換時間7.5 $\mu s$ が経過するまで待ちます。ADCから完全な10+2ビットを取り出すには、2つの連続した1バイト読み取り動作が必要です。DOUTの出力データはSCLKの立下がりエッジで遷移し、SCLKの立上がりエッジで $\mu P$ にクロックインされます。

最初のバイトには、先頭ビットの1及び7ビットの変換結果が含まれます。2番目のバイトは残りの3ビット、2つのサブビット及び後に続く3つのゼロが含まれます。接続については図11、タイミングについては図12を参照してください。

## QSPI

CPOL = CPHA = 0に設定してください。SPIは、ADCから10ビットのデータを取り込むために2つの1バイト読み取り動作を必要としますが、QSPIではデータをクロックインするために必要なクロックサイクル数を最小限に抑えることができます。MAX1242/MAX1243は、10ビットのデータをクロックアウトするために $\mu P$ からのクロックを11サイクル分必要とします。さらにクロックサイクルが続くと、2つのサブビット及びその後にゼロの列が続きます(図13)。QSPIとのコンパチビリティが保証される最大クロック周波数は、2.097MHzです。

## レイアウト及びグランド

最高の性能を得るためには、プリント回路基板を使用してください。ワイヤラップボードはお勧めできません。ボードレイアウトは、デジタル信号ラインとアナログ信号ラインが分離されるようにしてください。アナログとデジタル(特にクロック)ラインを互いに並行に走らせないでください。又、デジタルラインがADCパッケージの下に来ないようにしてください。

# +2.7V +5.25、低電力、 10ビットシリアルADC、8ピンSOP

MAX1242/MAX1243

型番(続き) \_\_\_\_\_

PART	TEMP. RANGE	PIN-PACKAGE	INL (LSB)
MAX1242AESA	-40°C to +85°C	8 SO	±1/2
MAX1242BESA	-40°C to +85°C	8 SO	±1
MAX1242AMJA	-55°C to +125°C	8 CERDIP*	±1/2
MAX1242BMJA	-55°C to +125°C	8 CERDIP*	±1
<b>MAX1243ACPA</b>	0°C to +70°C	8 Plastic DIP	±1/2
MAX1243BCPA	0°C to +70°C	8 Plastic DIP	±1
MAX1243ACSA	0°C to +70°C	8 SO	±1/2
MAX1243BCSA	0°C to +70°C	8 SO	±1
MAX1243AEPA	-40°C to +85°C	8 Plastic DIP	±1/2
MAX1243BEPA	-40°C to +85°C	8 Plastic DIP	±1
MAX1243AESA	-40°C to +85°C	8 SO	±1/2
MAX1243BESA	-40°C to +85°C	8 SO	±1
MAX1243AMJA	-55°C to +125°C	8 CERDIP*	±1/2
MAX1243BMJA	-55°C to +125°C	8 CERDIP*	±1

\* Contact factory for availability and processing to MIL-STD-883.

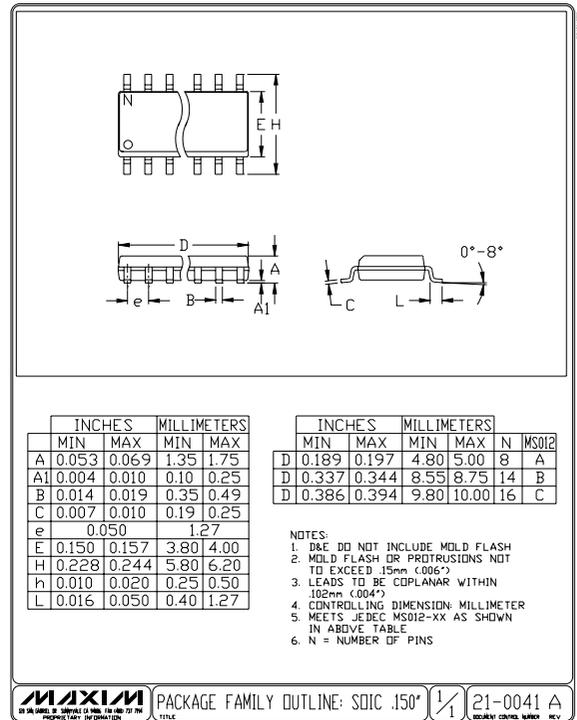
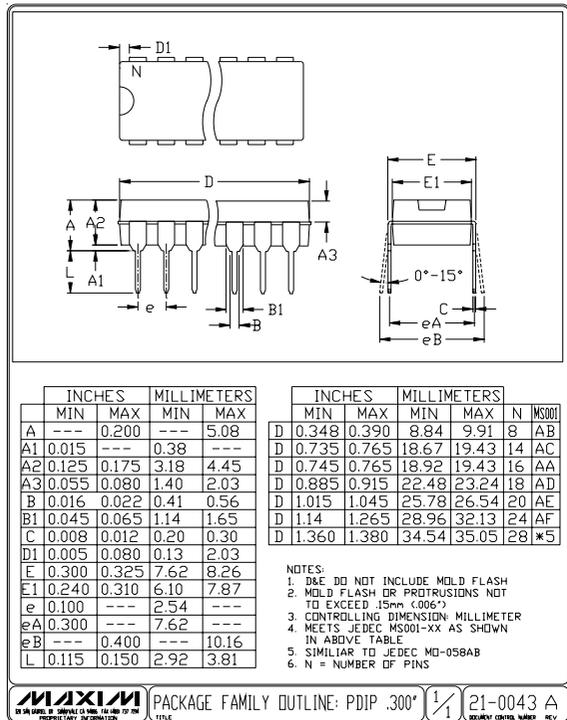
**Note:** Order the MAX1242A in place of the MAX1242C. Order the MAX1242B in place of the MAX1242D.

チップ情報 \_\_\_\_\_

TRANSISTOR COUNT: 2559

SUBSTRATE CONNECTED TO GND

## パッケージ



## マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)  
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

12 \_\_\_\_\_ Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600