

1.5MSPS、単一電源、低電力、 真の差動、12ビットADC

概要

低電力、高速、シリアル出力、12ビットアナログ-デジタルコンバータ(ADC)のMAX1224/MAX1225は、最高1.5MSPSで動作します。これらのデバイスは、真の差動入力を備えており、シングルエンド入力に比べて優れたノイズ耐性、低歪み、および広いダイナミックレンジを提供します。標準のSPI™/QSPI™/MICROWIRE™インタフェースは、変換に必要なクロックを供給します。これらのデバイスは、標準のデジタル信号プロセッサ(DSP)の同期シリアルインタフェースに容易に接続します。

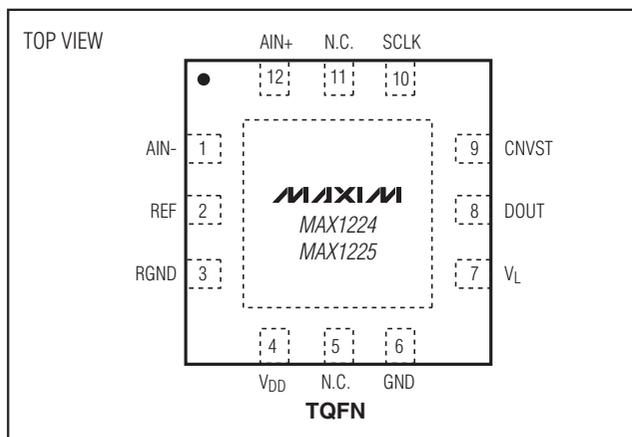
MAX1224/MAX1225は、+2.7V~+3.6Vの単一電源で動作し、外部リファレンスを必要とします。MAX1224のアナログ入力はユニポーラですが、MAX1225のアナログ入力はバイポーラです。これらの製品は、各変換の間に一時的パワーダウンモードと完全パワーダウンモードで動作し、消費電流がそれぞれ1mA (typ)と1μA (max)に低減します。また、+1.8V~V_{DD}のデジタルロジックに直接インタフェース可能な独立の電源入力(V_L)を備えていることもこれらのデバイスの特長です。変換速度が速く、低消費電力で、優れたAC性能と高いDC精度(±1.5 LSB INL)を備えたMAX1224/MAX1225は、工業プロセス制御、モータ制御、および基地局の各アプリケーションに最適です。

MAX1224/MAX1225は、12ピンTQFNパッケージで提供され、拡張温度範囲(-40°C~+85°C)での動作が保証されています。

アプリケーション

データ収集	通信
紙幣照合	ポータブル機器
モータ制御	

ピン配置



SPI/QSPIはMotorola, Inc.の商標です。
MICROWIREはNational Semiconductor Corp.の商標です。

特長

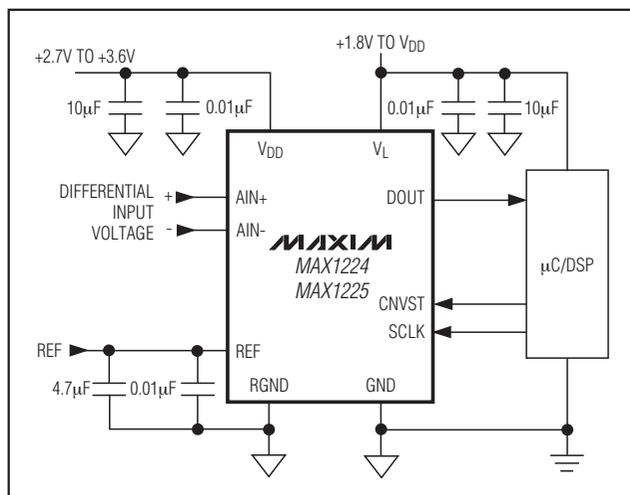
- ◆ サンプリングレート：1.5MSPS
- ◆ 消費電力：わずか18mW (typ)
- ◆ シャットダウン電流：わずか1μA (max)
- ◆ 高速SPI対応3線式シリアルインタフェース
- ◆ S/(N + D)：69dB (入力周波数525kHz)
- ◆ 真の差動トラック/ホールド(T/H)機能内蔵
- ◆ 外部リファレンス
- ◆ パイプライン遅延なし
- ◆ 小型12ピンTQFNパッケージ

型番

PART	TEMP RANGE	PIN-PACKAGE	INPUT
MAX1224ETC+T	-40°C to +85°C	12 TQFN	Unipolar
MAX1225ETC+T	-40°C to +85°C	12 TQFN	Bipolar

+は鉛(Pb)フリー/RoHS準拠パッケージを表します。
T = テープ&リール

標準動作回路



1.5Msps、単一電源、低電力、 真の差動、12ビットADC

MAX1224/MAX1225

ABSOLUTE MAXIMUM RATINGS

V _{DD} to GND	-0.3V to +6V	Maximum Current into Any Pin.....	50mA
V _L to GND	-0.3V to the lower of (V _{DD} + 0.3V) and +6V	Continuous Power Dissipation (T _A = +70°C)	
Digital Inputs		12-Pin TQFN (derate 16.9mW/°C above +70°C)	1349mW
to GND	-0.3V to the lower of (V _{DD} + 0.3V) and +6V	Operating Temperature Range	
Digital Output		MAX122_ ETC.....	-40°C to +85°C
to GND.....	-0.3V to the lower of (V _L + 0.3V) and +6V	Junction Temperature.....	+150°C
Analog Inputs and		Storage Temperature Range	-60°C to +150°C
REF to GND.....	-0.3V to the lower of (V _{DD} + 0.3V) and +6V	Lead Temperature (soldering, 10s)	+300°C
RGND to GND	-0.3V to +0.3V		

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = +2.7V to +3.6V, V_L = V_{DD}, V_{REF} = 2.048V, f_{SCLK} = 24.0MHz, 50% duty cycle, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at V_{DD} = 3V and T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY						
Resolution			12			Bits
Relative Accuracy	INL	(Note 1)	-1.5		+1.5	LSB
Differential Nonlinearity	DNL	Guaranteed no missing codes (Note 2)	-1.0		+1.5	LSB
Offset Error					±8.0	LSB
Offset-Error Temperature Coefficient				±1		ppm/°C
Gain Error		Offset nulled			±6.0	LSB
Gain Temperature Coefficient				±2		ppm/°C
DYNAMIC SPECIFICATIONS (f_{IN} = 525kHz sine wave, V_{IN} = V_{REF}, unless otherwise noted.)						
Signal-to-Noise Plus Distortion	SINAD		66	69		dB
Total Harmonic Distortion	THD	Up to the 5th harmonic		-80	-76	dB
Spurious-Free Dynamic Range	SFDR			-83	-76	dB
Intermodulation Distortion	IMD	f _{IN1} = 250kHz, f _{IN2} = 300kHz		-78		dB
Full-Power Bandwidth		-3dB point		15		MHz
Full-Linear Bandwidth		S/(N + D) > 68dB, single ended		1.2		MHz
CONVERSION RATE						
Minimum Conversion Time	t _{CONV}	(Note 3)			0.667	µs
Maximum Throughput Rate			1.5			Msp/s
Minimum Throughput Rate		(Note 4)	10			ksps
Track-and-Hold Acquisition Time	t _{ACQ}	(Note 5)		125		ns
Aperture Delay				5		ns
Aperture Jitter		(Note 6)		30		ps
External Clock Frequency	f _{SCLK}	(Note 7)			24.0	MHz

1.5Msps、単一電源、低電力、 真の差動、12ビットADC

MAX1224/MAX1225

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = +2.7V$ to $+3.6V$, $V_L = V_{DD}$, $V_{REF} = 2.048V$, $f_{SCLK} = 24.0MHz$, 50% duty cycle, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $V_{DD} = 3V$ and $T_A = +25^{\circ}C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ANALOG INPUTS (AIN+, AIN-)						
Differential Input Voltage Range	V_{IN}	AIN+ - AIN-, MAX1224	0		V_{REF}	V
		AIN+ - AIN-, MAX1225	$-V_{REF}/2$		$+V_{REF}/2$	
Absolute Input Voltage Range			0		V_{DD}	V
DC Leakage Current					± 1	μA
Input Capacitance		Per input pin		16		pF
Input Current (Average)		Time averaged at maximum throughput rate		50		μA
REFERENCE INPUT (REF)						
REF Input Voltage Range	V_{REF}		1.0		$V_{DD} + 50mV$	V
Input Capacitance				20		pF
DC Leakage Current					± 1	μA
Input Current (Average)		Time averaged at maximum throughput rate		200		μA
DIGITAL INPUTS (SCLK, CNVST)						
Input-Voltage Low	V_{IL}				$0.3 \times V_L$	V
Input-Voltage High	V_{IH}		$0.7 \times V_L$			V
Input Leakage Current	I_{IL}			0.05	± 10	μA
DIGITAL OUTPUT (DOUT)						
Output Load Capacitance	C_{OUT}	For stated timing performance			30	pF
Output-Voltage Low	V_{OL}	$I_{SINK} = 5mA$, $V_L \geq 1.8V$			0.4	V
Output-Voltage High	V_{OH}	$I_{SOURCE} = 1mA$, $V_L \geq 1.8V$	$V_L - 0.5V$			V
Output Leakage Current	I_{OL}	Output high impedance		± 0.2	± 10	μA
POWER REQUIREMENTS						
Analog Supply Voltage	V_{DD}		2.7		3.6	V
Digital Supply Voltage	V_L		1.8		V_{DD}	V
Analog Supply Current, Normal Mode	I_{DD}	Static, $f_{SCLK} = 24.0MHz$		5	7	mA
		Static, no SCLK		4	5	
		Operational, 1.5Msps		6	8	
Analog Supply Current, Partial Power-Down Mode	I_{DD}	$f_{SCLK} = 24.0MHz$		1		mA
		No SCLK		1		
Analog Supply Current, Full Power-Down Mode	I_{DD}	$f_{SCLK} = 24.0MHz$		1		μA
		No SCLK		0.3	1	
Digital Supply Current (Note 8)		Operational, full-scale input at 1.5Msps		0.3	1	mA
		Static, $f_{SCLK} = 24.0MHz$		0.15	0.5	
		Partial/full power-down mode, $f_{SCLK} = 24.0MHz$		0.1	0.3	
		Static, no SCLK, all modes		0.1	1	μA
Positive-Supply Rejection	PSR	Full-scale input, 3V +20%, -10%		± 0.2	± 3.0	mV

1.5MSPS、単一電源、低電力、 真の差動、12ビットADC

MAX1224/MAX1225

TIMING CHARACTERISTICS

($V_{DD} = +2.7V$ to $+3.6V$, $V_L = V_{DD}$, $V_{REF} = 2.048V$, $f_{SCLK} = 24.0MHz$, 50% duty cycle, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $V_{DD} = 3V$ and $T_A = +25^{\circ}C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCLK Pulse-Width High	t_{CH}	$V_L = 2.7V$ to V_{DD}	18.7			ns
		$V_L = 1.8V$ to V_{DD} , minimum recommended (Note 7)		22.5		
SCLK Pulse-Width Low	t_{CL}	$V_L = 2.7V$ to V_{DD}	18.7			ns
		$V_L = 1.8V$ to V_{DD} , minimum recommended (Note 7)		22.5		
SCLK Rise to DOUT Transition	t_{DOUT}	$C_L = 30pF$, $V_L = 2.7V$ to V_{DD}			17	ns
		$C_L = 30pF$, $V_L = 1.8V$ to V_{DD}			24	
DOUT Remains Valid After SCLK Rise	t_{DHold}	$V_L = 1.8V$ to V_{DD}	4			ns
CNVST Fall to SCLK Fall	t_{SETUP}	$V_L = 1.8V$ to V_{DD}	10			ns
CNVST Pulse Width	t_{CSW}	$V_L = 1.8V$ to V_{DD}	20			ns
Power-Up Time; Full Power-Down	t_{PWR-UP}			2		ms
Restart Time; Partial Power-Down	t_{RCV}			16		Cycles

Note 1: Relative accuracy is the deviation of the analog value at any code from its theoretical value after the gain error and the offset error have been nulled.

Note 2: No missing codes over temperature.

Note 3: Conversion time is defined as the number of clock cycles (16) multiplied by the clock period.

Note 4: At sample rates below 10kSPS, the input full-linear bandwidth is reduced to 5kHz.

Note 5: The listed value of three SCLK cycles is given for full-speed continuous conversions. Acquisition time begins on the 14th rising edge of SCLK and terminates on the next falling edge of CNVST. The IC idles in acquisition mode between conversions.

Note 6: Undersampling at the maximum signal bandwidth requires the minimum jitter spec for SINAD performance.

Note 7: 1.5MSPS operation guaranteed for $V_L > 2.7V$. See the *Typical Operating Characteristics* section for recommended sampling speeds for $V_L < 2.7V$.

Note 8: Digital supply current is measured with the V_{IH} level equal to V_L , and the V_{IL} level equal to GND.

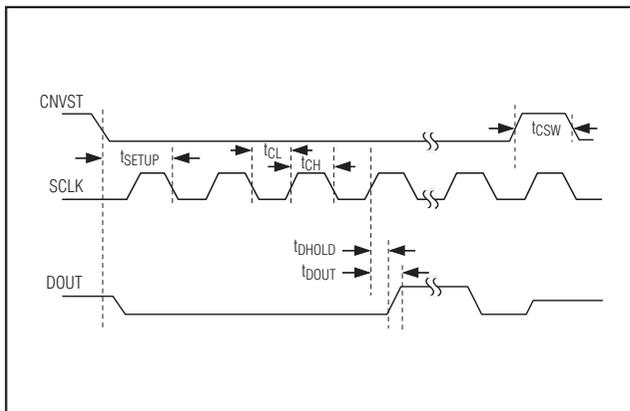


図1. シリアルインタフェースの詳細なタイミング

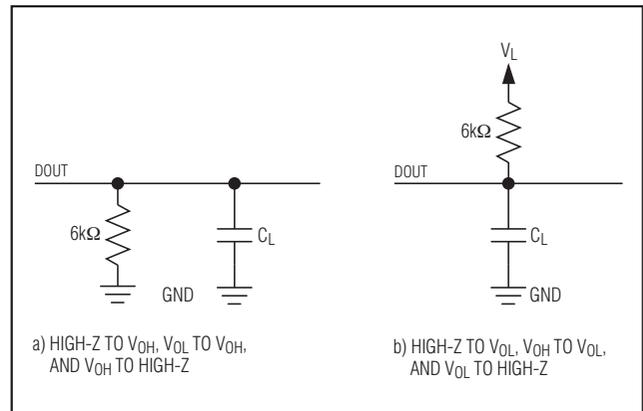


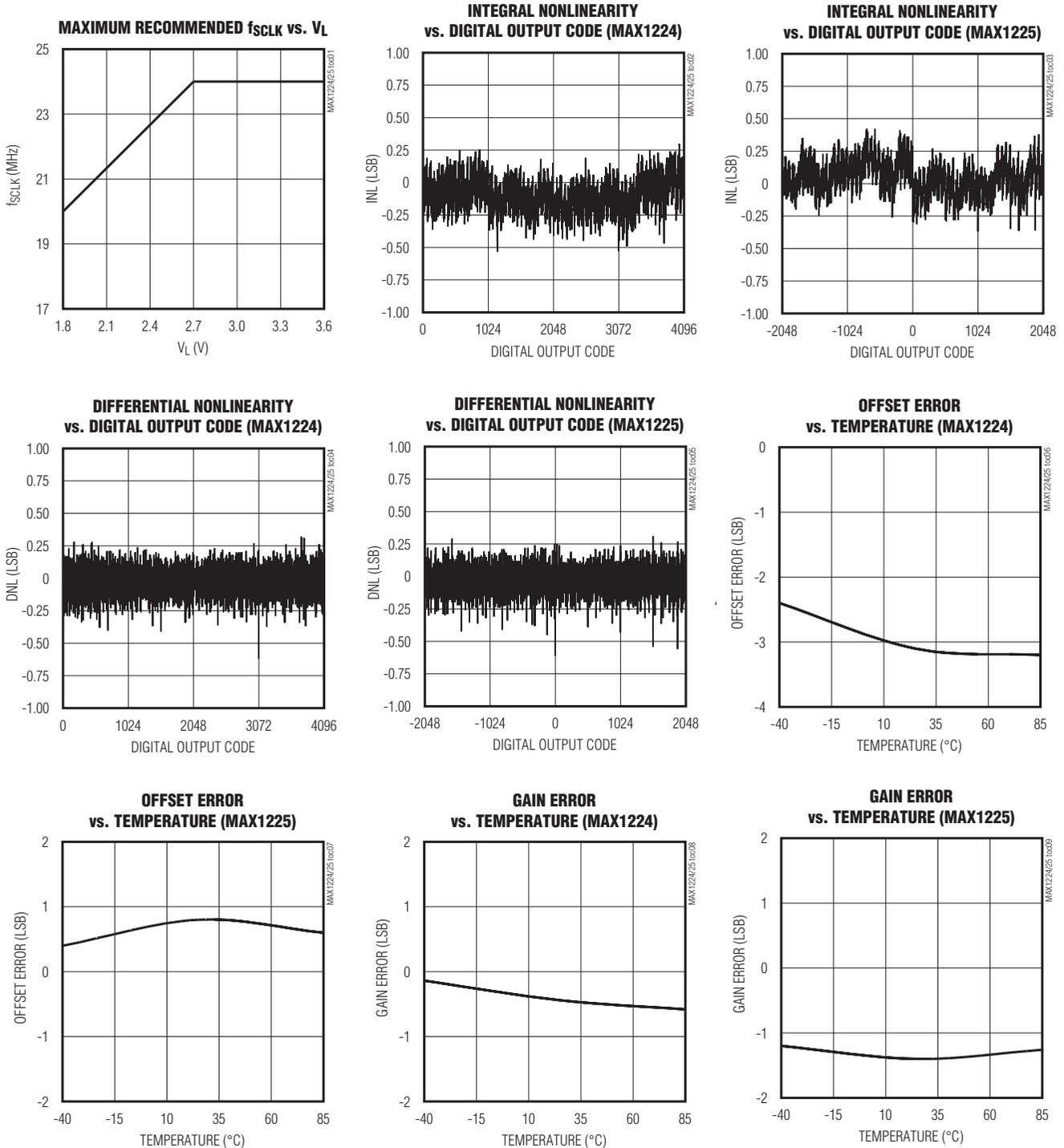
図2. イネーブル/ディセーブル時間用の負荷回路

1.5MSPS、単一電源、低電力、 真の差動、12ビットADC

MAX1224/MAX1225

標準動作特性

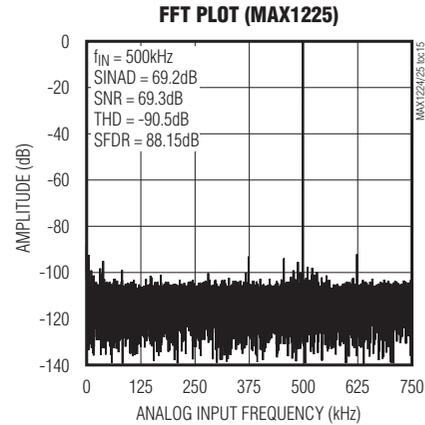
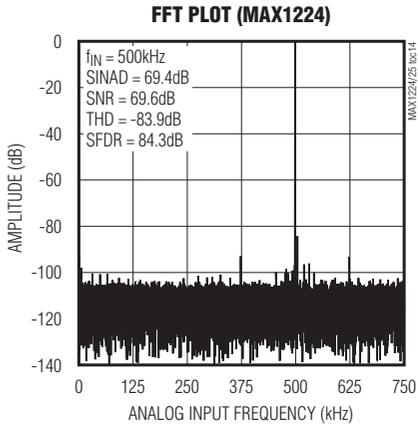
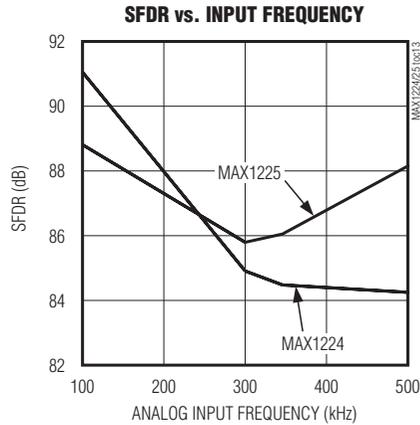
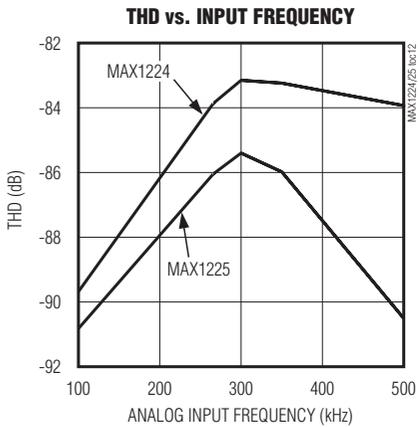
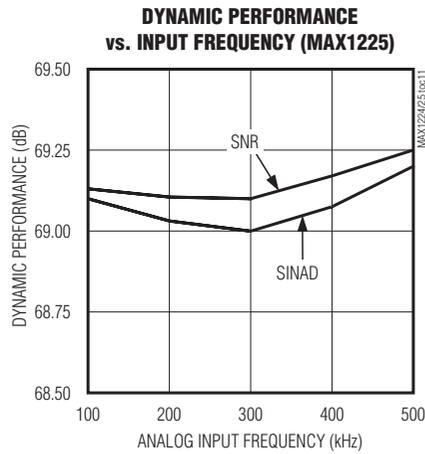
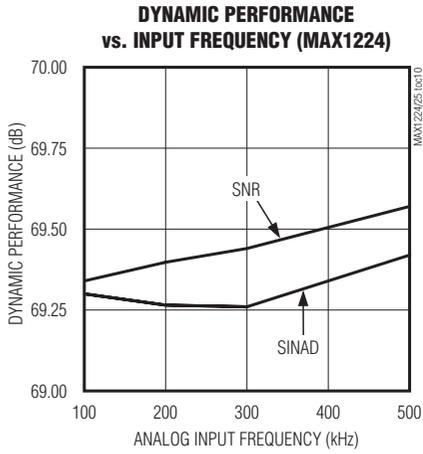
($V_{DD} = +3V$, $V_L = V_{DD}$, $V_{REF} = 2.048V$, $f_{SCLK} = 24MHz$, $f_{SAMPLE} = 1.5MSPS$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are measured at $T_A = +25^{\circ}C$)



1.5MSPS、単一電源、低電力、 真の差動、12ビットADC

標準動作特性(続き)

($V_{DD} = +3V$, $V_L = V_{DD}$, $V_{REF} = 2.048V$, $f_{SCLK} = 24MHz$, $f_{SAMPLE} = 1.5MSPS$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are measured at $T_A = +25^{\circ}C$)

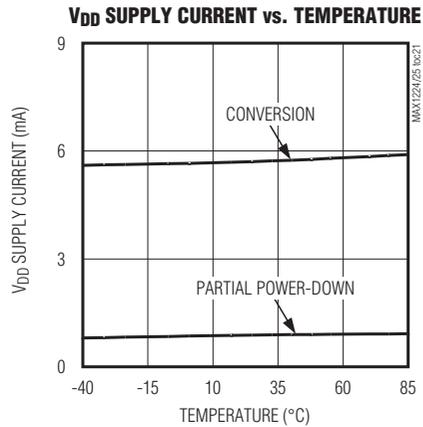
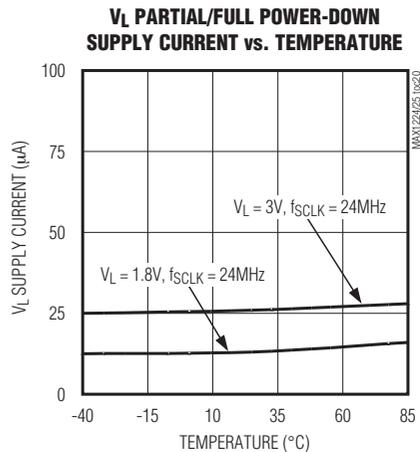
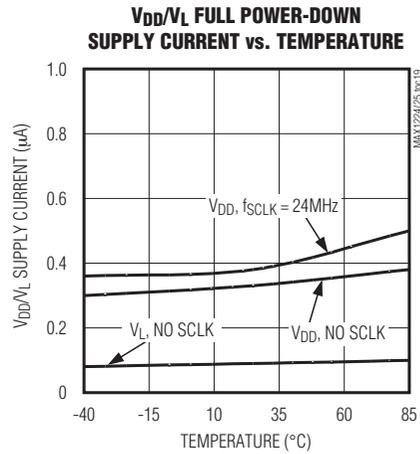
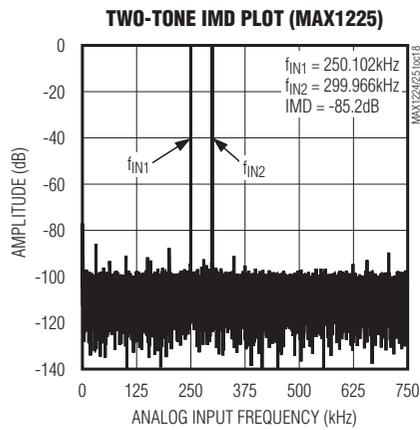
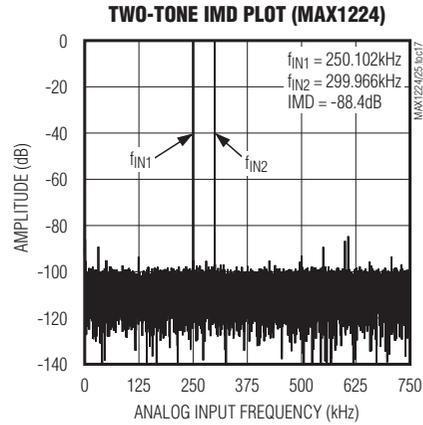
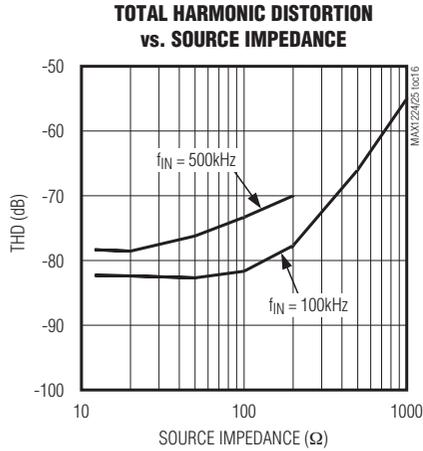


1.5MSPS、単一電源、低電力、 真の差動、12ビットADC

MAX1224/MAX1225

標準動作特性(続き)

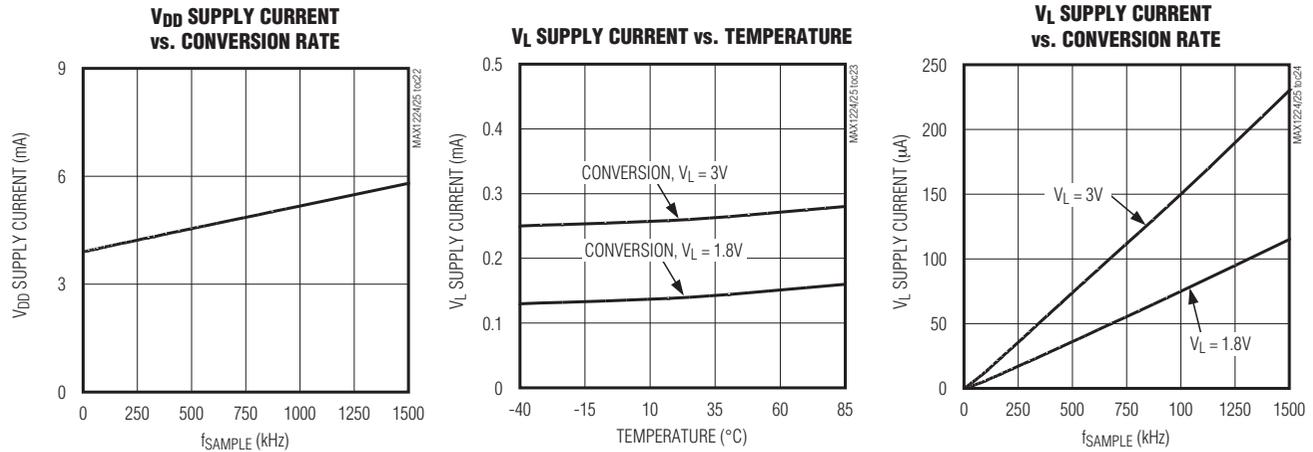
($V_{DD} = +3V$, $V_L = V_{DD}$, $V_{REF} = 2.048V$, $f_{SCLK} = 24MHz$, $f_{SAMPLE} = 1.5MSPS$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are measured at $T_A = +25^{\circ}C$)



1.5MSPS、単一電源、低電力、 真の差動、12ビットADC

標準動作特性(続き)

($V_{DD} = +3V$, $V_L = V_{DD}$, $V_{REF} = 2.048V$, $f_{SCLK} = 24MHz$, $f_{SAMPLE} = 1.5MSPS$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are measured at $T_A = +25^{\circ}C$)



端子説明

端子	名称	機能
1	AIN-	負アナログ入力
2	REF	外部リファレンス電圧入力。V _{REF} はアナログ入力範囲を設定します。REFを0.01µFのコンデンサと4.7µFのコンデンサでRGNDにバイパスしてください。
3	RGND	リファレンスグランド。RGNDをGNDに接続してください。
4	V _{DD}	正アナログ電源電圧(+2.7V~+3.6V)。V _{DD} を0.01µFのコンデンサと10µFのコンデンサでGNDにバイパスしてください。
5, 11	N.C.	接続なし
6	GND	グランド。GNDは内部でEPに接続されています。
7	V _L	正ロジック電源電圧(1.8V~V _{DD})。V _L を0.01µFのコンデンサと10µFのコンデンサでGNDにバイパスしてください。
8	DOUT	シリアルデータ出力。データはSCLKの立上りエッジでクロックアウトされます。
9	CNVST	変換開始。CNVSTを強制的にハイにすると、デバイスは変換の準備に入ります。変換はCNVSTの立下りエッジで開始します。サンプリング時点はCNVSTの立下りエッジで規定されます。
10	SCLK	シリアルクロック入力。シリアルインタフェースからデータをクロックアウトします。また、SCLKは変換速度を設定します。
12	AIN+	正アナログ入力
—	EP	エクスポーズドパッド。EPは内部でGNDに接続されています。

1.5MSPS、単一電源、低電力、 真の差動、12ビットADC

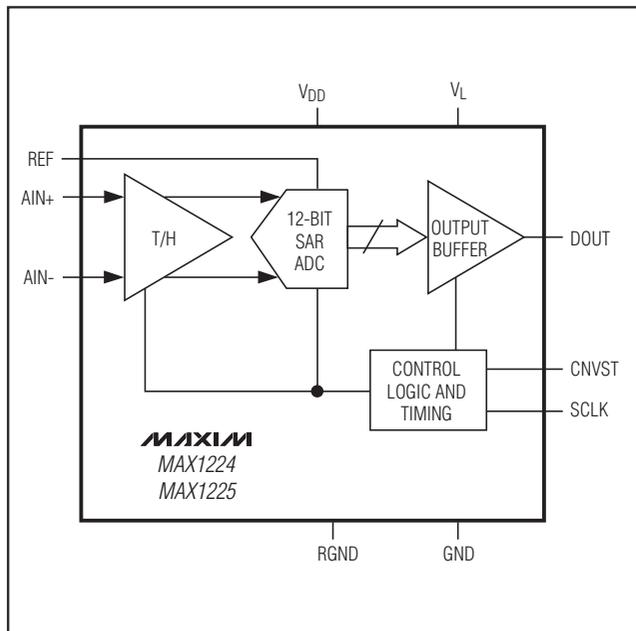


図3. ファンクションダイアグラム

詳細

MAX1224/MAX1225は、入力T/Hと逐次比較レジスタ(SAR)回路を使用してアナログ入力信号を12ビットのデジタル出力に変換します。シリアルインタフェースは、3本のデジタルライン(SCLK、CNVST、およびDOUT)のみを必要とし、マイクロプロセッサ(μP)とDSPに容易に接続します。図3は、MAX1224/MAX1225の内部構造を簡略化して示したものです。

真の差動アナログ入力T/H

図4の等価回路は、T/H、コンパレータ、およびスイッチトキャパシタデジタル-アナログコンバータ(DAC)で構成されるMAX1224/MAX1225の入力アーキテクチャを示します。T/Hは、前の変換の14番目のSCLK立上りエッジでそのトラッキングモードに入ります。電源投入時に、T/Hは直ちにそのトラッキングモードに入ります。正入力コンデンサは、AIN+に接続されています。負入力コンデンサはAIN-に接続されています。T/HはCNVSTの立下りエッジでそのホールドモードに入り、サンプリングされた正と負の入力電圧の差が変換されます。T/Hが入力信号を収集するのに必要な時間は、その入力コンデンサの充電速度で決まります。入力信号のソースインピーダンスが高ければ、アキュイジション時間が長くなります。アキュイジション時間 t_{ACQ} は、信号の収集に

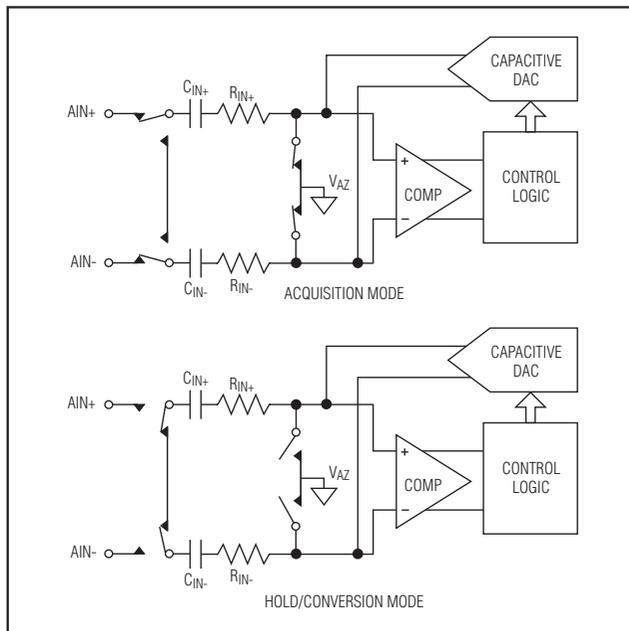


図4. 等価入力回路

必要な最小時間です。これは、次式から計算されます。

$$t_{ACQ} \geq 9 \times (RS + R_{IN}) \times 16pF$$

ここで、 $R_{IN} = 200\Omega$ で、RSは入力信号のソースインピーダンスです。

注： t_{ACQ} は125ns以下になることはなく、ソースインピーダンスが 12Ω 以下であればADCのAC性能が重大な影響を受けることはありません。

入力帯域幅

ADCの入力トラッキング回路は、小信号帯域幅が15MHzであるため高速の過渡現象をデジタル化し、アンダーサンプリングを適用してADCのサンプリングレートを超える帯域幅の周期信号を測定することができます。着目する周波数帯域に高周波信号がエイリアシングとして現れないようにするため、アンチエイリアシングフィルタ処理をお奨めします。

アナログ入力保護

内部保護ダイオードによってアナログ入力 V_{DD} とGNDにクランプされているため、デバイスを損傷することなくアナログ入力ピンを $(GND - 0.3V) \sim (V_{DD} + 0.3V)$ の範囲でスイングさせることができます。変換を正確に行うためには、両入力 V_{DD} 以下であるかもしくはGND以上でなければなりません。

1.5MSPS、単一電源、低電力、 真の差動、12ビットADC

シリアルインタフェース

電源投入後の初期化と変換の開始

最初の電源投入時、MAX1224/MAX1225は内部較正を初期化するために完全な1変換サイクルを必要とします。この最初の変換を終了すると、デバイスは通常動作の準備を完了します。この初期化は、ハードウェアの電源投入シーケンス後にも必要で、現在の一時的または完全パワーダウンモードを終了した後では不要です。

変換を開始するためには、CNVSTをローにプルダウンしてください。CNVSTの立下りエッジで、T/Hはそのホールドモードに入って変換が開始されます。SCLKで変換を実行すると、データがDOUTにシリアルにシフトアウトします。

タイミングと制御

変換開始とデータ読取りの動作は、CNVSTとSCLKディジタル入力によって制御されます。図1と5は、シリアルインタフェース動作の概要を示すタイミング図です。

CNVSTの立下りエッジで変換シーケンスが開始します。すなわち、T/H段が入力電圧を保持しADCが変換を開始して、DOUTがハイインピーダンスからロジックローに変化します。SCLKは、変換過程の駆動に使用され、各変換ビットが決まるとデータをシフトアウトします。

SCLKは、SCLKの4番目の立上りエッジの後、データのシフトアウトを開始します。DOUTは、各SCLKの立上りエッジから t_{DOUT} 後に遷移し、次の立上りエッジから4ns (t_{DHOLD})後まで有効な状態です。クロックの4番目の立上りエッジで変換のMSBがDOUTに出力され、このMSBは5番目の立上りエッジから4ns後まで有効です。12個のデータビットと3個の先行ゼロ列があるため、これらのビットをシフトアウトするには少なくとも16の立上りクロックエッジが必要です。連続動作の場合は、SCLKの14番目と16番目の立上りエッジの間にCNVSTをハイにプルアップしてください。CNVSTが16番目のSCLKサイクルの立下りエッジ後にローのままであれば、DOUTラインはCNVSTの立上りエッジまたは次のSCLKの立上りエッジのいずれかでハイインピーダンス状態になります。

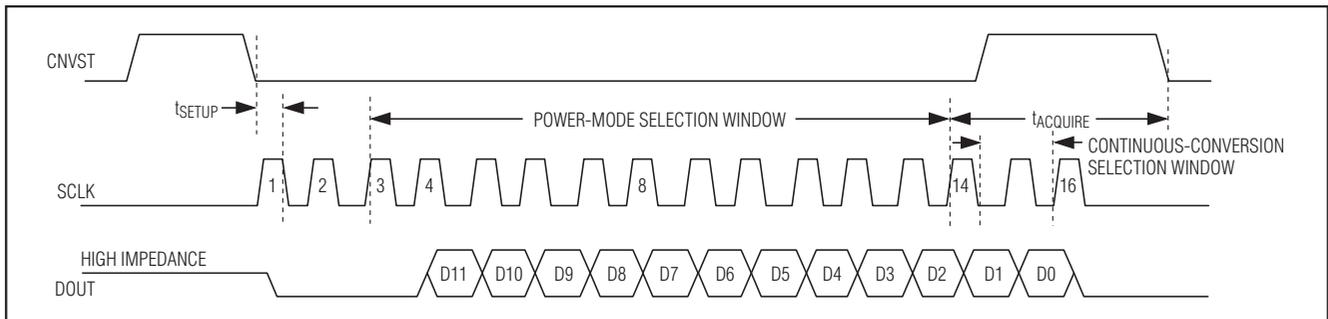


図5. インタフェースのタイミングシーケンス

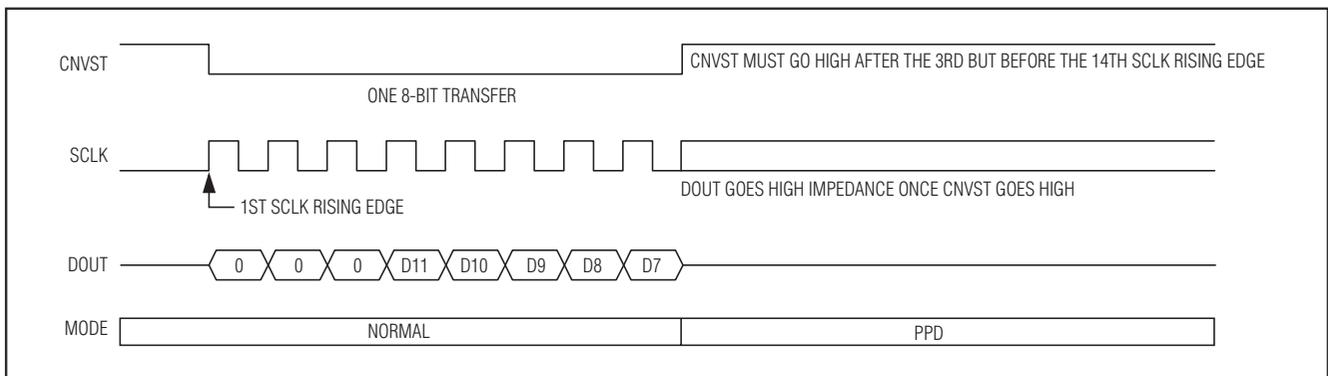


図6. SPIインタフェース—一時的パワーダウンモード

1.5MSPS、単一電源、低電力、 真の差動、12ビットADC

一時的パワーダウンモードと 完全パワーダウンモード

MAX1224/MAX1225を一時的パワーダウンモードまたは完全パワーダウンモードのいずれかに入れることによって、消費電力を著しく低減することができます。一時的パワーダウンモードは、低頻度のデータサンプリングと高速ウェイクアップ時間のアプリケーションに最適です。一時的パワーダウンモードに入りその状態を維持するためには、SCLKの3番目の立上りエッジ後とSCLKの14番目の立上りエッジ前にCNVSTをハイにプルアップしてください(図6参照)。これで、消費電流が1mAに減少します。一時的パワーダウンモードを終了するためには、CNVSTをローに駆動し、少なくとも14 SCLKサイクルが経過してからCNVSTをハイに駆動してください。

完全パワーダウンモードは低頻度のデータサンプリングと超低消費電流のアプリケーションに最適です。完全パワーダウンモードに入れるためには、MAX1224/MAX1225が一時的パワーダウンモードになければなりません。一時的パワーダウンモードに入れるためには、前記のSCLK/CNVSTシーケンスを実行してください。つぎに、同じシーケンスを繰り返して完全パワーダウンモードに入ってください(図7参照)。完全パワーダウンモードを終了するためには、CNVSTをローに駆動し、少なくとも14 SCLKサイクルが経過してからCNVSTをハイに駆動してください。一時的/完全パワーダウンモードでは、SCLKをロジックローまたはロジックハイに維持して消費電力を最小限に抑制してください。

伝達関数

図8は、MAX1224のユニポーラ伝達関数を示します。図9はMAX1225のバイポーラ伝達関数を示します。MAX1224の出力はストレートバイナリですが、MAX1225の出力は2の補数です。

アプリケーション情報

外部リファレンス

MAX1224/MAX1225には、外部リファレンスが必要です。最良の性能を得るために、REFピンに4.7μFと0.01μFのバイパスコンデンサを接続してください。リファレンス入力の電圧許容範囲は+1V~V_{DD}です。

変換開始方法

アナログ-デジタル変換は、CNVSTによって開始されSCLKによってクロックされて、得られたデータはSCLKによってDOUTにクロックアウトされます。SCLKをアイドルハイまたはロー状態にすると、CNVSTの立下りエッジで変換が始まります。これによって、アナログ入力段がトラックからホールドモードに遷移し、DOUTがハイインピーダンスからアクティブローに駆動されている状態に遷移します。通常の変換を終了するためには、全部で16のSCLKサイクルが必要です。SCLKの16番目の立下りエッジの間にCNVSTがローであれば、DOUTはCNVSTまたはSCLKの次の立上りエッジでハイインピーダンスに戻り、複数のデバイスがシリアルインタフェースを共有することができます。CNVSTがSCLKの14番目の立上りエッジの後でハイに戻っても、16番目の立上りエッジの前であればDOUTはアクティブのままであるため、連続変換を持続することができます。連続変換が行われるときに最高のスループットが実現します。図10は、標準的なシリアルインタフェースを使用した変換を示します。

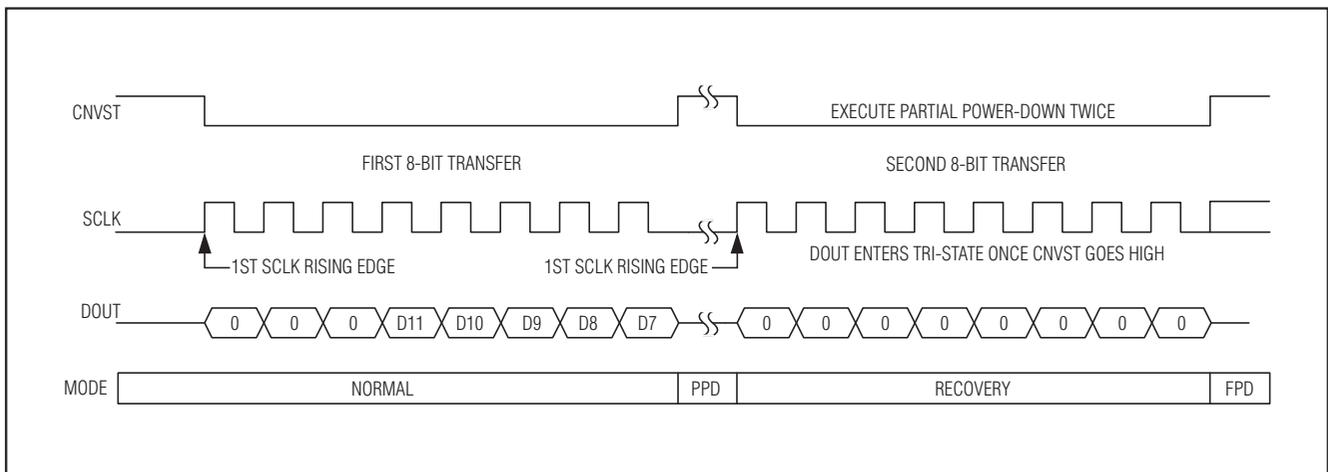


図7. SPIインタフェース—完全パワーダウンモード

1.5MSPS、単一電源、低電力、 真の差動、12ビットADC

MAX1224/MAX1225

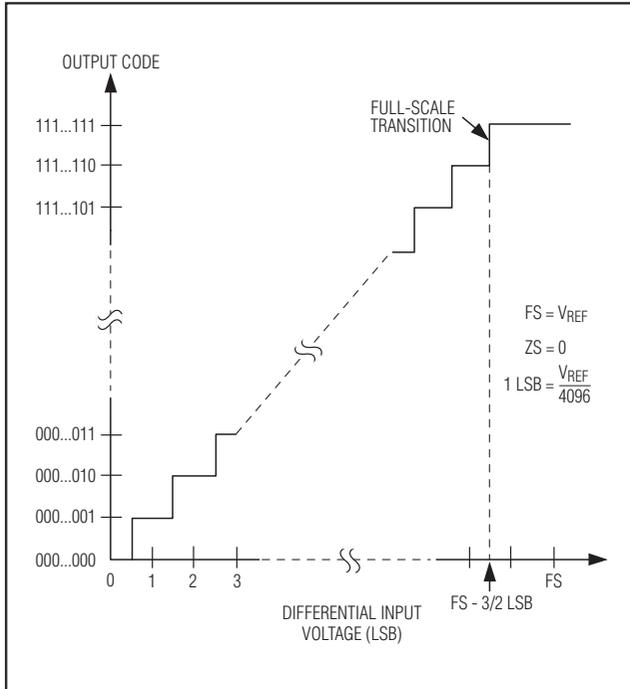


図8. ユニポーラ伝達関数(MAX1224のみ)

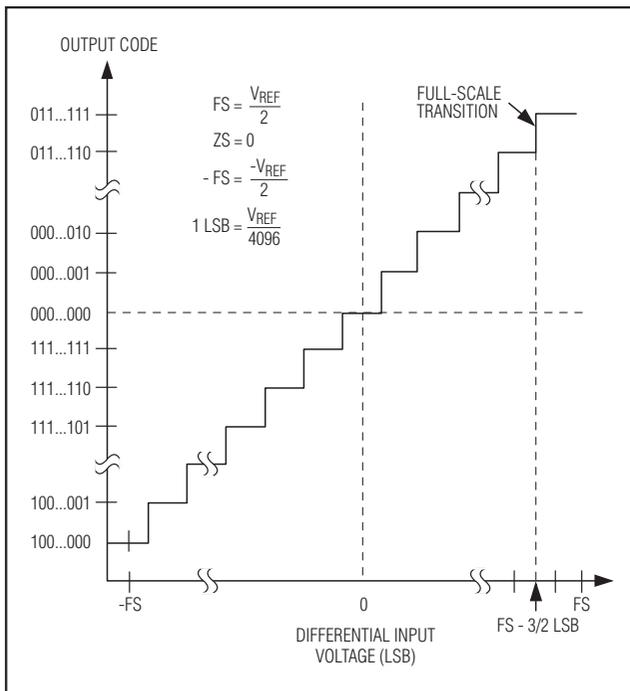


図9. バイポーラ伝達関数(MAX1225のみ)

標準インタフェースへの接続

MAX1224/MAX1225シリアルインタフェースは、SPI/QSPIおよびMICROWIREに完全対応しています(図11参照)。シリアルインタフェースを利用することが可能な場合は、CPUがシリアルクロックを発生するようCPUのシリアルインタフェースをマスターモードに設定してください。最高28.8MHzまでのクロック周波数を選定してください。

SPIとMICROWIRE

SPIまたはMICROWIREを使用すると、MAX1224/MAX1225はSPIまたはMICROWIRE制御レジスタにおいてCPHAとCPOLビットによって設定された4つのモードすべてに対応することができます。変換はCNVSTの立上りエッジで始まります。DOUTはローになって変換が進行中であることを示します。ADCから完全な12ビットを得るためには、連続した2つの1バイトを読み取る必要があります。DOUTは、SCLKの立上りエッジで遷移します。DOUTは次のSCLKの立上りエッジから t_{DOUT} 後に有効になり、 $t_{D\text{HOLD}}$ まで有効な状態が保たれることが保証されています。CPOL = 0とCPHA = 0、またはCPOL = 1とCPHA = 1とすると、データは次の立上りエッジで μP にクロックインされます。CPO = 0とCPHA = 1、またはCPOL = 1とCPHA = 0とすると、データは次の立下りエッジで μP にクロックインされます。接続については図11を、タイミングについては図12と13をご覧ください。使用する最良のモードを決定するためには、「Timing Characteristics (タイミング特性)」の項をご覧ください。

QSPI

ADCから12ビットのデータを収集するために1バイトの読み取りが2回必要なSPIとは異なり、QSPIではデータをクロックインするのに必要なクロックサイクル数が最小限で済みます。MAX1224/MAX1225が12ビットのデータをクロックアウトする際は、 μP から16のクロックサイクルが必要です。図14は、CPOL = 1およびCPHA = 1とした転送を示します。変換結果には、3つのゼロ列に続いてMSB先頭形式データの12個のデータビット、および終了ゼロが含まれます。

TMS320C54_へのDSPインタフェース

MAX1224/MAX1225は、Texas Instruments, Inc.のDSPのTMS320C54_ファミリに直接接続することができます。DSPは、DSP自身がクロックを発生するか、もしくは外部クロック信号を利用するように設定してください。標準またはバッファ付きシリアルポートのいずれかを使用してください。図15は、MAX1224/MAX1225とTMS320C54_の最も簡単なインタフェースを示します。ここで、送信シリアルクロック(CLKX)は受信シリアルクロック(CLKR)とSCLKを駆動し、送信

1.5MSPS、単一電源、低電力、 真の差動、12ビットADC

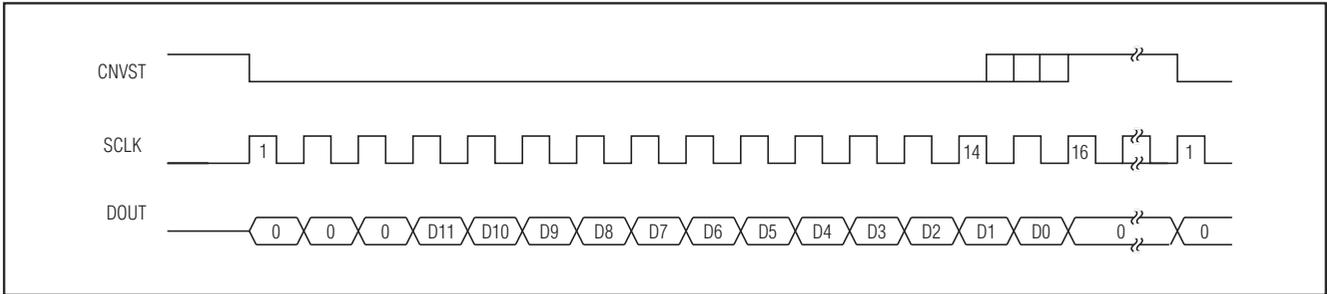


図10. バースト/連続クロックによる連続変換

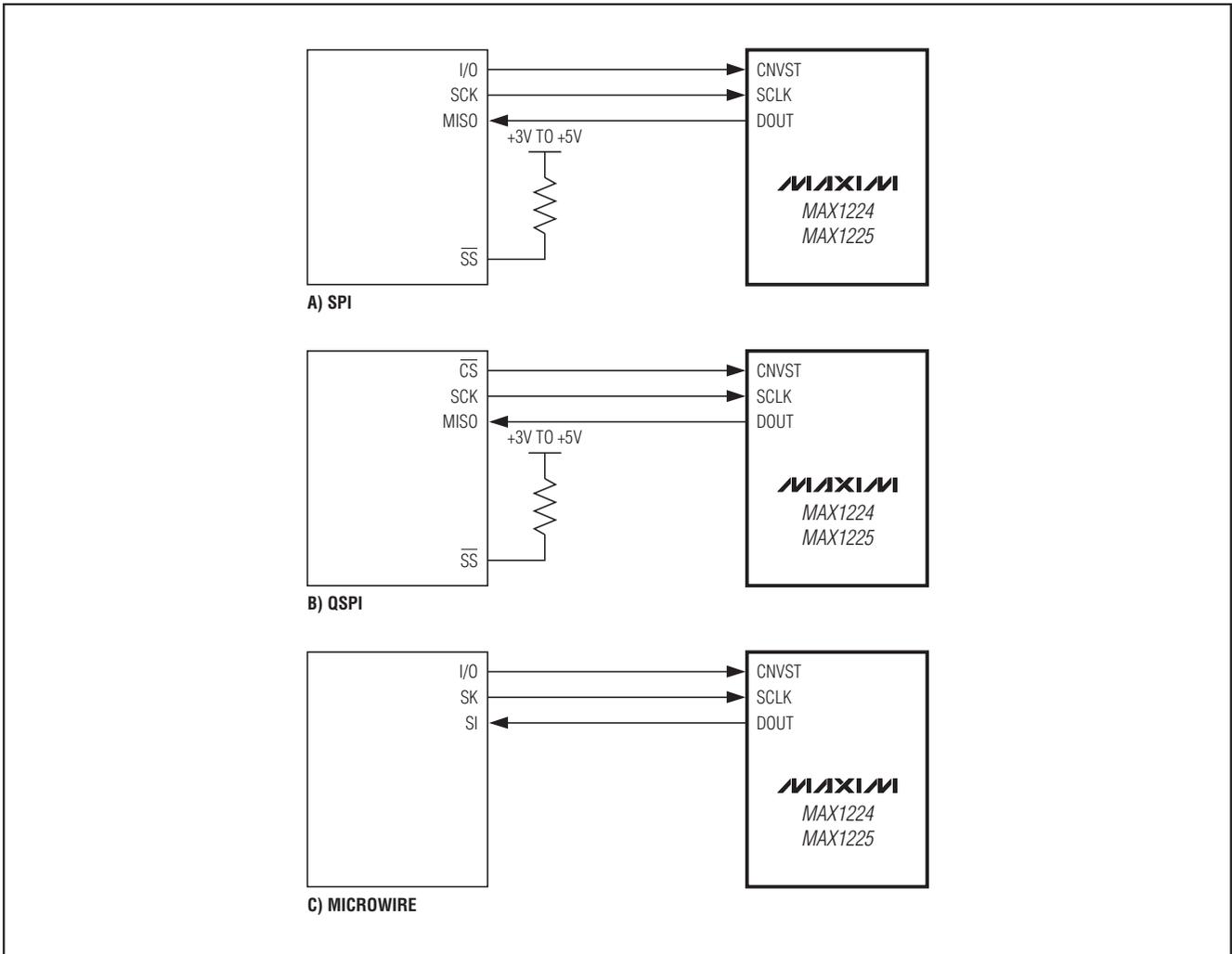


図11. MAX1224/MAX1225への一般的なシリアルインタフェース接続

1.5MSPS、単一電源、低電力、 真の差動、12ビットADC

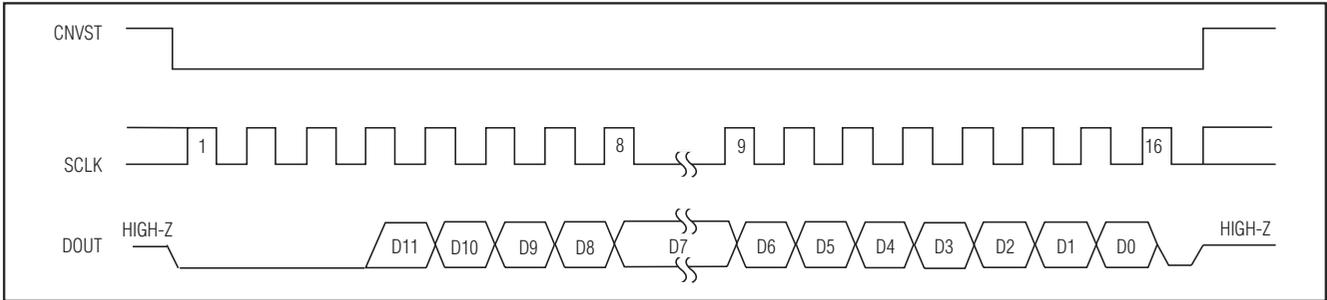


図12. SPI/MICROWIREシリアルインタフェースのタイミング—単一変換(CPOL = CPHA = 0)、(CPOL = CPHA = 1)

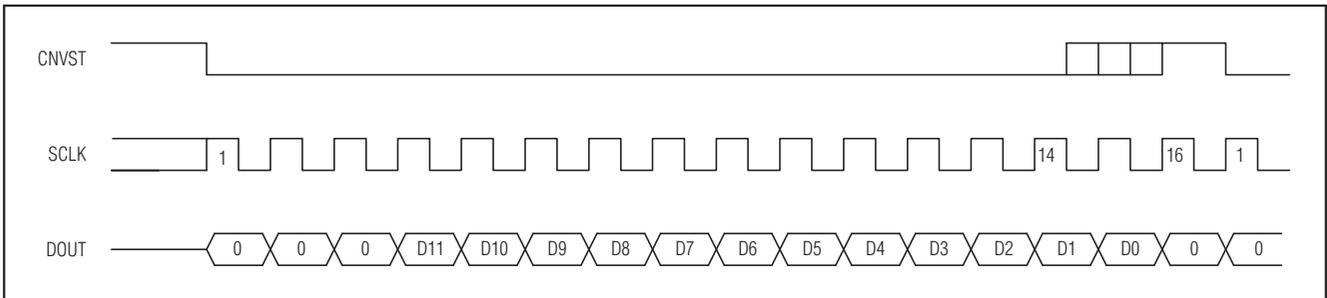


図13. SPI/MICROWIREシリアルインタフェースのタイミング—連続変換(CPOL = CPHA = 0)、(CPOL = CPHA = 1)

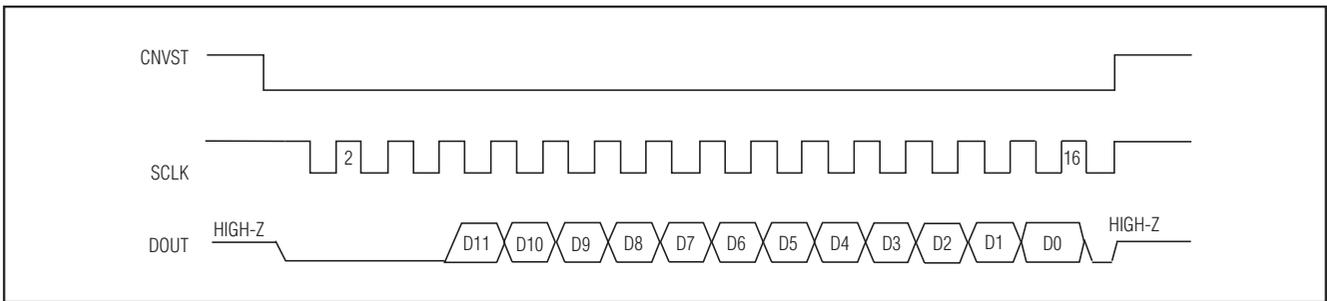


図14. QSPIシリアルインタフェースのタイミング—単一変換(CPOL = 1、CPHA = 1)

フレーム同期信号(FSX)は受信フレーム同期信号(FSR)とCNVSTを駆動します。

連続変換の場合、データ伝送を行う前に、クロックを送信するようにシリアルポートを設定し、1クロック期間の間にフレーム同期信号パルスを発生させてください。シリアルポート設定(SPC)レジスタは、内部フレーム同期信号(TXM = 1)、内部クロック信号源によって駆動されるCLKX (MCM = 1)、バーストモード(FSM = 1)、および16ビットワード長(FO = 0)に設定する必要があります。

データ送信レジスタ(DXR)とデータ受信レジスタ(DRR)が次の変換前に使用可能な状態にある場合は、この設定によって連続変換が可能になります。代わりに、バッファ付きシリアルポートを使用して変換を実行しCPUの介入なしでデータを読み取る場合は、オートバッファリングをイネーブリングすることができます。MAX1224/

MAX1225がDSP電源電圧よりも高いアナログ電源電圧で動作しているときは、VLピンをTMS320C54_電源電圧に接続してください。パワーダウンモードを実行するためには、FO = 1としてワード長を8ビットに設定することができます。いずれのパワーダウン状態であれ、それを維持するためには、CNVSTピンをアイドルハイにする必要があります。

MAX1224/MAX1225とTMS320C54_のもう1つの接続方法は、どちらのデバイスに対しても外部からクロック信号を供給することです。この接続を図16に示します。ここでは、シリアルクロック(CLOCK)がCLKRとSCLKを駆動し、変換信号(CONVERT)がFSRとCNVSTを駆動します。

シリアルポートは、外部受信クロックと外部受信フレーム同期信号を受け入れるように設定する必要があります。

1.5MSPS、単一電源、低電力、 真の差動、12ビットADC

SPCレジスタには次のように書き込むものとします。
 TXM = 0、外部フレーム同期
 MCM = 0、CLKXはCLKXピンから取り込みます。
 FSM = 1、バーストモード
 FO = 0、16ビットワードとして送信/受信されるデータ
 DRRが次の変換前に使用可能な状態にある場合、この
 設定によって連続変換が可能になります。代わりに、
 バッファ付きシリアルポートを使用してCPUの介入なし
 でデータを読み取るときは、オートバッファリングを
 イネーブルすることができます。MAX1224/MAX1225
 がDSP電源電圧よりも高いアナログ電源電圧で動作し

ているときは、V_LピンをTMS320C54_電源電圧に接続
 してください。

また、MAX1224/MAX1225は、データ送信(DX)ピンを
 使用することによってTMS320C54_に接続し、SCLK
 を駆動するために内部で発生させたCNVSTとCLKXを
 駆動することができます。DXがハイインピーダンスに
 なり連続変換のために16進数0001をDXRに連続的に
 書き込む必要があるとき、CNVST信号をハイに保つた
 ためにCNVSTにプルアップ抵抗器が必要です。パワーダ
 ウンモードには、16進数00FFをDXRに書き込むこと
 によって入ることができます(図17と18参照)。

ADSP21_ _ _へのDSPインタフェース

MAX1224/MAX1225は、Analog Devices, Inc.のDSP
 のADSP21_ _ _ファミリに直接接続することができます。
 図19は、MAX1224/MAX1225とADSP21_ _ _の直接
 接続を示します。MAX1224/MAX1225とインタフェ
 ースするために設定可能な動作モードは2つあります。連
 続変換の場合は、CNVSTをアイドルロー状態にしてから、
 前に送信されるワードのLSB中の1クロックサイクルの
 間ハイのパルスを印加します。ADSP21_ _ _ STCTLと
 SRCTLレジスタは、初期のフレーミング(LAFR = 0)お
 よびアクティブハイフレーム(LTFS = 0、LRFS = 0)信
 号に対して設定する必要があります。このモードでは、
 データと無関係なフレーム同期ビット(DITFS = 1)を選
 択することで、送信データレジスタに複数回書き込む
 必要がなくなります。単一変換の場合は、CNVSTをア
 イドルハイ状態にしてから全変換期間中ローのパルス
 を印加します。ADSP21_ _ _ STCTLとSRCTLレジスタは、
 後のフレーミング(LAFR = 1)およびアクティブローフ
 レーム(LTFS = 1、LRFS = 1)信号に対して設定する
 必要があります。また、これは、ワード長を8ビットに
 設定(SLEN = 1001)することがパワーダウンモードに
 入る最良の方法です。MAX1224/MAX1225がDSP電
 源電圧よりも高い電源電圧で動作しているときは、V_L
 ピンをADSP21_ _ _電源電圧に接続してください(図17
 と18参照)。

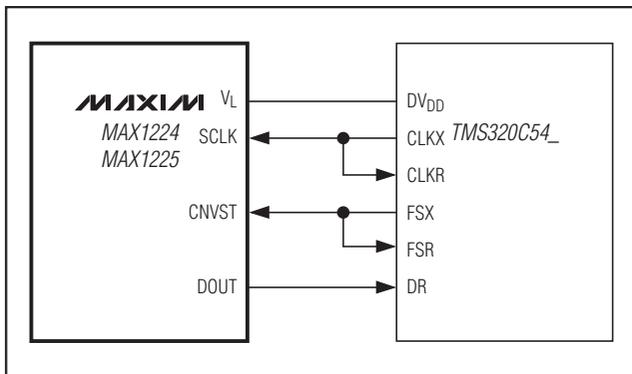


図15. TMS320C54_内部クロックへのインタフェース

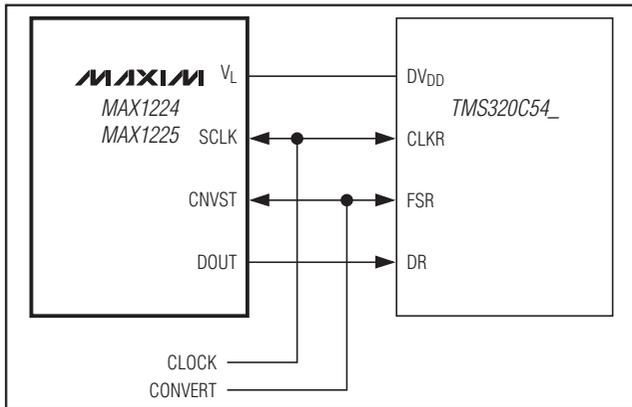


図16. TMS320C54_外部クロックへのインタフェース

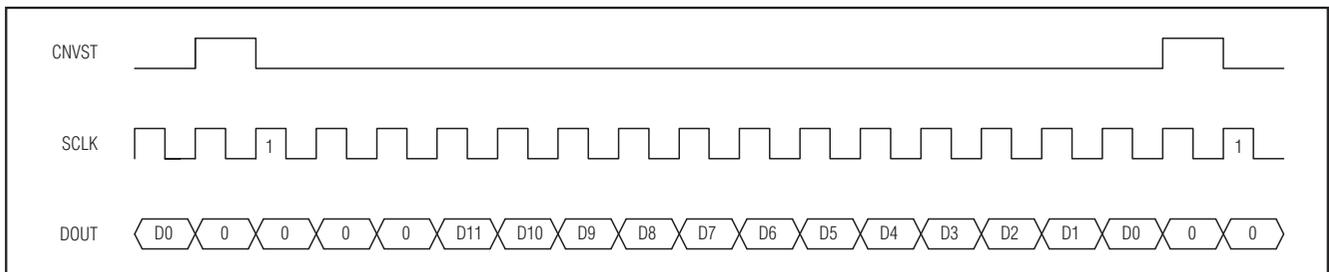


図17. DSPインタフェース—連続変換

1.5MSPS、単一電源、低電力、 真の差動、12ビットADC

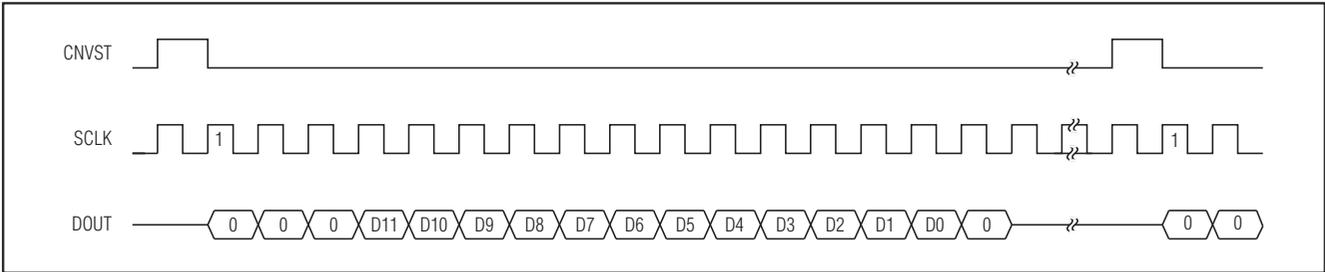


図18. DSPインターフェース—単一変換、バースト/連続クロック

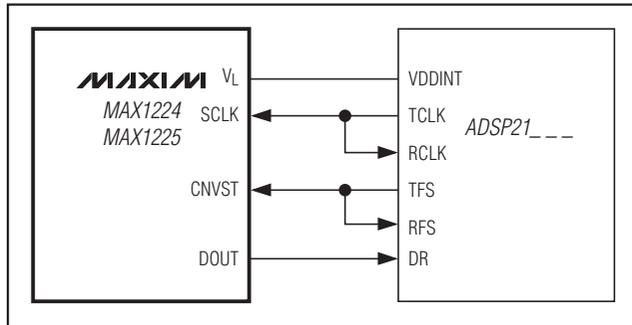


図19. ADSP21_へのインターフェース

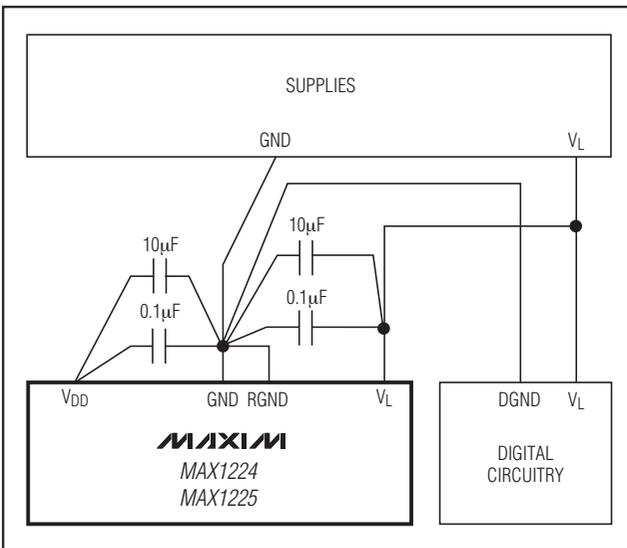


図20. 電源のグランド接続方法

レイアウト、グランド、およびバイパス

最良の性能を得るためには、プリント基板を使用してください。ワイヤラップボードは使用しないようにしてください。プリント基板のレイアウトでは、デジタルとアナログの信号線を互いに確実に分離してください。アナログとデジタル(特にクロック)の各ラインを互いに平行に走らせたり、デジタルラインをADCパッケージの下に走らせたりしないでください。

図20は、推奨するシステムグランド接続を示します。アナロググランドは、ロジックグランドから分離してGNDで1点アナロググランド(スターグランドポイント)構成としてください。ノイズをさらに低減するため、すべての他のアナロググランドとDGNDをこのスターグランドポイントに接続してください。このグランドの電源へのグランドリターンは、ノイズに影響されない動作とするために、ローインピーダンスとし、できる限り短くしてください。

V_{DD} 電源の高周波ノイズは、ADCの高速コンパレータに影響を及ぼす可能性があります。この電源は、 $0.01\mu\text{F}$ と $10\mu\text{F}$ のバイパスコンデンサを使って1点アナロググランドにバイパスしてください。電源ノイズを可能な限り排除するために、コンデンサのリード長はできる限り短くしてください。

定義

積分非直線性

積分非直線性(INL)は、実際の伝達関数上の値の直線からのずれです。この直線は、オフセットとゲインエラーをゼロにした後の一次回帰直線または伝達関数の両端点を結んだ直線のいずれかです。MAX1224/MAX1225の静的直線性パラメータは、端点間法を使用して測定します。

微分非直線性

微分非直線性(DNL)は、実際のステップ幅と1 LSBの理想値の差です。1 LSB以下のDNL誤差の仕様は、ミッシングコードのない単調伝達関数を保証するものです。

アパーチャジッタ

アパーチャジッタ(t_{AJ})は、各サンプル間の時間間隔の変動です。

アパーチャ遅延

アパーチャ遅延(t_{AD})は、CNVSTの立下りエッジから実際のサンプリングが行われる瞬間までの時間です。

1.5MSPS、単一電源、低電力、 真の差動、12ビットADC

信号対雑音比

デジタルサンプルから完全に再現される波形の場合、信号対雑音比(SNR)はフルスケールアナログ入力(RMS値)とRMS量子化誤差(残留誤差)の比です。理論的な最小のアナログ-デジタル変換雑音は、量子化誤差によって生じるもので、ADCの分解能(Nビット)から次式によって直接求められます。

$$\text{SNR} = (6.02 \times N + 1.76) \text{dB}$$

実際には、量子化雑音以外に、熱雑音、リファレンス雑音、クロックジッタなどの雑音源があります。したがって、SNRは、RMS信号とRMS雑音の比をとることによって求められます。RMS雑音には、全スペクトル成分から基本波を差し引いた成分、最初の5つの高調波成分、およびDCオフセットが含まれます。

信号対雑音+歪み

信号対雑音+歪み(SINAD)は、基本入力周波数のRMS振幅とその他すべてのADC出力信号のRMS振幅との比です。

$$\text{SINAD}(\text{dB}) = 20 \times \log(\text{Signal}_{\text{RMS}}/\text{Noise}_{\text{RMS}})$$

有効ビット数

有効ビット数(ENOB)は、特定の入力周波数とサンプリングレートにおけるADCの総合的な精度を表わします。理想的なADCの誤差は、量子化雑音のみから成ります。ADCのフルスケールレンジに等しい入力範囲で、ENOBを次式から計算します。

$$\text{ENOB} = \frac{(\text{SINAD} - 1.76)}{6.02}$$

全高調波歪み

全高調波歪み(THD)は、入力信号に含まれる最初の5つの高調波のRMS合計と基本波そのものとの比です。これは、次式で表わされます。

$$\text{THD} = 20 \times \log\left(\frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2}}{V_1}\right)$$

ここで、 V_1 は基本波の振幅で、 $V_2 \sim V_5$ は第2から第5までの高調波の振幅です。

スプリアスフリーダイナミックレンジ

スプリアスフリーダイナミックレンジ(SFDR)は、基本波(最大信号成分)のRMS振幅と2番目に大きい歪み成分のRMS値との比です。

フルパワー帯域幅

フルパワー帯域幅は、入力信号振幅がフルスケール入力に対して3dBだけ減衰する周波数です。

フルリニア帯域幅

フルリニア帯域幅は、信号対雑音+歪み(SINAD)が68dBに等しい周波数です。

相互変調歪み(IMD)

非直線性を有するデバイスは、2種類の周波数(f_1 と f_2)の2つの正弦波がデバイスに入力されるとき歪み積を発生します。相互変調歪み(IMD)は、2つの入力トーン f_1 と f_2 の全入力パワーに対するナイキスト周波数までのIM2~IM5の相互変調積の全パワーの比です。各入力トーンレベルは、-7dBFSとします。相互変調積は、次の通りです：

- 2次の相互変調積(IM2) : $f_1 + f_2$, $f_2 - f_1$
- 3次の相互変調積(IM3) : $2f_1 - f_2$, $2f_2 - f_1$, $2f_1 + f_2$, $2f_2 + f_1$
- 4次の相互変調積(IM4) : $3f_1 - f_2$, $3f_2 - f_1$, $3f_1 + f_2$, $3f_2 + f_1$
- 5次の相互変調積(IM5) : $3f_1 - 2f_2$, $3f_2 - 2f_1$, $3f_1 + 2f_2$, $3f_2 + 2f_1$

チップ情報

TRANSISTOR COUNT: 13,016

PROCESS: BiCMOS

パッケージ

最新のパッケージ情報とランドパターンは、japan.maxim-ic.com/packagesをご参照ください。

パッケージタイプ	パッケージコード	ドキュメントNo.
12 TQFN	T1244+3	21-0139

1.5MSPS、単一電源、低電力、 真の差動、12ビットADC

改訂履歴

版数	改訂日	説明	改訂ページ
0	5/04	初版	—
1	4/09	民生用グレードの製品をデータシートから削除。	1-8

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

18 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**