

FIFO、温度検出、およびGPIOポート付き 12ビット、マルチチャンネルADC/DAC

概要

MAX1220/MAX1257/MAX1258は、12ビット、マルチチャンネル、アナログ-デジタルコンバータ(ADC)、および12ビット、オクタル、デジタル-アナログコンバータ(DAC)を1個のICに集積化したものです。また、これらの製品は、25MHz SPI™/QSPI™/MICROWIRE™対応シリアルインタフェースで動作する温度センサおよび設定可能な汎用I/Oポート(GPIO)を内蔵しています。ADCには、入力チャンネル数が8および16のバージョンがあります。オクタルDAC出力のセトリング時間は2.0μs以内で、ADCの変換速度は225kspsです。

すべての製品は、ADCとDACの両方に対して使用する内部リファレンス(2.5Vまたは4.096V)を備えています。プログラマブルリファレンスモードでは、内部リファレンス、外部リファレンス、またはこの両方の組合せが可能です。内蔵の±1°C高精度温度センサ、FIFO、各種のスキャンモード、プログラマブルな内部または外部クロックモード、データ平均化、およびAutoShutdown™などの機能を利用すると、消費電力とプロセッサ要件を最小にすることができます。集積化オクタルDACは、グリッチエネルギーが低く(4nV•s)、さらにデジタルフィードスルーも低い(0.5nV•s)ため、高速応答を必要とする閉ループシステムのデジタル制御に最適です。

これらの製品は、+2.7V~+3.6V (MAX1257)および+4.75V~+5.25V (MAX1220/MAX1258)の電源電圧による動作が保証されています。これらの製品の消費電流は、225kspsのスループットでは2.5mA、1kspsのスループットではわずか22μA、シャットダウンモードでは0.2μA以下です。MAX1257/MAX1258は12個のGPIOを備えており、MAX1220は入力または出力として設定可能な4個のGPIOを備えています。

MAX1220は、36ピンTQFNパッケージで提供されます。MAX1257/MAX1258は、48ピンTQFNパッケージで提供されます。すべてのデバイスは、-40°C~+85°Cの温度範囲での動作が保証されています。

アプリケーション

- 光部品用制御
- 基地局制御ループ
- システム監視および制御
- データ収集システム

型番/選択ガイド

PART	PIN-PACKAGE	REF VOLTAGE (V)	ANALOG SUPPLY VOLTAGE (V)	RESOLUTION BITS**	ADC CHANNELS	DAC CHANNELS	GPIOs
MAX1220BETX+	36 Thin QFN-EP*	4.096	4.75 to 5.25	12	8	8	4
MAX1257BETM+	48 Thin QFN-EP*	2.5	2.7 to 3.6	12	16	8	12
MAX1258BETM+	48 Thin QFN-EP*	4.096	4.75 to 5.25	12	16	8	12

注：すべてのデバイスは-40°C~+85°Cの範囲での動作が保証されています。

+は鉛(Pb)フリー/RoHS準拠パッケージを表します。

*EP = エクスポートパッド

**分解能のビット数はDACおよびADCの両方に適用されます。

特長

- ◆ 12ビット、225ksps ADC
 - 真の差動トラック/ホールド(T/H)付き
 - アナログマルチプレクサ
 - 16シングルエンドチャンネルまたは8差動チャンネル (ユニポーラまたはバイポーラ) (MAX1257/MAX1258)
 - 8シングルエンドチャンネルまたは4差動チャンネル (ユニポーラまたはバイポーラ) (MAX1220)
 - 卓越した精度：±0.5 LSB INL、±0.5 LSB DNL
- ◆ 12ビット、オクタル、2μsセトリングDAC
 - 超低グリッチエネルギー(4nV•s)
 - 電源投入時のゼロスケールまたはフルスケール値の選択可能
 - 卓越した精度：±0.5 LSB INL
- ◆ 内部リファレンスまたは外部シングルエンド/差動リファレンス
 - 内部リファレンス電圧は2.5Vまたは4.096V
- ◆ ±1°C高精度温度センサ内蔵
- ◆ 16個のADCの変換データと1つの温度データを格納可能なFIFO内蔵
- ◆ チャンネルスキャンモードとデータ平均化機能内蔵
- ◆ アナログ単一電源で動作
 - +2.7V~+3.6Vまたは+4.75V~+5.25V
- ◆ デジタル電源：+2.7V~AV_{DD}
- ◆ 25MHz、SPI/QSPI/MICROWIREシリアルインタフェース
- ◆ 各変換の間はAutoShutdown
- ◆ 低電力ADC
 - 2.5mA (225kspsにおいて)
 - 22μA (1kspsにおいて)
 - 0.2μA (シャットダウンにおいて)
- ◆ 低電力DAC：1.5μA
- ◆ 評価キット(型番MAX1258EVKIT)提供

SPIおよびQSPIは、Motorola, Inc.の商標です。
MICROWIREはNational Semiconductor Corp.の商標です。
AutoShutdownはMaxim Integrated Products, Inc.の商標です。
ピン配置はデータシートの最後に記載されています。

FIFO、温度検出、およびGPIOポート付き 12ビット、マルチチャンネルADC/DAC

MAX1220/MAX1257/MAX1258

ABSOLUTE MAXIMUM RATINGS

AV _{DD} to AGND	-0.3V to +6V	Continuous Power Dissipation (T _A = +70°C)	
DGND to AGND	-0.3V to +0.3V	36-Pin Thin QFN (6mm x 6mm)	
DV _{DD} to AV _{DD}	-3.0V to +0.3V	(derate 26.3mW/°C above +70°C)	2105.3mW
Digital Inputs to DGND	-0.3V to +6V	48-Pin Thin QFN (7mm x 7mm)	
Digital Outputs to DGND	-0.3V to (DV _{DD} + 0.3V)	(derate 26.3mW/°C above +70°C)	2105.3mW
Analog Inputs, Analog Outputs and REF ₋		Operating Temperature Range	-40°C to +85°C
to AGND	-0.3V to (AV _{DD} + 0.3V)	Storage Temperature Range	-60°C to +150°C
Maximum Current into Any Pin (except AGND, DGND, AV _{DD} ,		Junction Temperature	+150°C
DV _{DD} , and OUT ₋)	50mA	Lead Temperature (soldering, 10s)	+300°C
Maximum Current into OUT ₋	100mA		

Note: If the package power dissipation is not exceeded, one output at a time may be shorted to AV_{DD}, DV_{DD}, AGND, or DGND indefinitely.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(AV_{DD} = DV_{DD} = 2.7V to 3.6V (MAX1257), external reference V_{REF} = 2.5V (MAX1257), AV_{DD} = 4.75V to 5.25V, DV_{DD} = 2.7V to AV_{DD} (MAX1220/MAX1258), external reference V_{REF} = 4.096V (MAX1220/MAX1258), f_{CLK} = 3.6MHz (50% duty cycle), T_A = -40°C to +85°C, unless otherwise noted. Typical values are at AV_{DD} = DV_{DD} = 3V (MAX1257), AV_{DD} = DV_{DD} = 5V (MAX1220/MAX1258), T_A = +25°C. Outputs are unloaded, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ADC						
DC ACCURACY (Note 1)						
Resolution			12			Bits
Integral Nonlinearity	INL			±0.5	±1.0	LSB
Differential Nonlinearity	DNL			±0.5	±1.0	LSB
Offset Error				±1	±4.0	LSB
Gain Error		(Note 2)		±0.1	±4.0	LSB
Gain Temperature Coefficient				±0.8		ppm/°C
Channel-to-Channel Offset				±0.1		LSB
DYNAMIC SPECIFICATIONS (10kHz sine-wave input, V_{IN} = 2.5V_{P-P} (MAX1257), V_{IN} = 4.096V_{P-P} (MAX1220/MAX1258), 225kSPS, f_{CLK} = 3.6MHz)						
Signal-to-Noise Plus Distortion	SINAD			70		dB
Total Harmonic Distortion (Up to the Fifth Harmonic)	THD			-76		dBc
Spurious-Free Dynamic Range	SFDR			72		dBc
Intermodulation Distortion	IMD	f _{IN1} = 9.9kHz, f _{IN2} = 10.2kHz		76		dBc
Full-Linear Bandwidth		SINAD > 70dB		100		kHz
Full-Power Bandwidth		-3dB point		1		MHz
CONVERSION RATE (Note 3)						
Power-Up Time	t _{PU}	External reference		0.8		μs
		Internal reference (Note 4)		218		Conversion clock cycles

FIFO、温度検出、およびGPIOポート付き 12ビット、マルチチャネルADC/DAC

MAX1220/MAX1257/MAX1258

ELECTRICAL CHARACTERISTICS (continued)

(AV_{DD} = DV_{DD} = 2.7V to 3.6V (MAX1257), external reference V_{REF} = 2.5V (MAX1257), AV_{DD} = 4.75V to 5.25V, DV_{DD} = 2.7V to AV_{DD} (MAX1220/MAX1258), external reference V_{REF} = 4.096V (MAX1220/MAX1258), f_{CLK} = 3.6MHz (50% duty cycle), T_A = -40°C to +85°C, unless otherwise noted. Typical values are at AV_{DD} = DV_{DD} = 3V (MAX1257), AV_{DD} = DV_{DD} = 5V (MAX1220/MAX1258), T_A = +25°C. Outputs are unloaded, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Acquisition Time	t _{ACQ}	(Note 5)	0.6			μs
Conversion Time	t _{CONV}	Internally clocked		5.5		μs
		Externally clocked	3.6			
External Clock Frequency	f _{CLK}	Externally clocked conversion (Note 5)	0.1		3.6	MHz
Duty Cycle			40		60	%
Aperture Delay				30		ns
Aperture Jitter				< 50		ps
ANALOG INPUTS						
Input Voltage Range (Note 6)		Unipolar	0		V _{REF}	V
		Bipolar	-V _{REF} /2		+V _{REF} /2	
Input Leakage Current				±0.01	±1	μA
Input Capacitance				24		pF
INTERNAL TEMPERATURE SENSOR						
Measurement Error (Notes 5, 7)		T _A = +25°C		±0.7		°C
		T _A = T _{MIN} to T _{MAX}		±1.0	±3.0	
Temperature Resolution				1/8		°C/LSB
INTERNAL REFERENCE						
REF1 Output Voltage (Note 8)		MAX1257	2.482	2.50	2.518	V
		MAX1220/MAX1258	4.066	4.096	4.126	
REF1 Voltage Temperature Coefficient	T _{CREF}			±30		ppm/°C
REF1 Output Impedance				6.5		kΩ
REF1 Short-Circuit Current		V _{REF} = 2.5V		0.39		mA
		V _{REF} = 4.096V		0.63		
EXTERNAL REFERENCE						
REF1 Input Voltage Range	V _{REF1}	REF mode 11 (Note 4)	1		AV _{DD} + 0.05	V
REF2 Input Voltage Range (Note 4)	V _{REF2}	REF mode 01	1		AV _{DD} + 0.05	V
		REF mode 11	0		1	

FIFO、温度検出、およびGPIOポート付き 12ビット、マルチチャンネルADC/DAC

MAX1220/MAX1257/MAX1258

ELECTRICAL CHARACTERISTICS (continued)

(AVDD = DVDD = 2.7V to 3.6V (MAX1257), external reference VREF = 2.5V (MAX1257), AVDD = 4.75V to 5.25V, DVDD = 2.7V to AVDD (MAX1220/MAX1258), external reference VREF = 4.096V (MAX1220/MAX1258), fCLK = 3.6MHz (50% duty cycle), TA = -40°C to +85°C, unless otherwise noted. Typical values are at AVDD = DVDD = 3V (MAX1257), AVDD = DVDD = 5V (MAX1220/MAX1258), TA = +25°C. Outputs are unloaded, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
REF1 Input Current (Note 9)	IREF1	VREF = 2.5V (MAX1257), fSAMPLE = 225ksps		25	80	μA
		VREF = 4.096V (MAX1220/MAX1258), fSAMPLE = 225ksps		40	80	
		Acquisition between conversions		±0.01	±1	
REF2 Input Current	IREF2	VREF = 2.5V (MAX1257), fSAMPLE = 225ksps		25	80	μA
		VREF = 4.096V (MAX1220/MAX1258), fSAMPLE = 225ksps		40	80	
		Acquisition between conversions		±0.01	±1	
DAC						
DC ACCURACY (Note 10)						
Resolution			12			Bits
Integral Nonlinearity	INL			±0.5	±4	LSB
Differential Nonlinearity	DNL	Guaranteed monotonic			±1.0	LSB
Offset Error	VOS	(Note 8)		±3	±10	mV
Offset-Error Drift				±10		ppm of FS/°C
Gain Error	GE	(Note 8)		±5	±10	LSB
Gain Temperature Coefficient				±8		ppm of FS/°C
DAC OUTPUT						
Output-Voltage Range		No load	0.02		AVDD - 0.02	V
		10kΩ load to either rail	0.1		AVDD - 0.1	
DC Output Impedance				0.5		Ω
Capacitive Load		(Note 11)			1	nF
Resistive Load to AGND	RL	AVDD = 2.7V, VREF = 2.5V (MAX1257), gain error < 1%	2000			Ω
		AVDD = 4.75V, VREF = 4.096V (MAX1220/MAX1258), gain error < 2%	500			
Wake-Up Time (Note 12)		From power-down mode, AVDD = 5V		25		μs
		From power-down mode, AVDD = 2.7V		21		
1kΩ Output Termination		Programmed in from power-down mode		1		kΩ
100kΩ Output Termination		At wake-up or programmed in power-down mode		100		kΩ

FIFO、温度検出、およびGPIOポート付き 12ビット、マルチチャネルADC/DAC

MAX1220/MAX1257/MAX1258

ELECTRICAL CHARACTERISTICS (continued)

(AVDD = DVDD = 2.7V to 3.6V (MAX1257), external reference VREF = 2.5V (MAX1257), AVDD = 4.75V to 5.25V, DVDD = 2.7V to AVDD (MAX1220/MAX1258), external reference VREF = 4.096V (MAX1220/MAX1258), fCLK = 3.6MHz (50% duty cycle), TA = -40°C to +85°C, unless otherwise noted. Typical values are at AVDD = DVDD = 3V (MAX1257), AVDD = DVDD = 5V (MAX1220/MAX1258), TA = +25°C. Outputs are unloaded, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DYNAMIC PERFORMANCE (Notes 5, 13)						
Output-Voltage Slew Rate	SR	Positive and negative	3			V/μs
Output-Voltage Settling Time	ts	To 1 LSB, 400 - C00 hex (Note 7)		2	5	μs
Digital Feedthrough		Code 0, all digital inputs from 0 to DVDD		0.5		nV•s
Major Code Transition Glitch Impulse		Between codes 2047 and 2048		4		nV•s
Output Noise (0.1Hz to 50MHz)		From VREF		660		μVP-P
		Using internal reference		720		
Output Noise (0.1Hz to 500kHz)		From VREF		260		μVP-P
		Using internal reference		320		
DAC-to-DAC Transition Crosstalk				0.5		nV•s
INTERNAL REFERENCE						
REF1 Output Voltage (Note 8)		MAX1257	2.482	2.5	2.518	V
		MAX1220/MAX1258	4.066	4.096	4.126	
REF1 Temperature Coefficient	T _{CREF}			±30		ppm/°C
REF1 Short-Circuit Current		VREF = 2.5V		0.39		mA
		VREF = 4.096V		0.63		
EXTERNAL-REFERENCE INPUT						
REF1 Input Voltage Range	VREF1	REF modes 01, 10, and 11 (Note 4)	0.7		AVDD	V
REF1 Input Impedance	RREF1		70	100	130	kΩ
DIGITAL INTERFACE						
DIGITAL INPUTS (SCLK, DIN, CS, CNVST, LDAC)						
Input-Voltage High	V _{IH}	DVDD = 2.7V to 5.25V	2.4			V
Input-Voltage Low	V _{IL}	DVDD = 3.6V to 5.25V			0.8	V
		DVDD = 2.7V to 3.6V			0.6	
Input Leakage Current	I _L			±0.01	±10	μA
Input Capacitance	C _{IN}			15		pF
DIGITAL OUTPUT (DOUT) (Note 14)						
Output-Voltage Low	V _{OL}	I _{SINK} = 2mA			0.4	V
Output-Voltage High	V _{OH}	I _{SOURCE} = 2mA	DVDD - 0.5			V
Three-State Leakage Current					±10	μA
Three-State Output Capacitance	C _{OUT}			15		pF

FIFO、温度検出、およびGPIOポート付き 12ビット、マルチチャンネルADC/DAC

MAX1220/MAX1257/MAX1258

ELECTRICAL CHARACTERISTICS (continued)

(AV_{DD} = DV_{DD} = 2.7V to 3.6V (MAX1257), external reference V_{REF} = 2.5V (MAX1257), AV_{DD} = 4.75V to 5.25V, DV_{DD} = 2.7V to AV_{DD} (MAX1220/MAX1258), external reference V_{REF} = 4.096V (MAX1220/MAX1258), f_{CLK} = 3.6MHz (50% duty cycle), T_A = -40°C to +85°C, unless otherwise noted. Typical values are at AV_{DD} = DV_{DD} = 3V (MAX1257), AV_{DD} = DV_{DD} = 5V (MAX1220/MAX1258), T_A = +25°C. Outputs are unloaded, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
DIGITAL OUTPUT (EOC) (Note 14)							
Output-Voltage Low	V _{OL}	I _{SINK} = 2mA			0.4	V	
Output-Voltage High	V _{OH}	I _{SOURCE} = 2mA	DV _{DD} - 0.5			V	
Three-State Leakage Current					±10	μA	
Three-State Output Capacitance	C _{OUT}			15		pF	
DIGITAL OUTPUTS (GPIO_) (Note 14)							
GPIOB_, GPIOC_ Output-Voltage Low		I _{SINK} = 2mA			0.4	V	
		I _{SINK} = 4mA			0.8		
GPIOB_, GPIOC_ Output-Voltage High		I _{SOURCE} = 2mA	DV _{DD} - 0.5			V	
GPIOA_ Output-Voltage Low		I _{SINK} = 15mA			0.8	V	
GPIOA_ Output-Voltage High		I _{SOURCE} = 15mA	DV _{DD} - 0.8			V	
Three-State Leakage Current					±10	μA	
Three-State Output Capacitance	C _{OUT}			15		pF	
POWER REQUIREMENTS (Note 15)							
Digital Positive-Supply Voltage	DV _{DD}		2.7		AV _{DD}	V	
Digital Positive-Supply Current	DI _{DD}	Idle, all blocks shut down		0.2	4	μA	
		Only ADC on, external reference		1		mA	
Analog Positive-Supply Voltage	AV _{DD}	MAX1257	2.7		3.6	V	
		MAX1220/MAX1258	4.75		5.25		
Analog Positive-Supply Current	AI _{DD}	Idle, all blocks shut down		0.2	2	μA	
		Only ADC on, external reference	f _{SAMPLE} = 225ksps		2.8	4.2	mA
			f _{SAMPLE} = 100ksps		2.6		
All DACs on, no load, internal reference			1.5	4			
REF1 Positive-Supply Rejection	PSRR	MAX1257, AV _{DD} = 2.7V		-77		dB	
		MAX1220/MAX1258, AV _{DD} = 4.75V		-80			
DAC Positive-Supply Rejection	PSRD	Output code = FFFhex	MAX1257, AV _{DD} = 2.7V to 3.6V	±0.1	±0.5	mV	
			MAX1220/MAX1258, AV _{DD} = 4.75V to 5.25V	±0.1	±0.5		
ADC Positive-Supply Rejection	PSRA	Full-scale input	MAX1257, AV _{DD} = 2.7V to 3.6V	±0.06	±0.5	mV	
			MAX1220/MAX1258, AV _{DD} = 4.75V to 5.25V	±0.06	±0.5		

FIFO、温度検出、およびGPIOポート付き 12ビット、マルチチャネルADC/DAC

MAX1220/MAX1257/MAX1258

ELECTRICAL CHARACTERISTICS (continued)

(AVDD = DVDD = 2.7V to 3.6V (MAX1257), external reference VREF = 2.5V (MAX1257), AVDD = 4.75V to 5.25V, DVDD = 2.7V to AVDD (MAX1220/MAX1258), external reference VREF = 4.096V (MAX1220/MAX1258), fCLK = 3.6MHz (50% duty cycle), TA = -40°C to +85°C, unless otherwise noted. Typical values are at AVDD = DVDD = 3V (MAX1257), AVDD = DVDD = 5V (MAX1220/MAX1258), TA = +25°C. Outputs are unloaded, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
TIMING CHARACTERISTICS (Figures 6–13)						
SCLK Clock Period	tCP		40			ns
SCLK Pulse-Width High	tCH	40/60 duty cycle	16			ns
SCLK Pulse-Width Low	tCL	60/40 duty cycle	16			ns
GPIO Output Rise/Fall After CS Rise	tGOD	CLOAD = 20pF			100	ns
GPIO Input Setup Before CS Fall	tGSU		0			ns
LDAC Pulse Width	tLDACPWL		20			ns
SCLK Fall to DOUT Transition (Note 16)	tDOT	CLOAD = 20pF, SLOW = 0	1.8		12.0	ns
		CLOAD = 20pF, SLOW = 1	10		40	
SCLK Rise to DOUT Transition (Notes 16, 17)	tDOT	CLOAD = 20pF, SLOW = 0	1.8		12.0	ns
		CLOAD = 20pF, SLOW = 1	10		40	
CS Fall to SCLK Fall Setup Time	tCSS		10			ns
SCLK Fall to CS Rise Setup Time	tCSH		0		2000	ns
DIN to SCLK Fall Setup Time	tDS		10			ns
DIN to SCLK Fall Hold Time	tDH		0			ns
CS Pulse-Width High	tCSPWH		50			ns
CS Rise to DOUT Disable	tDOD	CLOAD = 20pF			25	ns
CS Fall to DOUT Enable	tDOE	CLOAD = 20pF	1.5		25.0	ns
EOC Fall to CS Fall	tRDS		30			ns
CS or CNVST Rise to EOC Fall—Internally Clocked Conversion Time	tDOV	CKSEL = 01 (temp sense) or CKSEL = 10 (temp sense), internal reference on (Note 18)			65	μs
		CKSEL = 01 (temp sense) or CKSEL = 10 (temp sense), internal reference initially off			140	
		CKSEL = 01 (voltage conversion)			9	
		CKSEL = 10 (voltage conversion), internal reference on (Note 18)			9	
		CKSEL = 10 (voltage conversion), internal reference initially off			80	
CNVST Pulse Width	tCSW	CKSEL = 00, CKSEL = 01 (temp sense)	40			ns
		CKSEL = 01 (voltage conversion)	1.4			μs

FIFO、温度検出、およびGPIOポート付き 12ビット、マルチチャンネルADC/DAC

MAX1220/MAX1257/MAX1258

ELECTRICAL CHARACTERISTICS (continued)

($AV_{DD} = DV_{DD} = 2.7V$ to $3.6V$ (MAX1257), external reference $V_{REF} = 2.5V$ (MAX1257), $AV_{DD} = 4.75V$ to $5.25V$, $DV_{DD} = 2.7V$ to AV_{DD} (MAX1220/MAX1258), external reference $V_{REF} = 4.096V$ (MAX1220/MAX1258), $f_{CLK} = 3.6MHz$ (50% duty cycle), $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $AV_{DD} = DV_{DD} = 3V$ (MAX1257), $AV_{DD} = DV_{DD} = 5V$ (MAX1220/MAX1258), $T_A = +25^{\circ}C$. Outputs are unloaded, unless otherwise noted.)

Note 1: Tested at $DV_{DD} = AV_{DD} = +2.7V$ (MAX1257), $DV_{DD} = +2.7V$, $AV_{DD} = +5.25V$ (MAX1220/MAX1258).

Note 2: Offset nulled.

Note 3: No bus activity during conversion. Conversion time is defined as the number of conversion clock cycles multiplied by the clock period.

Note 4: See Table 5 for reference-mode details.

Note 5: Not production tested. Guaranteed by design.

Note 6: See the *ADC/DAC References* section.

Note 7: Fast automated test, excludes self-heating effects.

Note 8: Specified over the $-40^{\circ}C$ to $+85^{\circ}C$ temperature range.

Note 9: $REFSEL[1:0] = 00$ or when DACs are not powered up.

Note 10: DAC linearity, gain, and offset measurements are made between codes 115 and 3981.

Note 11: The DAC buffers are guaranteed by design to be stable with a $1nF$ load.

Note 12: Time required by the DAC output to power up and settle within 1 LSB in the external reference mode.

Note 13: All DAC dynamic specifications are valid for a load of $100pF$ and $10k\Omega$.

Note 14: Only one digital output (either DOUT, \overline{EOC} , or the GPIOs) can be indefinitely shorted to either supply at one time.

Note 15: All digital inputs at either DV_{DD} or DGND. DV_{DD} should not exceed AV_{DD} .

Note 16: See the *Reset Register* section and Table 9 for details on programming the SLOW bit.

Note 17: Clock mode 11 only.

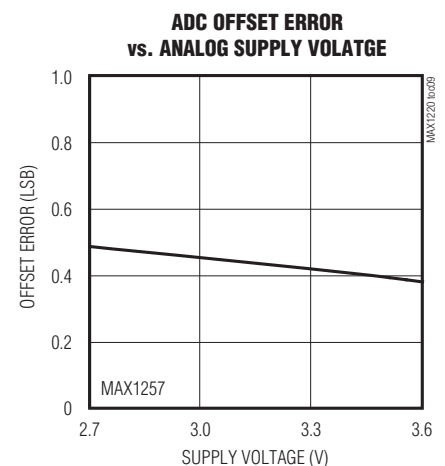
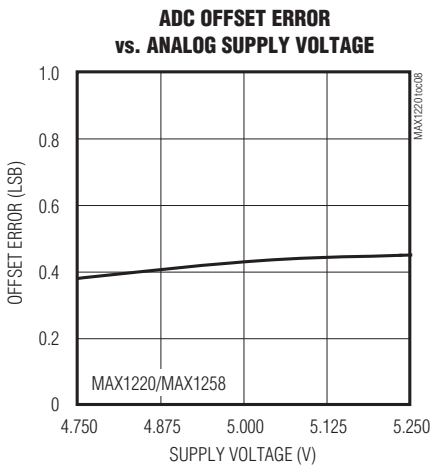
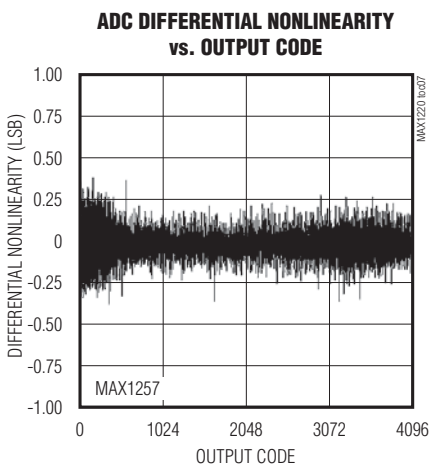
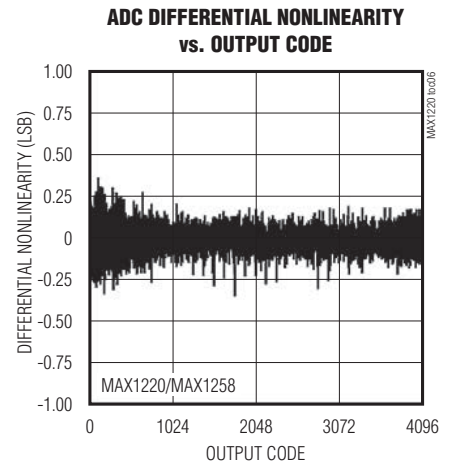
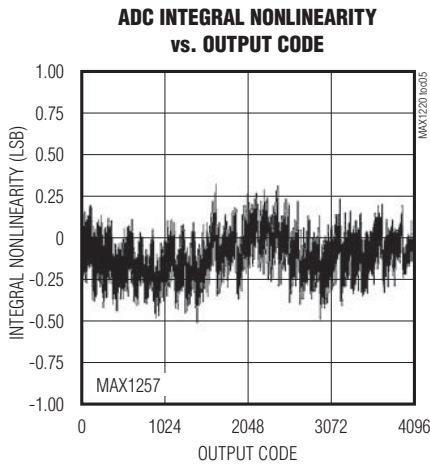
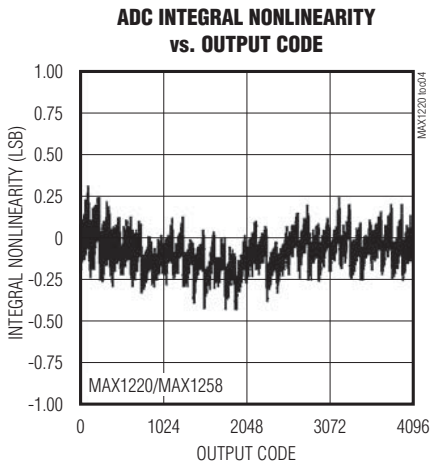
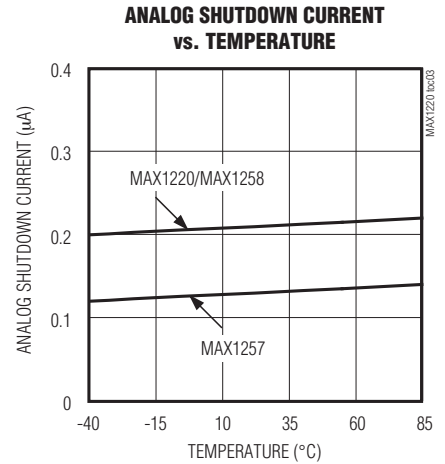
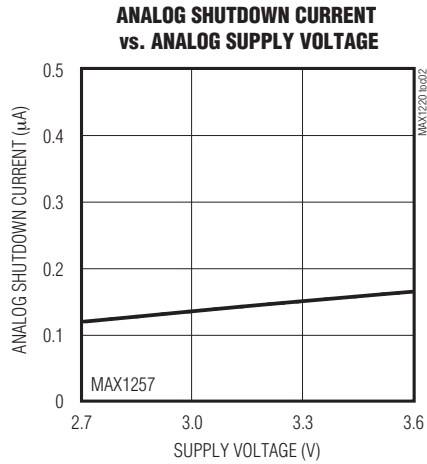
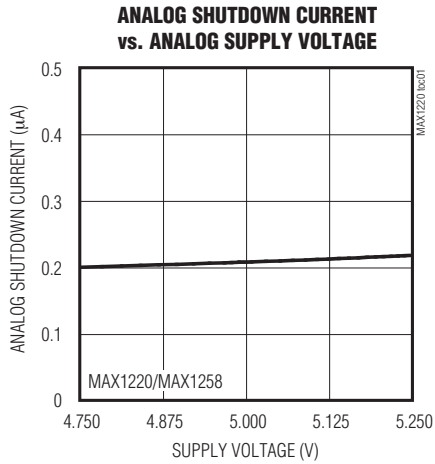
Note 18: First conversion after reference power-up is always timed as if the internal reference was initially off to ensure the internal reference has settled. Subsequent conversions are timed as shown.

FIFO、温度検出、およびGPIOポート付き 12ビット、マルチチャンネルADC/DAC

MAX1220/MAX1257/MAX1258

標準動作特性

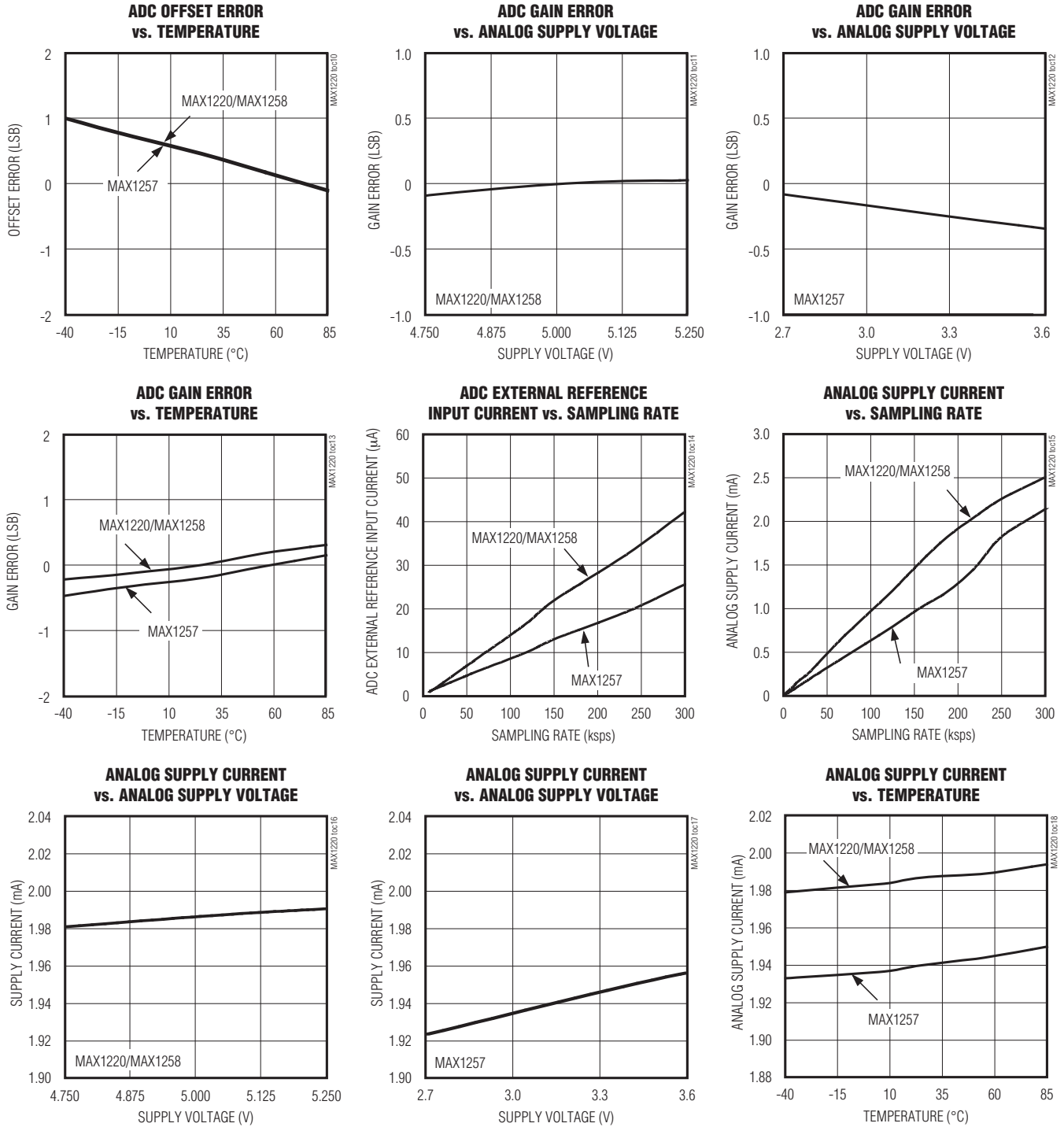
(AV_{DD} = DV_{DD} = 3V (MAX1257), external V_{REF} = 2.5V (MAX1257), AV_{DD} = DV_{DD} = 5V (MAX1220/MAX1258), external V_{REF} = 4.096V (MAX1220/MAX1258), f_{CLK} = 3.6MHz (50% duty cycle), f_{SAMPLE} = 225ksps, C_{LOAD} = 50pF, 0.1μF capacitor at REF, T_A = +25°C, unless otherwise noted.)



FIFO、温度検出、およびGPIOポート付き 12ビット、マルチチャンネルADC/DAC

標準動作特性(続き)

($AV_{DD} = DV_{DD} = 3V$ (MAX1257), external $V_{REF} = 2.5V$ (MAX1257), $AV_{DD} = DV_{DD} = 5V$ (MAX1220/MAX1258), external $V_{REF} = 4.096V$ (MAX1220/MAX1258), $f_{CLK} = 3.6MHz$ (50% duty cycle), $f_{SAMPLE} = 225ksps$, $C_{LOAD} = 50pF$, $0.1\mu F$ capacitor at REF, $T_A = +25^\circ C$, unless otherwise noted.)

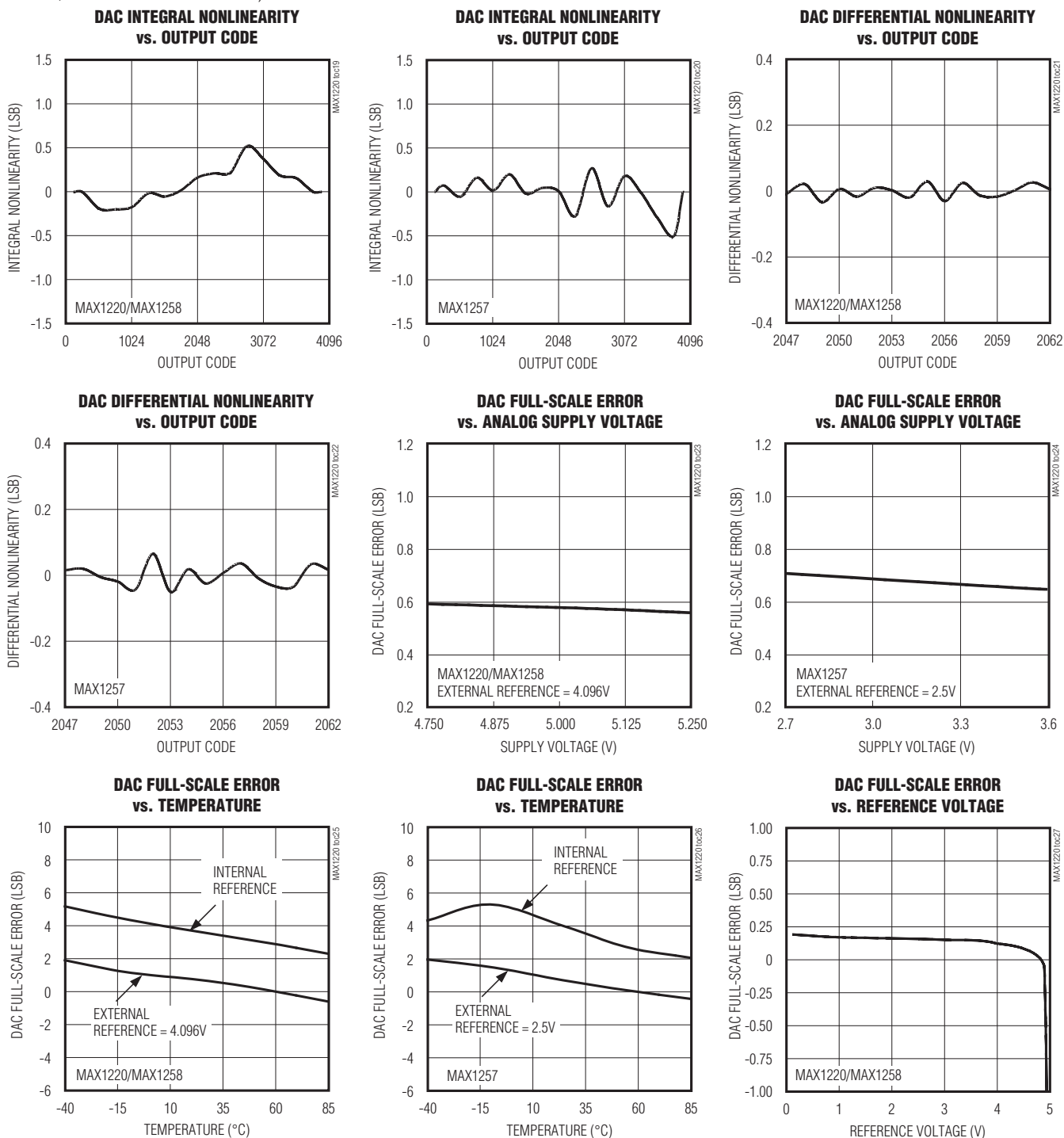


FIFO、温度検出、およびGPIOポート付き 12ビット、マルチチャンネルADC/DAC

MAX1220/MAX1257/MAX1258

標準動作特性(続き)

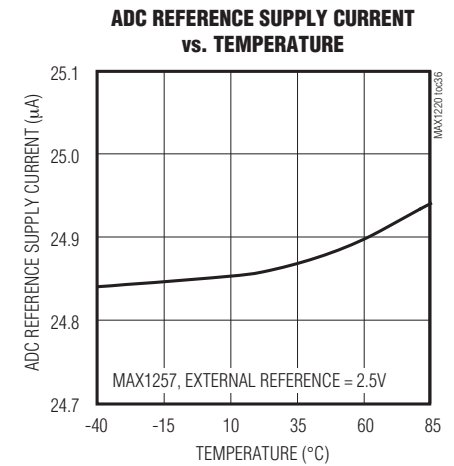
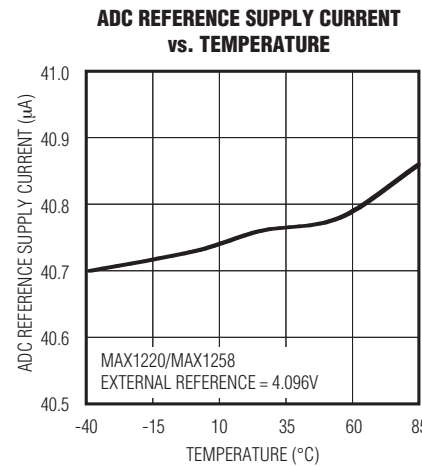
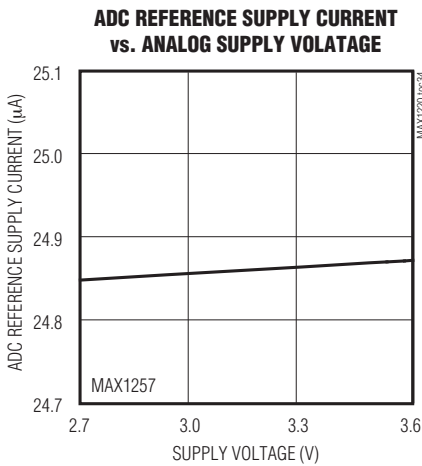
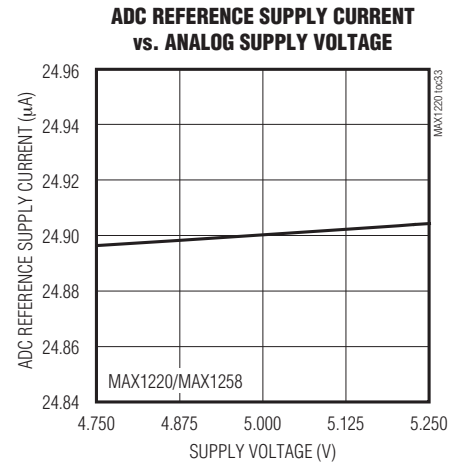
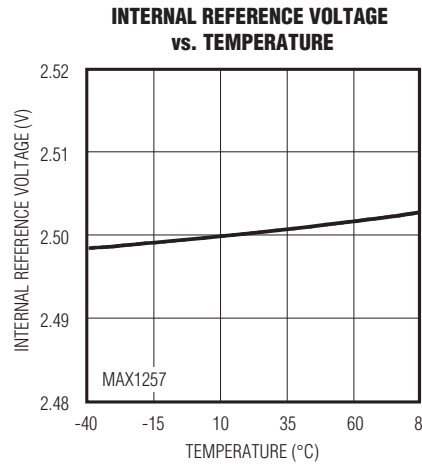
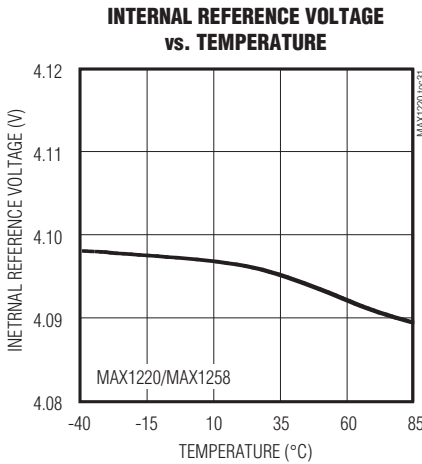
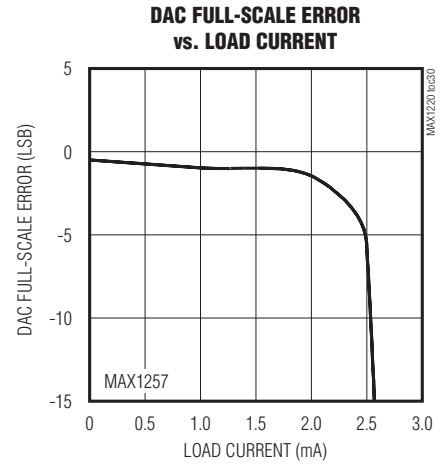
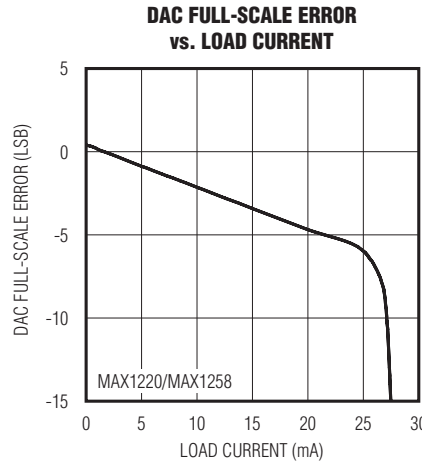
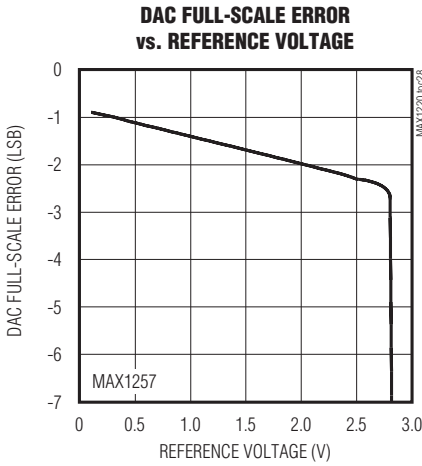
($AV_{DD} = DV_{DD} = 3V$ (MAX1257), external $V_{REF} = 2.5V$ (MAX1257), $AV_{DD} = DV_{DD} = 5V$ (MAX1220/MAX1258), external $V_{REF} = 4.096V$ (MAX1220/MAX1258), $f_{CLK} = 3.6MHz$ (50% duty cycle), $f_{SAMPLE} = 225ksps$, $C_{LOAD} = 50pF$, $0.1\mu F$ capacitor at REF, $T_A = +25^\circ C$, unless otherwise noted.)



FIFO、温度検出、およびGPIOポート付き 12ビット、マルチチャンネルADC/DAC

標準動作特性(続き)

(AV_{DD} = DV_{DD} = 3V (MAX1257), external V_{REF} = 2.5V (MAX1257), AV_{DD} = DV_{DD} = 5V (MAX1220/MAX1258), external V_{REF} = 4.096V (MAX1220/MAX1258), f_{CLK} = 3.6MHz (50% duty cycle), f_{SAMPLE} = 225ksps, C_{LOAD} = 50pF, 0.1μF capacitor at REF, T_A = +25°C, unless otherwise noted.)

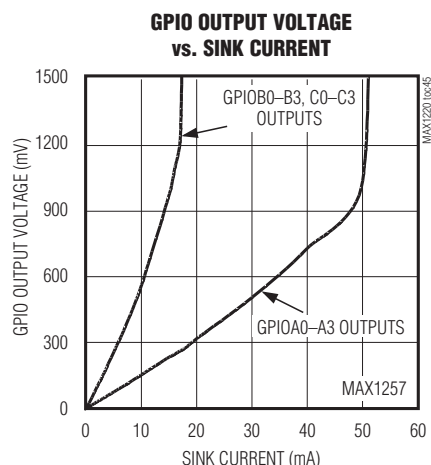
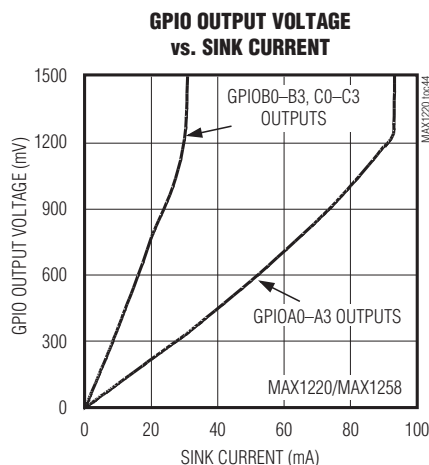
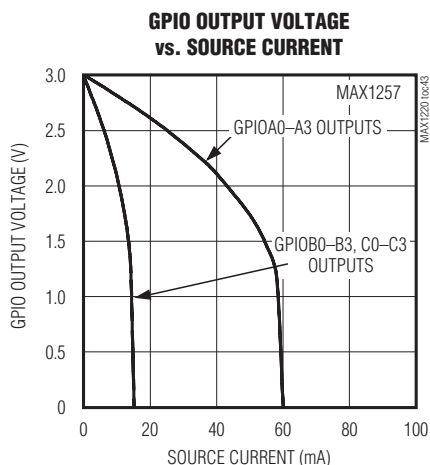
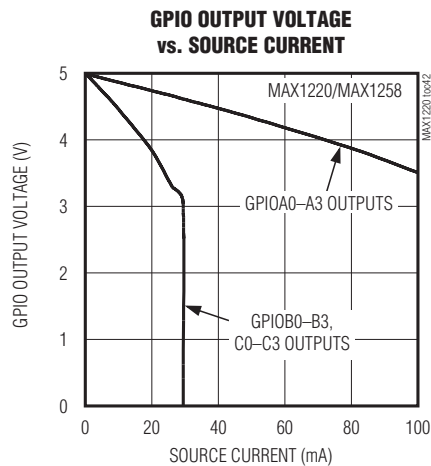
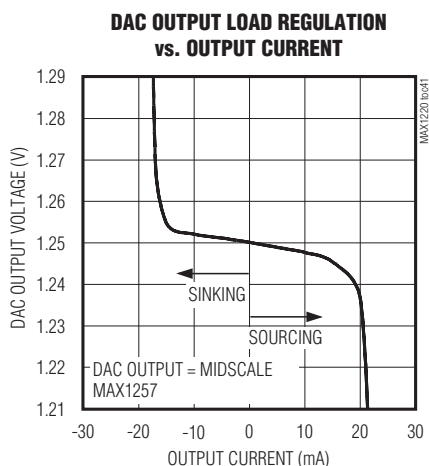
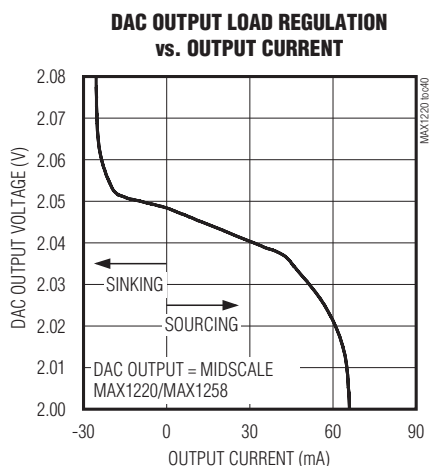
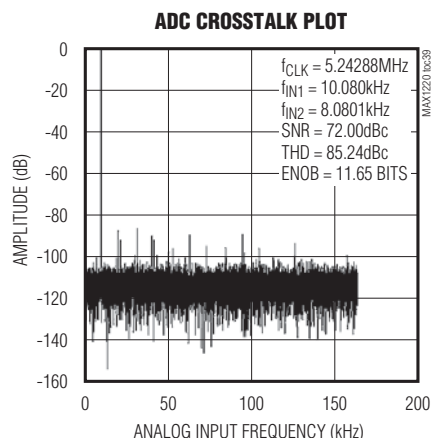
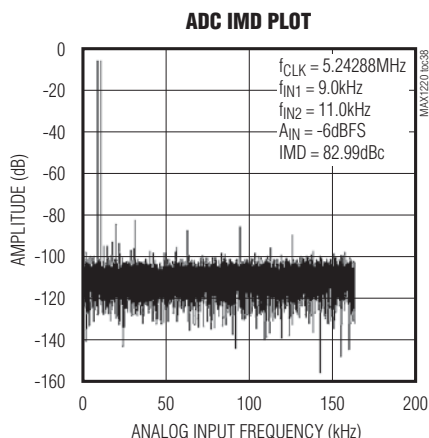
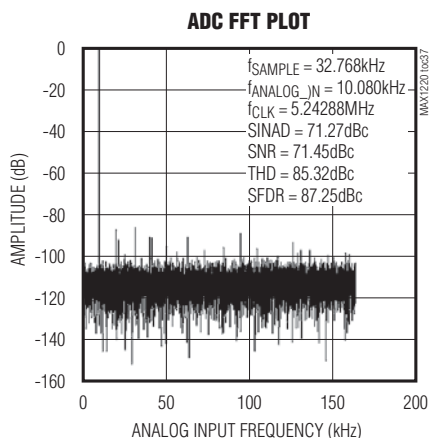


FIFO、温度検出、およびGPIOポート付き 12ビット、マルチチャンネルADC/DAC

MAX1220/MAX1257/MAX1258

標準動作特性(続き)

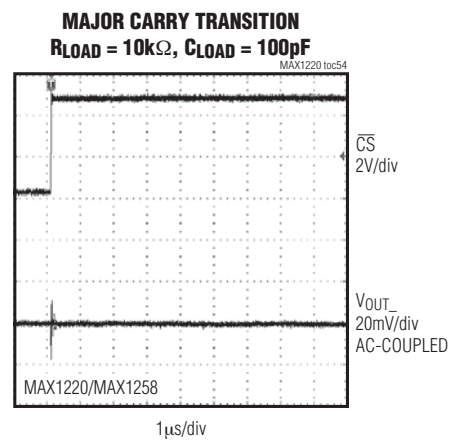
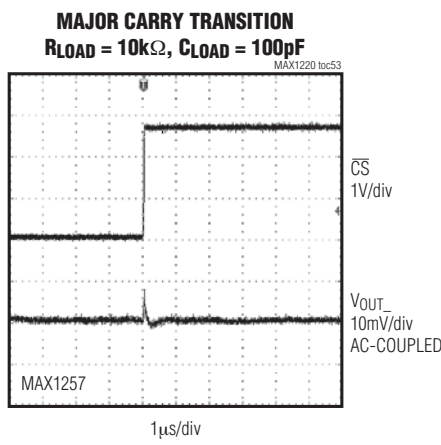
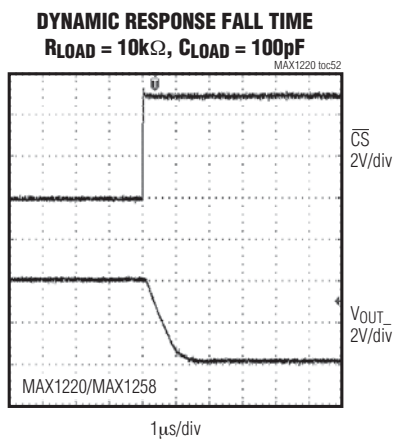
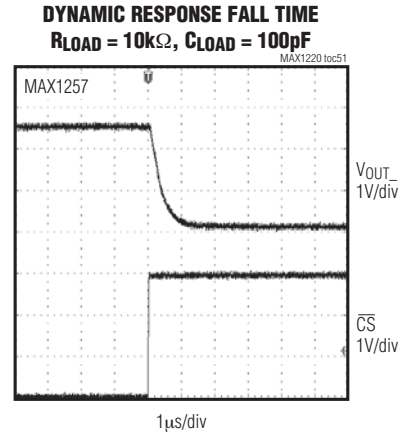
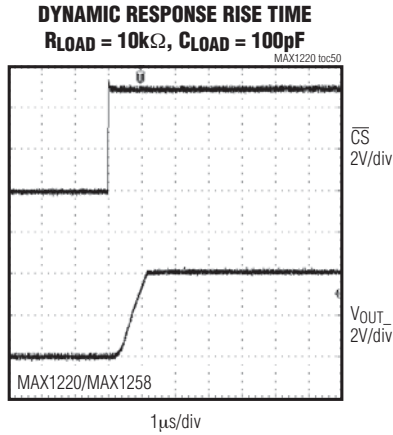
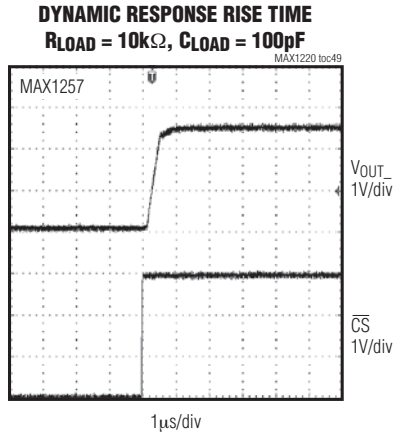
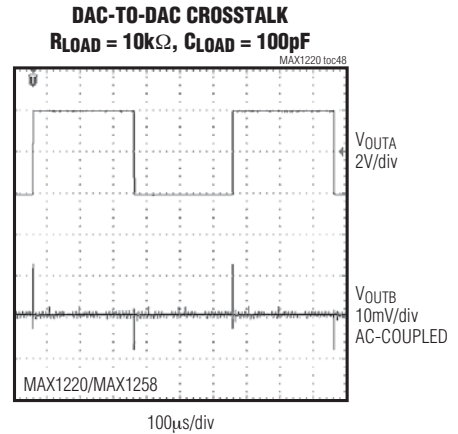
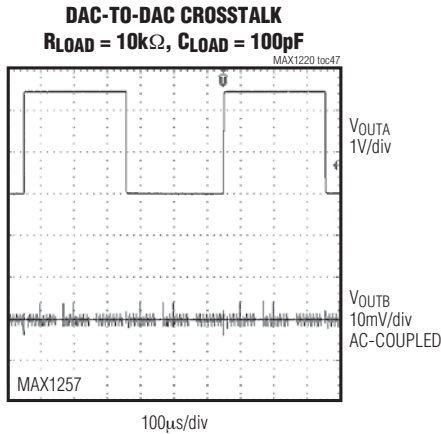
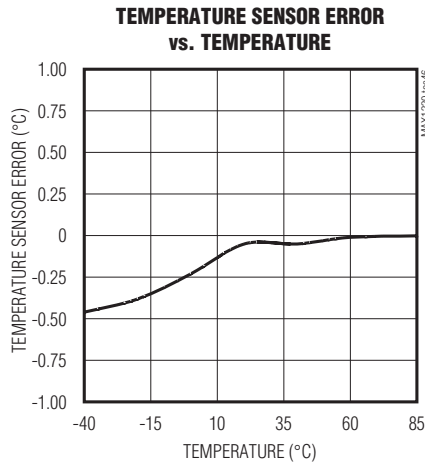
($AV_{DD} = DV_{DD} = 3V$ (MAX1257), external $V_{REF} = 2.5V$ (MAX1257), $AV_{DD} = DV_{DD} = 5V$ (MAX1220/MAX1258), external $V_{REF} = 4.096V$ (MAX1220/MAX1258), $f_{CLK} = 3.6MHz$ (50% duty cycle), $f_{SAMPLE} = 225ksps$, $C_{LOAD} = 50pF$, $0.1\mu F$ capacitor at REF, $T_A = +25^\circ C$, unless otherwise noted.)



FIFO、温度検出、およびGPIOポート付き 12ビット、マルチチャンネルADC/DAC

標準動作特性(続き)

(AV_{DD} = DV_{DD} = 3V (MAX1257), external V_{REF} = 2.5V (MAX1257), AV_{DD} = DV_{DD} = 5V (MAX1220/MAX1258), external V_{REF} = 4.096V (MAX1220/MAX1258), f_{CLK} = 3.6MHz (50% duty cycle), f_{SAMPLE} = 225ksps, C_{LOAD} = 50pF, 0.1μF capacitor at REF, T_A = +25°C, unless otherwise noted.)



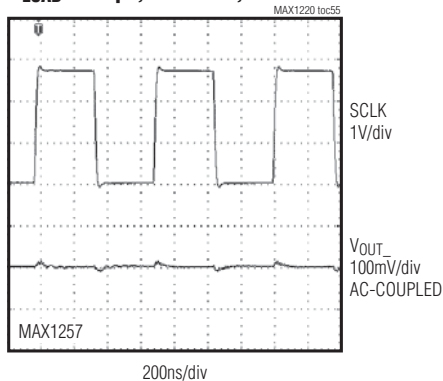
FIFO、温度検出、およびGPIOポート付き 12ビット、マルチチャンネルADC/DAC

MAX1220/MAX1257/MAX1258

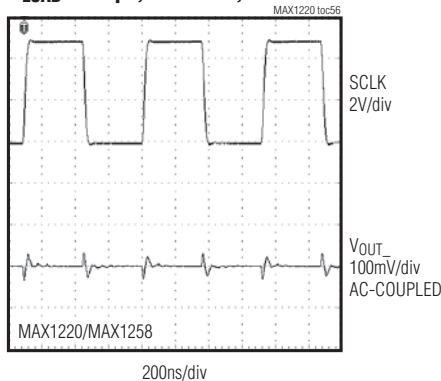
標準動作特性(続き)

($AV_{DD} = DV_{DD} = 3V$ (MAX1257), external $V_{REF} = 2.5V$ (MAX1257), $AV_{DD} = DV_{DD} = 5V$ (MAX1220/MAX1258), external $V_{REF} = 4.096V$ (MAX1220/MAX1258), $f_{CLK} = 3.6MHz$ (50% duty cycle), $f_{SAMPLE} = 225ksps$, $C_{LOAD} = 50pF$, $0.1\mu F$ capacitor at REF, $T_A = +25^\circ C$, unless otherwise noted.)

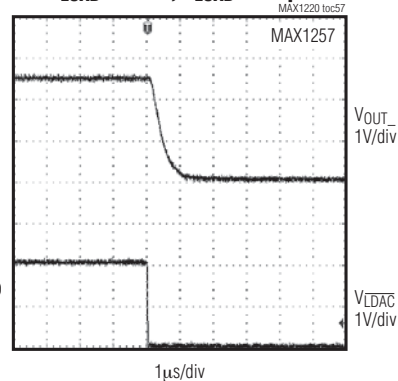
DAC DIGITAL FEEDTHROUGH $R_{LOAD} = 10k\Omega$,
 $C_{LOAD} = 100pF$, $\overline{CS} = HIGH$, $DIN = LOW$



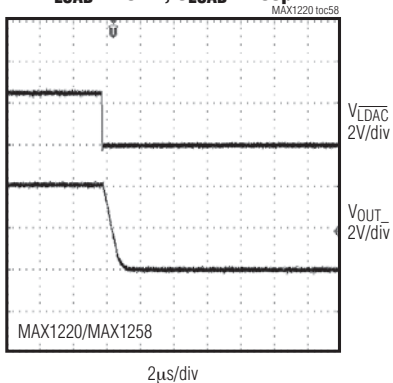
DAC DIGITAL FEEDTHROUGH $R_{LOAD} = 10k\Omega$,
 $C_{LOAD} = 100pF$, $\overline{CS} = HIGH$, $DIN = LOW$



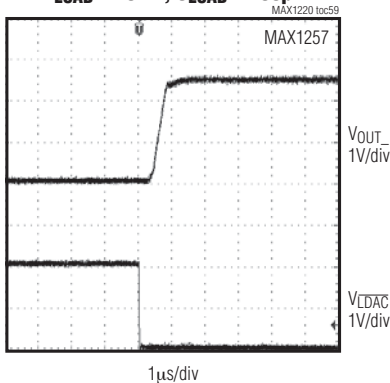
NEGATIVE FULL-SCALE SETTLING TIME
 $R_{LOAD} = 10k\Omega$, $C_{LOAD} = 100pF$



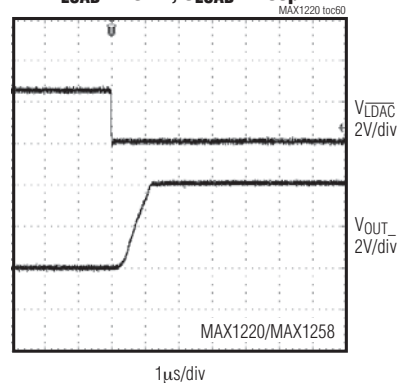
NEGATIVE FULL-SCALE SETTLING TIME
 $R_{LOAD} = 10k\Omega$, $C_{LOAD} = 100pF$



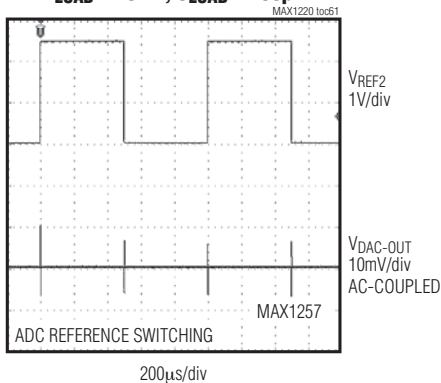
POSITIVE FULL-SCALE SETTLING TIME
 $R_{LOAD} = 10k\Omega$, $C_{LOAD} = 100pF$



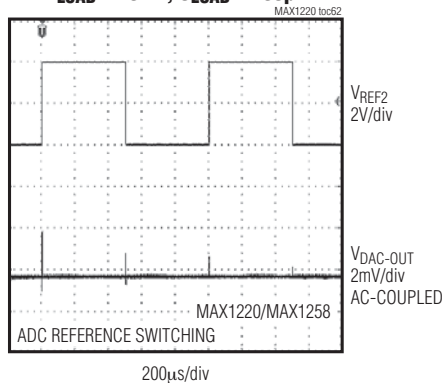
POSITIVE FULL-SCALE SETTLING TIME
 $R_{LOAD} = 10k\Omega$, $C_{LOAD} = 100pF$



ADC REFERENCE FEEDTHROUGH
 $R_{LOAD} = 10k\Omega$, $C_{LOAD} = 100pF$



ADC REFERENCE FEEDTHROUGH
 $R_{LOAD} = 10k\Omega$, $C_{LOAD} = 100pF$



FIFO、温度検出、およびGPIOポート付き 12ビット、マルチチャンネルADC/DAC

MAX1220/MAX1257/MAX1258

端子説明

端子		名称	機能
MAX1220	MAX1257 MAX1258		
1, 2	—	GPIOA0, GPIOA1	汎用I/O A0、A1。GPIOA0とA1は15mAをシンクおよびソースすることができます。
3	4	$\overline{\text{EOC}}$	アクティブロー変換終了出力。データは、 $\overline{\text{EOC}}$ の立下りエッジ後に有効です。
4	7	DV _{DD}	デジタル正電源入力。DV _{DD} を0.1μFのコンデンサでDGNDにバイパスしてください。
5	8	DGND	デジタルグランド。DGNDをAGNDに接続してください。
6	9	DOUT	シリアルデータ出力。データは、モード00、01、および10においてSCLKクロックの立下りエッジでクロックアウトされます。データは、モード11においてSCLKクロックの立上りエッジでクロックアウトされます。これは、 $\overline{\text{CS}}$ がハイのときハイインピーダンスです。
7	10	SCLK	シリアルクロック入力。シリアルインタフェースに対してデータのクロックインとクロックアウトを行います。(デューティサイクルは40%~60%でなければなりません。)クロックモードのプログラミングの詳細については、表5をご覧ください。
8	11	DIN	シリアルデータ入力。DINのデータは、SCLKの立下りエッジでシリアルインタフェースにラッチされます。
9–12, 16–19	12–15, 22–25	OUT0–OUT7	DAC出力。
13	18	AV _{DD}	正アナログ電源入力。AV _{DD} を0.1μFのコンデンサでAGNDにバイパスしてください。
14	19	AGND	アナロググランド。
15, 23, 32, 33	—	N.C.	接続なし。内部で接続されていません。
20	26	$\overline{\text{LDAC}}$	アクティブローのロードDAC。 $\overline{\text{LDAC}}$ は、DAC出力を更新する同期アクティブロー入力です。DACレジスタをトランスペアレントにするためには、 $\overline{\text{LDAC}}$ をローにしてください。
21	27	$\overline{\text{CS}}$	アクティブローのチップ選択入力。 $\overline{\text{CS}}$ がローのとき、シリアルインタフェースがイネーブルされます。 $\overline{\text{CS}}$ がハイのとき、DOUTがハイインピーダンスになります。
22	28	RES_SEL	リセット選択。DACウェイクアップモードを選択してください。RES_SELをローに設定してDAC出力が100kΩ抵抗器でAGNDに接続された状態でウェイクアップするか、もしくはRES_SELをハイに設定してDAC出力が100kΩ抵抗器でV _{REF} に接続された状態でウェイクアップさせてください。DAC入力レジスタをFFFhにパワーアップするためには、RES_SELをハイに設定してください。DAC入力レジスタを000hにパワーアップするためには、RES_SELをローに設定してください。
24, 25	—	GPIOC0, GPIOC1	汎用I/O C0、C1。GPIOC0、C1は、4mAをシンクし、2mAをソースすることができます。

FIFO、温度検出、およびGPIOポート付き 12ビット、マルチチャネルADC/DAC

MAX1220/MAX1257/MAX1258

端子説明(続き)

端子		名称	機能
MAX1220	MAX1257 MAX1258		
26	35	REF1	リファレンス1入力。リファレンス電圧：内部リファレンス(MAX1257では2.5V、またはMAX1220/MAX1258では4.096V)を使用する場合には、無接続のままにしてください。REF1は、ADCの外部差動リファレンスモードにおける正リファレンスです。外部リファレンスモードの場合のみ、REF1を0.1μFのコンデンサでAGNDにバイパスしてください。[ADC/DACリファレンス]の項をご覧ください。
27-31, 34	—	AIN0-AIN5	アナログ入力。
35	—	REF2/AIN6	リファレンス2入力/アナログ入力6。セットアップレジスタのプログラミングの詳細については、表5をご覧ください。REF2は、ADCの外部差動リファレンスモードにおいては負リファレンスです。
36	—	$\overline{\text{CNVST}}$ /AIN7	アクティブロー変換開始入力/アナログ入力7。セットアップレジスタのプログラミングの詳細については、表5をご覧ください。
—	1	$\overline{\text{CNVST}}$ /AIN15	アクティブロー変換開始入力/アナログ入力15。セットアップレジスタのプログラミングの詳細については、表5をご覧ください。
—	2, 3, 5, 6	GPIOA0-GPIOA3	汎用I/O A0~A3。GPIOA0~GPIOA3は、15mAをシンクおよびソースすることができます。
—	16, 17, 20, 21	GPIOB0-GPIOB3	汎用I/O B0~B3。GPIOB0~GPIOB3は、4mAをシンクし、2mAをソースすることができます。
—	29-32	GPIOC0-GPIOC3	汎用I/O C0~C3。GPIOC0~GPIOC3は、4mAをシンクし、2mAをソースすることができます。
—	33, 34, 36-47	AIN0-AIN13	アナログ入力。
—	48	REF2/AIN14	リファレンス2入力/アナログ入力14。セットアップレジスタのプログラミングの詳細については、表5をご覧ください。REF2は、ADC外部差動リファレンスモードにおいては負リファレンスです。
—	—	EP	エクスポーズドパッド。外部でAGNDに接続する必要があります。グラウンド接続として使用しないでください。

FIFO、温度検出、およびGPIOポート付き 12ビット、マルチチャンネルADC/DAC

詳細

MAX1220/MAX1257/MAX1258は、12ビット、マルチチャンネル、アナログ-デジタルコンバータ(ADC)、および12ビット、オクタル、デジタル-アナログコンバータ(DAC)を1個のICに集積化したものです。また、これらの製品は、25MHz SPI/QSPI/MICROWIRE対応シリアルインタフェースで動作する温度センサおよび設定可能なGPIOを内蔵しています。ADCには、入力チャンネル数が8および16のバージョンがあります。オクタルDAC出力のセトリング時間は2.0 μ s以内で、ADCの変換速度は225kspsです。

すべての製品は、ADCとDACの両方に対して使用する十分に安定化された低ノイズの内部リファレンス(2.5Vまたは4.096V)を備えています。ADCとDACのプログラマブルリファレンスモードでは、内部リファレンス、外部リファレンス、またはこの両方の組合せが可能です。内蔵の $\pm 1^{\circ}\text{C}$ 高精度温度センサ、FIFO、各種のスキャンモード、プログラマブルな内部または外部クロックモード、データ平均化、およびAutoShutdownなどの機能を利用すると、消費電力とプロセッサ要件を最小にすることができます。集積化オクタルDACは、グリッチエネルギーが低く(4nV \cdot s)、さらにデジタルフィードスルーも低い(0.5nV \cdot s)ため、高速応答を必要とする閉ループシステムのデジタル制御に最適です。

これらの製品は、+2.7V~+3.6V (MAX1257)および+4.75V~+5.25V (MAX1220/MAX1258)の電源電圧による動作が保証されています。これらの製品の消費電流は、225kspsのスループットでは2.5mA、1kspsのスループットではわずか22 μ A、シャットダウンモードでは0.2 μ A以下です。MAX1257/MAX1258は12個のGPIOを備えており、MAX1220は入力または出力として設定可能な4個のGPIOを備えています。

図1は、MAX1257/MAX1258のファンクションダイアグラムを示します。MAX1220は、GPIOA0とGPIOA1、およびGPIOC0とGPIOC1ブロックのみを内蔵しています。出力調整回路は、内部の平行データバスからデータを取り込んで、これをDOUTにおいて適切なウェイクアップのタイミングでシリアルデータ形式に変換します。算術論理演算ユニット(ALU)が平均化機能を果たします。

SPI対応シリアルインタフェース

MAX1220/MAX1257/MAX1258は、SPIとMICROWIREデバイスに対応したシリアルインタフェースを備えています。SPIでは、SPIバスマスタ(一般にマイクロコントローラ(μ C))がマスタモードで動作してシリアルクロック信号を発生します。25MHz以下のSCLK周波数を選択し、 μ C制御レジスタのクロック極性(CPOL)と位相(CPHA)

を同じ値に設定してください。MAX1220/MAX1257/MAX1258は、SCLKがアイドリングハイまたはローで動作するため、CPOL = CPHA = 0、またはCPOL = CPHA = 1で動作します。 $\overline{\text{CS}}$ をローに設定して、SCLKの立下りエッジでDINの入力データをラッチしてください。DOUTの出力データは、クロックモード00、01、および10ではSCLKの立下りエッジで更新されます。DOUTの出力データは、クロックモード11ではSCLKの立上りエッジで更新されます。図6~11をご覧ください。バイポーラの真の差動出力と温度センサ出力は2の補数ですが、その他のすべての出力は2進です。

$\overline{\text{CS}}$ がハイからローに遷移すると、データの入力動作が開始します。ADCとのシリアル通信は、常に、DINからロードされた8ビットのコマンドバイト(MSB先頭)で始まります。このコマンドバイトと後続のデータバイトは、SCLKの立下りエッジでDINからシリアルインタフェースにクロックインされます。シリアルインタフェースと高速インタフェース回路は、ADC、DAC、およびGPIOの各セクションに共通です。コマンドバイトの内容は、SPIポートを8、16、または24ビットのいずれにするか、およびデータをADC、DAC、またはGPIO (該当する場合)のいずれに利用するかを決定します。表1をご覧ください。 $\overline{\text{CS}}$ をハイに駆動すると、シリアルインタフェースがリセットされます。

変換レジスタは、ADCチャンネル選択、ADCスキャンモード、および温度測定の要求を制御します。変換レジスタへの書き込みについては、表4をご覧ください。セットアップレジスタは、クロックモード、リファレンス、およびユニポーラ/バイポーラADC設定を制御します。ユニポーラモードレジスタまたはバイポーラモードレジスタに書き込むためには、最初のバイトに続いて2番目のバイトを使用してください。セットアップレジスタの詳細については表5を、ユニポーラとバイポーラモードレジスタの設定については表6、7、および8をご覧ください。コマンドバイトおよび2番目と3番目のバイトの間で $\overline{\text{CS}}$ をローに保持してください。ADC平均化レジスタはADC固有のもので、このレジスタのアドレスを指定するためには、表9をご覧ください。表11は、リセットレジスタの詳細を示します。

DACへの書き込みは、コマンドバイトとして0001XXXXを書き込むことによって開始してください。このコマンドバイトの最後の4ビットは、任意ビットです。適切なDACとこれに書き込むデータを選択するためには、コマンドバイトに続いてさらに2バイト($\overline{\text{CS}}$ をローに保持している)をDACインタフェースレジスタに書き込んでください。[DACのシリアルインタフェース]の項と表10、20、および21をご覧ください。

FIFO、温度検出、およびGPIOポート付き 12ビット、マルチチャンネルADC/DAC

MAX1220/MAX1257/MAX1258

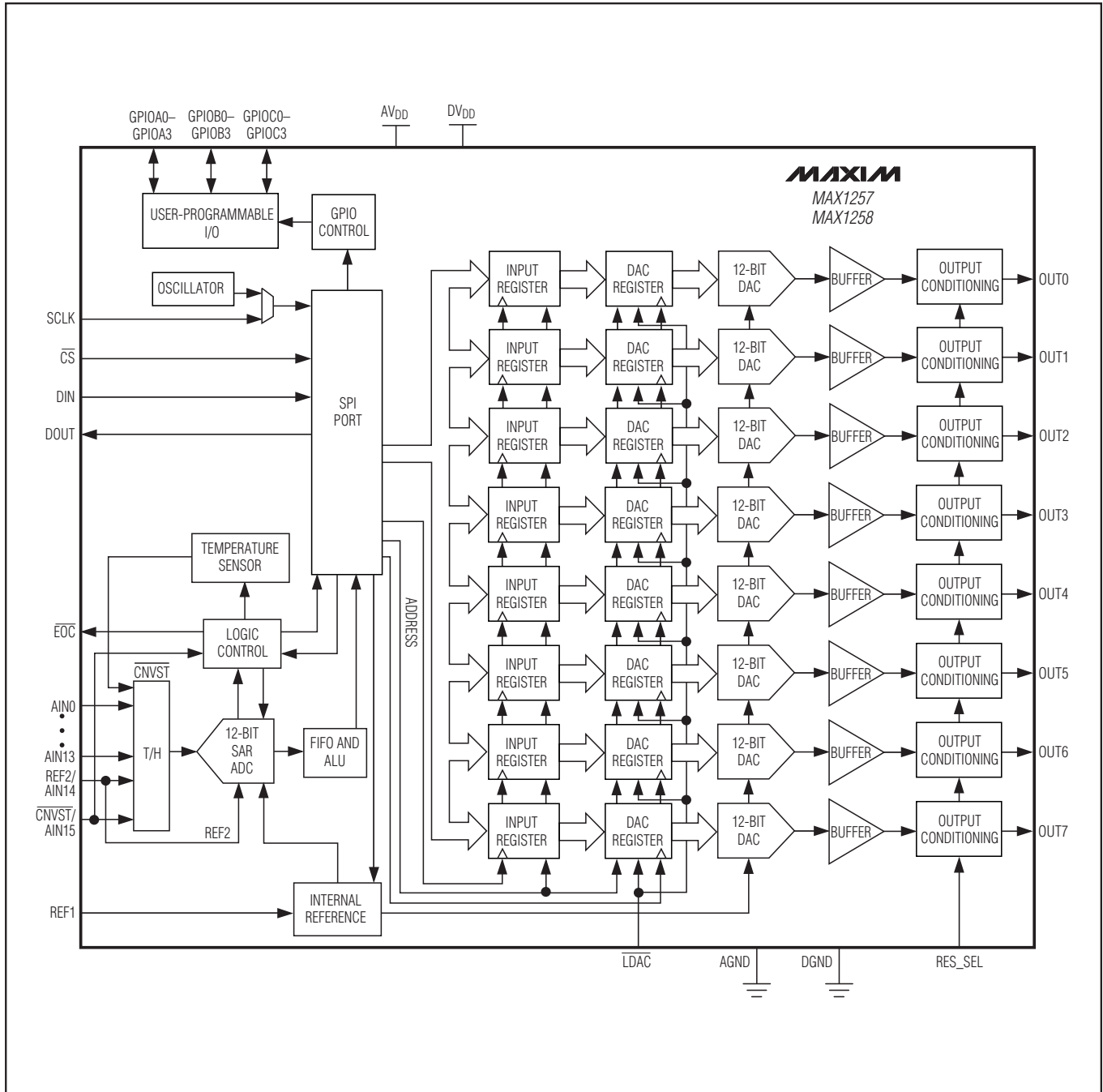


図1. MAX1257/MAX1258のファンクションダイアグラム

FIFO、温度検出、およびGPIOポート付き 12ビット、マルチチャンネルADC/DAC

表1. コマンドバイト(MSB先頭)

REGISTER NAME	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0	ADDITIONAL NO. OF BYTES
Conversion	1	CHSEL3	CHSEL2	CHSEL1	CHSEL0	SCAN1	SCAN0	TEMP	0
Setup	0	1	CKSEL1	CKSEL0	REFSEL1	REFSEL0	DIFFSEL1	DIFFSEL0	1
ADC	0	0	1	AVGON	NAVG1	NAVG0	NSCAN1	NSCAN0	0
DAC Select	0	0	0	1	X	X	X	X	2
Reset	0	0	0	0	1	RESET	SLOW	FBGON	0
GPIO Configure	0	0	0	0	0	0	1	1	1 or 2
GPIO Write	0	0	0	0	0	0	1	0	1 or 2
GPIO Read	0	0	0	0	0	0	0	1	1 or 2
No Operation	0	0	0	0	0	0	0	0	0

X = 任意

適切なレジスタにコマンドバイトを送出することによってGPIOに書き込みを行ってください。MAX1220のGPIOに書き込むためには、コマンドバイトの後に1バイトを追加する必要があります。MAX1257/MAX1258に書き込むためには、コマンドバイトの後に2バイトを追加する必要があります。GPIOの設定、書き込み、および読取りの詳細については、表12~19をご覧ください。「GPIOのコマンド」の項をご覧ください。GPIOを備えていないデバイスのGPIOに書き込まれたコマンドバイトは無視されます。

パワーアップ時のデフォルト状態

MAX1220/MAX1257/MAX1258は、シャットダウン状態から、すべてのブロック(リファレンスを含む)とともにパワーアップします。セットアップレジスタとDAC入力レジスタ以外のすべてのレジスタは、状態00000000でパワーアップします。セットアップレジスタは、CKSEL1 = 1とREFSEL1 = 1によって0010 1000でパワーアップします。DAC入力レジスタは、RES_SELがハイのときFFFhでパワーアップしRES_SELがローのとき000hでパワーアップします。

12ビットADC

MAX1220/MAX1257/MAX1258のADCは、完全差動逐次比較レジスタ(SAR)変換法および内蔵のトラックアンドホールド(T/H)回路を使用して、温度と電圧信号を12ビットのデジタル出力に変換します。アナログ入力、シングルエンドと差動の両入力信号を受け入れます。シングルエンド信号はユニポーラ伝達関数を使用して変換され、差動信号は選択可能なバイポーラまたはユニポーラ伝達関数を使用して変換されます。詳細については、「ADCの伝達関数」の項をご覧ください。

ADCのクロックモード

セットアップをアドレス指定するとき、コマンドバイトのレジスタビット5と4(それぞれ、CKSEL1とCKSEL0)がADCのクロックモードを制御します。表5をご覧ください。様々な変換開始方法に対する4種類のクロック

モードの中から1つを選定して、収集のタイミングを内部または外部のどちらで取るかを決定してください。クロックモード00を選択してCNVST/AIN_が変換開始として動作するよう設定し、これを利用してシリアルバスに接続せずに内部タイミングによる変換を要求してください。クロックモード01で、CNVSTを使用して1チャンネルずつ変換することを要求することによって、シリアルバスに接続せずにサンプリングレートを制御してください。デフォルトのクロックモード10にある変換レジスタに書き込むことによって、シリアルインタフェースを介して内部タイミングによる変換を要求し開始してください。最高225kspsのサンプリングレートを実現するためには、外部タイミングによる収集に対してSCLKが最高3.6MHzのクロックモード11を使用してください。クロックモード11はスキューニングと平均化をディセーブルします。変換の開始方法に関するタイミング仕様については、図6~9をご覧ください。

これらのデバイスは、アクティブローの変換終了出力を備えています。ADCが要求された最後の動作を終了して次のコマンドバイトを待っているとき、EOCはローになります。CSまたはCNVSTがローになると、EOCはハイになります。クロックモード11では、EOCは常にハイです。

シングルエンドまたは差動変換

MAX1220/MAX1257/MAX1258では、すべての変換に完全差動ADCが使用されます。入力ペアを差動ペアとして接続すると、各入力ADCに接続されます。シングルエンドモードに設定された正入力はシングルエンドチャンネルであり、負入力はAGNDとなります。図2をご覧ください。

差動モードでは、T/Hが2つのアナログ入力の差をサンプリングしてコモンモードDCオフセットとノイズを除去します。IN+とIN-がAIN0/AIN1、AIN2/AIN3、AIN4/AIN5、AIN6/AIN7、AIN8/AIN9、AIN10/AIN11、AIN12/AIN13、AIN14/AIN15の各ペアから選択されます。AIN0~AIN7は、すべてのデバイスに備えられています。MAX1257/

FIFO、温度検出、およびGPIOポート付き 12ビット、マルチチャネルADC/DAC

MAX1258はAIN0~AIN15を備えています。入力の設定の詳細については、表5~8をご覧ください。CNVST、REF2、およびアナログ入力として設定可能な入力では、一度に使用可能な機能は1つだけです。

ユニポーラまたはバイポーラ変換

ユニポーラおよびバイポーラモードレジスタのアドレスは、セットアップレジスタ(ビット1と0)によって指定してください。セットアップレジスタについては、表5をご覧ください。伝達関数のグラフについては、図3と4をご覧ください。差動動作のアナログ入力ペアは、バイポーラまたはユニポーラモードレジスタの該当するビットに1を書き込むことによって設定してください。ユニポーラモードでは、差動入力が $0 \sim V_{REF1}$ の範囲に設定されます。ユニポーラモードにおける負の差動アナログ入力は、デジタル出力コードのゼロに対応します。バイポーラモードを選択すると、差動入力範囲が $\pm V_{REF1}/2$ に設定されます。デジタル出力コードは、ユニポーラモードでは2進で、バイポーラモードでは2の補数です。

シングルエンドモードで、MAX1220/MAX1257/MAX1258は常にユニポーラモードで動作します。アナログ入力は、0からリファレンス電圧(選択された)までのフルスケール入力範囲において内部のAGNDを基準とします。

アナログ入力(T/H)

図2の等価回路は、MAX1220/MAX1257/MAX1258のADCの入力アーキテクチャを示します。トラックモードでは、正入力コンデンサが、シングルエンドモードでAIN0~AIN15に、また差動モードでAIN0、AIN2、およびAIN4~AIN14(正入力のみ)に接続されます。負入力コンデンサは、シングルエンドモードでAGNDに、また

差動モードでAIN1、AIN3、およびAIN5~AIN15(負入力のみ)に接続されます。外部のT/Hタイミングには、クロックモード01を使用してください。T/Hがホールドモードに入ると、サンプリングされた正と負の入力電圧の差が変換されます。入力コンデンサの充電速度が、入力信号の収集に要するT/H時間を決定します。入力信号のソースインピーダンスが高くなると、必要なアクイジション時間が長くなります。

ソースインピーダンスが 300Ω 以下であれば、ADCのAC性能が大きな影響を受けることはありません。ハイインピーダンスソースは、 t_{ACQ} を長くするか(クロックモード01においてのみ)、または正と負のアナログ入力の間に $1\mu F$ のコンデンサを接続するかのいずれかによって処理することができます。アナログ入力のソースインピーダンスとアナログ入力のコンデンサの組合せによって、アナログ入力帯域幅を制限するRCフィルタが形成されます。

入力帯域幅

ADCの入力トラッキング回路は小信号帯域幅が1MHzであるため、高速の過渡現象をデジタル化し、アンダサンプリングを適用してADCのサンプリングレートを超える帯域幅の周期信号を測定することができます。重要な周波数帯域に高周波信号がエイリアシングとして現れないようにするため、予め入力信号のアンチエイリアシングフィルタ処理が必要です。

アナログ入力保護

内部の静電気(ESD)保護ダイオードによってすべてのアナログ入力が AV_{DD} とAGNDにクランプされているため、デバイスを損傷することなく入力を $(AGND - 0.3V) \sim (AV_{DD} + 0.3V)$ の範囲でスイングさせることができます。しかし、フルスケール近くまでの変換を正確に行うためには、入力が AV_{DD} を50mV以上超えないようにするか、AGNDよりも50mV以上低くならないようにする必要があります。アナログ入力電圧が電源電圧を超える場合は、入力電流を2mAに制限してください。

内部FIFO

MAX1220/MAX1257/MAX1258は、最大16のADC出力と1つの温度出力を保持する先入れ先出し(FIFO)バッファを内蔵しています。内蔵のFIFOによって、ADCは内部クロックを使用した複数の変換と温度測定をシリアルバスの介入なしで処理してその出力を保存することができます。

FIFOがいっぱいになりFIFOからの読取りがない状況においてさらに変換が要求される場合、最も古いADC出力が新しいADC出力によって上書きされます。各出力は2バイトから成り、4つのゼロ列がMSBに先行しています。CSの各立下りエッジの後、最も古い有効なデータバイトのペアがMSBを先頭にDOUTに現れます。FIFOが空のときは、DOUTがゼロです。

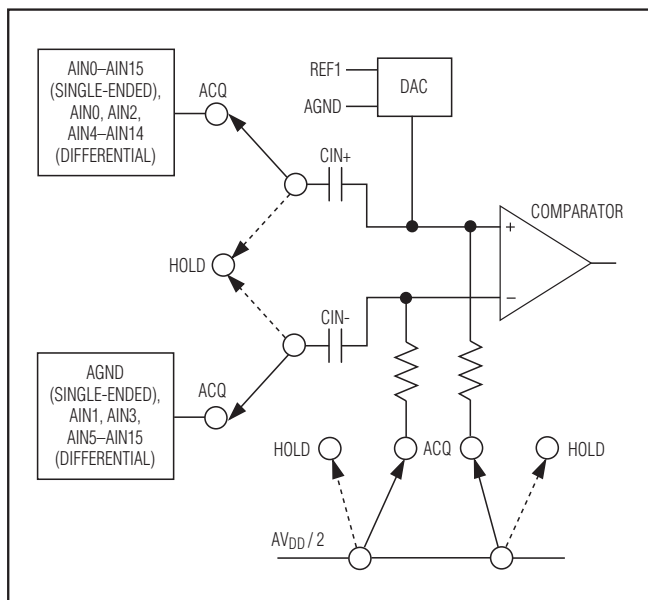


図2. 等価入力回路

FIFO、温度検出、およびGPIOポート付き 12ビット、マルチチャンネルADC/DAC

温度測定後に読み出されるデータの最初の2バイトは、常に、4つの先行ゼロ列の後にMSBを先頭とする12ビットの温度出力を含んでいます。最初の温度出力が読みされる前に次の温度測定が行われると、古い測定値が新しい出力によって上書きされます。温度出力は℃単位(2の補数)で、分解能は1℃当たり8 LSBです。デジタルコードの温度への変換の詳細については、「温度測定」の項をご覧ください。

12ビットDAC

12ビットADCの他に、MAX1220/MAX1257/MAX1258は、積分非直線性誤差4 LSB以下で微分非直線性誤差が1 LSB以下の8個の電圧出力、12ビット、単調性DACを内蔵しています。各DACは、セトリング時間が2μsで、グリッチエネルギーがきわめて低い値(4nV・s)です。12ビットDACコードは、1 LSB = $V_{REF}/4096$ のユニポーラ2進です。

DACデジタルインタフェース

図1は、MAX1257/MAX1258のファンクションダイアグラムを示します。シフトレジスタは、シリアル16ビットワードを最高25MHzのクロックレートで動作する各入力レジスタの平行データに変換します。シフトレジスタへのSPI対応デジタルインタフェースは、 \overline{CS} 、SCLK、DIN、およびDOUTで構成されます。DINにおけるシリアルデータは、SCLKの立下りエッジでロードされます。書き込みシーケンスを開始するためには、 \overline{CS} をローにしてください。コマンドバイトとして0001XXXXを書き込むことによって、DACへの書き込みを開始してください。DAC選択レジスタの最後の4ビットは、任意ビットです。表10をご覧ください。適切なDACとこれに書き込むデータを選択するためには、コマンドバイトに続いてDACインタフェースレジスタにさらに2バイトを書き込んでください。表20と21をご覧ください。

8個のダブルバッファ付きDACは、入力レジスタおよびDACレジスタを内蔵しています。入力レジスタはシフトレジスタに直接接続されており、最新の書き込み動作の結果を保持しています。8個の12ビットDACレジスタは、各DACの現在の出力コードを保持しています。データは、 \overline{LDAC} をローにするかもしくはDINに適切なDACコマンドシーケンスを書き込むことによって入力レジスタからDACレジスタに転送することができます。表20をご覧ください。DACの出力は、8個のレイルトゥレイルオペンプによってバッファされます。

MAX1220/MAX1257/MAX1258のDAC出力電圧範囲は、内部リファレンスまたは外部リファレンスを基準としています。リファレンスを設定するためには、セットアップレジスタ(表5参照)に書き込みを行ってください。外部電圧リファレンスを使用する場合は、REF1を0.1μFのコンデンサでAGNDにバイパスしてください。MAX1257の内部リファレンスは2.5Vです。MAX1220/MAX1258の内部リファレンスは4.096Vです。これらのデバイス

のいずれかで外部リファレンスを使用するときは、電圧範囲が0.7V~ AV_{DD} となります。

DACの伝達関数

DACの各種アナログ出力については、表2をご覧ください。

DACパワーオンウェイクアップモード

RES_SEL入力の状態がDAC出力のウェイクアップ状態を決定します。パワーアップ時にDAC出力が既知の状態にウェイクアップするには、RES_SELをAGNDまたは AV_{DD} に接続します。000hですべてのDAC出力をウェイクアップするには、RES_SELをAGNDに接続します。RES_SELがローの時、100kΩの内部抵抗器がDAC出力をAGNDにプルダウンし、出力バッファがパワーダウンされます。FFFhですべてのDAC出力をウェイクアップするには、RES_SELを AV_{DD} に接続します。RES_SELがハイの時に、100kΩのプルアップ抵抗器がDAC出力を V_{REF1} にプルアップし、出力バッファがパワーダウンされます。

DACパワーアップモード

DACのパワーアップとパワーダウンの両モードについては、表21をご覧ください。

GPIO

MAX1257/MAX1258は、内部ADCとDACの他に、12の汎用入力/出力チャンネル、GPIOA0~GPIOA3、GPIOB0~GPIOB3、およびGPIOC0~GPIOC3も備えています。MAX1220は、4つのGPIOチャンネル(GPIOA0、GPIOA1、GPIOC0、GPIOC1)を内蔵しています。表1と表12~19の詳しい説明に従ってGPIOに対する読取りと書き込みを

表2. DACの出力コード表

DAC CONTENTS			ANALOG OUTPUT
MSB	LSB		
1111	1111	1111	$+V_{REF} \left(\frac{4095}{4096} \right)$
1000	0000	0001	$+V_{REF} \left(\frac{2049}{4096} \right)$
1000	0000	0000	$+V_{REF} \left(\frac{2048}{4096} \right) = \left(\frac{+V_{REF}}{2} \right)$
0111	0111	0111	$+V_{REF} \left(\frac{2047}{4096} \right)$
0000	0000	0001	$+V_{REF} \left(\frac{1}{4096} \right)$
0000	0000	0000	0

FIFO、温度検出、およびGPIOポート付き 12ビット、マルチチャネルADC/DAC

行ってください。また、「GPIOのコマンド」の項もご覧ください。GPIOのタイミングについては、図11と12をご覧ください。

GPIOコマンドレジスタにコマンドバイトを書き込むことによってGPIOに書き込みを行ってください。コマンドバイトに続いて単一データバイトをMAX1220に書き込んでください。MAX1257/MAX1258には、コマンドバイトに続いて2バイトを書き込んでください。

GPIOは、電流をシンクおよびソースすることができます。MAX1257/MAX1258のGPIOA0~GPIOA3は、最大15mAをシンクおよびソースすることができます。GPIOB0~GPIOB3とGPIOC0~GPIOC3は4mAをシンクし、2mAをソースすることができます。MAX1220のGPIOA0とGPIOA1は、最大15mAをシンクおよびソースすることができます。MAX1220のGPIOC0とGPIOC1は、4mAのシンクと2mAのソースができます。表3をご覧ください。

クロックモード

内部クロック

MAX1220/MAX1257/MAX1258は、内部発振器で動作します。内部発振器は、クロックモード00、01、および10でアクティブです。図6、7、および8は、3つの内部タイミングによる変換モードにおけるADC変換の開始方法を示します。

SPIインタフェースを介して最高25MHzのクロック速度でデータを読み出してください。

外部クロック

外部クロックモード11のインタフェースをセットアップするためには、セットアップレジスタのCKSEL1とCKSEL0を11に設定してください。表5をご覧ください。0.1MHz~3.6MHzの速度でSCLKにパルス入力してください。SCLKのデューティサイクルは40%~60%にしてください。SCLKの周波数により変換のタイミングを制御します。クロックモード11のタイミングについては、図9aおよび9bをご覧ください。「クロックモード11におけるADC変換」の項をご覧ください。

ADC/DACリファレンス

セットアップレジスタのビット3と2によってリファレンスのアドレスを指定してください。表5をご覧ください。ADCとDACの両方で内部リファレンスを使用するためには、ウェイクアップ遅延に続いて、REFSEL[1:0] = 00を設定してください。ADCで内部リファレンスを使用するためには、REFSEL[1:0] = 10を設定してく

ださい。DACで外部リファレンスREF1を使用するためには、REFSEL[1:0] = 10を設定してください。外部リファレンスモードでREF1またはREF2/AIN_を使用するときは、0.1μFのコンデンサをAGNDに接続してください。ADCとDACで外部リファレンスモードを使用するためには、REFSEL[1:0] = 01を設定してください。DACの外部リファレンスはREF1を使用し、ADCの外部リファレンスはREF2を使用します。ADCを外部差動リファレンスモードにプログラムするためには、REFSEL[1:0] = 11を設定してください。ADCの外部差動モードでは、REF1が正のリファレンスで、REF2が負のリファレンスです。

REFSEL[1:0] = 00または10のとき、REF2/AIN_はアナログ入力チャネルとして働きます。REFSEL[1:0] = 01または11のとき、REF2/AIN_はデバイスの負のリファレンスとして働きます。

温度測定

温度を測定するためには、変換レジスタのビット0を1に設定するコマンドバイトを送出してください。表4をご覧ください。MAX1220/MAX1257/MAX1258は、内部でダイオード接続されたトランジスタを使用して温度を測定します。ダイオードのバイアス電流は、68μAから4μAまで変化して温度に依存するバイアス電圧差を発生します。4μAにおける2回目の変換出力が68μAの1回目の変換出力から差し引かれて、絶対温度に比例するデジタル値が計算されます。DOUTに現れる出力データは、前記のデジタルコードからオフセットを差し引いて絶対温度から摂氏温度に変換された値です。

温度測定に使用されるリファレンス電圧は、1 LSBが1°Cの1/8に対応するように必ず内部のリファレンス源から供給されます。温度測定が要求される場合はスキャンごとに、まず温度変換が行われます。FIFOから読み取られるデータの最初の2バイトは、温度測定出力を含んでいます。最初の温度出力が読み出される前に次の温度が測定されると、古い測定値が新しい出力によって上書きされます。温度出力は°C単位(2の補数)です。各クロックモードでの温度測定方法については、「アプリケーション情報」の項をご覧ください。

レジスタの説明

MAX1220/MAX1257/MAX1258は、SPI対応シリアルインタフェースを介して内部レジスタと外部回路の間で通信します。表1は、コマンドバイト、レジスタ、およびビット名の詳細を示します。表4~12は、それぞれ、

表3. GPIOの最大ソース/シンク電流

CURRENT	MAX1257/MAX1258 (mA)			MAX1220 (mA)	
	GPIOA0-GPIOA3	GPIOB0-GPIOB3	GPIOC0-GPIOC3	GPIOA0, GPIOA1	GPIOC0, GPIOC1
Sink	15	4	4	15	4
Source	15	2	2	15	2

FIFO、温度検出、およびGPIOポート付き 12ビット、マルチチャンネルADC/DAC

変換レジスタ、セットアップレジスタ、ユニポーラモードレジスタ、バイポーラモードレジスタ、ADC平均化レジスタ、DAC選択レジスタ、リセットレジスタ、およびGPIOコマンドレジスタの内部の各種機能を示します。

変換レジスタ

変換レジスタにコマンドバイトを送出することによって、アクティブなアナログ入力チャンネル、スキャンモード、およびスキャン当たり1回の温度測定を選択してください。表4は、チャンネル選択、4つのスキャンモード、および温度測定の要求方法の詳細を示します。スキャンを開始するには、クロックモードが10または11の時は変換レジスタに書き込むか、もしくはクロックモードが00または01の時はCNVSTピンにローパルスを印加してください。CNVSTを使用してスキャンを開始するためのタイミング仕様については、図6と7をご覧ください。

CNVSTまたはREF2として設定されているチャンネルもしくはチャンネルペアの1つで変換が要求された場合、変換は行われません。差動ペアとして設定されたチャンネルでは、CHSEL0ビットが無視されて2つのピンは単一の差動チャンネルとして処理されます。

選択されたスキャン範囲(ビット2と1、SCAN1とSCAN0によって設定された)内でシングルエンドチャンネル当たり1つの出力、または差動ペア当たり1つの出力、および1つの温度出力(選択された場合)を戻すには、スキャンモード00または01を選択してください。ADC平均化レジスタのNSCAN1とNSCAN0に応じて1つの入力チャンネルを何度もスキャンするためには、スキャンモード10を選択してください(表9)。単一チャンネルから1つの出力だけを戻すには、スキャンモード11を選択してください。

セットアップレジスタ

クロック、リファレンス、パワーダウンモード、およびADCシングルエンド/差動モードを設定するためには、コマンドバイトをセットアップレジスタに送出してください。表5は、セットアップレジスタコマンドバイトにおけるビットの詳細を示します。ビット5と4 (CKSEL1とCKSEL0)は、クロックモード、収集とサンプリング、および変換開始を制御します。ビット3と2 (REFSEL1とREFSEL0)は、デバイスを内部または外部リファレンスのいずれかに対して設定します。ビット1と0 (DIFFSEL1とDIFFSEL0)は、ADCのユニポーラモードとバイポーラモードレジスタのアドレスを指定し、アナログ入力チャンネルを差動動作に設定します。

表4. 変換レジスタ*

BIT NAME	BIT	FUNCTION
—	7 (MSB)	Set to one to select conversion register.
CHSEL3	6	Analog-input channel select.
CHSEL2	5	Analog-input channel select.
CHSEL1	4	Analog-input channel select.
CHSEL0	3	Analog-input channel select.
SCAN1	2	Scan-mode select.
SCAN0	1	Scan-mode select.
TEMP	0 (LSB)	Set to one to take a single temperature measurement. The first conversion result of a scan contains temperature information.

*ビットの詳細については以下を参照してください。

CHSEL3	CHSEL2	CHSEL1	CHSEL0	SELECTED CHANNEL (N)
0	0	0	0	AIN0
0	0	0	1	AIN1
0	0	1	0	AIN2
0	0	1	1	AIN3
0	1	0	0	AIN4
0	1	0	1	AIN5
0	1	1	0	AIN6
0	1	1	1	AIN7
1	0	0	0	AIN8
1	0	0	1	AIN9
1	0	1	0	AIN10
1	0	1	1	AIN11
1	1	0	0	AIN12
1	1	0	1	AIN13
1	1	1	0	AIN14
1	1	1	1	AIN15

SCAN1	SCAN0	SCAN MODE (CHANNEL N IS SELECTED BY BITS CHSEL3–CHSEL0)
0	0	Scans channels 0 through N.
0	1	Scans channels N through the highest numbered channel.
1	0	Scans channel N repeatedly. The ADC averaging register sets the number of results.
1	1	No scan. Converts channel N once only.

FIFO、温度検出、およびGPIOポート付き 12ビット、マルチチャネルADC/DAC

表5. セットアップレジスタ*

BIT NAME	BIT	FUNCTION
—	7 (MSB)	Set to zero to select setup register.
—	6	Set to one to select setup register.
CKSEL1	5	Clock mode and $\overline{\text{CNVST}}$ configuration; resets to one at power-up.
CKSEL0	4	Clock mode and $\overline{\text{CNVST}}$ configuration.
REFSEL1	3	Reference-mode configuration.
REFSEL0	2	Reference-mode configuration.
DIFFSEL1	1	Unipolar-/bipolar-mode register configuration for differential mode.
DIFFSEL0	0 (LSB)	Unipolar-/bipolar-mode register configuration for differential mode.

*ビットの詳細については以下を参照してください。

表5a. クロックモード*

CKSEL1	CKSEL0	CONVERSION CLOCK	ACQUISITION/SAMPLING	$\overline{\text{CNVST}}$ CONFIGURATION
0	0	Internal	Internally timed.	$\overline{\text{CNVST}}$
0	1	Internal	Externally timed by $\overline{\text{CNVST}}$.	$\overline{\text{CNVST}}$
1	0	Internal	Internally timed.	AIN15/AIN7
1	1	External (3.6MHz max)	Externally timed by SCLK.	AIN15/AIN7

*「クロックモード」の項をご覧ください。

表5b. クロックモード00、01、および10

REFSEL1	REFSEL0	VOLTAGE REFERENCE	OVERRIDE CONDITIONS	AUTOSHUTDOWN	REF2 CONFIGURATION
0	0	Internal (DAC and ADC)	AIN	Internal reference turns off after scan is complete. If internal reference is turned off, there is a programmed delay of 218 internal-conversion clock cycles.	AIN14/AIN6
			Temperature	Internal reference required. There is a programmed delay of 244 internal-conversion clock cycles for the internal reference to settle after wake-up.	
0	1	External single-ended (REF1 for DAC and REF2 for ADC)	AIN	Internal reference not used.	REF2
			Temperature	Internal reference required. There is a programmed delay of 244 internal-conversion clock cycles for the internal reference to settle after wake-up.	
1	0	Internal (ADC) and external REF1 (DAC)	AIN	Default reference mode. Internal reference turns off after scan is complete. If internal reference is turned off, there is a programmed delay of 218 internal-conversion clock cycles.	AIN14/AIN6
			Temperature	Internal reference required. There is a programmed delay of 244 internal-conversion clock cycles for the internal reference to settle after wake-up.	
1	1	External differential (ADC), external REF1 (DAC)	AIN	Internal reference not used.	REF2
			Temperature	Internal reference required. There is a programmed delay of 244 internal-conversion clock cycles for the internal reference to settle after wake-up.	

FIFO、温度検出、およびGPIOポート付き 12ビット、マルチチャンネルADC/DAC

以下の条件のいずれかが成り立つ場合、ADCのリファレンスは常にオンとなります。

- 1) FBGONビットがリセットレジスタで1に設定されている。
- 2) 少なくとも1つのDAC出力がパワーアップされており、REFSEL[1:0] (セットアップレジスタ内の) = 00である。

- 3) 少なくとも1つのDACが100kΩを介してV_{REF}にパワーダウンされており、REFSEL[1:0] = 00である。

上記条件のいずれかが存在すると、ADCリファレンスは常にオンですが、温度センサが要求に応じて測定を開始する前に188のクロックサイクルの遅延があります。

表5c. クロックモード11

REFSEL1	REFSEL0	VOLTAGE REFERENCE	OVERRIDE CONDITIONS	AUTOSHUTDOWN	REF2 CONFIGURATION
0	0	Internal (DAC and ADC)	AIN	Internal reference turns off after scan is complete. If internal reference is turned off, there is a programmed delay of 218 external conversion clock cycles.	AIN14/AIN6
			Temperature	Internal reference required. There is a programmed delay of 244 external conversion clock cycles for the internal reference. Temperature-sensor output appears at DOUT after 188 further external clock cycles.	
0	1	External single-ended (REF1 for DAC and REF2 for ADC)	AIN	Internal reference not used.	REF2
			Temperature	Internal reference required. There is a programmed delay of 244 external conversion clock cycles for the internal reference. Temperature-sensor output appears at DOUT after 188 further external clock cycles.	
1	0	Internal (ADC) and external REF1 (DAC)	AIN	Default reference mode. Internal reference turns off after scan is complete. If internal reference is turned off, there is a programmed delay of 218 external conversion clock cycles.	AIN14/AIN6
			Temperature	Internal reference required. There is a programmed delay of 244 external conversion clock cycles for the internal reference. Temperature-sensor output appears at DOUT after 188 further external clock cycles.	
1	1	External differential (ADC), external REF1 (DAC)	AIN	Internal reference not used.	REF2
			Temperature	Internal reference required. There is a programmed delay of 244 external conversion clock cycles for the internal reference. Temperature-sensor output appears at DOUT after 188 further external clock cycles.	

表5d. 差動選択モード

DIFFSEL1	DIFFSEL0	FUNCTION
0	0	No data follows the command setup byte. Unipolar-mode and bipolar-mode registers remain unchanged.
0	1	No data follows the command setup byte. Unipolar-mode and bipolar-mode registers remain unchanged.
1	0	1 byte of data follows the command setup byte and is written to the unipolar-mode register.
1	1	1 byte of data follows the command setup byte and is written to the bipolar-mode register.

FIFO、温度検出、およびGPIOポート付き 12ビット、マルチチャネルADC/DAC

表6. ユニポーラモードレジスタ(セットアップレジスタからアドレス指定)

BIT NAME	BIT	FUNCTION
UCH0/1	7 (MSB)	Configure AIN0 and AIN1 for unipolar differential conversion.
UCH2/3	6	Configure AIN2 and AIN3 for unipolar differential conversion.
UCH4/5	5	Configure AIN4 and AIN5 for unipolar differential conversion.
UCH6/7	4	Configure AIN6 and AIN7 for unipolar differential conversion.
UCH8/9	3	Configure AIN8 and AIN9 for unipolar differential conversion.
UCH10/11	2	Configure AIN10 and AIN11 for unipolar differential conversion.
UCH12/13	1	Configure AIN12 and AIN13 for unipolar differential conversion.
UCH14/15	0 (LSB)	Configure AIN14 and AIN15 for unipolar differential conversion.

表7. バイポーラモードレジスタ(セットアップレジスタからアドレス指定)

BIT NAME	BIT	FUNCTION
BCH0/1	7 (MSB)	Set to one to configure AIN0 and AIN1 for bipolar differential conversion. Set the corresponding bits in the unipolar-mode and bipolar-mode registers to zero to configure AIN0 and AIN1 for unipolar single-ended conversion.
BCH2/3	6	Set to one to configure AIN2 and AIN3 for bipolar differential conversion. Set the corresponding bits in the unipolar-mode and bipolar-mode registers to zero to configure AIN2 and AIN3 for unipolar single-ended conversion.
BCH4/5	5	Set to one to configure AIN4 and AIN5 for bipolar differential conversion. Set the corresponding bits in the unipolar-mode and bipolar-mode registers to zero to configure AIN4 and AIN5 for unipolar single-ended conversion.
BCH6/7	4	Set to one to configure AIN6 and AIN7 for bipolar differential conversion. Set the corresponding bits in the unipolar-mode and bipolar-mode registers to zero to configure AIN6 and AIN7 for unipolar single-ended conversion.
BCH8/9	3	Set to one to configure AIN8 and AIN9 for bipolar differential conversion. Set the corresponding bits in the unipolar-mode and bipolar-mode registers to zero to configure AIN8 and AIN9 for unipolar single-ended conversion.
BCH10/11	2	Set to one to configure AIN10 and AIN11 for bipolar differential conversion. Set the corresponding bits in the unipolar-mode and bipolar-mode registers to zero to configure AIN10 and AIN11 for unipolar single-ended conversion.
BCH12/13	1	Set to one to configure AIN12 and AIN13 for bipolar differential conversion. Set the corresponding bits in the unipolar-mode and bipolar-mode registers to zero to configure AIN12 and AIN13 for unipolar single-ended conversion.
BCH14/15	0 (LSB)	Set to one to configure AIN14 and AIN15 for bipolar differential conversion. Set the corresponding bits in the unipolar-mode and bipolar-mode registers to zero to configure AIN14 and AIN15 for unipolar single-ended conversion.

FIFO、温度検出、およびGPIOポート付き 12ビット、マルチチャンネルADC/DAC

ユニポーラ/バイポーラレジスタ

セットアップレジスタの最後の2ビット(LSB)は、ユニポーラ/バイポーラモードアドレスレジスタを制御します。ユニポーラモードレジスタに書き込むためには、DIFFSEL[1:0] = 10を設定してください。バイポーラモードレジスタに書き込むためには、DIFFSEL[1:0] = 11を設定してください。どちらの場合も、セットアップコマンドバイトに続いて、1データバイトをユニポーラモードレジスタまたはバイポーラモードレジスタに書き込む必要があります。 \overline{CS} をローに保持して、 \overline{CS} がハイになる前に16のSCLKサイクルを実行してください。

セットアップレジスタの最後の2ビットが00または01であれば、ユニポーラモードレジスタとバイポーラモード

レジスタのいずれも書き込まれません。後続のバイトは新しいコマンドバイトとして認識されます。ユニポーラおよびバイポーラモードレジスタをプログラムする場合は、表6、7、および8をご覧ください。

両レジスタは、すべてがゼロの状態ではパワーアップし、入力を16個のユニポーラシングルエンドチャンネルとして設定します。チャンネルペアをシングルエンドのユニポーラ、バイポーラ差動、またはユニポーラ差動として設定する場合は、表8をご覧ください。

ユニポーラモードでは、AIN+をAIN-よりも最大で V_{REF} だけ高くすることができます。ユニポーラモードの出力形式は2進です。バイポーラモードでは、いずれか一方の入力を他方の入力よりも最大で $V_{REF}/2$ だけ高くすることができます。バイポーラモードの出力形式は2の補数です(「ADCの伝達関数」の項をご覧ください)。

表8. ユニポーラ/バイポーラチャンネル機能

UNIPOLAR-MODE REGISTER BIT	BIPOLAR-MODE REGISTER BIT	CHANNEL PAIR FUNCTION
0	0	Unipolar single-ended
0	1	Bipolar differential
1	0	Unipolar differential
1	1	Unipolar differential

ADC平均化レジスタ

各々の要求される出力に合わせて最大32サンプルを平均化するようにADCを設定し、単一チャンネルスキャンに合わせて要求される出力数を独立に制御するには、ADC平均化レジスタにコマンドバイトを書き込んでください。

表9. ADC平均化レジスタ*

BIT NAME	BIT	FUNCTION
—	7 (MSB)	Set to zero to select ADC averaging register.
—	6	Set to zero to select ADC averaging register.
—	5	Set to one to select ADC averaging register.
AVGON	4	Set to one to turn averaging on. Set to zero to turn averaging off.
NAV1	3	Configures the number of conversions for single-channel scans.
NAV0	2	Configures the number of conversions for single-channel scans.
NSCAN1	1	Single-channel scan count. (Scan mode 10 only.)
NSCAN0	0 (LSB)	Single-channel scan count. (Scan mode 10 only.)

*ビットの詳細については以下を参照してください。

AVGON	NAV1	NAV0	FUNCTION
0	X	X	Performs one conversion for each requested result.
1	0	0	Performs four conversions and returns the average for each requested result.
1	0	1	Performs eight conversions and returns the average for each requested result.
1	1	0	Performs 16 conversions and returns the average for each requested result.
1	1	1	Performs 32 conversions and returns the average for each requested result.

NSCAN1	NSCAN0	FUNCTION (APPLIES ONLY IF SCAN MODE 10 IS SELECTED)
0	0	Scans channel N and returns four results.
0	1	Scans channel N and returns eight results.
1	0	Scans channel N and returns 12 results.
1	1	Scans channel N and returns 16 results.

FIFO、温度検出、およびGPIOポート付き 12ビット、マルチチャンネルADC/DAC

表9は、ADC変換レジスタで利用可能な4つのスキャンモードの詳細を示します。AVGONビット(平均化レジスタのビット4)が1に設定されている限り、4つのスキャンモードすべてにおいて平均化が可能です。同じチャンネルを複数回スキャンするためには、スキャンモード10を選択してください。クロックモード11は、平均化をディセーブルします。たとえば、AVGON = 1、NAVG[1:0] = 00、NSCAN[1:0] = 11、およびSCAN[1:0] = 10であれば、16の出力がFIFOに書き込まれ、各出力はチャンネルNの4回の変換の平均値となります。

DAC選択レジスタ

DACインタフェースをセットアップして次のワードが後続することを指示するためには、DAC選択レジスタ(表10に示すような)にコマンドバイト0001XXXXを書き込んでください。DAC選択レジスタの最後の4ビットは、任意ビットです。DAC選択レジスタのコマンドバイトに続くワードは、DACのシリアルインタフェースを制御します。表20と「DACのシリアルインタフェース」の項をご覧ください。

表10. DAC選択レジスタ

BIT NAME	BIT	FUNCTION
—	7 (MSB)	Set to zero to select DAC select register.
—	6	Set to zero to select DAC select register.
—	5	Set to zero to select DAC select register.
—	4	Set to one to select DAC select register.
X	3	Don't care.
X	2	Don't care.
X	1	Don't care.
X	0	Don't care.

表11. リセットレジスタ

BIT NAME	BIT	FUNCTION
—	7 (MSB)	Set to zero to select ADC reset register.
—	6	Set to zero to select ADC reset register.
—	5	Set to zero to select ADC reset register.
—	4	Set to zero to select ADC reset register.
—	3	Set to one to select ADC reset register.
RESET	2	Set to zero to clear the FIFO only. Set to one to set the device in its power-on condition.
SLOW	1	Set to one to turn on slow mode.
FBGON	0 (LSB)	Set to one to force internal bias block and bandgap reference to be always powered up.

リセットレジスタ

FIFOをクリアするか、もしくは(DACおよびGPIOレジスタを除き)すべてのレジスタをそのデフォルト状態にリセットするためには、(表11に示すように)リセットレジスタに書き込んでください。リセットレジスタのRESETビットを0に設定すると、FIFOはクリアになります。RESETビットを1に設定すると、すべてのデバイスのレジスタがデフォルトのスタートアップ状態に戻ります。すべてのレジスタは00000000の状態です。スタートアップしますが、セットアップレジスタは例外で、クロックモード10 (CKSEL1 = 1およびREFSEL1 = 1)でスタートアップします。DACおよびGPIOレジスタはリセットレジスタに書き込みをしてもリセットされません。保持時間を延ばすためにDOUT信号経路に15nsの遅延を加えるには、SLOWビットを1に設定してください。また、SLOWビットに1を書き込むと、FIFOの内容がクリアされます。DACの状態とADCブロックの動作とは無関係にバイアスブロックとバンドギャップリファレンスを強制的にパワーアップさせるには、FBGONビットを1に設定してください。また、FBGONビットをハイに設定すると、クロックモード01と11において各変換の間にプログラムされたウェイクアップ遅延が取り消されます。さらに、FBGONビットをハイに設定すると、FIFOがクリアされます。

表12. GPIOコマンドレジスタ

BIT NAME	BIT	FUNCTION
—	7 (MSB)	Set to zero to select GPIO register.
—	6	Set to zero to select GPIO register.
—	5	Set to zero to select GPIO register.
—	4	Set to zero to select GPIO register.
—	3	Set to zero to select GPIO register.
—	2	Set to zero to select GPIO register.
GPIOSEL1	1	GPIO configuration bit.
GPIOSEL2	0 (LSB)	GPIO write bit.

GPIOSEL1	GPIOSEL2	FUNCTION
1	1	GPIO configuration; written data is entered in the GPIO configuration register.
1	0	GPIO write; written data is entered in the GPIO write register.
0	1	GPIO read; the next 8/16 SCLK cycles transfer the state of all GPIO drivers into DOUT.

FIFO、温度検出、およびGPIOポート付き 12ビット、マルチチャンネルADC/DAC

GPIOのコマンド

表12に詳しく示すように、GPIOの設定、書込み、または読取りを行うためには、GPIOコマンドレジスタにコマンドバイトを書き込んでください。

GPIOを設定するためには、コマンドバイト00000011を書き込んでください。コマンドバイトに続く8つのSCLKサイクルで、DINからMAX1220のGPIO設定レジスタにデータがロードされます。コマンドバイトに続く16

のSCLKサイクルで、DINからMAX1257/MAX1258のGPIO設定レジスタにデータがロードされます。表13と14をご覧ください。レジスタビットは、最後のCSの立上りエッジの後で更新されます。パワーアップ時、すべてのGPIOは入力にデフォルト設定されます。

レジスタのデータは、表13~19に示すように、各GPIOの機能を制御します。

表13. MAX1220のGPIOの設定

DATA PIN	GPIO COMMAND BYTE								DATA BYTE							
DIN	0	0	0	0	0	0	1	1	GPIOC1	GPIOC0	GPIOA1	GPIOA0	X	X	X	X
DOUT	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表14. MAX1257/MAX1258のGPIOの設定

DATA PIN	GPIO COMMAND BYTE								DATA BYTE 1								DATA BYTE 2							
DIN	0	0	0	0	0	0	1	1	GPIOC3	GPIOC2	GPIOC1	GPIOC0	GPIOB3	GPIOB2	GPIOB1	GPIOB0	GPIOA3	GPIOA2	GPIOA1	GPIOA0	X	X	X	X
DOUT	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表15. MAX1220のGPIOの書込み

DATA PIN	GPIO COMMAND BYTE								DATA BYTE							
DIN	0	0	0	0	0	0	1	0	GPIOC1	GPIOC0	GPIOA1	GPIOA0	X	X	X	X
DOUT	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表16. MAX1257/MAX1258のGPIOの書込み

DATA PIN	GPIO COMMAND BYTE								DATA BYTE 1								DATA BYTE 2							
DIN	0	0	0	0	0	0	1	0	GPIOC3	GPIOC2	GPIOC1	GPIOC0	GPIOB3	GPIOB2	GPIOB1	GPIOB0	GPIOA3	GPIOA2	GPIOA1	GPIOA0	X	X	X	X
DOUT	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

FIFO、温度検出、およびGPIOポート付き 12ビット、マルチチャネルADC/DAC

GPIOの書込み

GPIOの書込み動作を指示するためには、コマンドバイト00000010を書き込んでください。コマンドバイトに続く8つのSCLKサイクルで、DINからMAX1220のGPIO書込みレジスタにデータがロードされます。コマンドバイトに続く16のSCLKサイクルで、DINからMAX1257/MAX1258のGPIO書込みレジスタにデータがロードされます。表15と16をご覧ください。レジスタビットは、最後のCSの上立リエッジの後に更新されます。

表17. GPIOモード制御

CONFIGURATION BIT	WRITE BIT	OUTPUT STATE	GPIO FUNCTION
1	1	1	Output
1	0	0	Output
0	1	Three-state	Input
0	0	0	Pulldown (open drain)

GPIOの読取り

GPIOの読取り動作を指示するためには、コマンドバイト00000001を書き込んでください。このコマンドバイトに続く8つのSCLKサイクルで、GPIOの状態をMAX1220のDOUTに転送します。このコマンドバイトに続く16のSCLKサイクルで、GPIOの状態をMAX1257/MAX1258のDOUTに転送します。表18と19をご覧ください。

DACのシリアルインタフェース

表1、10、20、および21に詳しく示すように、後続のワードがDACシリアルインタフェースに書き込まれることを指示するためには、コマンドバイト0001XXXXをDAC選択レジスタに書き込んでください。表20と21に示すように、次の16ビットをDACインタフェースレジスタに書き込んでください。CSがハイからローに遷移した後、データはSCLKの各立下リエッジに同期して入力レジスタにシフトインされてラッチされます。各ワードは16ビットです。最初の4ビットは制御ビットで、この後に12データビット(MSB先頭)と2つの任意のサブビットが続きます。DACのタイミング仕様については、図10~12をご覧ください。

表18. MAX1220のGPIOの読取り

DATA PIN	GPIO COMMAND BYTE								DATA BYTE							
DIN	0	0	0	0	0	0	0	1	X	X	X	X	X	X	X	X
DOUT	0	0	0	0	0	0	0	0	0	0	0	0	GPIOC1	GPIOC0	GPIOA1	GPIOA0

表19. MAX1257/MAX1258のGPIOの読取り

DATA PIN	GPIO COMMAND BYTE								DATA BYTE 1								DATA BYTE 2							
DIN	0	0	0	0	0	0	0	1	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
DOUT	0	0	0	0	0	0	0	0	0	0	0	0	GPIOC3	GPIOC2	GPIOC1	GPIOC0	GPIOB3	GPIOB2	GPIOB1	GPIOB0	GPIOA3	GPIOA2	GPIOA1	GPIOA0

FIFO、温度検出、およびGPIOポート付き 12ビット、マルチチャンネルADC/DAC

MAX1220/MAX1257/MAX1258

表20. DACシリアルインタフェースの設定

16-BIT SERIAL WORD																DESCRIPTION	FUNCTION		
MSB												LSB							
CONTROL BITS				DATA BITS															
C3	C2	C1	C0	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0				
0	0	0	0	X	X	X	X	X	X	X	X	X	X	X	X	NOP	No operation.		
0	0	0	1	0	X	0	X	X	X	X	X	X	X	X	X	RESET	Reset all internal registers to 000h and leave output buffers in their present state.		
0	0	0	1	1	X	1	X	X	X	X	X	X	X	X	X	Pull-High	Preset all internal registers to FFFh and leave output buffers in their present state.		
0	0	1	0	—	—	—	—	—	—	—	—	—	—	—	—	DAC0	D11–D0 to input register 0, DAC output unchanged.		
0	0	1	1	—	—	—	—	—	—	—	—	—	—	—	—	DAC1	D11–D0 to input register 1, DAC output unchanged.		
0	1	0	0	—	—	—	—	—	—	—	—	—	—	—	—	DAC2	D11–D0 to input register 2, DAC output unchanged.		
0	1	0	1	—	—	—	—	—	—	—	—	—	—	—	—	DAC3	D11–D0 to input register 3, DAC output unchanged.		
0	1	1	0	—	—	—	—	—	—	—	—	—	—	—	—	DAC4	D11–D0 to input register 4, DAC output unchanged.		
0	1	1	1	—	—	—	—	—	—	—	—	—	—	—	—	DAC5	D11–D0 to input register 5, DAC output unchanged.		
1	0	0	0	—	—	—	—	—	—	—	—	—	—	—	—	DAC6	D11–D0 to input register 6, DAC output unchanged.		
1	0	0	1	—	—	—	—	—	—	—	—	—	—	—	—	DAC7	D11–D0 to input register 7, DAC output unchanged.		
1	0	1	0	—	—	—	—	—	—	—	—	—	—	—	—	DAC0–DAC3	D11–D0 to input registers 0–3 and DAC registers 0–3. DAC outputs updated (write-through).		
1	0	1	1	—	—	—	—	—	—	—	—	—	—	—	—	DAC4–DAC7	D11–D0 to input registers 4–7 and DAC registers 4–7. DAC outputs updated (write-through).		
1	1	0	0	—	—	—	—	—	—	—	—	—	—	—	—	DAC0–DAC7	D11–D0 to input registers 0–7 and DAC registers 0–7. DAC outputs updated (write-through).		
1	1	0	1	—	—	—	—	—	—	—	—	—	—	—	—	DAC0–DAC7	D11–D0 to input registers 0–7. DAC outputs unchanged.		
1	1	1	0	DAC7	DAC6	DAC5	DAC4	DAC3	DAC2	DAC1	DAC0	X	X	X	X	DAC0–DAC7	Input registers to DAC registers indicated by ones, DAC outputs updated, equivalent to software $\overline{\text{LDAC}}$. (No effect on DACs indicated by zeros.)		

FIFO、温度検出、およびGPIOポート付き 12ビット、マルチチャネルADC/DAC

表21. DACのパワーアップとパワーダウンのコマンド

CONTROL BITS				DATA BITS								DESCRIPTION	FUNCTION				
C3	C2	C1	C0	DAC7	DAC6	DAC5	DAC4	DAC3	DAC2	DAC1	DAC0			D3	D2	D1	D0
1	1	1	1	—	—	—	—	—	—	—	—	0	0	1	X	Power-Up	Power up individual DAC buffers indicated by data in DAC0 through DAC7. A one indicates the DAC output is connected and active. A zero does not affect the DAC's present state.
1	1	1	1	—	—	—	—	—	—	—	—	0	1	0	X	Power-Down 1	Power down individual DAC buffers indicated by data in DAC0 through DAC7. A one indicates the DAC output is disconnected and high impedance. A zero does not affect the DAC's present state.
1	1	1	1	—	—	—	—	—	—	—	—	1	0	0	X	Power-Down 2	Power down individual DAC buffers indicated by data in DAC0 through DAC7. A one indicates the DAC output is disconnected and pulled to AGND with a 1kΩ resistor. A zero does not affect the DAC's present state.
1	1	1	1	—	—	—	—	—	—	—	—	0	0	0	X	Power-Down 3	Power down individual DAC buffers indicated by data in DAC0 through DAC7. A one indicates the DAC output is disconnected and pulled to AGND with a 100kΩ resistor. A zero does not affect the DAC's present state.
1	1	1	1	—	—	—	—	—	—	—	—	1	1	1	X	Power-Down 4	Power down individual DAC buffers indicated by data in DAC0 through DAC7. A one indicates the DAC output is disconnected and pulled to REF1 with a 100kΩ resistor. A zero does not affect the DAC's present state.

16のSCLKサイクルが終了する前に \overline{CS} がハイになると、コマンドが破棄されます。新たな転送を開始するためには、 \overline{CS} をもう一度ローに駆動してください。

たとえば、DACシリアルインタフェースのワード11110000と11110100を書き込むと、DAC出力4~7が切断されて強制的にハイインピーダンス状態になります。DAC出力0~3はそれぞれ前の状態を保ちます。

出力データ形式

図6~9は、MAX1220/MAX1257/MAX1258の変換のタイミングを示します。12ビットの変換出力はすべて、4つのゼロ列に続くMSBを先頭とする2バイト形式の出力です。データは、SCLKの立下りエッジでDOUTに現れます。データは、ユニポーラモードでは2進で、バイポーラ

ラモードと温度出力では2の補数です。入力/出力と温度の伝達関数については、図3、4、および5をご覧ください。

ADCの伝達関数

図3は、シングルエンドまたは差動入力に対するユニポーラ伝達関数を示します。図4は、差動入力に対するバイポーラ伝達関数を示します。コードは、連続整数のLSB値間の途中で遷移します。出力コードは2進であり、ユニポーラとバイポーラ動作では1 LSB = $V_{REF1}/4096$ (MAX1257)および1 LSB = $V_{REF1}/4096$ (MAX1220/MAX1258)で、温度測定では1 LSB = +0.125°Cです。バイポーラの真の差動出力と温度センサの出力は2の補数形式ですが、その他はすべて2進形式です。設定の優

FIFO、温度検出、およびGPIOポート付き 12ビット、マルチチャンネルADC/DAC

先順位(ユニポーラまたはバイポーラ)の詳細については、表6、7、および8をご覧ください。

ユニポーラモードでは、AIN+をAIN-よりも最大で V_{REF1} だけ高くすることができます。バイポーラモードでは、いずれか一方の入力を他方の入力よりも最大で $V_{REF1}/2$ だけ高くすることができます。

部分読取りと部分書込み

FIFOへの入力の最初のバイトが部分的に読み取られると(8つ未満のSCLKサイクル後に \overline{CS} はハイになります)、そのバイトの残るビットは失われます。読み出されたデータの次のバイトは次の8ビットを含んでいます。FIFOへの入力の最初のバイトがすべて読み出されても2番目のバイトが一部しか読み出されなければ、そのバイトの残るビットは失われます。FIFOの残るデータは、影響を受けず、 \overline{CS} を再びローにすると4つの先行ビット(通常ゼロ)を無視する限り正常に読み出すことができます。 \overline{EOC} がローになる前に \overline{CS} をローにすると、変換が終了しない場合やFIFOデータが正しくない場合があります。不正な書込み(8つのSCLKサイクルの終了前に \overline{CS} をハイにすることは)は無視され、レジスタは不変の状態を保ちます。

アプリケーション情報

内部タイミングによる収集と \overline{CNVST} を使用した変換

クロックモード00におけるADC変換

クロックモード00では、ウェイクアップ、収集、変換、およびシャットダウンシーケンスが \overline{CNVST} によって開始され、内部発振器を使用して自動的に行われます。出力は、

内部FIFOに加えられて後で読み取られます。コマンドバイト送過後のクロックモード00のタイミングについては、図6をご覧ください。セットアップレジスタのクロックモードのプログラミングに関する詳細については、表5をご覧ください。

\overline{CNVST} を再びハイにする前に、これを40ns以上の間ローに設定することによってスキャンを開始してください。スキャンを開始すると、MAX1220/MAX1257/MAX1258はウェイクアップして要求されたすべてのチャンネルをスキャンし、出力をFIFOに保存してシャットダウンします。スキャンが終了すると、 \overline{EOC} がローになり、出力がFIFOに保存された状態になります。 \overline{CS} をローにする前に \overline{EOC}

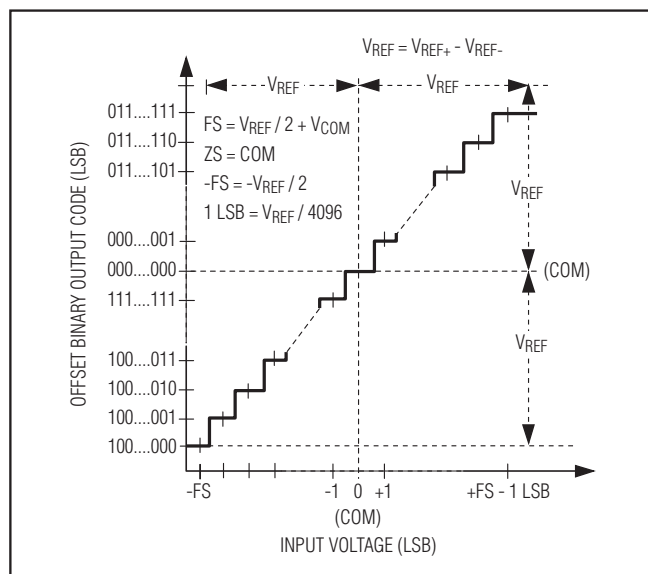


図4. バイポーラ伝達関数—フルスケール($\pm FS$) = $\pm V_{REF}/2$

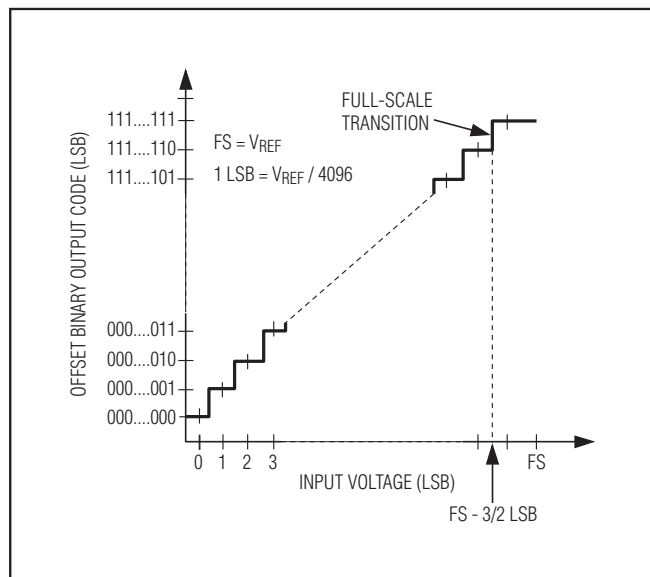


図3. ユニポーラ伝達関数—フルスケール(FS) = V_{REF}

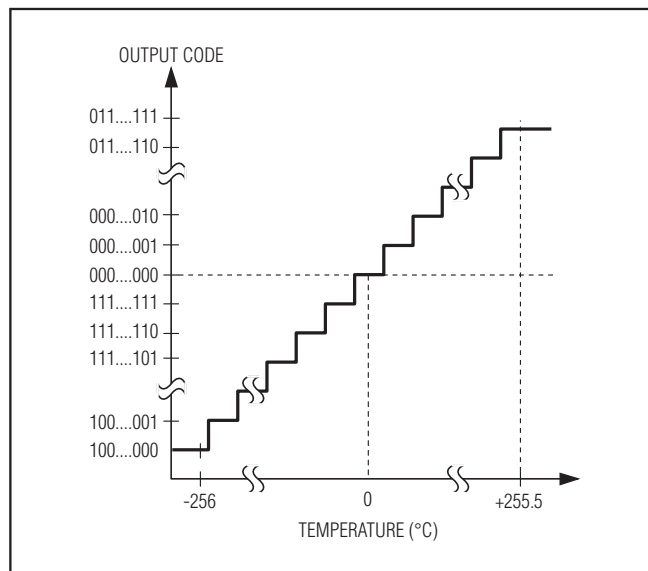


図5. 温度伝達関数

FIFO、温度検出、およびGPIOポート付き 12ビット、マルチチャネルADC/DAC

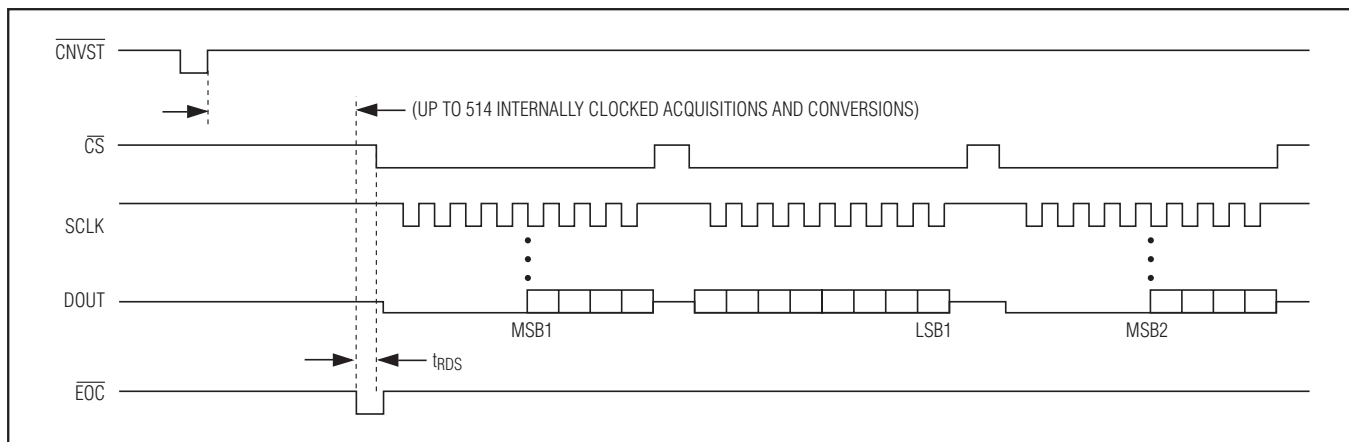


図6. クロックモード00—コマンドバイトを書き込んだ後、変換を開始するまで少なくとも40nsの間CNVSTをローに設定してください。

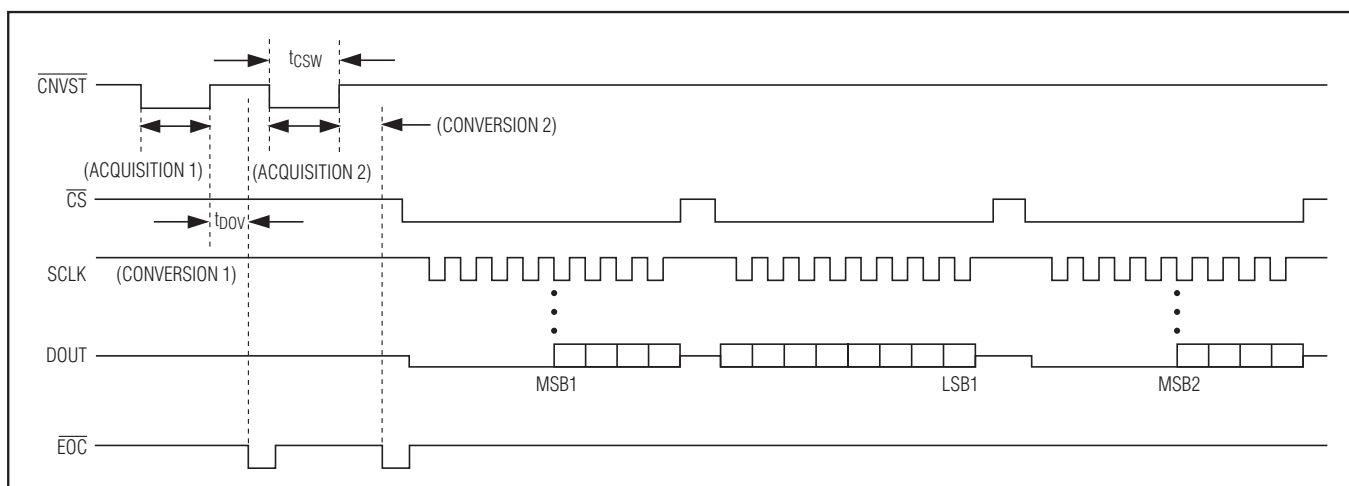


図7. クロックモード01—コマンドバイトを書き込んだ後、複数の変換を行うには、各変換に対してCNVSTをローに設定してください。

がローになるまで待つからシリアルインタフェースと通信してください。CSまたはCNVSTが再びローになるまでEOCはローのままです。温度変換出力が要求される場合は、これが他のすべてのFIFOの出力に優先します。EOCがローになる前に次のCNVST信号を送出しないでください。送出すると、FIFOが破壊することがあります。すべての変換が終了するまで待つからFIFOを読み取ってください。DACとGPIOの両レジスタとのSPI通信は、変換中に行うことができます。しかし、結合ノイズによってADCの信号対雑音比(SNR)が低下する可能性があります。

外部タイミングによる収集とCNVSTを使用した内部タイミングによる変換

クロックモード01におけるADC変換

クロックモード01では、変換はCNVSTを使って一つずつ行う必要があります。内部発振器を用いて自動的に行われます。コマンドバイト送出後のクロックモード01のタイミングについては、図7をご覧ください。

CNVSTをローに設定すると、収集が始まり、ADCがウェイクアップしてトラックモードに入ります。収集を終了するためには、CNVSTを1.4μs以上の間ローに保持してください。リファレンスモード00または10を選択すると、内部リファレンスがパワーアップするのにさらに45μsが必要です。温度測定が要求されている場合、リファレンスのパワーアップと温度測定は内部でタイミングが取られます。この場合、CNVSTを40ns以上の間ローに保持してください。

FIFO、温度検出、およびGPIOポート付き 12ビット、マルチチャンネルADC/DAC

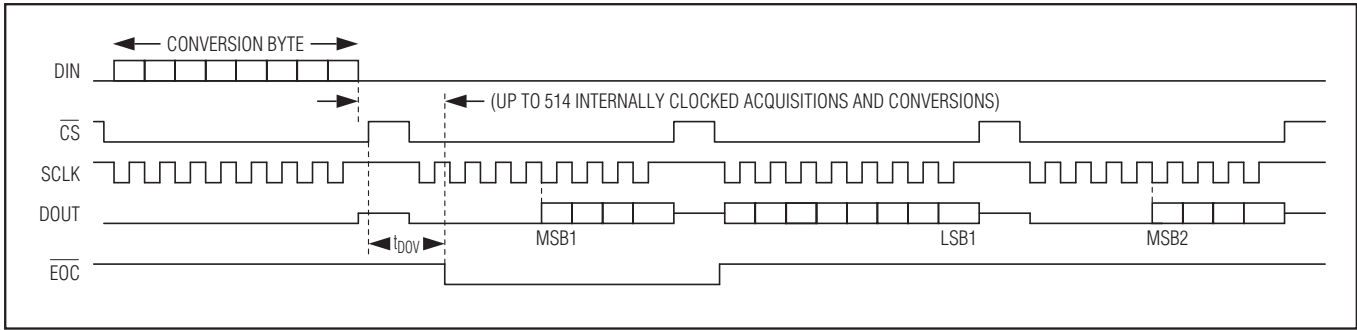


図8. クロックモード10—変換レジスタへのコマンドバイトによって収集が開始します(CNVSTは不要です)。

変換を開始するためには、 $\overline{\text{CNVST}}$ をハイに設定してください。サンプリングは、 $\overline{\text{CNVST}}$ がハイになってから約500ns後に終了します。変換が終了すると、ADCがシャットダウンして $\overline{\text{EOC}}$ がローになります。 $\overline{\text{CS}}$ または $\overline{\text{CNVST}}$ が再びローになるまで、 $\overline{\text{EOC}}$ はローのままです。 $\overline{\text{EOC}}$ がローになるまで待ってから、 $\overline{\text{CS}}$ または $\overline{\text{CNVST}}$ をローにしてください。 $\overline{\text{CNVST}}$ の信号数は、FIFOを正しく更新するためにスキャンと平均化の両レジスタが要求する変換数に等しくなければなりません。すべての変換が終了するまで待ってからFIFOを読み取ってください。DACとGPIOの両レジスタとのSPI通信は、変換中に行うことができます。しかし、結合ノイズによってADCのSNRが低下する可能性があります。

平均化をオンにすると、出力がFIFOに書き込まれる前に複数の $\overline{\text{CNVST}}$ パルスが発生する必要があります。平均化されたFIFO出力を発生するために適正回数の変換(平均化レジスタに対して指定された)を行うと、スキャンロジックはアナログ入力マルチプレクサを次の要求チャンネルに自動的に切り替えます。温度測定をプログラムした場合、変換レジスタに書き込まれたコマンドバイトに続く $\overline{\text{CNVST}}$ の最初の立上りエッジの後、温度測定が行われます。 $\overline{\text{EOC}}$ がローになっていれば、温度変換出力がDOUTに現れます。

内部タイミングによる収集と シリアルインタフェースを使用した変換

クロックモード10におけるADC変換

クロックモード10では、ウェイクアップ、収集、変換、およびシャットダウンシーケンスは、変換レジスタにコマンドバイトを書き込むことによって開始され、内部発振器を使って自動的に行われます。これは、パワーアップ時におけるデフォルトのクロックモードです。クロックモード10のタイミングについては、図8をご覧ください。

変換レジスタにコマンドバイトを書き込むことによってスキャンを開始してください。スキャンを開始すると、MAX1220/MAX1257/MAX1258は、パワーアップして要求されたすべてのチャンネルをスキャンし、出力をFIFOに保存してシャットダウンします。スキャンが終了すると、 $\overline{\text{EOC}}$ がローになり、出力がFIFOに保存された状態になります。温度測定が要求される場合は、温度出力が他のすべてのFIFOの出力に優先します。 $\overline{\text{CS}}$ が再びローになるまで、 $\overline{\text{EOC}}$ はローのままです。すべての変換が終了するまで待ってからFIFOを読み取ってください。DACとGPIOの両レジスタとのSPI通信は、変換中に行うことができます。しかし、結合ノイズによってADCのSNRが低下する可能性があります。

外部クロックによる収集とシリアルインタフェースを使用した変換

クロックモード11におけるADC変換

クロックモード11では、収集と変換は、変換レジスタにコマンドバイトを書き込むことによって開始され、SCLKを変換クロックとして使用して一つずつ行われます。スキャン、平均化、およびFIFOがディセーブルされて、変換出力が変換中にDOUTに出力されます。出力データは、クロックモード11においてSCLKの立上りエッジで更新されます。クロックモード11のタイミングについては、図9aおよび9bをご覧ください。

変換レジスタにコマンドバイト(16のSCLKサイクルが後に続く)を書き込むことによって変換を開始してください。8番目と9番目のサイクルの間に $\overline{\text{CS}}$ がハイのパルスを発生する場合、このパルス幅は100 μs 未満でなければなりません。各変換当たり16サイクルで連続的に変換するためには、各変換バイト間に1バイトのゼロ列(NOPバイト)を挿入してください。2つのNOPバイトが変換バイトの後に続くと、2番目のNOPの最後にアナログセルがパワーダウンします。内部バイアスブロックへの給電を続けるためには、リセットレジスタでFBGONビットを1に設定してください。

FIFO、温度検出、およびGPIOポート付き 12ビット、マルチチャネルADC/DAC

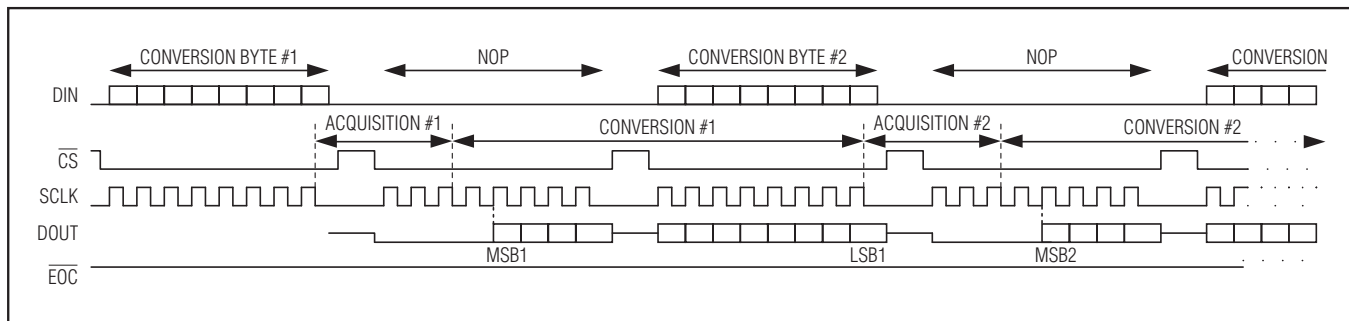


図9a. クロックモード11—最大のADCスループットのために、 \overline{CNVST} を使用しない、外部タイミングによる収集、サンプリング、および変換

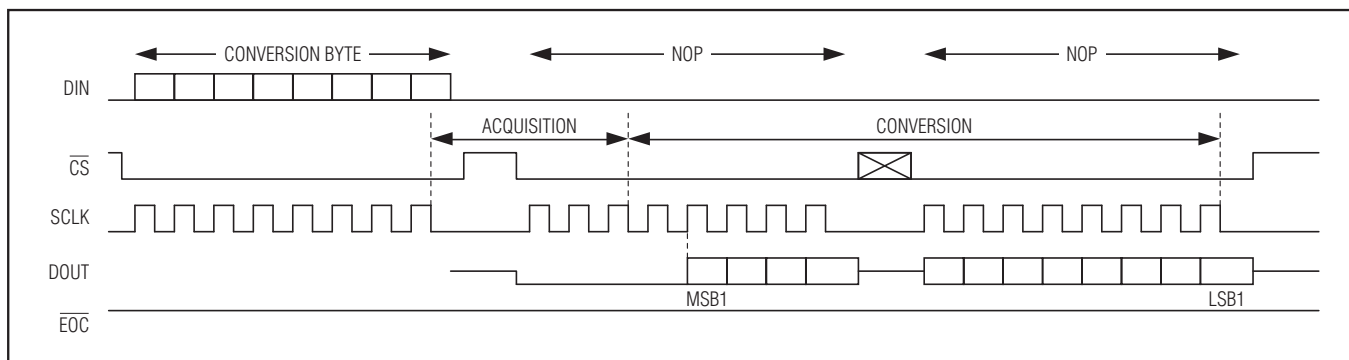


図9b. クロックモード11—アナログ消費電力を抑えるために、 \overline{CNVST} を使用しない、外部タイミングによる収集、サンプリング、および変換

リファレンスモード00が要求される場合、もしくは外部リファレンスが選択されていても温度測定が要求されている場合、収集を延長するためには変換バイトの書込み後 \overline{CS} をハイにして45 μ s待つてから内部リファレンスをパワーアップさせてください。温度を測定するためには、それぞれ \overline{CS} でフレームされた8ビットのNOPコマンドを使って変換バイト後に2バイト(192サイクル)のゼロ列を書き込んでください(出荷試験の方法と合わせるため、他の長さのNOPシーケンスは出荷試験されません)。TEMPビットを変換レジスタで設定して温度変換をクロックモード11で行う場合は、AIN0~AIN15のスキニングは行われません。したがって、CHSEL[3.0]ビットは任意となります。これらのビットは0000bに設定可能です。変換が完了すると温度データだけが利用可能となります。

変換時間の計算

温度測定が要求されさらに外部リファレンスが使用される場合、各スキャンに対する変換時間には、サンプル当たりの変換時間、出力当たりのサンプル数、スキャン当たりの出力数といった様々な要因が関係します。クロックモード00と10における内部タイミングによる変換に要する全変換時間を計算するためには、

次式を使用してください(必要に応じて、「Electrical Characteristics (電気的特性)」をご覧ください)。

全変換時間 =

$$t_{CONV} \times n_{AVG} \times n_{SCAN} + t_{TS} + t_{INT-REF,SU}$$

ここで、

$t_{CONV} = t_{DOV}$ 、ただし、 t_{DOV} は選択されたクロックモードとリファレンスモードに依存します。

n_{AVG} = 出力当たりのサンプル数(平均化の量)

n_{SCAN} = 各チャネルのスキャン回数; [SCAN1, SCAN0] = 10でなければ1に設定してください。

t_{TS} = 温度測定に要する時間(53.1 μ s); 温度測定が要求されていない場合はゼロに設定してください。

$t_{INT-REF,SU} = t_{WU}$ (外部リファレンスウェイクアップ); 外部リファレンスを使用した変換が要求される場合

クロックモード01では、全変換時間は \overline{CNVST} がローまたはハイに保たれている時間に依存します。外部クロックモード(CKSEL1, CKSEL0 = 11)の変換時間は、SCLKの周期と8つのSCLKサイクルの各組間で \overline{CS} がハイに保たれる時間に依存します。クロックモード01では、全変換時間は内部リファレンスをオンにするのに要する時間を含みません。

FIFO、温度検出、およびGPIOポート付き 12ビット、マルチチャネルADC/DAC

MAX1220/MAX1257/MAX1258

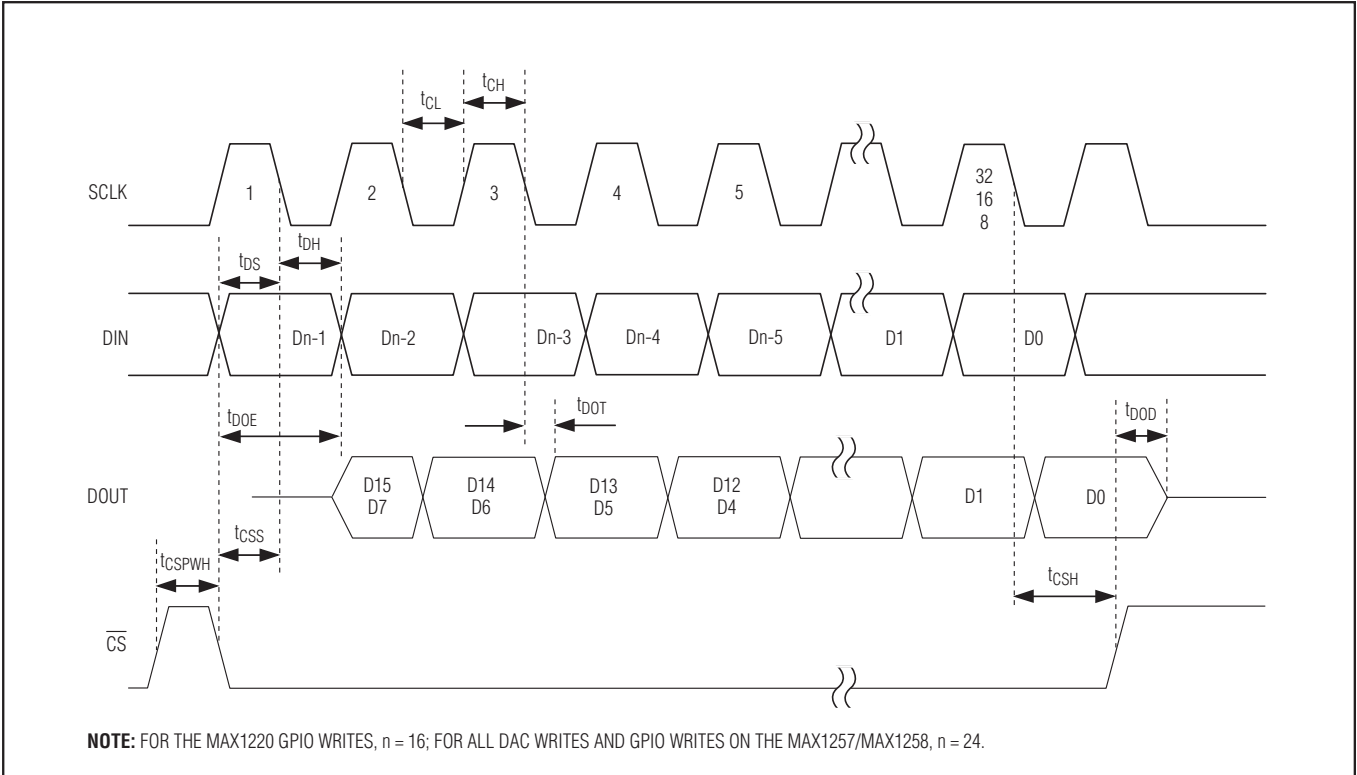


図10. DAC/GPIOシリアルインタフェースのタイミング(クロックモード00、01、および10)

DAC/GPIOのタイミング

図10～13は、DACとGPIOへの書込みに関するタイミング図の詳細を示します。図10は、クロックモード00、01、および10のタイミング仕様を示します。図11は、クロックモード11のタイミング仕様を示します。図12は、DAC入力選択レジスタと後続の2バイトに関するタイミング仕様の詳細を示します。クロックモード11では、出力データ

がSCLKの立上りエッジで更新されます。図13は、GPIOのタイミングを示します。図14は、ハードウェアLDACコマンドによるDACレジスタ更新のタイミングの詳細を示します。ソフトウェアコマンドによるDACレジスタ更新の場合、 t_s はソフトウェアコマンドワードの最終データビットに続くCSの立上りエッジから有効です。

FIFO、温度検出、およびGPIOポート付き 12ビット、マルチチャネルADC/DAC

MAX1220/MAX1257/MAX1258

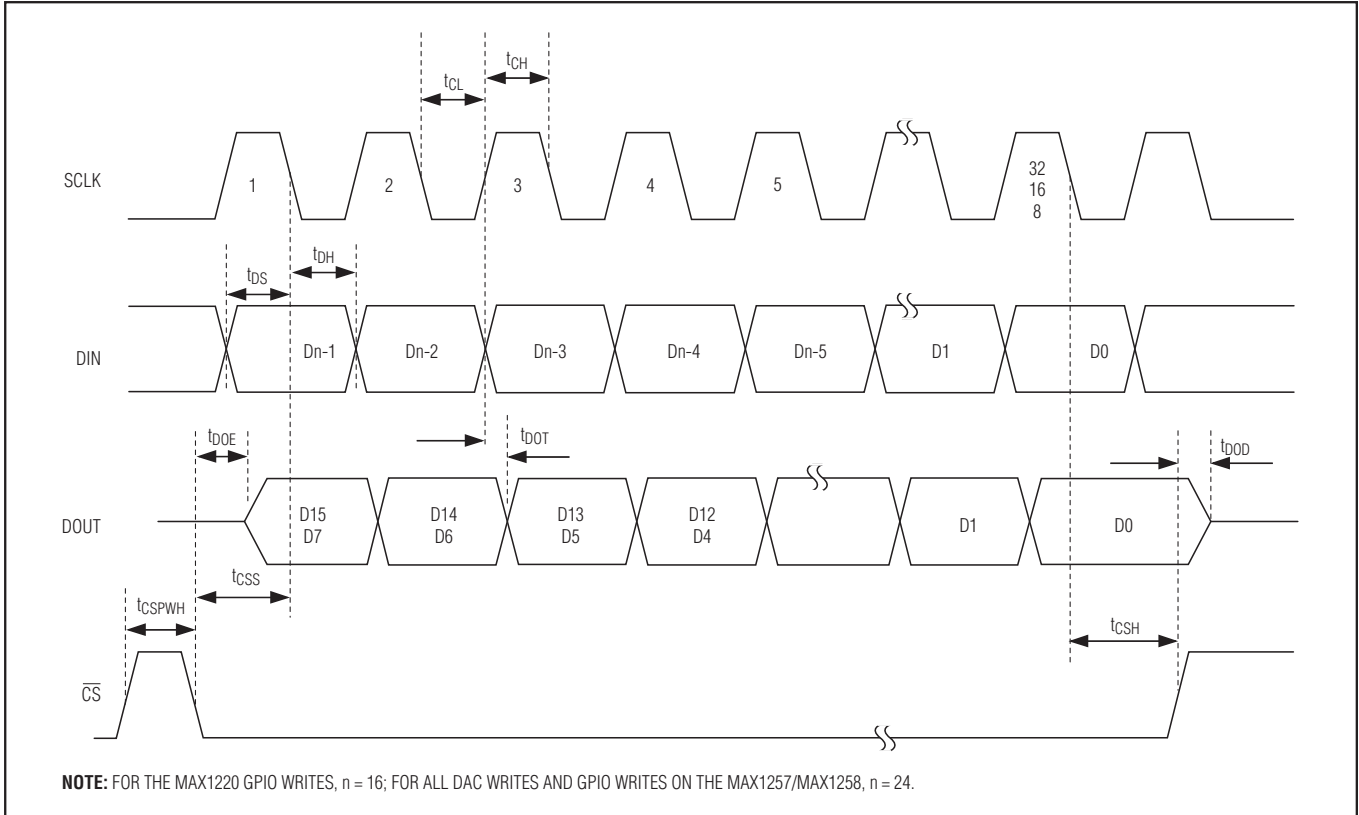


図11. DAC/GPIOシリアルインタフェースのタイミング(クロックモード11)

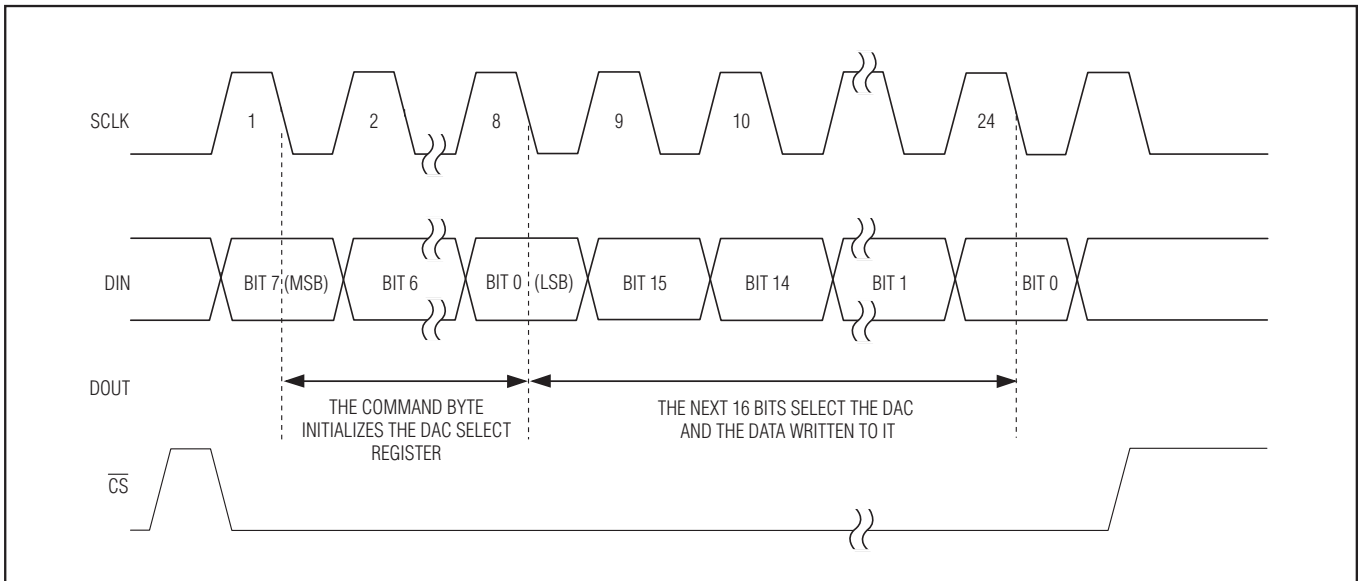


図12. DAC選択レジスタのバイトとDACシリアルインタフェースのワード

FIFO、温度検出、およびGPIOポート付き 12ビット、マルチチャンネルADC/DAC

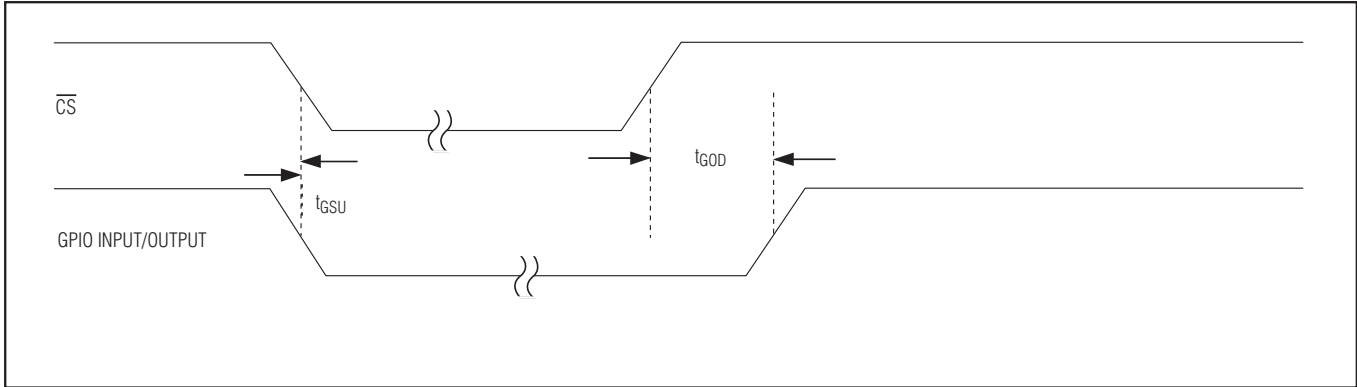


図13. GPIOのタイミング

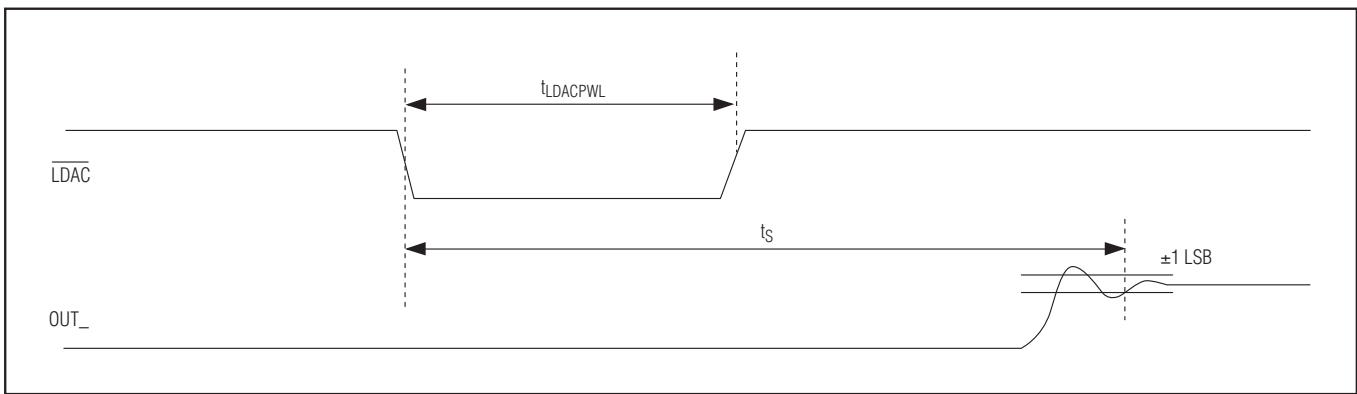


図14. LDACの機能

LDACの機能

入力レジスタの内容をDACレジスタに転送するためには、LDACをローに駆動してください。DACレジスタをトランスペアレントにするためには、LDACを永久にローに駆動してください。通常、DAC出力はゼロからフルスケールまで $2\mu\text{s}$ 後 ± 1 LSB以内にセトリングします。図14をご覧ください。

レイアウト、グラウンド、およびバイパス

最良の性能を得るためには、プリント基板を使用してください。デジタルとアナログの信号線を互いに確実に分離してください。アナログとデジタル信号(特にクロック信号)を互いに平行に走らせたり、デジタルラインをMAX1220/MAX1257/MAX1258パッケージの下に走らせたりしないでください。AV_{DD}電源の高周波ノイズは性能に影響を与えるおそれがあります。AV_{DD}電源を0.1 μF のコンデンサでAV_{DD}ピンの近くでAGNDにバイパスしてください。DV_{DD}電源を0.1 μF のコンデンサでDV_{DD}ピンの近くでDGNDにバイパスしてください。最良の電源ノイズ除去比を得るために、コンデンサのリード長はできる限り短くしてください。電源のノイズが非常に大きい場合は、電源と直列に10 Ω の抵抗器を接続して電源のフィルタ効果を高めてください。

MAX1220/MAX1257/MAX1258のTQFNパッケージの下側にエクスポーズドパッドがあります。このエクスポーズドパッドをAGNDに接続してください。適切なレイアウトの例については、MAX1258EVKITを参照してください。

定義

積分非直線性(Integral Nonlinearity)

積分非直線性(INL)は、実際の伝達関数上の値の直線からのずれです。この直線は、オフセットとゲインエラーをゼロにした後の一次回帰直線または伝達関数の両端点を結んだ直線のいずれかです。MAX1220/MAX1257/MAX1258のINLは、端点間法を使用して測定します。

微分非直線性(Differential Nonlinearity)

微分非直線性(DNL)は、実際のステップ幅と1 LSBの理想値の差です。1 LSB以下のDNL誤差の仕様は、ミッシングコードのない単調伝達関数を保証するものです。

FIFO、温度検出、およびGPIOポート付き 12ビット、マルチチャネルADC/DAC

ユニポーラADCのオフセット誤差 (Unipolar ADC Offset Error)

理想的なコンバータでは、最初の遷移がゼロよりも上の0.5 LSBで起こります。オフセット誤差は、最初の測定遷移点と理想的な最初の遷移点のずれの大きさです。

バイポーラADCのオフセット誤差 (Bipolar ADC Offset Error)

バイポーラモードにあるADCの理想的なミッドスケール遷移はAGND -0.5 LSBで起こります。バイポーラオフセット誤差は、この理想値からの測定値のずれです。

ADCの利得誤差(ADC Gain Error)

利得誤差は、オフセット誤差を排除しフルスケールアナログ入力電圧をADCに印加してDOUTのすべてに1を出力したときの理想的な伝達関数と測定伝達関数の差の大きさとして定義されます。

DACのオフセット誤差(DAC Offset Error)

DACのオフセット誤差は、DACにすべてゼロのコードをロードし、アナログ出力電圧を測定することによって決定されます。

DACの利得誤差(DAC Gain Error)

DACの利得誤差は、オフセット誤差を排除しDACにすべて1のコードをロードしたときの理想的な伝達関数と測定伝達関数の差の大きさとして定義されます。

アパーチャジッタ(Aperture Jitter)

アパーチャジッタ(t_{AJ})は、各サンプル間の時間間隔の変動です。

アパーチャ遅延(Aperture Delay)

アパーチャ遅延(t_{AD})は、サンプリングクロックの立上りエッジから実際のサンプリングが行われる瞬間までの時間です。

信号対雑音比(Signal-to-Noise Ratio)

デジタルサンプルから完全に再現される波形の場合、信号対雑音比(SNR)はフルスケールアナログ入力(RMS値)とRMS量子化誤差(残留誤差)の比です。理想的で理論的な最小のアナログ-デジタル変換雑音は、量子化誤差によってのみ生じるもので、ADCの分解能(Nビット)から次式によって直接求められます。

$$SNR = (6.02 \times N + 1.76) \text{dB}$$

実際には、量子化雑音以外に、熱雑音、リファレンス雑音、クロックジッタなどの雑音源があります。したがって、SNRは、RMS信号とRMS雑音の比をとることによって求められます。RMS雑音には、ナイキスト周波数までの全スペクトル成分から基本波を差し引いた成分、最初の5つの高調波成分、およびDCオフセットが含まれます。

信号対ノイズ + 歪み (Signal-to-Noise Plus Distortion)

信号対ノイズ + 歪み(SINAD)は、基本入力周波数のRMS振幅とその他すべてのADC出力信号のRMS振幅との比です。

$$SINAD(\text{dB}) = 20 \times \log(\text{Signal}_{\text{RMS}} / \text{Noise}_{\text{RMS}})$$

有効ビット数(Effective Number of Bits)

有効ビット数(ENOB)は、特定の入力周波数とサンプリングレートにおけるADCの総合的な精度を表わします。理想的なADCの誤差は、量子化雑音のみから成ります。ADCのフルスケールレンジに等しい入力範囲で、ENOBを次式から計算します。

$$ENOB = (SINAD - 1.76) / 6.02$$

全高調波歪み(Total Harmonic Distortion)

全高調波歪み(THD)は、入力信号に含まれる最初の5つの高調波のRMS合計と基本波そのものとの比です。これは、次式で表わされます。

$$THD = 20 \times \log\left[\frac{\sqrt{(V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2)}}{V_1}\right]$$

ここで、 V_1 は基本波の振幅で、 $V_2 \sim V_6$ は最初の5つの高調波の振幅です。

スプリアスフリーダイナミックレンジ (Spurious-Free Dynamic Range)

スプリアスフリーダイナミックレンジ(SFDR)は、基本波(最大信号成分)のRMS振幅と2番目に大きい歪み成分のRMS値との比です。

ADCのチャンネル間クロストーク (ADC Channel-to-Channel Crosstalk)

オンチャンネルをミッドスケールまでバイアスしてください。フルスケール正弦波試験トーンをすべてのオフチャンネルに適用してください。オンチャンネルのFFTを行ってください。ADCのチャンネル間クロストークは、オフチャンネル試験トーンに関係する周波数におけるFFTの駆動信号の振幅としてdB単位で表わされます。

相互変調歪み(Intermodulation Distortion : IMD)

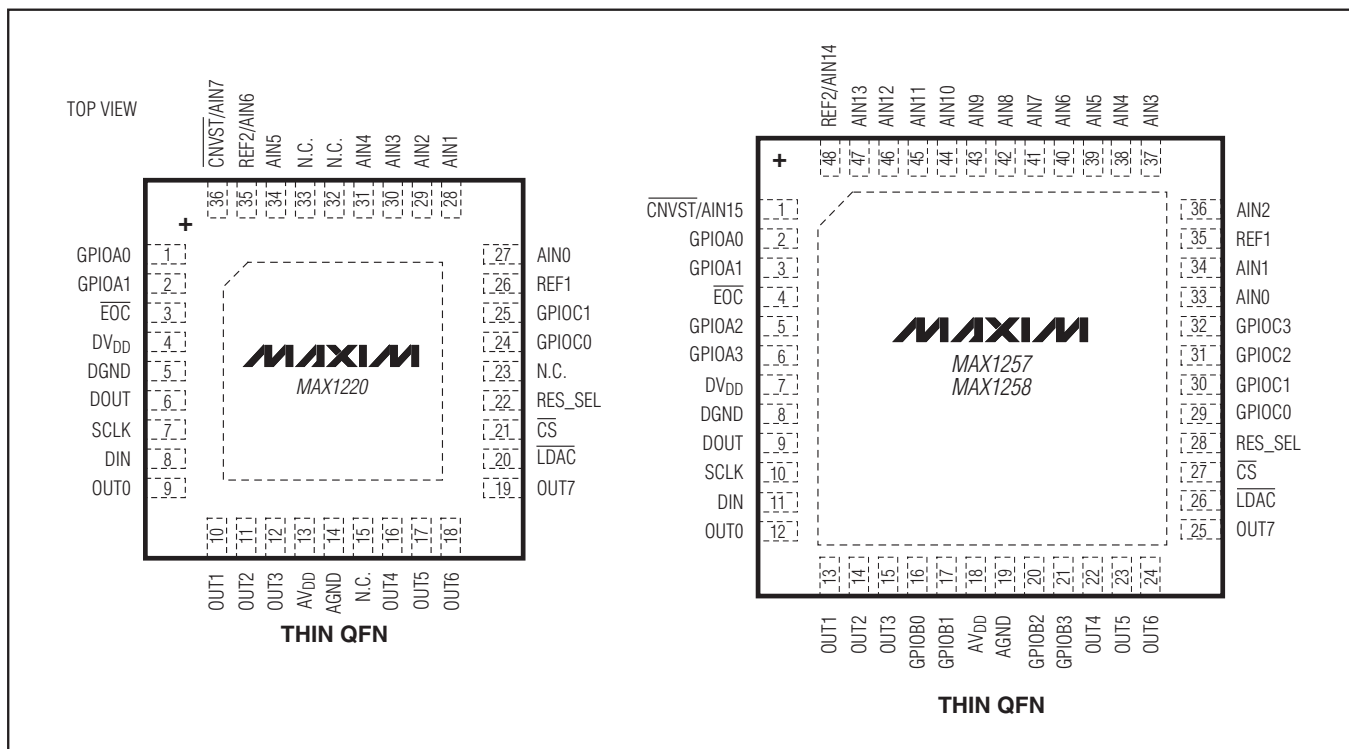
IMDは、入力に2種類のトーン f_1 と f_2 が存在するときの全入力パワーに対する相互変調積の全パワーです。相互変調積は、 $(f_1 \pm f_2)$ 、 $(2 \times f_1)$ 、 $(2 \times f_2)$ 、 $(2 \times f_1 \pm f_2)$ 、 $(2 \times f_2 \pm f_1)$ です。各入力トーンレベルは、-7dBFSとします。

小信号帯域幅(Small-Signal Bandwidth)

信号のスルーレートがADCの性能を制限しないように、小さい-20dBFSのアナログ入力信号をADCに印加します。つぎに、デジタル化された変換出力の振幅が-3dBだけ減少するポイントまで入力周波数を掃引します。通常、T/H性能は小信号入力帯域幅の制限要因となります。

FIFO、温度検出、およびGPIOポート付き 12ビット、マルチチャンネルADC/DAC

ピン配置



フルパワー帯域幅(Full-Power Bandwidth)

大きい-0.5dBFSのアナログ入力信号をADCに印加して、デジタル化された変換出力の振幅が-3dBだけ減少するポイントまで入力周波数を掃引します。このポイントがフルパワー入力帯域幅周波数として定義されます。

DACのデジタルフィードスルー (DAC Digital Feedthrough)

DACのデジタルフィードスルーは、DACのデジタル制御ラインがトグルされたとき、DAC出力に現れるノイズの大きさです。

ADCの電源電圧除去 (ADC Power-Supply Rejection)

ADCの電源電圧除去(PSR)は、電源を最小動作電圧から最大動作電圧まで変化させたときのオフセット誤差の変動として定義されます。

DACの電源電圧除去 (DAC Power-Supply Rejection)

DACのPSRは、電源電圧がその公称値から変化するときのフルスケールにおけるコンバータの変化の大きさです。PSRは、コンバータの直線性が電源電圧の変化によって影響されないことを前提としています。

チップ情報

TRANSISTOR COUNT: 58,141

PROCESS: BiCMOS

パッケージ

最新のパッケージ図面情報およびランドパターンは、japan.maxim-ic.com/packagesを参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なる点がある点に注意してください。

パッケージタイプ	パッケージコード	ドキュメントNo.
36 TQFN-EP	T3666+3	21-0141
48 TQFN-EP	T4877+6	21-0144

FIFO、温度検出、およびGPIOポート付き 12ビット、マルチチャネルADC/DAC

MAX1220/MAX1257/MAX1258

改訂履歴

版数	改訂日	説明	改訂ページ
5	12/07	タイミング特性の使用を変更	7
6	1/10	「型番」の表を変更し、鉛(Pb)フリーパッケージを表示	1
		「Electrical Characteristics」の表の t_{DOV} の仕様に対してNote 18を追加	7, 8
		表1に「ADDITIONAL NO. OF BYTES (追加バイト数)」の列を追加	20
		図8を訂正、図9を図9aと9bに置き換え、および図10および11を変更	36-39
		「クロックモード11におけるADC変換」を更新	36

マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

Maximは完全にMaxim製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maximは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 43