

# ブロードバンドアプリケーション用、 1.8V、低電力、12ビット、250Mps ADC

## 概要

MAX1215Nは、300MHzを超える高いIF周波数において極めて優れたダイナミック性能を発揮するように最適化された12ビット、250Mpsのモノリシック、アナログ-デジタルコンバータ(ADC)です。この製品は、消費電力がわずか886mWながら、最高250Mpsの変換レートで動作します。

250Mpsのサンプリングと100MHzの入力周波数において、MAX1215Nは84.7dBcのスプリアスフリーダイナミックレンジ(SFDR)を実現し、最高250MHzまでの入力トーンに対して平坦な(2dB以内) 66.7dBの優れた信号対ノイズ比(SNR)を提供します。このため、MAX1215Nは、通信レシーバ、ケーブルヘッドエンドレシーバ、および携帯基地局トランシーバ(BTS)のプリアンププレディストーションなど、広帯域アプリケーションに最適です。

MAX1215Nは1.8Vの単一電源で動作します。アナログ入力は、AC結合の差動またはシングルエンド動作用に設計されています。また、このADCは選択可能な2分周クロック回路を内蔵しているため、最高500MHzまでのクロック周波数を使用することができます。最適な性能を得るためには、低電圧差動信号(LVDS)のサンプリングクロックが推奨されます。このコンバータのデジタル出力はLVDS対応であり、2の補数またはオフセットバイナリのいずれかのデータ形式を選択することができます。

MAX1215Nは、エクスポーズドパッド(EP)付き68ピンQFNパッケージで提供され、工業用温度範囲(-40°C ~ +85°C)での動作が保証されています。

このファミリの8ビット、10ビット、および12ビットの高速ADCの全構成については、「ピンコンパチブルバージョン」表を参照してください。

## アプリケーション

- 基地局プリアンプ線形化
- ケーブルヘッドエンドレシーバ
- ワイヤレスおよび有線ブロードバンド通信
- 通信テスト機器
- レーダおよび衛星サブシステム

ピン配置はデータシートの最後に記載されています。

## 特長

- ◆ 変換レート：250Mps
- ◆ 優れた低ノイズ特性
  - SNR = 66.7dB ( $f_{IN} = 100\text{MHz}$ において)
  - SNR = 65.6dB ( $f_{IN} = 250\text{MHz}$ において)
- ◆ 優れたダイナミックレンジ
  - SFDR = 84.7dBc ( $f_{IN} = 100\text{MHz}$ において)
  - SFDR = 80dBc ( $f_{IN} = 250\text{MHz}$ において)
- ◆ 単一電源：1.8V
- ◆ 消費電力：886mW ( $f_{SAMPLE} = 250\text{Mps}$ および  $f_{IN} = 100\text{MHz}$ において)
- ◆ トラック/ホールドアンプを搭載
- ◆ 1.25Vバンドギャップリファレンスを内蔵
- ◆ 選択可能な2分周クロック入力を搭載
- ◆ データクロック出力付きLVDSデジタル出力
- ◆ MAX1215NEVKIT入手可能

## 型番

PART	TEMP RANGE	PIN-PACKAGE	PKG CODE
MAX1215NEGK-D	-40°C to +85°C	68 QFN-EP*	G6800-4
MAX1215NEGK+D	-40°C to +85°C	68 QFN-EP*	G6800-4

\*EP = エクスポーズドパッド  
+は鉛フリーパッケージを示します。  
D = ドライパック

## ピンコンパチブルバージョン

PART	RESOLUTION (BITS)	SPEED GRADE (Mps)	ON-CHIP BUFFER
MAX1121	8	250	Yes
MAX1122	10	170	Yes
MAX1123	10	210	Yes
MAX1124	10	250	Yes
MAX1213	12	170	Yes
MAX1214	12	210	Yes
MAX1215	12	250	Yes
MAX1213N	12	170	No
MAX1214N	12	210	No
MAX1215N	12	250	No

# ブロードバンドアプリケーション用、 1.8V、低電力、12ビット、250MSPS ADC

MAX1215N

## ABSOLUTE MAXIMUM RATINGS

AV <sub>CC</sub> to AGND	-0.3V to +2.1V	ESD on All Pins (Human Body Model)	±2000V
OV <sub>CC</sub> to OGND	-0.3V to +2.1V	Current into Any Pin	±50mA
AV <sub>CC</sub> to OV <sub>CC</sub>	-0.3V to +2.1V	Continuous Power Dissipation (T <sub>A</sub> = +70°C, multilayer board)	
AGND to OGND	-0.3V to +0.3V	68-Pin QFN-EP (derate 41.7mW/°C above +70°C)	3333mW
Analog Inputs to AGND	-0.3V to (AV <sub>CC</sub> + 0.3V)	Operating Temperature Range	-40°C to +85°C
All Digital Inputs to AGND	-0.3V to (AV <sub>CC</sub> + 0.3V)	Junction Temperature	+150°C
REFIO, REFADJ to AGND	-0.3V to (AV <sub>CC</sub> + 0.3V)	Storage Temperature Range	-60°C to +150°C
All Digital Outputs to OGND	-0.3V to (OV <sub>CC</sub> + 0.3V)	Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(AV<sub>CC</sub> = OV<sub>CC</sub> = 1.8V, AGND = OGND = 0, f<sub>SAMPLE</sub> = 250MHz, differential clock input drive, 0.1µF capacitor on REFIO, internal reference, digital output pins differential R<sub>L</sub> = 100Ω. Limits are for T<sub>A</sub> = -40°C to +85°C, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>DC ACCURACY</b>						
Resolution			12			Bits
Integral Nonlinearity (Note 2)	INL	f <sub>IN</sub> = 10MHz	-3	±0.8	+3	LSB
Differential Nonlinearity (Note 2)	DNL	No missing codes	-1.0	±0.4	+1.3	LSB
Transfer Curve Offset	V <sub>OS</sub>	(Note 2)	-3.5		+3.5	mV
Offset Temperature Drift				±20		µV/°C
<b>ANALOG INPUTS (INP, INN)</b>						
Full-Scale Input Voltage Range	V <sub>FS</sub>		1250	1385		mV <sub>P-P</sub>
Full-Scale Range Temperature Drift				±60		ppm/°C
Common-Mode Input Voltage	V <sub>CM</sub>	Internally self-biased		0.7		V
Differential Input Capacitance	C <sub>IN</sub>			2.5		pF
Differential Input Resistance	R <sub>IN</sub>			1.8		kΩ
Full-Power Analog Bandwidth	FPBW			700		MHz
<b>REFERENCE (REFIO, REFADJ)</b>						
Reference Output Voltage	V <sub>REFIO</sub>	REFADJ = AGND	1.18	1.25	1.30	V
Reference Temperature Drift				90		ppm/°C
REFADJ Input High Voltage	V <sub>REFADJ</sub>	Used to disable the internal reference	AV <sub>CC</sub> - 0.3			V
<b>SAMPLING CHARACTERISTICS</b>						
Maximum Sampling Rate	f <sub>SAMPLE</sub>		250			MHz
Minimum Sampling Rate	f <sub>SAMPLE</sub>			20		MHz
Clock Duty Cycle		Set by clock-management circuit		40 to 60		%
Aperture Delay	t <sub>AD</sub>	Figures 5, 11		620		ps
Aperture Jitter	t <sub>AJ</sub>	Figure 11		0.15		ps <sub>RMS</sub>

# ブロードバンドアプリケーション用、 1.8V、低電力、12ビット、250Msps ADC

MAX1215N

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{CC} = OV_{CC} = 1.8V$ ,  $AGND = OGND = 0$ ,  $f_{SAMPLE} = 250MHz$ , differential clock input drive,  $0.1\mu F$  capacitor on REFIO, internal reference, digital output pins differential  $R_L = 100\Omega$ . Limits are for  $T_A = -40^\circ C$  to  $+85^\circ C$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>CLOCK INPUTS (CLKP, CLKN)</b>						
Differential Clock Input Amplitude		(Note 3)	200	500		mV <sub>P-P</sub>
Clock Input Common-Mode Voltage Range		Internally self-biased		1.15 ±0.25		V
Clock Differential Input Resistance	$R_{CLK}$			11 ±25%		k $\Omega$
Clock Differential Input Capacitance	$C_{CLK}$			5		pF
<b>DYNAMIC CHARACTERISTICS (at <math>A_{IN} = -1dBFS</math>)</b>						
Signal-to-Noise Ratio	SNR	$f_{IN} = 10MHz$	64.5	67		dB
		$f_{IN} = 100MHz$	64.3	66.7		
		$f_{IN} = 200MHz$		66.1		
		$f_{IN} = 250MHz$		65.6		
Signal-to-Noise and Distortion	SINAD	$f_{IN} = 10MHz$	63.5	66.8		dB
		$f_{IN} = 100MHz$	63.3	66.4		
		$f_{IN} = 200MHz$		65.9		
		$f_{IN} = 250MHz$		65.4		
Spurious-Free Dynamic Range	SFDR	$f_{IN} = 10MHz$	70	86		dBc
		$f_{IN} = 100MHz$	70	84.7		
		$f_{IN} = 200MHz$		83.4		
		$f_{IN} = 250MHz$		80		
Worst Harmonics (HD2 or HD3)		$f_{IN} = 10MHz$		-86	-70	dBc
		$f_{IN} = 100MHz$		-84.7	-70	
		$f_{IN} = 200MHz$		-83.4		
		$f_{IN} = 250MHz$		-80		
Two-Tone Intermodulation Distortion	TTIMD	$f_{IN1} = 99MHz$ at $A_{IN1} = -7dBFS$ , $f_{IN2} = 101MHz$ at $A_{IN2} = -7dBFS$		-86.9		dBc
<b>LVDS DIGITAL OUTPUTS (D0P/N–D11P/N, ORP/N)</b>						
Differential Output Voltage	$ V_{OD} $	$R_L = 100\Omega$	280		440	mV
Output Offset Voltage	$OV_{OS}$	$R_L = 100\Omega$	1.11		1.37	V

# ブロードバンドアプリケーション用、 1.8V、低電力、12ビット、250Msps ADC

MAX1215N

## ELECTRICAL CHARACTERISTICS (continued)

( $AV_{CC} = OV_{CC} = 1.8V$ ,  $AGND = OGND = 0$ ,  $f_{SAMPLE} = 250MHz$ , differential clock input drive,  $0.1\mu F$  capacitor on REFIO, internal reference, digital output pins differential  $R_L = 100\Omega$ . Limits are for  $T_A = -40^\circ C$  to  $+85^\circ C$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>LVC MOS DIGITAL INPUTS (CLKDIV, <math>\bar{T}/B</math>)</b>						
Digital Input-Voltage Low	$V_{IL}$			$0.2 \times AV_{CC}$		V
Digital Input-Voltage High	$V_{IH}$		$0.8 \times AV_{CC}$			V
<b>TIMING CHARACTERISTICS</b>						
CLK-to-Data Propagation Delay	$t_{PDL}$	Figure 5		2.23		ns
CLK-to-DCLK Propagation Delay	$t_{CPDL}$	Figure 5		3.77		ns
DCLK-to-Data Propagation Delay	$t_{CPDL} - t_{PDL}$	Figure 5 (Note 3)	1.47	1.54	1.63	ns
LVDS Output Rise Time	$t_{RISE}$	20% to 80%, $C_L = 5pF$		155		ps
LVDS Output Fall Time	$t_{FALL}$	20% to 80%, $C_L = 5pF$		145		ps
Output Data Pipeline Delay	$t_{LATENCY}$	Figure 5		11		Clock cycles
<b>POWER REQUIREMENTS</b>						
Analog Supply Voltage Range	$AV_{CC}$		1.7	1.8	1.9	V
Digital Supply Voltage Range	$OV_{CC}$		1.7	1.8	1.9	V
Analog Supply Current	$I_{AVCC}$	$f_{IN} = 100MHz$		428	480	mA
Digital Supply Current	$I_{OVCC}$	$f_{IN} = 100MHz$		64	74	mA
Analog Power Dissipation	$P_{DISS}$	$f_{IN} = 100MHz$		886	965	mW
Power-Supply Rejection Ratio (Note 4)	PSRR	Offset		1.7		mV/V
		Gain		4.5		%FS/V

**Note 1:**  $T_A \geq +25^\circ C$  guaranteed by production test,  $T_A < +25^\circ C$  guaranteed by design and characterization. Typical values are at  $T_A = +25^\circ C$

**Note 2:** Static linearity and offset parameters are computed from an endpoint curve fit.

**Note 3:** Parameter guaranteed by design and characterization:  $T_A = -40^\circ C$  to  $+85^\circ C$ .

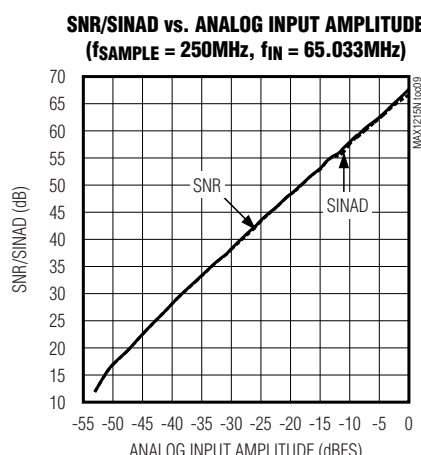
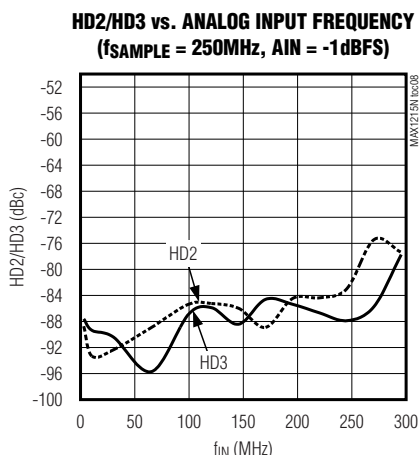
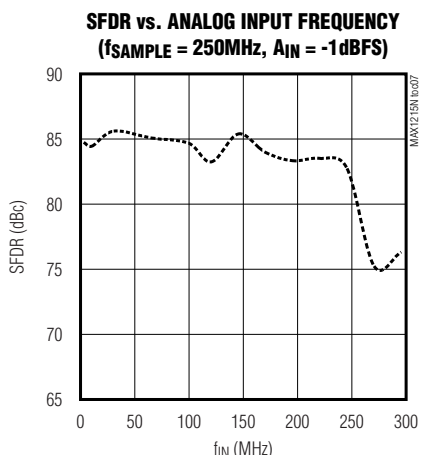
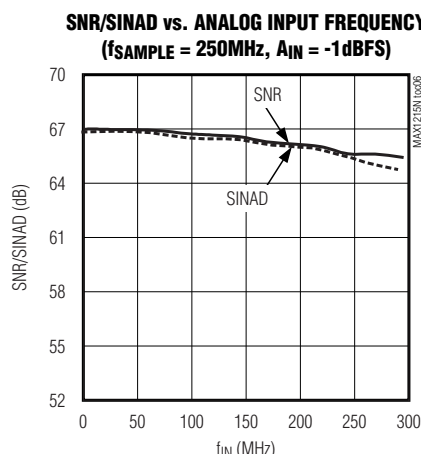
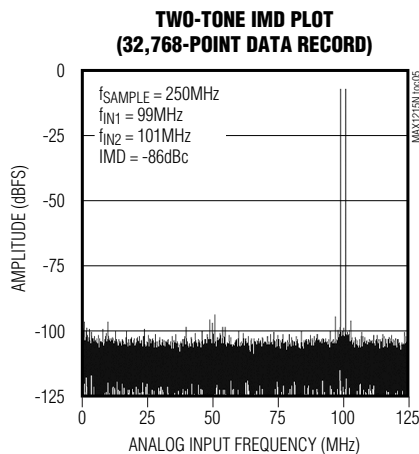
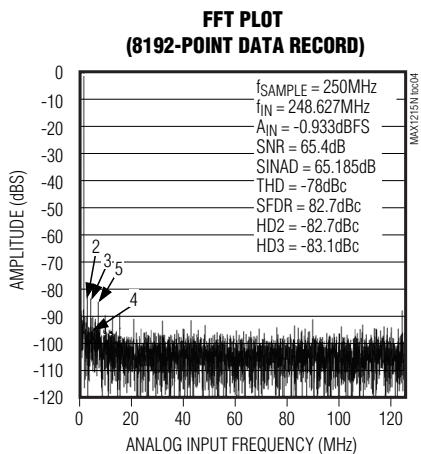
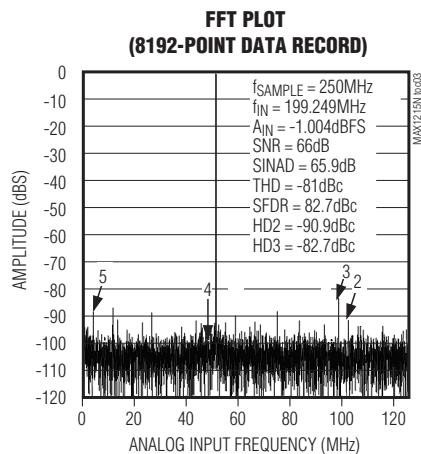
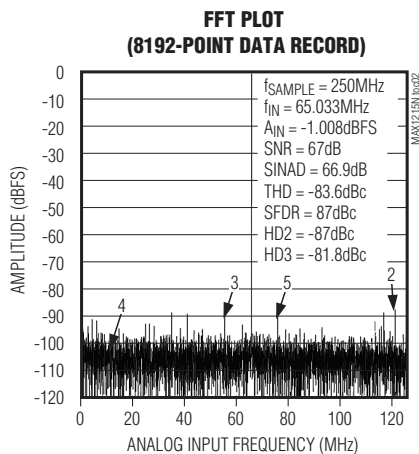
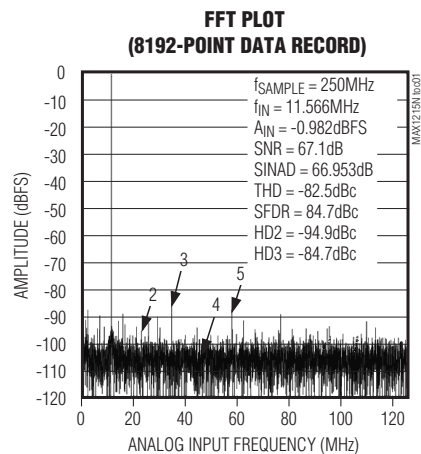
**Note 4:** PSRR is measured with both analog and digital supplies connected to the same potential.

# ブロードバンドアプリケーション用、 1.8V、低電力、12ビット、250Mps ADC

MAX1215N

## 標準動作特性

( $AV_{CC} = OV_{CC} = 1.8V$ ,  $AGND = OGND = 0$ ,  $f_{SAMPLE} = 250MHz$ ,  $A_{IN} = -1dBFS$ , see each TOC for detailed information on test conditions, differential input drive, differential sine-wave clock input drive, 0.1 $\mu F$  capacitor on REFIO, internal reference, digital output pins differential  $R_L = 100\Omega$ ,  $T_A = +25^{\circ}C$ .)

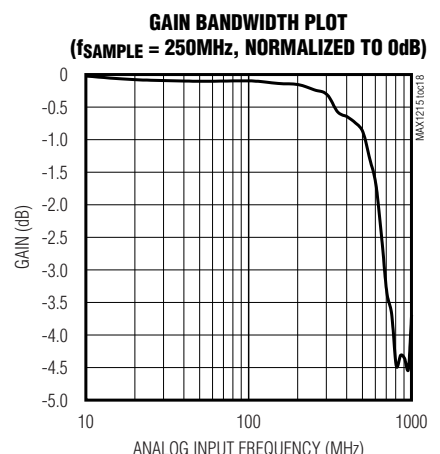
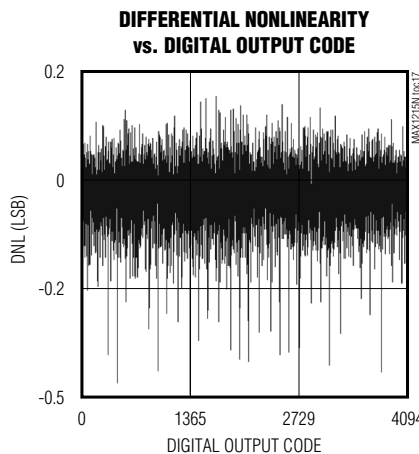
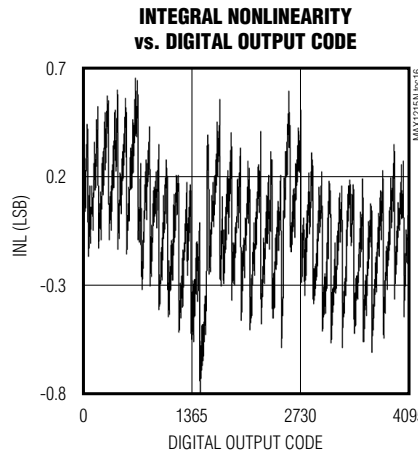
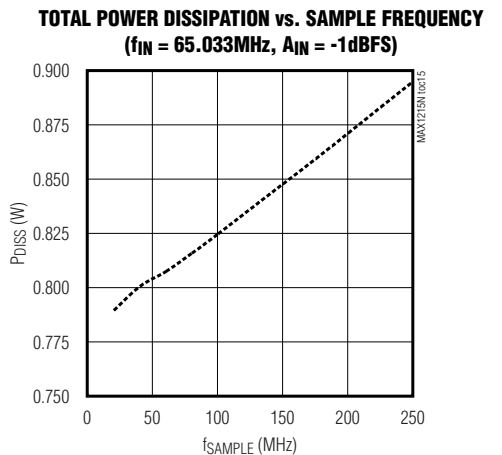
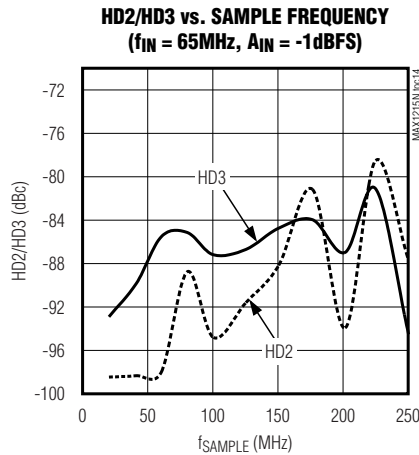
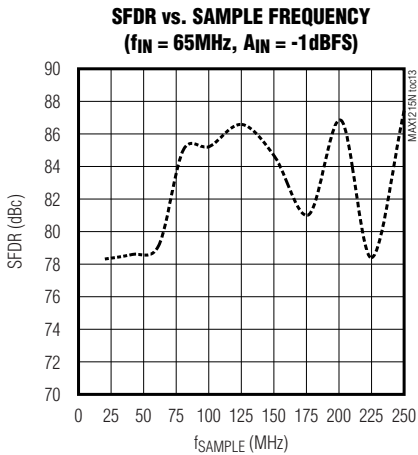
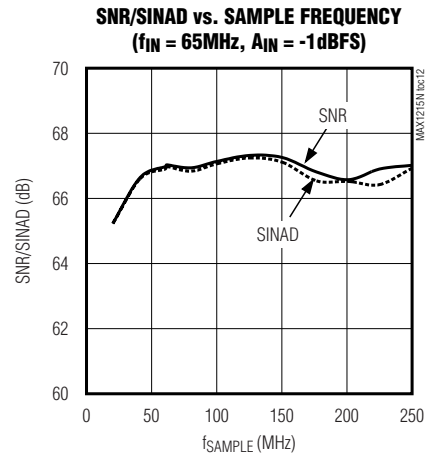
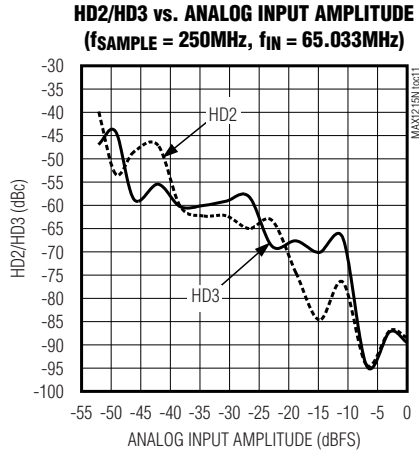
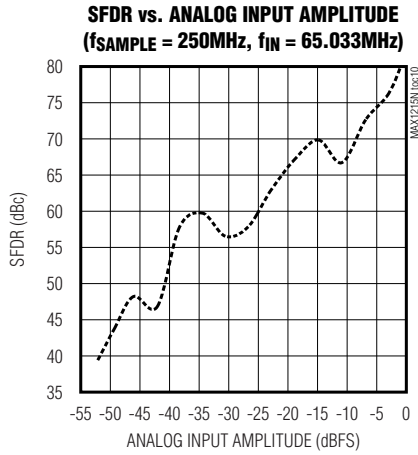


# ブロードバンドアプリケーション用、 1.8V、低電力、12ビット、250Mps ADC

MAX1215N

## 標準動作特性(続き)

( $A_{VCC} = OV_{CC} = 1.8V$ ,  $AGND = OGND = 0$ ,  $f_{SAMPLE} = 250MHz$ ,  $A_{IN} = -1dBFS$ , see each TOC for detailed information on test conditions, differential input drive, differential sine-wave clock input drive,  $0.1\mu F$  capacitor on REFIO, internal reference, digital output pins differential  $R_L = 100\Omega$ ,  $T_A = +25^\circ C$ .)

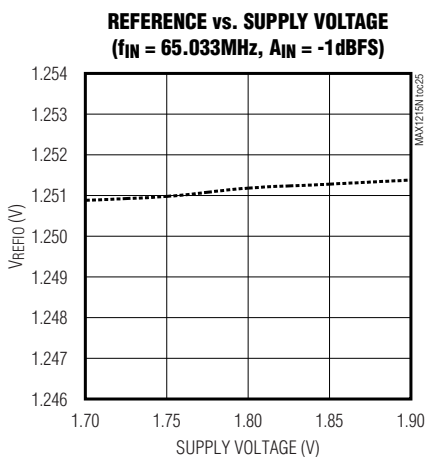
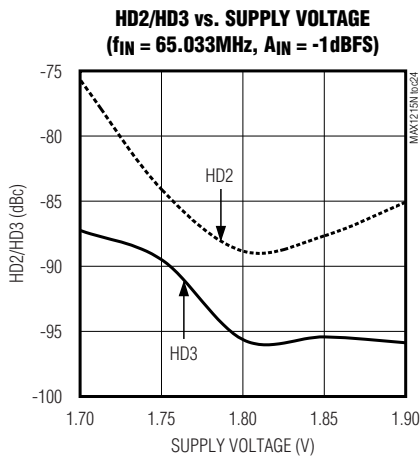
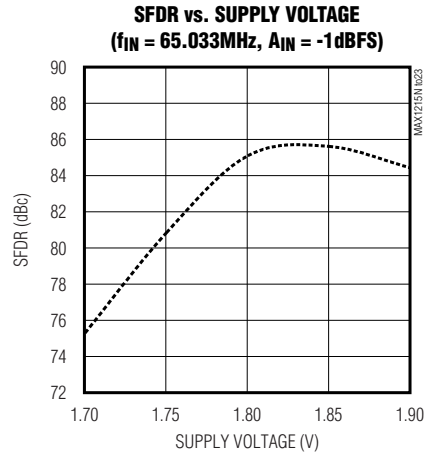
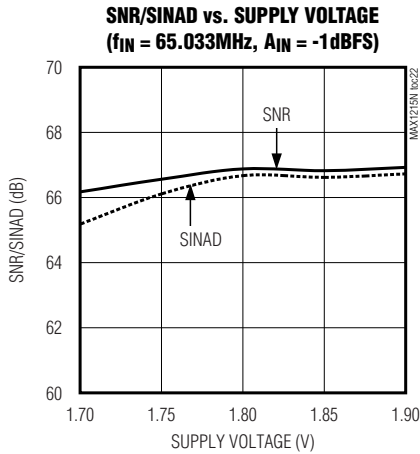
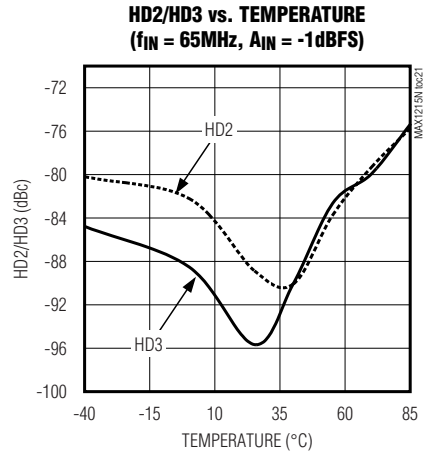
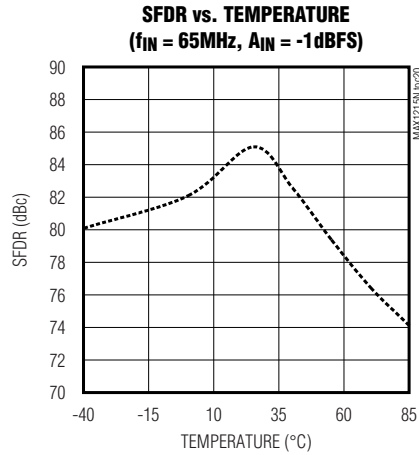
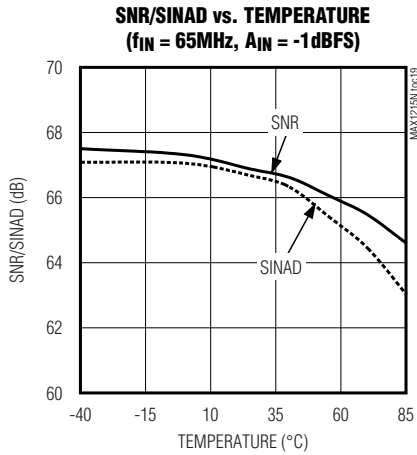


# ブロードバンドアプリケーション用、 1.8V、低電力、12ビット、250Mps ADC

MAX1215N

## 標準動作特性(続き)

( $AV_{CC} = OV_{CC} = 1.8V$ ,  $AGND = 0$ ,  $f_{SAMPLE} = 250MHz$ ,  $A_{IN} = -1dBFS$ , see each TOC for detailed information on test conditions, differential input drive, differential sine-wave clock input drive, 0.1 $\mu F$  capacitor on REFIO, internal reference, digital output pins differential  $R_L = 100\Omega$ ,  $T_A = +25^\circ C$ .)



# ブロードバンドアプリケーション用、 1.8V、低電力、12ビット、250MSPS ADC

MAX1215N

## 端子説明

端子	名称	機能
1, 6, 11–14, 20, 25, 62, 63, 65	AV <sub>CC</sub>	アナログ電源電圧。最適なデカップリング効果を得るために、AV <sub>CC</sub> を0.1μFと0.22μFの並列コンデンサでAGNDにバイパスしてください。すべてのAV <sub>CC</sub> 入力を相互に接続してください。「グラウンド、バイパス、および基板レイアウトに関して」の項を参照してください。
2, 5, 7, 10, 15, 16, 18, 19, 21, 24, 64, 66, 67	AGND	アナログコンバータのグラウンド。すべてのAGND入力を相互に接続してください。
3	REFIO	リファレンス入力/出力。REFADJをハイに駆動すると、REFIOが外部リファレンスからの入力となります。REFADJをローに駆動すると、1.25Vの内部バンドギャップリファレンスがアクティブになります。内部と外部のいずれのリファレンスの場合も、0.1μFのコンデンサをREFIOとAGNDの間に接続してください。
4	REFADJ	リファレンス調整入力。REFADJとAGNDの間(FSRを縮小)、またはREFADJとREFIOの間(FSRを拡大)に抵抗器または調整用ポテンショメータを接続すると、FSRを調整することができます。REFADJをAV <sub>CC</sub> に接続すると、REFIOに接続された外部ソースが内部リファレンスに優先することができます。REFADJをAGNDに接続すると、内部リファレンスによってデータコンバータのFSRを設定することができます。「内部バンドギャップリファレンスを使用したFSR調整」の項を参照してください。
8	INP	正のアナログ入力端子。内部で0.7Vに自己バイアスされています。
9	INN	負のアナログ入力端子。内部で0.7Vに自己バイアスされています。
17	CLKDIV	クロック分周器入力。CLKDIVは入力クロック周波数に対してサンプリング周波数を制御します。CLKDIVはプルダウン抵抗器を内蔵しています。CLKDIV = 0 : サンプリング周波数は入力クロック周波数の1/2です。CLKDIV = 1 : サンプリング周波数は入力周波数に等しくなります。
22	CLKP	真のクロック入力。LVDS対応入力レベルをCLKPに印加してください。内部で1.15Vに自己バイアスされています。
23	CLKN	相補クロック入力。LVDS対応入力レベルをCLKNに印加してください。内部で1.15Vに自己バイアスされています。
26, 45, 61	OGND	デジタルコンバータのグラウンド。デジタル回路および出力ドライバ用グラウンド接続部。すべてのOGND入力端子を相互に接続してください。
27, 28, 41, 44, 60	OV <sub>CC</sub>	デジタル電源電圧。OV <sub>CC</sub> を0.1μFのコンデンサでOGNDにバイパスしてください。すべてのOV <sub>CC</sub> 入力端子を相互に接続してください。「グラウンド、バイパス、および基板レイアウトに関して」の項を参照してください。
29	D0N	相補出力ビット0 (LSB)
30	D0P	真の出力ビット0 (LSB)
31	D1N	相補出力ビット1
32	D1P	真の出力ビット1
33	D2N	相補出力ビット2
34	D2P	真の出力ビット2
35	D3N	相補出力ビット3
36	D3P	真の出力ビット3



# ブロードバンドアプリケーション用、 1.8V、低電力、12ビット、250Msps ADC

MAX1215N

## 端子説明(続き)

端子	名称	機能
37	D4N	相補出力ビット4
38	D4P	真の出力ビット4
39	D5N	相補出力ビット5
40	D5P	真の出力ビット5
42	DCLKN	相補クロック出力。この出力は、LVDS対応出力レベルを備えており、外付けデバイスをコンバータクロックに同期させるために使用されます。
43	DCLKP	真のクロック出力。この出力は、LVDS対応出力レベルを備えており、外付けデバイスをコンバータクロックに同期させるために使用されます。
46	D6N	相補出力ビット6
47	D6P	真の出力ビット6
48	D7N	相補出力ビット7
49	D7P	真の出力ビット7
50	D8N	相補出力ビット8
51	D8P	真の出力ビット8
52	D9N	相補出力ビット9
53	D9P	真の出力ビット9
54	D10N	相補出力ビット10
55	D10P	真の出力ビット10
56	D11N	相補出力ビット11 (MSB)
57	D11P	真の出力ビット11 (MSB)
58	ORN	相補範囲外制御ビット出力。範囲外状態が検出されると、ビットORNはローに遷移してこの状態を通知します。
59	ORP	真の範囲外制御ビット出力。範囲外状態が検出されると、ビットORPはハイに遷移してこの状態を通知します。
68	$\bar{T}/B$	出力形式選択入力。このLVCMOS対応入力が、MAX1215Nのデジタル出力形式を制御します。 $\bar{T}/B$ はプルダウン抵抗器を内蔵しています。 $\bar{T}/B = 0$ : 2の補数出力形式 $\bar{T}/B = 1$ : バイナリ出力形式
—	EP	エクスポーズドパッド。エクスポーズドパッドはチップの裏側にあり、AGNDに接続する必要があります。

# ブロードバンドアプリケーション用、 1.8V、低電力、12ビット、250Mps ADC

MAX1215N

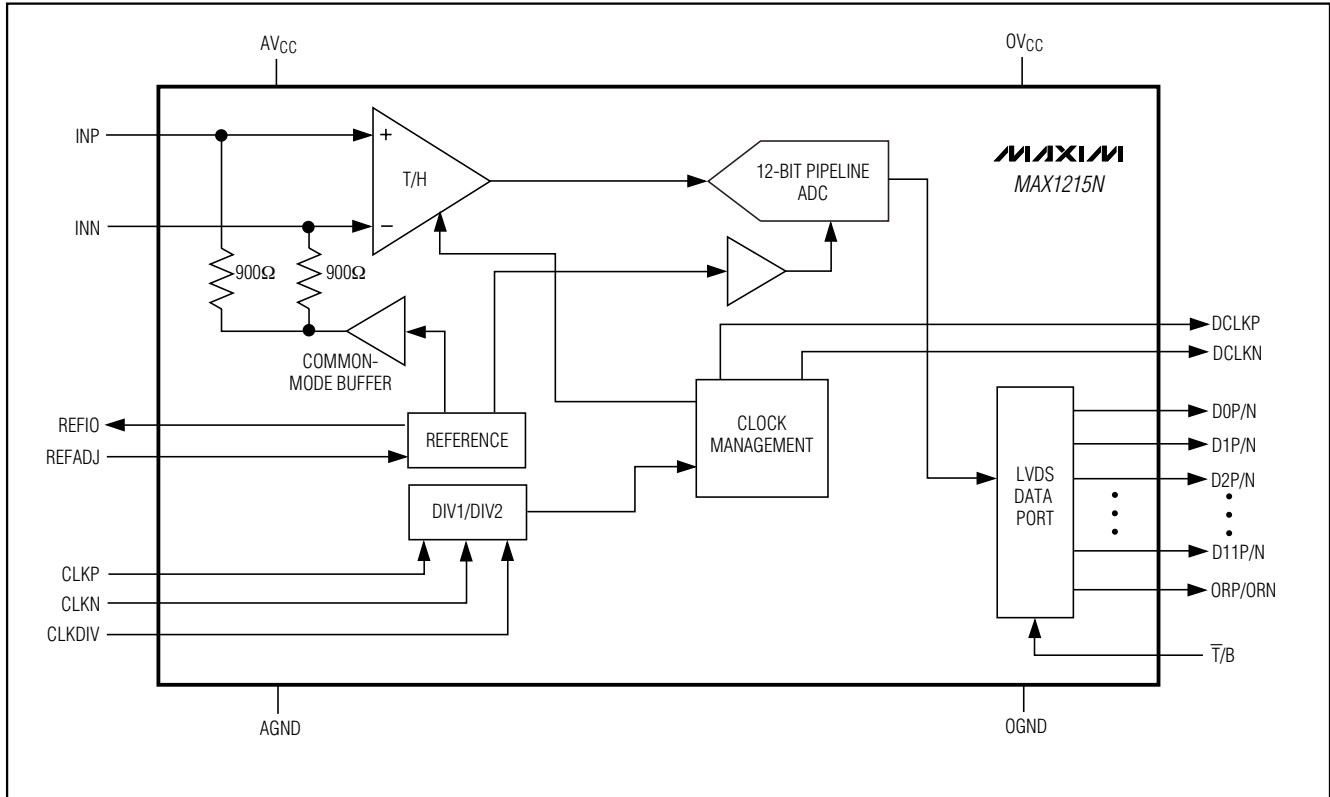


図1. ブロックダイアグラム

## 詳細—動作原理

MAX1215Nでは、完全差動パイプラインアーキテクチャが採用されており、これによって高速変換、最適な精度、および直線性が可能となり、しかも消費電力が最小限に抑えられます。

正(INP)および負アナログ入力端子(INN)はともに、0.7Vのコモンモード電圧を中心として、それぞれ $\pm V_{FS} / 4$ の差動アナログ入力電圧振幅を受け付け、その結果、差動フルスケール信号振幅が1.385V<sub>p-p</sub> (typ)となります。入力INPとINNは、差動サンプリングクロック信号がハイに遷移するとサンプリングされます。クロック分周モードを使用すると、差動サンプリングクロックのハイへの遷移の1個置きにアナログ入力はサンプリングされます。

パイプラインの各コンバータ段は、その入力電圧を1個のデジタル出力コードに変換します。最終段を除いたすべての段で、入力電圧とデジタル出力コードの間の誤差が増幅され、次のパイプライン段に入ります。デジタル誤差補正は、各パイプライン段において

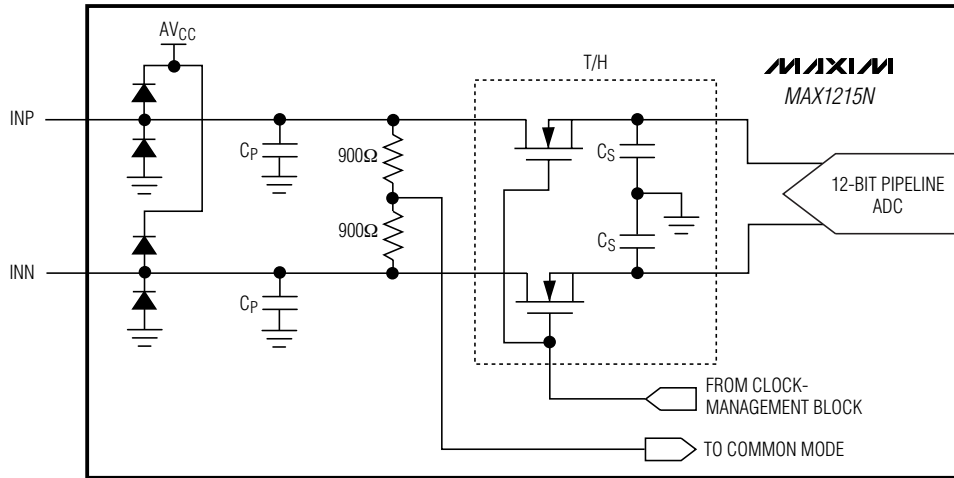
ADCコンパレータのオフセットを補償し、ミッシングコードがないことを保証します。その結果は、LVDS対応出力レベルを備えるユーザ選択可能な2の補数またはオフセットバイナリ出力形式による12ビットパラレルデジタル出力ワードです。MAX1215Nアーキテクチャの詳細については、図1を参照してください。

## アナログ入力(INP、INN)

INPとINNはMAX1215Nの完全差動入力です。差動入力は、通常、偶数次高調波を良好に除去し、信号がアナログ段を順次通過するときAC性能を向上させることができます。MAX1215Nのアナログ入力は0.7Vのコモンモード電圧に自己バイアスされ、1.385V<sub>p-p</sub>の差動入力電圧振幅を実現します(図2)。両入力は900Ωの抵抗器によって自己バイアスされ、その結果、差動入力抵抗が1.8kΩ (typ)となります。最高のダイナミック性能を達成するためには、AC結合構成のMAX1215Nアナログ入力を駆動してください。「トランス結合、差動アナログ入力駆動」の項を参照してください。

# ブロードバンドアプリケーション用、 1.8V、低電力、12ビット、250Msps ADC

MAX1215N



$C_S$  IS THE SAMPLING CAPACITANCE  
 $C_P$  IS THE PARASITIC CAPACITANCE ~ 1pF

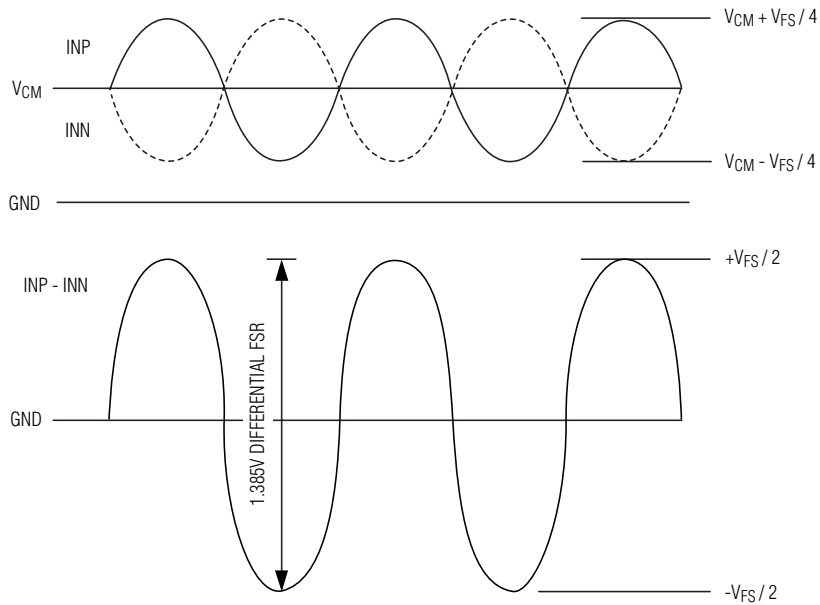


図2. 簡略化アナログ入力アーキテクチャおよび許容入力電圧範囲

# ブロードバンドアプリケーション用、 1.8V、低電力、12ビット、250MSPS ADC

MAX1215N

## 内蔵リファレンス回路

MAX1215Nは、1.25Vのバンドギャップリファレンス回路(図3)を内蔵し、内部リファレンススケールアップとの組合せによってMAX1215NのFSRを決定します。REFIOを0.1 $\mu$ FのコンデンサでAGNDにバイパスしてください。利得誤差の補正またはADCのFSRの拡大/縮小を行うために、外付け抵抗器(100k $\Omega$ の調整用ポテンショメータなど)をREFADJとAGNDの間、またはREFADJとREFIOの間に追加して、このバンドギャップリファレンスの電圧を間接的に調整することができます。このプロセスの詳細については、「アプリケーション情報」の項を参照してください。

内部リファレンスをディセーブルするためには、REFADJをAV<sub>CC</sub>に接続してください。コンバータのフルスケールを設定するためには、安定した外部リファレンスをREFIOに印加してください。内部リファレンスをイネーブルするためには、REFADJをAGNDに接続してください。

## クロック入力(CLKP、CLKN)

最良のダイナミック性能を得るためには、MAX1215Nのクロック入力をLVDSまたはLVPECL対応クロックで駆動してください。ADCのノイズ性能の悪化を回避するためには、クロック信号源を高品質、低位相ノイズとする必要があります。クロック入力(CLKP、CLKN)は、内部で1.15Vにバイアスされ、500mV<sub>p-p</sub> (typ)の差動信号振幅を受け付けます(図4)。CLKPとCLKNを適切に駆動する方法に関する回路の詳細については、「差動、AC結合、LVPECL対応クロック入力」の項を参照してください。推奨はしませんが、クロック入力はシングルエンド入力信号も受け付けます。

MAX1215Nは、クロック処理回路(デューティサイクル

イコライザ)も内蔵しています。この回路によって、入力のCLKPとCLKNに印加されるクロック信号が処理され、50%のデューティサイクルクロック信号が保証されます。このため、入力クロックソースのデューティサイクル変動に対するコンバータ性能への影響が小さくなります。なお、クロックデューティサイクルイコライザを外部からオフにすることはできず、デバイスがデータシートの仕様を満たすためには、20MHzを超えるクロック周波数を必要とします。

## データクロック出力(DCLKP、DCLKN)

MAX1215Nは差動クロック出力を備えており、これを使ってデジタル出力データを外部のラッチやレシーバによってラッチすることができます。また、クロック出力を使うと、FPGAなどの外付けデバイスをADCに同期させることができます。DCLKPとDCLKNはLVDS対応電圧レベルの差動出力です。CLKP (CLKN)の立上り(立下り)エッジとDCLKP (DCLKN)の立上り(立下り)エッジの間には3.77nsの遅延時間があります。タイミングの詳細については図5を参照してください。

## 2分周クロック制御(CLKDIV)

MAX1215Nは、クロック制御ライン(CLKDIV)を備え、システム内のクロックジッタの低減をサポートします。ADCに内蔵された2分周クロック分周器をイネーブルするためには、CLKDIVをOGNDに接続してください。この接続によって、データはADCの入力クロックレートの1/2で更新されます。CLKDIVは、プルダウン抵抗器を内蔵し、この2分周モードを必要とするアプリケーションの場合は開放状態とすることができます。CLKDIVをOV<sub>CC</sub>に接続すると、2分周モードがディセーブルされます。

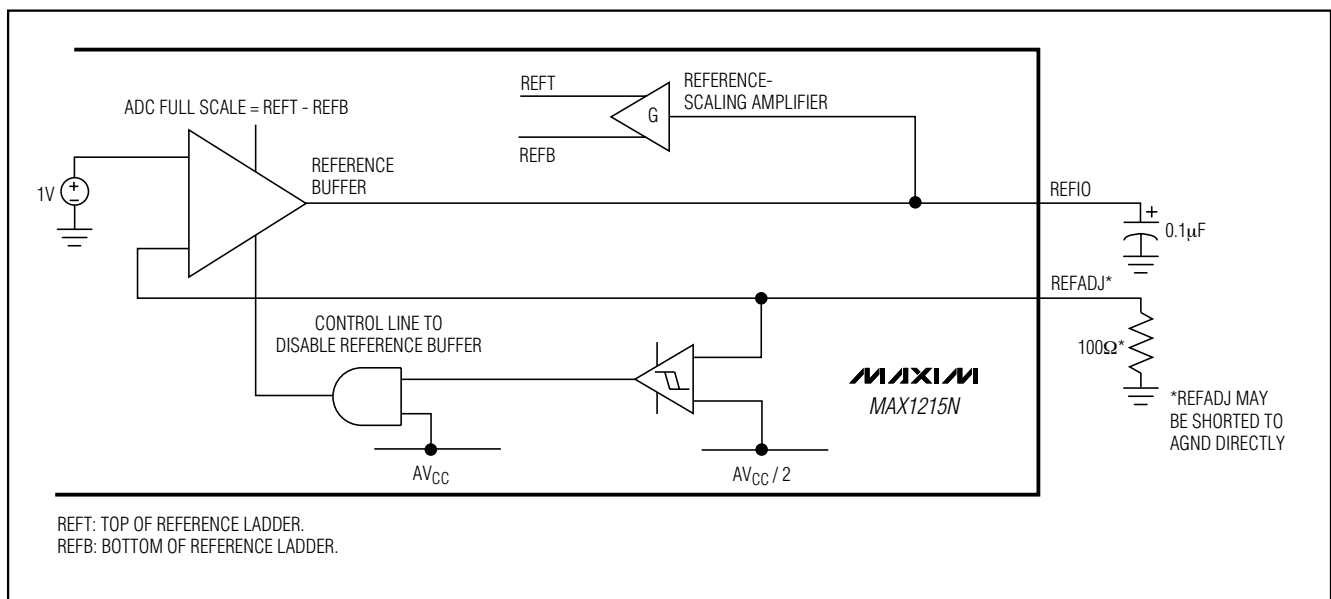


図3. 簡略化リファレンスアーキテクチャ

# ブロードバンドアプリケーション用、 1.8V、低電力、12ビット、250Msps ADC

MAX1215N

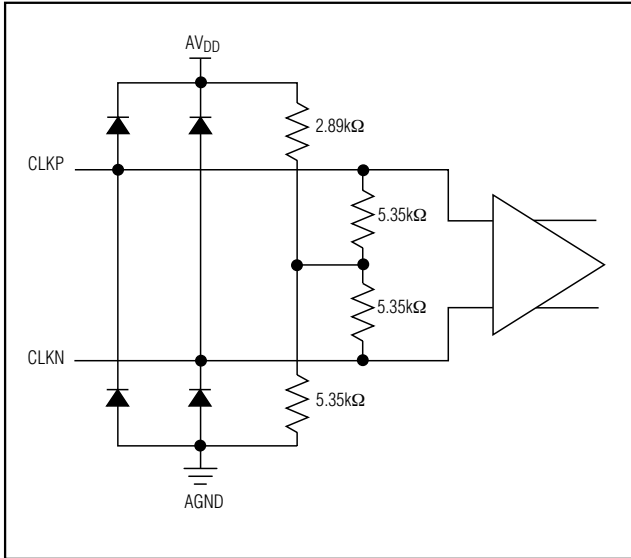


図4. 簡略化クロック入力アーキテクチャ

## システムタイミング要件

図5は、クロック入力と出力、アナログ入力、サンプリングイベント、およびデータ出力の関係を示しています。MAX1215Nは、CLKP (CLKN)の立上り(立下り)エッジでサンプリングを行います。出力データは、次のDCLKP (DCLKN)の立上り(立下り)エッジで有効となりますが、内部に11クロックサイクルの遅延があります。

## デジタル出力(D0P/N~D11P/N、 DCLKP/N、ORP/N)および制御入力 $\bar{T}/B$

デジタル出力D0P/N~D11P/N、DCLKP/N、およびORP/NはLVDS対応で、D0P/N~D11P/Nのデータはバイナリまたは2の補数形式で表されます(表1)。 $\bar{T}/B$ 制御ラインはLVCMOS対応入力であり、ユーザはこの入力によって所望の出力形式を選択することができます。 $\bar{T}/B$ をローに駆動するとデータは2の補数形式で、また $\bar{T}/B$ をハイに駆動するとデータはオフセットバイナリ形式で12ビットパラレルバスに出力されます。 $\bar{T}/B$ は、プルダウン抵抗器を内蔵しており、2の補数出力形式のみを使用するアプリケーションでは無接続状態にすることもできます。すべてのLVDS出力は、1.24Vの共通モード電圧を中心に360mV (typ)の電圧振幅を備え、各伝送ラインペア(真と相補)の遠端で100Ω終端する必要があります。LVDS出力に給電するためには、 $OV_{CC}$ に1.7V~1.9Vの電源電圧を印加してください。

MAX1215Nは、範囲外状態を通知する差動出力ペア(ORP、ORN)も備えています。範囲外とは、正のフルスケールを上回るか、または負のフルスケールを下回る状態です。範囲外状態は、ORP (ORN)がハイ(ロー)に遷移することによって識別されます。

注：差動LVDS出力アーキテクチャとすることによって、電源プレーンとグランドプレーンに対するシングルエンドによるトランジェントが抑制されますが、デジタル出力の容量性負荷はできる限り小さくする必要があります。さらに大きな負荷を駆動する場合はADCのデジタル出力にLVDSバッファを使用すると、全体性能を向上し、システムタイミングの制約を緩和することができます。

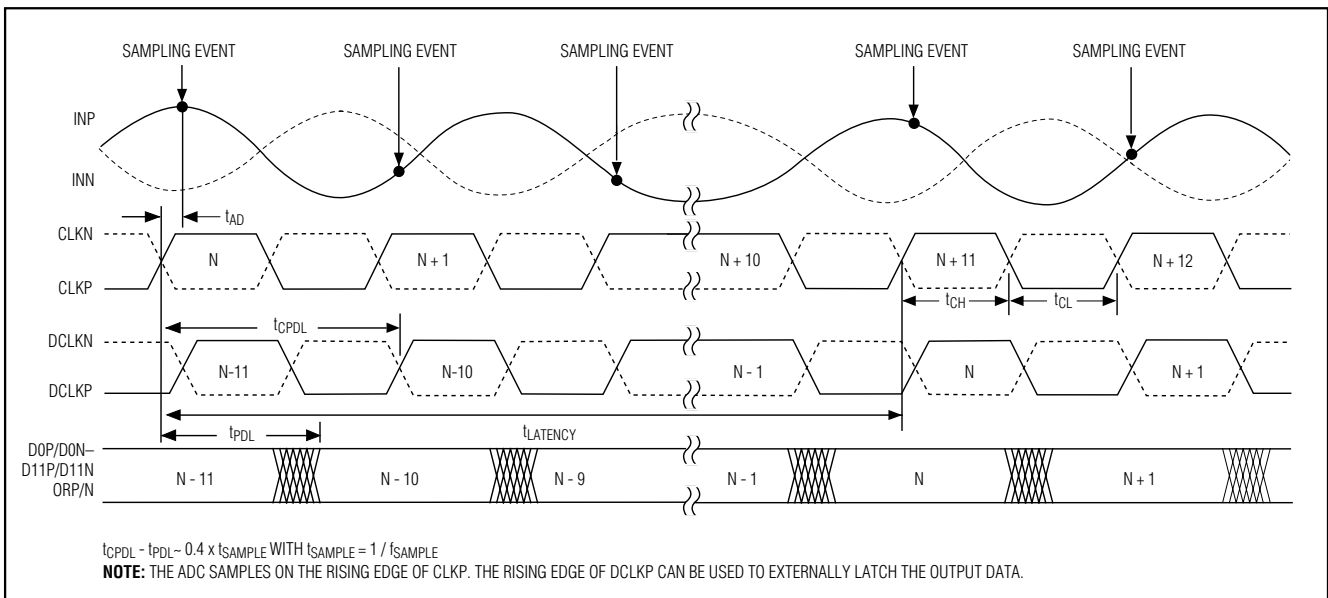


図5. システムと出力のタイミング図

# ブロードバンドアプリケーション用、 1.8V、低電力、12ビット、250MSPS ADC

表1. MAX1215Nのデジタル出力コード

INP ANALOG INPUT VOLTAGE LEVEL	INN ANALOG INPUT VOLTAGE LEVEL	OUT-OF-RANGE ORP (ORN)	BINARY DIGITAL OUTPUT CODE (D11P/N-D0P/N)	TWO'S-COMPLEMENT DIGITAL OUTPUT CODE (D11P/N-D0P/N)
$> V_{CM} + V_{FS} / 4$	$< V_{CM} - V_{FS} / 4$	1 (0)	1111 1111 1111 (exceeds +FS, OR set)	0111 1111 1111 (exceeds +FS, OR set)
$V_{CM} + V_{FS} / 4$	$V_{CM} - V_{FS} / 4$	0 (1)	1111 1111 1111 (+FS)	0111 1111 1111 (+FS)
$V_{CM}$	$V_{CM}$	0 (1)	1000 0000 0000 or 0111 1111 1111 (FS/2)	0000 0000 0000 or 1111 1111 1111 (FS/2)
$V_{CM} - V_{FS} / 4$	$V_{CM} + V_{FS} / 4$	0 (1)	0000 0000 0000 (-FS)	1000 0000 0000 (-FS)
$< V_{CM} + V_{FS} / 4$	$> V_{CM} - V_{FS} / 4$	1 (0)	0000 0000 0000 (exceeds -FS, OR set)	1000 0000 0000 (exceeds -FS, OR set)

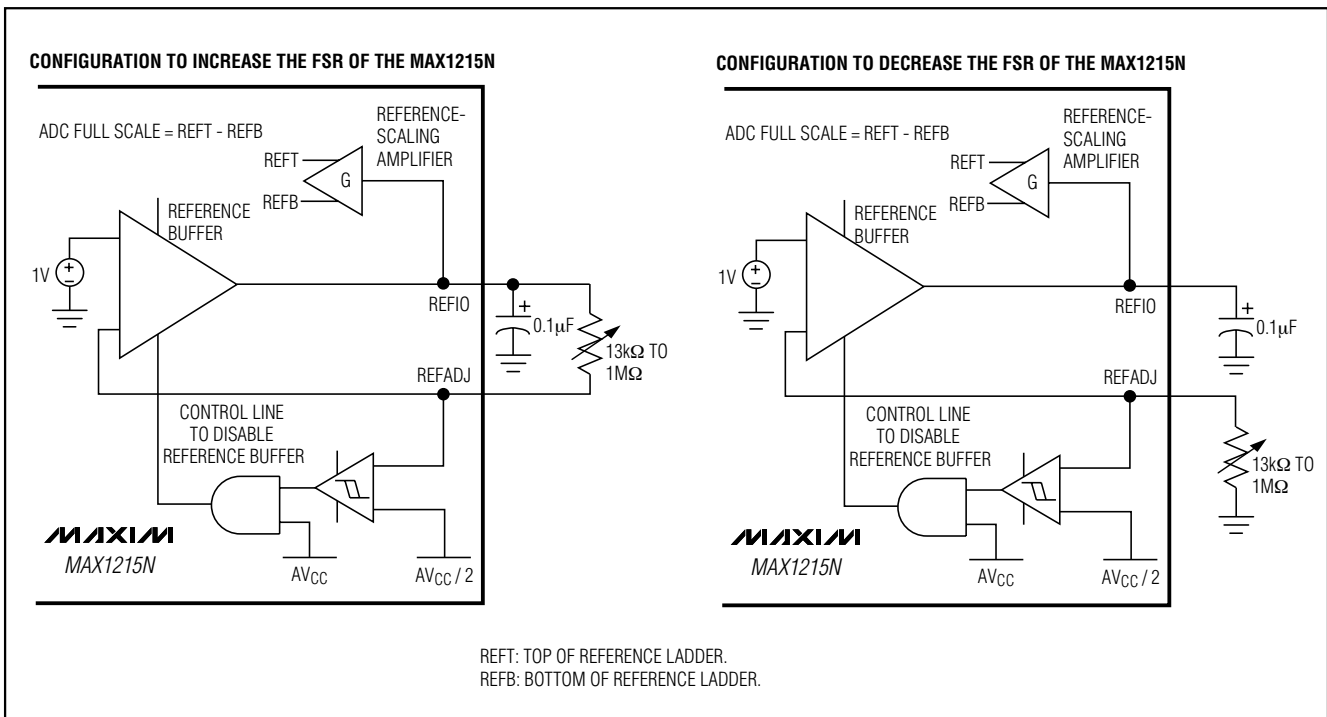


図6a. ADCのフルスケール範囲を調整するための回路案

## アプリケーション情報

### 内部バンドギャップリファレンスを使用したFSR調整

MAX1215Nは、10% (±5%)のフルスケール調整範囲をサポートしています。フルスケール信号範囲を縮小するためには、REFADJとAGNDの間に13kΩ～1MΩの範囲の外付け抵抗器を追加してください。REFADJと

REFIOの間に可変抵抗器、ポテンショメータ、または固定抵抗器を追加すると、データコンバータのFSRが拡大します。図6aは、2つの可能な構成とMAX1215Nの全体的なフルスケール範囲調整に対する影響を示します。バンドギャップリファレンス用の内部利得レギュレーションループの不安定性を避けるために、13kΩ未満の抵抗値を使用しないでください。抵抗値を変えた場合のFSRについては、図6bを参照してください。

# ブロードバンドアプリケーション用、 1.8V、低電力、12ビット、250Msps ADC

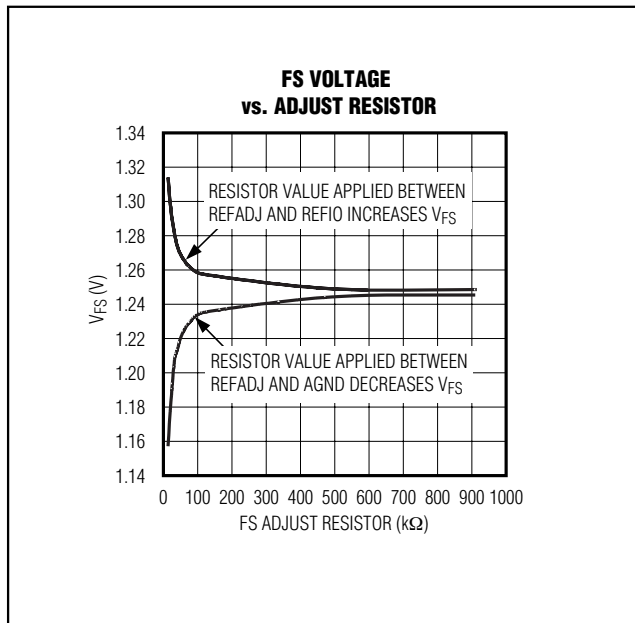


図6b. FS調整範囲とFS調整抵抗器

## 差動、AC結合、LVPECL対応のクロック入力

MAX1215Nのダイナミック性能は、使用するクロックソースが非常にクリーンであるかどうかによって異なります。クロックソースの位相ノイズフロアは、SNR性能に悪影響を与えます。クロック信号源のスプリアス信号も、ADCのダイナミックレンジに影響を与えます。望ましいMAX1215Nのクロック制御方式は、LVDSまたはLVPECL対応入力レベルの差動方式です。これらのロジックファミリ的高速データ遷移速度は、クロック入力回路の遷移の不確実性を最小にしてSNR性能を向上させます。これを実現するためには、低位相ノイズの50Ωの逆終端クロック信号源をMC100LVEL16などの高速差動レシーバにAC結合してください(図7)。このレシーバは、データコンバータのクロック入力を駆動するために必要なLVPECL出力レベルを生成します。

## トランス結合、差動アナログ入力駆動

MAX1215Nは、完全差動入力信号の場合に最高のSFDRとTHDを提供します。ADC入力をシングルエンド構成で駆動することは推奨されません。差動入力モードでは、INPとINNはバランスが保たれているため偶数次の高調波は一般に少なく、ADC入力のおおのほはシングルエンド構成に比べて1/2の信号振幅しか必要としません。

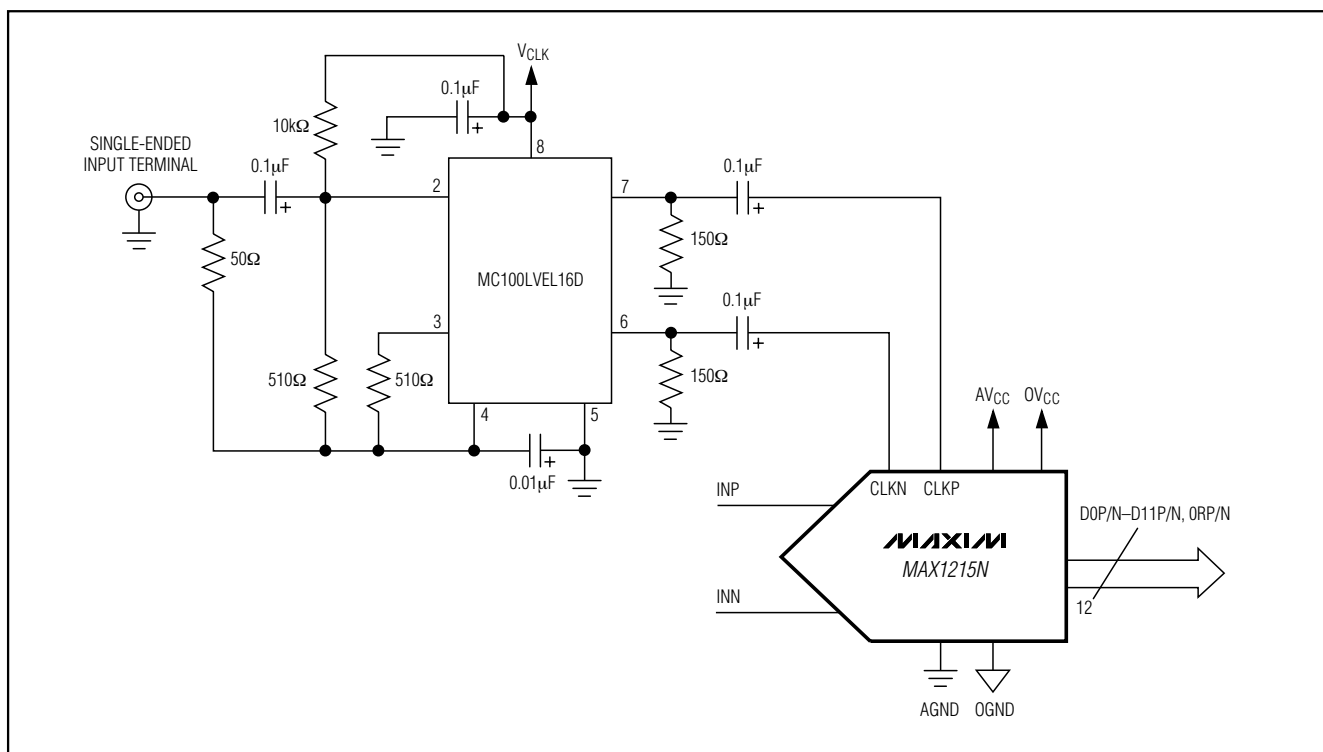


図7. 差動、AC結合、LVPECL対応クロック入力構成

# ブロードバンドアプリケーション用、 1.8V、低電力、12ビット、250MSPS ADC

MAX1215N

広帯域RFトランスは、シングルエンド信号を、MAX1215Nがその最適なダイナミック性能を発揮するために必要とする完全差動信号に変換する卓越したソリューションを提供します。1:1のトランス(Mini-CircuitのADT1-1WTなど)の2次側を独立した2個の24.9Ω抵抗器で終端してください。ダイナミック性能が低下しても支障がなければ、大きいソースインピーダンス値を採用することができます。不平衡の影響を最小にするには、高精度の(0.5%)抵抗器を使用してADCのダイナミックレンジを最大にしてください。この構成では、トランスの寄生成分の影響が緩和されることによってADCのTHDおよびSFDR性能が最適化されます。しかし、プリント基板によるシャント容量とADCの寄生容量とが組み合わされたソースインピーダンスによって、ADCのフルパワー入力帯域幅が制限されます。

高入力周波数(100MHzを超える)でSFDR性能をさらに向上するためには、2番目のトランス(図8)をシングルエンドから差動への変換トランスと直列に配置してください。このトランスは高周波における偶数次高調波の増大を緩和します。

## シングルエンド、AC結合アナログ入力

推奨はしませんが、MAX1215Nをシングルエンドモードで使用することができます(図9)。アナログ信号を、0.1μFのコンデンサを通じて正入力INPにAC結合するとともに49.9Ωの抵抗器でAGNDに終端してください。負入力INNを0.1μFのコンデンサと直列の49.9Ωの抵抗器でAGNDに終端してください。シングルエンドモードでは、入力範囲がデバイスのFSRの約1/2に制限され、通常はダイナミック性能が低下します。

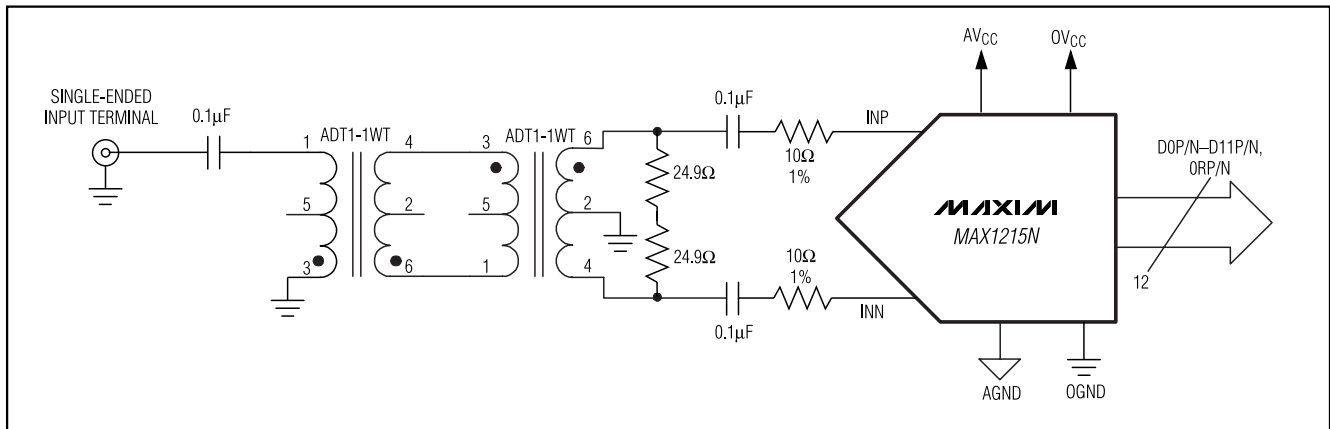


図8. バックトゥバックトランスおよび二次側終端を有するアナログ入力構成

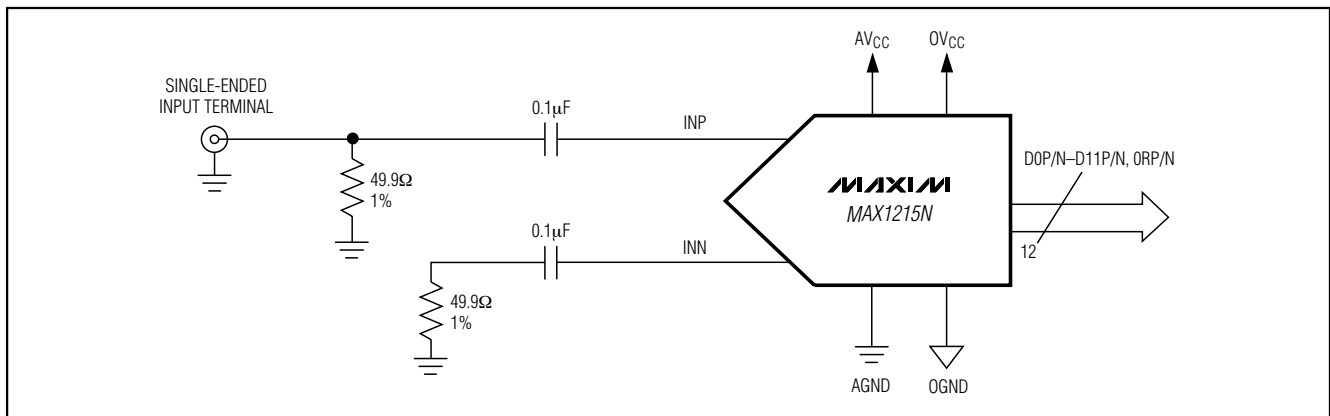


図9. シングルエンド、AC結合アナログ入力構成



# ブロードバンドアプリケーション用、 1.8V、低電力、12ビット、250Msps ADC

MAX1215N

## グラウンド、バイパス、 および基板レイアウトに関して

MAX1215Nには、高速データコンバータに適した基板レイアウト設計法が必要です。このADCは、アナログおよびデジタル電源を個別に備えています。アナログおよびデジタル電源電圧端子は、1.7V~1.9Vの入力電圧範囲を受け付けます。2つの電源タイプを統合して、1つの電源から給電することができますが、アナログ電源回路に結合する可能性のあるデジタルスイッチング電流に起因する性能低下を抑制するために、個別に電源を使用することを推奨します。アナログおよびデジタル電源(AV<sub>CC</sub>とOV<sub>CC</sub>)は、プリント基板に入る場所に対応するグラウンド(AGND、OGND)に接続されたフェライトビーズとコンデンサからなる個別回路を使って分離してください。

最適な性能を得るためには、47μFのタンタルコンデンサおよび10μFと1μFのセラミックコンデンサの並列接続からなる個別の回路を使って各電源を供給してください。さらに、このADCでは、各電源端子を個別の0.1μFのセラミックコンデンサでバイパスする必要があります(図10)。これらのコンデンサは、ADCの電源端子にじかに配置するか、またはMAX1215Nにできる限り近接させて配置してください。表面実装コンデンサを選択し、面積を節約してインダクタンスを最小限に抑えるために、できればコンバータと同じ側に配置してください。同じ側に近接させて配置することが不可能な場合は、これらのバイパスコンデンサを、ビアを介してプリント基板の裏側に配置して配線することもできます。

独立したグラウンドプレーンと電源プレーンを持つ多層基板は、最高レベルの信号完全性を実現します。ADCのパッケージ上のアナロググラウンドとデジタルグラウンドの物理位置を整合させるために、分割グラウンドプレーン

の配置を検討してください。ノイズの多いデジタルグラウンド電流がアナロググラウンドプレーンに干渉しないように、2つのグラウンドプレーンを1点で接続する必要があります。共通の電源グラウンドに達するまでに長い距離を流れる必要のあるダイナミック電流は、大きくて有害なグラウンドループを形成するため、この方式の大きな懸念要因となります。グラウンドループはコンバータのアナログフロントエンドに再結合して入力ノイズを悪化させる場合があります、不要成分の結合を増大させ、ノイズ性能の低下を招きます。

別の方法として、グラウンドプレーンがノイズの多いデジタルシステムグラウンドから十分に分離されている場合は、すべてのグラウンド端子に同一のグラウンドプレーンを共有させることができます。アナログ入力へのデジタル出力信号からの結合を最小限に抑制するためには、デジタル出力バスをアナログ入力回路から十分に分離してください。デジタルノイズ結合の影響をさらに抑制するために、グラウンドリターンをビアをレイアウト全体に配置して、デジタルスイッチング電流をADCの敏感なアナログ部から遠ざけてください。この方式は、分割グラウンドプレーンを必要とせず、アナログフロントエンドとデジタル出力との間に十分に多くのグラウンド接続部を配置することによって実現することができます。

MAX1215Nは68ピンQFN-EPパッケージ(パッケージコード: G6800-4)で提供されるため、設計の柔軟性と放熱性が向上し、ADCのAC性能が最適化されます。エクスポーズドパッド(EP)はAGNDに半田付けしなければなりません。

このパッケージでは、データコンバータのダイはパッケージのプリント基板側に面し、EPリードフレームの裏面をパッケージの底面に露出して、EPリードフレーム

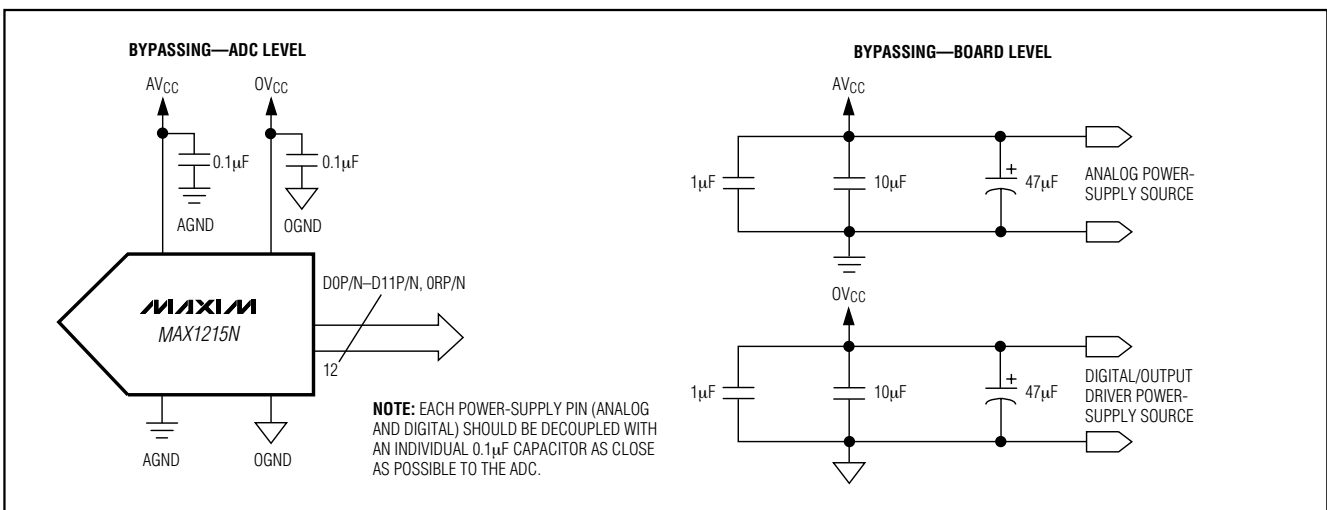


図10. MAX1215Nに関するグラウンド、バイパス、およびデカップリングの回路案

# ブロードバンドアプリケーション用、 1.8V、低電力、12ビット、250MSPS ADC

に接続されています。このため、標準的な赤外線(IR)フロー半田付け技術で基板にパッケージを確実に接続することができます。

熱効率は、MAX1215Nのエクスポーズドパッド付きパッケージを選択する要因の1つです。エクスポーズドパッドによって熱効率が向上し、ADCとプリント基板のアナロググランド層との間の確実なグランド接続が実現します。

高速、高分解能データコンバータのデジタル出力トレースを配置するときは、十分な注意が必要です。トレース長をできる限り短くしてデジタルトレースによる容量性負荷を最小限(5pF未満)に抑制し、ADCのノイズに敏感なアナログ部への結合を防止してください。ADCからLVDS負荷までのLVDS出力トレースは、100Ωの特性インピーダンスの差動ラインとして配線することを推奨します。

## スタティックパラメータの定義

### Integral Nonlinearity (積分非直線性) (INL)

積分非直線性は、実際の伝達関数上の値の直線からの偏差です。この直線は、最適な直線フィット、またはオフセットおよび利得誤差をゼロにした後に伝達関数の両端点を結んだ直線です。MAX1215Nに関する静的直線性パラメータは、入力周波数が10MHzのヒストグラム法を使って測定されます。

### Differential Nonlinearity (微分非線形性) (DNL)

微分非直線性は、実際のステップ幅と1 LSBの理想値の差です。1 LSB未満のDNL誤差の仕様は、ミッシングコードのない単調伝達関数を保証するものです。MAX1215NのDNL仕様は、入力トーンが10MHzのヒストグラム法を使って測定されます。

## ダイナミックパラメータの定義

### Aperture Jitter (アパーチャジッタ)

図11はアパーチャジッタ( $t_{AJ}$ )を示します。これは、アパーチャ遅延におけるサンプル間の変動です。

### Aperture Delay (アパーチャ遅延)

アパーチャ遅延( $t_{AD}$ )は、サンプリングクロックの立上りエッジから実際のサンプリングが行なわれる瞬間までの時間です(図11)。

### Signal-to-Noise Ratio (信号対ノイズ比) (SNR)

デジタルサンプルから完全に再現される波形の場合、理論上の最大SNRはフルスケールアナログ入力(RMS値)のRMS量子化誤差(残留誤差)に対する比です。理想的な理論上の最小アナログ-デジタル変換ノイズは、量子化誤差のみによって生じるもので、ADCの分解能(Nビット)から次式によってしかに求められます。

$$\text{SNR}_{[\text{max}]} = 6.02 \times N + 1.76$$

実際には、サーマルノイズ、クロックジッタ、信号位相ノイズ、および伝達関数の非直線性などのその他のノイズ源もSNRの計算に影響を与えているため、ADCの信号対ノイズ比を決定する際にはこれらのノイズ源も考慮する必要があります。

### Signal-to-Noise Plus Distortion (信号対ノイズ + 歪み) (SINAD)

SINADは、RMS信号のすべてのスペクトル成分(基本波とDCオフセットを除く)に対する比を取ることによって求められます。MAX1215Nの場合、SINADは曲線フィットから計算されます。

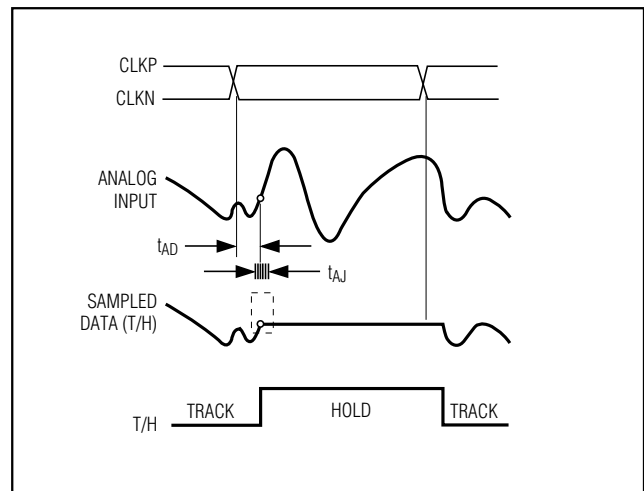


図11. アパーチャジッタ/遅延の仕様

# ブロードバンドアプリケーション用、 1.8V、低電力、12ビット、250Msps ADC

MAX1215N

## Spurious-Free Dynamic Range (スプリアスフリーダイナミックレンジ) (SFDR)

SFDRは、キャリア周波数(最大信号成分)のRMS振幅の、次に大きいノイズまたは高調波の歪み成分のRMS値に対する比です。SFDRは通常、キャリア周波数振幅に対してdBc単位で、またはADCのフルスケール範囲に対してdBFS単位で測定されます。

## Intermodulation Distortion (相互変調歪み) (IMD)

IMDは、相互変調積のRMS和の、2つ基本波入力トーン  
のRMS和に対する比です。これは次式で表されます。

$$IMD = 20 \times \log \left( \frac{\sqrt{V_{IM1}^2 + V_{IM2}^2 + \dots + V_{IM3}^2 + V_{IMn}^2}}{\sqrt{V_1^2 + V_2^2}} \right)$$

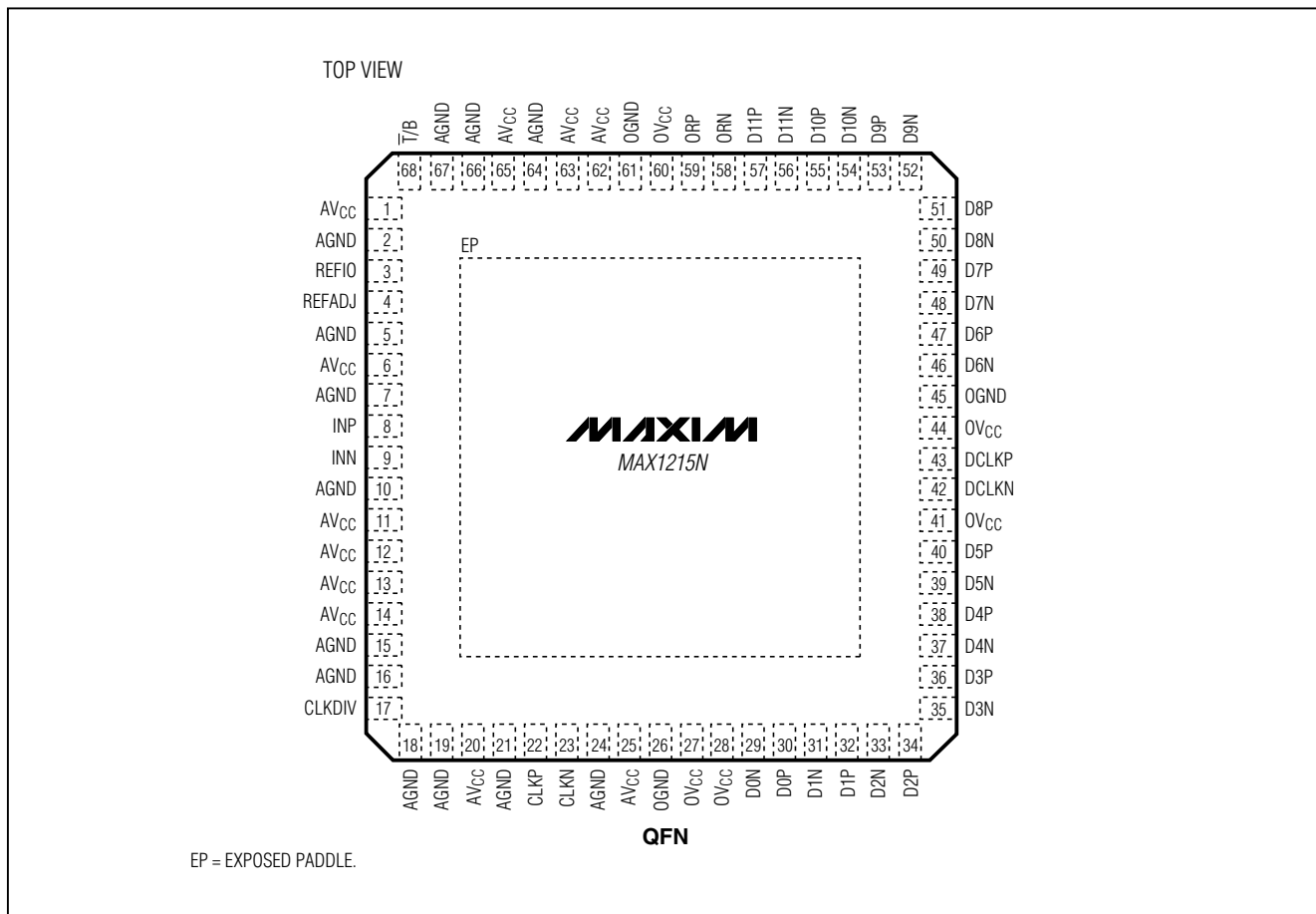
基本波入力トーンの振幅(V1とV2)は、-7dBFSにおける値です。相互変調積は下記の周波数における出力スペクトルの振幅です。

- 2次相互変調積:  $f_{IN1} + f_{IN2}$ 、 $f_{IN2} - f_{IN1}$
- 3次相互変調積:  $2 \times f_{IN1} - f_{IN2}$ 、 $2 \times f_{IN2} - f_{IN1}$ 、 $2 \times f_{IN1} + f_{IN2}$ 、 $2 \times f_{IN2} + f_{IN1}$
- 4次相互変調積:  $3 \times f_{IN1} - f_{IN2}$ 、 $3 \times f_{IN2} - f_{IN1}$ 、 $3 \times f_{IN1} + f_{IN2}$ 、 $3 \times f_{IN2} + f_{IN1}$
- 5次相互変調積:  $3 \times f_{IN1} - 2 \times f_{IN2}$ 、 $3 \times f_{IN2} - 2 \times f_{IN1}$ 、 $3 \times f_{IN1} + 2 \times f_{IN2}$ 、 $3 \times f_{IN2} + 2 \times f_{IN1}$

## Full-Power Bandwidth (フルパワー帯域幅)

-1dBFSのアナログ入力大信号がADCに印加され、デジタル変換結果の振幅が3dB低下するポイントまで入力周波数がスイープされます。-3dBポイントはADCのフルパワー入力帯域幅周波数として定義されます。

## ピン配置



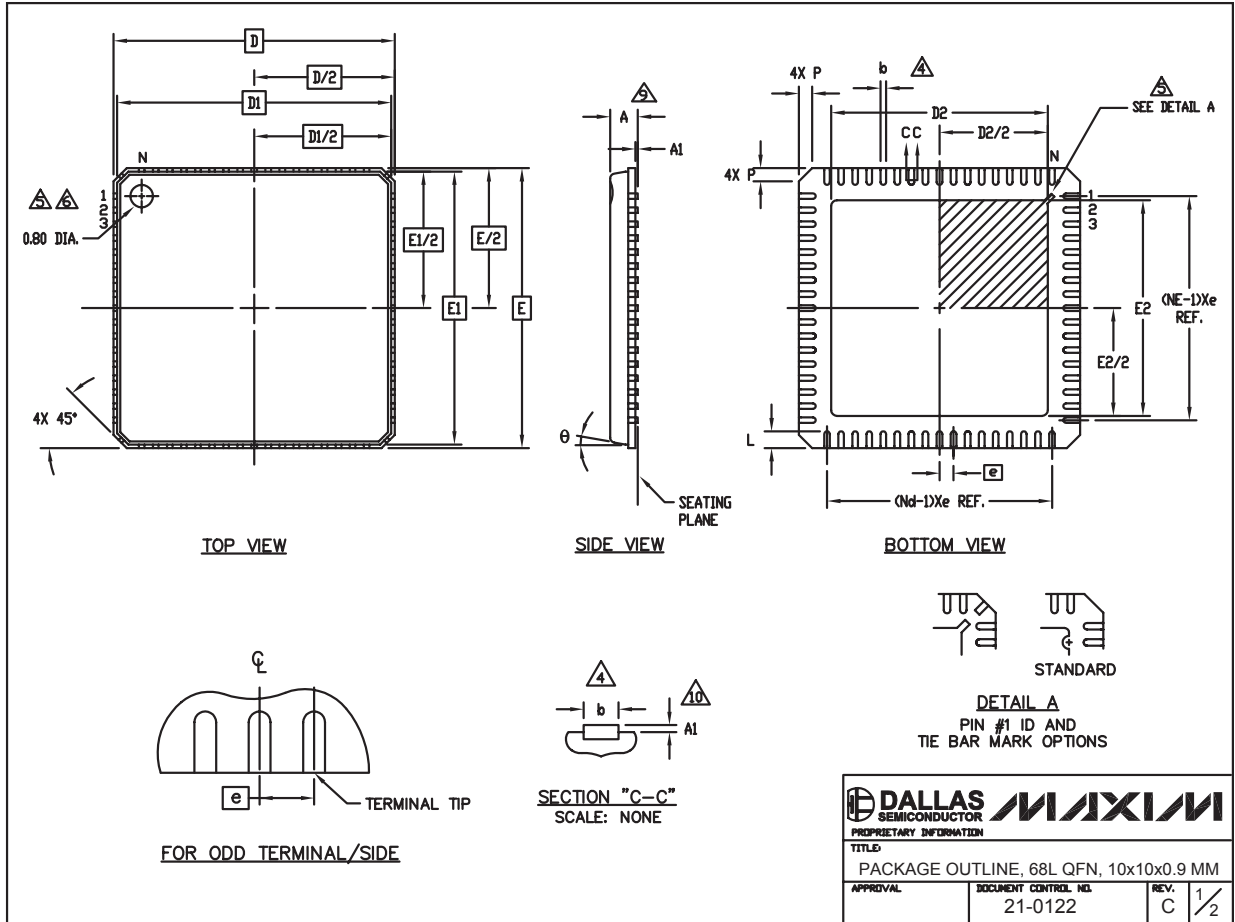
# ブロードバンドアプリケーション用、 1.8V、低電力、12ビット、250MSPS ADC

MAX1215N

## パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、[japan.maxim-ic.com/packages](http://japan.maxim-ic.com/packages)をご参照下さい。)

MAX1215NのパッケージコードはG6800-4です。



<b>DALLAS</b> SEMICONDUCTOR		<b>MAXIM</b>	
<small>PROPRIETARY INFORMATION</small>			
<small>TITLE</small>			
PACKAGE OUTLINE, 68L QFN, 10x10x0.9 MM			
<small>APPROVAL</small>	<small>DOCUMENT CONTROL NO.</small>	<small>REV.</small>	<small>1/2</small>
	21-0122	C	

# ブロードバンドアプリケーション用、 1.8V、低電力、12ビット、250MSPS ADC

MAX1215N

## パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、[japan.maxim-ic.com/packages](http://japan.maxim-ic.com/packages)をご参照下さい。)

SYMBOL	COMMON DIMENSIONS			NOTE
	MIN.	NOM.	MAX.	
A	—	0.90	1.00	
A1	0.00	0.01	0.05	11
b	0.18	0.23	0.30	4
D	10.00 BSC			
D1	9.75 BSC			
E	0.50 BSC			
E1	10.00 BSC			
E1	9.75 BSC			
L	0.50	0.60	0.65	
N	68			3
Nd	17			3
Ne	17			3
Ø	0		12'	
P	0	0.42	0.60	

1. DIE THICKNESS ALLOWABLE IS .012 INCHES MAXIMUM.
2. DIMENSIONING & TOLERANCES CONFORM TO ASME Y14.5M. - 1994.
3. N IS THE NUMBER OF TERMINALS.  
Nd IS THE NUMBER OF TERMINALS IN X-DIRECTION &  
Ne IS THE NUMBER OF TERMINALS IN Y-DIRECTION.
4. DIMENSION b APPLIES TO PLATED TERMINAL AND IS MEASURED BETWEEN 0.20 AND 0.25mm FROM TERMINAL TIP.
5. THE PIN #1 IDENTIFIER MUST BE LOCATED ON THE TOP SURFACE OF THE PACKAGE BY USING INDENTATION MARK OR OTHER FEATURE OF PACKAGE BODY. DETAILS OF PIN #1 IDENTIFIER IS OPTIONAL, BUT MUST BE LOCATED WITHIN ZONE INDICATED.
6. EXACT SHAPE AND SIZE OF THIS FEATURE IS OPTIONAL.
7. ALL DIMENSIONS ARE IN MILLIMETERS.
8. PACKAGE WARPAGE MAX 0.10mm.
9. APPLIES TO EXPOSED SURFACE OF PADS AND TERMINALS
10. APPLIES ONLY TO TERMINALS.
11. MEETS JEDEC MD-220.

### EXPOSED PAD VARIATIONS

PKG CODE	D2			E2		
	MIN	NOM	MAX	MIN	NOM	MAX
G6800-2	7.55	7.70	7.85	7.55	7.70	7.85
G6800-4	5.65	5.80	5.95	5.65	5.80	5.95

 		
<small>PROPRIETARY INFORMATION</small>		
<small>TITLE:</small> PACKAGE OUTLINE, 68L QFN, 10x10x0.9 MM		
<small>APPROVAL</small>	<small>DOCUMENT CONTROL NO.</small> 21-0122	<small>REV.</small> C 1/2

**マキシム・ジャパン株式会社**

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)  
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600

21

© 2006 Maxim Integrated Products, Inc. All rights reserved. **MAXIM** is a registered trademark of Maxim Integrated Products, Inc.