

ブロードバンドアプリケーション用、 1.8V、12ビット、210Msps ADC

概要

MAX1214は、最高300MHzの高IF周波数において卓越したダイナミック性能を持つように最適化された12ビット、210Mspsのモノリシック、アナログ-デジタルコンバータ(ADC)です。この製品は消費電力がわずか820mWながら、最高210Mspsの変換レートで動作します。

210Mspsと最高250MHzの入力周波数で、MAX1214は77.2dBcのスプリアスフリーダイナミックレンジ(SFDR)を達成します。10MHzで66dBの優れた信号対ノイズ比(SNR)は、最高300MHzの入力トーンに対し(2dB以内で)フラットに維持されます。このADCは-67.6dBFSという優れた低ノイズフロアを持つため、ケーブルヘッドエンドレシーバや携帯基地局トランシーバのパワーアンプ線形化などの広帯域アプリケーションに最適です。

MAX1214には1.8Vの単一電源が必要です。アナログ入力は差動動作またはシングルエンドで動作するように設計されており、AC結合またはDC結合することができます。また、このADCは選択可能な2分周クロック回路を内蔵しているため、最高340MHzまでのクロック周波数を使用することができます。これは、入力クロックソースの位相ノイズを低下させるために有用です。最良の性能を得るためには、低電圧差動信号(LVDS)のサンプリングクロックが推奨されます。このコンバータのデジタル出力はLVDS対応であり、2の補数またはオフセットバイナリのデータ形式を選択することができます。

MAX1214はエクスポーズドパッド(EP)付き68ピンQFNパッケージで提供され、工業用温度範囲(-40°C~+85°C)での動作が保証されています。

このファミリの8ビット、10ビット、および12ビットの高速DACの全構成については、「ピンコンパチブルバージョン」表を参照してください。

アプリケーション

- 基地局パワーアンプ線形化
- ケーブルヘッドエンドレシーバ
- ワイヤレスおよび有線ブロードバンド通信
- 通信テスト機器
- レーダおよび衛星サブシステム

機能

- ◆ 変換レート：210Msps
- ◆ 低ノイズフロア：-67.6dBFS
- ◆ 優れた低ノイズ特
 - SNR = 65.6dB($f_{IN} = 100\text{MHz}$ において)
 - SNR = 65dB($f_{IN} = 250\text{MHz}$ において)
- ◆ 優れたダイナミックレンジ
 - SFDR = 74.2dBc($f_{IN} = 100\text{MHz}$ において)
 - SFDR = 77.2dBc($f_{IN} = 250\text{MHz}$ において)
- ◆ NPR：59.5dB ($f_{NOTCH} = 28.8\text{MHz}$ および50MHzのノイズ帯域幅の場合)
- ◆ 単一電源：1.8V
- ◆ 電力消費：820mW($f_{SAMPLE} = 210\text{MHz}$ および $f_{IN} = 100\text{MHz}$ において)
- ◆ トラック/ホールドアンプを搭載
- ◆ 1.23Vのバンドギャップリファレンスを内蔵
- ◆ 選択可能な2分周クロック入力を搭載
- ◆ データクロック出力付きLVDSデジタル出力
- ◆ MAX1214のEVキットを提供

型番

PART	TEMP RANGE	PIN-PACKAGE
MAX1214EGK	-40°C to +85°C	68 QFN-EP*

*EP = エクスポーズドパッド。

ピンコンパチブルバージョン

PART	RESOLUTION (BITS)	SPEED GRADE (Msps)
MAX1121	8	250
MAX1122	10	170
MAX1123	10	210
MAX1124	10	250
MAX1213	12	170
MAX1215	12	250

ピン配置はデータシートの最後に記載されています。

ブロードバンドアプリケーション用、 1.8V、12ビット、210MSPS ADC

MAX1214

ABSOLUTE MAXIMUM RATINGS

AVCC to AGND	-0.3V to +2.1V	Thermal Resistance	
OVCC to OGND	-0.3V to +2.1V	θJC	0.8°C/W
AVCC to OVCC	-0.3V to +2.1V	θJA	35°C/W
AGND to OGND	-0.3V to +0.3V	Operating Temperature Range	-40°C to +85°C
INP, INN to AGND	-0.3V to (AVCC + 0.3V)	Junction Temperature	+150°C
All Digital Inputs to AGND	-0.3V to (AVCC + 0.3V)	Storage Temperature Range	-60°C to +150°C
REFIO, REFADJ to AGND	-0.3V to (AVCC + 0.3V)	Maximum Current into Any Pin	±50mA
All Digital Outputs to OGND	-0.3V to (OVCC + 0.3V)	Lead Temperature (soldering, 10s)	+300°C
ESD on All Pins (Human Body Model)	±2000V		

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(AVCC = OVCC = 1.8V, AGND = OGND = 0, fSAMPLE = 210MHz, differential sine-wave clock input drive, 0.1µF capacitor on REFIO, internal reference, digital output pins differential RL = 100Ω ±1%, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY						
Resolution			12			Bits
Integral Nonlinearity (Note 2)	INL	fIN = 10MHz, TA = +25°C	-1.75	±0.75	+1.75	LSB
Differential Nonlinearity (Note 2)	DNL	TA = +25°C, no missing codes	-1	±0.4	+1	LSB
Transfer Curve Offset	VOS	TA = +25°C (Note 2)	-3.5		+3.5	mV
Offset Temperature Drift				40		µV/°C
ANALOG INPUTS (INP, INN)						
Full-Scale Input Voltage Range	VFS	TA = +25°C (Note 2)	1320	1454	1590	mVp-p
Full-Scale Range Temperature Drift				130		ppm/°C
Common-Mode Input Range	VCM	Internally self-biased		1.365 ±0.15		V
Input Capacitance	CIN			2.5		pF
Differential Input Resistance	RIN		3.0	4.2	6.3	kΩ
Full-Power Analog Bandwidth	FPBW			700		MHz
REFERENCE (REFIO, REFADJ)						
Reference Output Voltage	VREFIO	TA = +25°C, REFADJ = AGND	1.18	1.23	1.30	V
Reference Temperature Drift				90		ppm/°C
REFADJ Input High Voltage	VREFADJ	Used to disable the internal reference	AVCC - 0.3			V
SAMPLING CHARACTERISTICS						
Maximum Sampling Rate	fSAMPLE		210			MHz
Minimum Sampling Rate	fSAMPLE			20		MHz
Clock Duty Cycle		Set by clock-management circuit		40 to 60		%
Aperture Delay	tAD	Figures 4, 11		620		ps
Aperture Jitter	tAJ	Figure 11		0.2		psRMS

ブロードバンドアプリケーション用、 1.8V、12ビット、210Mpsps ADC

MAX1214

ELECTRICAL CHARACTERISTICS (continued)

(AVCC = OVCC = 1.8V, AGND = OGND = 0, fSAMPLE = 210MHz, differential sine-wave clock input drive, 0.1μF capacitor on REFIO, internal reference, digital output pins differential RL = 100Ω ±1%, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
CLOCK INPUTS (CLKP, CLKN)						
Differential Clock Input Amplitude		(Note 3)	200	500		mVp-p
Clock Input Common-Mode Voltage Range		Internally self-biased		1.15 ±0.25		V
Clock Differential Input Resistance	RCLK			11 ±25%		kΩ
Clock Differential Input Capacitance	CCLK			5		pF
DYNAMIC CHARACTERISTICS (at -1dBFS)						
Signal-to-Noise Ratio	SNR	fIN = 10MHz, TA ≥ +25°C	64	66		dB
		fIN = 100MHz, TA ≥ +25°C	64	65.6		
		fIN = 200MHz		65.3		
		fIN = 250MHz		65		
Signal-to-Noise and Distortion	SINAD	fIN = 10MHz, TA ≥ +25°C	64	65.8		dB
		fIN = 100MHz, TA ≥ +25°C	63.3	65		
		fIN = 200MHz		63.7		
		fIN = 250MHz		64.4		
Spurious-Free Dynamic Range	SFDR	fIN = 10MHz, TA ≥ +25°C	73	80.7		dBc
		fIN = 100MHz, TA ≥ +25°C	68	74.2		
		fIN = 200MHz		69.1		
		fIN = 250MHz		77.2		
Worst Harmonics (HD2 or HD3)		fIN = 10MHz, TA ≥ +25°C		-82	-73	dBc
		fIN = 100MHz, TA ≥ +25°C		-74.2	-68	
		fIN = 200MHz		-73.5		
		fIN = 250MHz		-72.5		
Two-Tone Intermodulation Distortion	TTIMD	fIN1 = 99MHz at -7dBFS, fIN2 = 101MHz at -7dBFS		-74		dBc
Noise-Power Ratio	NPR	fNOTCH = 28.8MHz ±1MHz, noise BW = 50MHz, AIN = -9.1dBFS		59.5		dB
LVDS DIGITAL OUTPUTS (D0P/N–D11P/N, ORP/N)						
Differential Output Voltage	IVODI	RL = 100Ω ±1%	250		400	mV
Output Offset Voltage	OVOS	RL = 100Ω ±1%	1.125		1.310	V

ブロードバンドアプリケーション用、 1.8V、12ビット、210Mps ADC

MAX1214

ELECTRICAL CHARACTERISTICS (continued)

(AVCC = OVCC = 1.8V, AGND = OGND = 0, fSAMPLE = 210MHz, differential sine-wave clock input drive, 0.1μF capacitor on REFIO, internal reference, digital output pins differential RL = 100Ω ±1%, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
LVC MOS DIGITAL INPUTS (CLKDIV, \bar{T}/B)						
Digital Input-Voltage Low	VIL			0.2 × AVCC		V
Digital Input-Voltage High	VIH		0.8 × AVCC			V
TIMING CHARACTERISTICS						
CLK-to-Data Propagation Delay	tPDL	Figure 4		1.77		ns
CLK-to-DCLK Propagation Delay	tCPDL	Figure 4		4.31		ns
DCLK-to-Data Propagation Delay	tPDL - tCPDL	Figure 4 (Note 3)	2.09	2.54	2.91	ns
LVDS Output Rise Time	tRISE	20% to 80%, CL = 5pF		460		ps
LVDS Output Fall Time	tFALL	20% to 80%, CL = 5pF		460		ps
Output Data Pipeline Delay	tLATENCY	Figure 4		11		Clock cycles
POWER REQUIREMENTS						
Analog Supply Voltage Range	AVCC		1.70	1.80	1.90	V
Digital Supply Voltage Range	OVCC		1.70	1.80	1.90	V
Analog Supply Current	I _{AVCC}	f _{IN} = 100MHz		390	460	mA
Digital Supply Current	I _{OVCC}	f _{IN} = 100MHz		64	75	mA
Analog Power Dissipation	P _{DISS}	f _{IN} = 100MHz		820	963	mW
Power-Supply Rejection Ratio (Note 4)	PSRR	Offset		1.8		mV/V
		Gain		1.5		%FS/V

Note 1: ≥+25°C guaranteed by production test, <+25°C guaranteed by design and characterization.

Note 2: Static linearity and offset parameters are based on the end-point fit method. The full-scale range (FSR) is defined as 4095 × slope of the line.

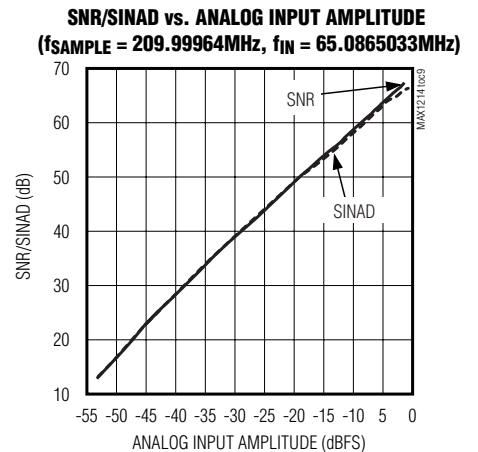
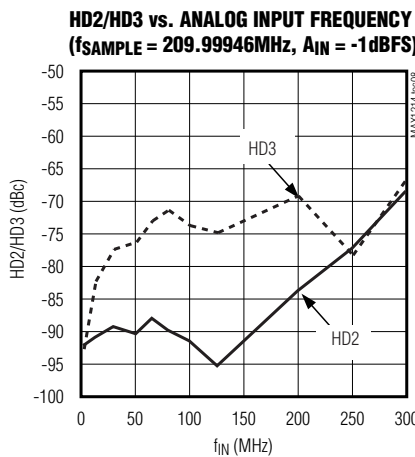
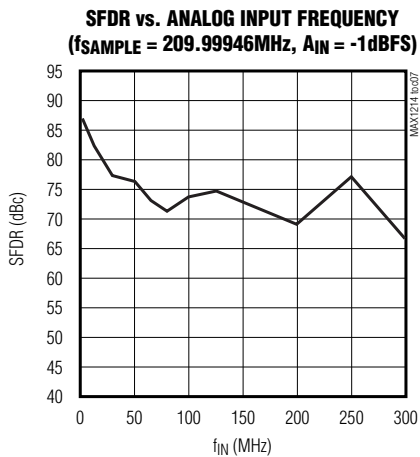
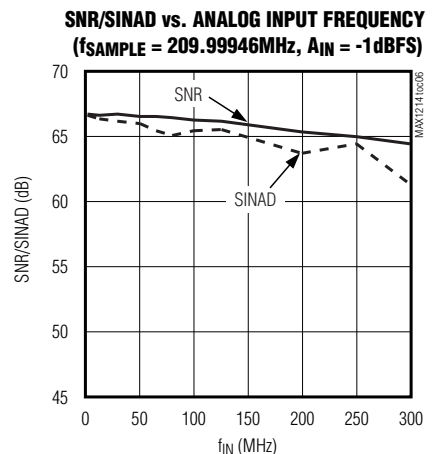
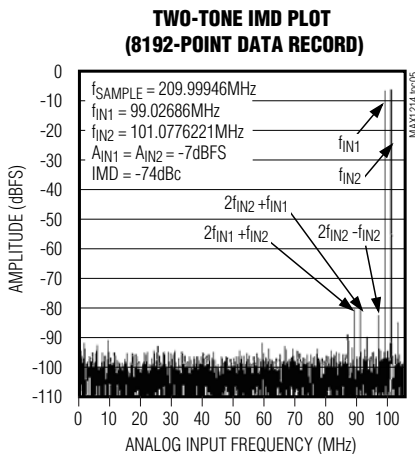
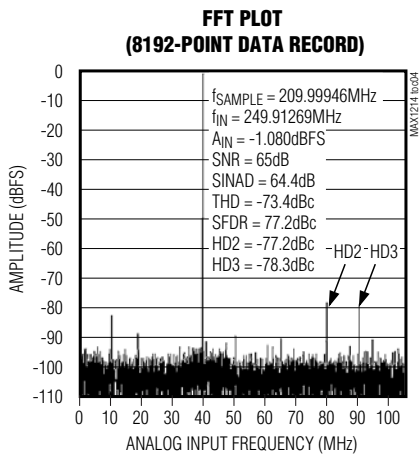
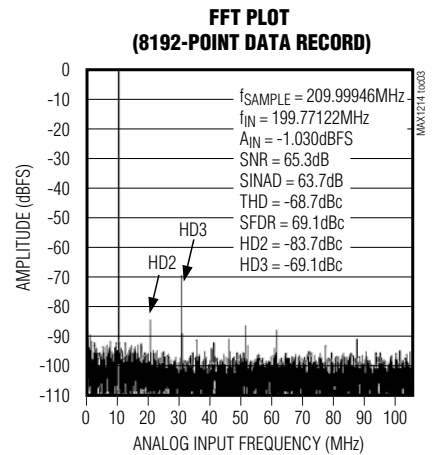
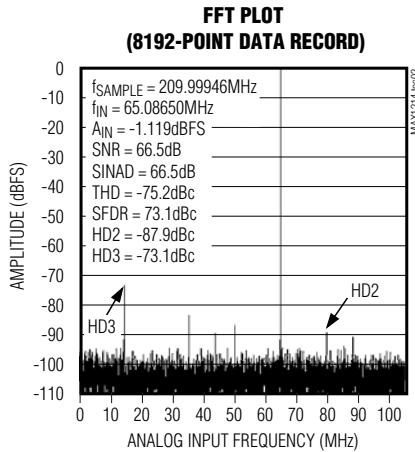
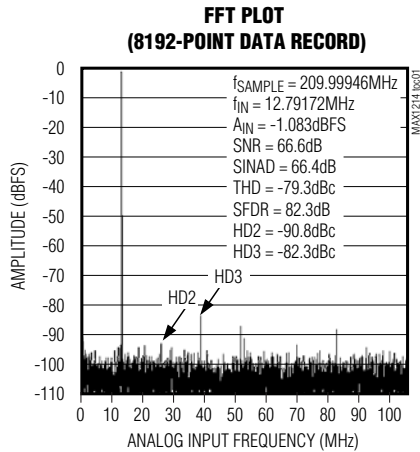
Note 3: Parameter guaranteed by design and characterization: TA = TMIN to TMAX.

Note 4: PSRR is measured with both analog and digital supplies connected to the same potential.

ブロードバンドアプリケーション用、 1.8V、12ビット、210MSPS ADC

標準動作特性

($V_{CC} = OV_{CC} = 1.8V$, $AGND = O_{GND} = 0$, $f_{SAMPLE} = 210MHz$, $A_{IN} = -1dBFS$; see each TOC for detailed information on test conditions, differential input drive, differential sine-wave clock input drive, 0.1 μF capacitor on REFIO, internal reference, digital output pins differential $R_L = 100\Omega$, $T_A = +25^\circ C$.)

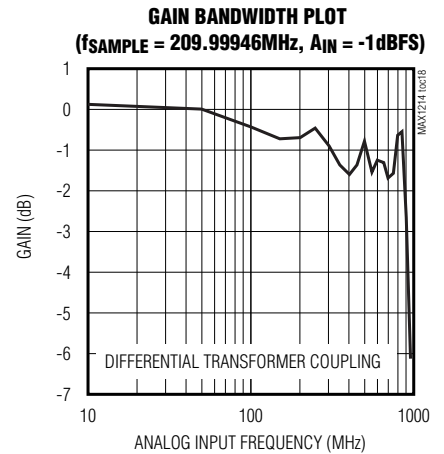
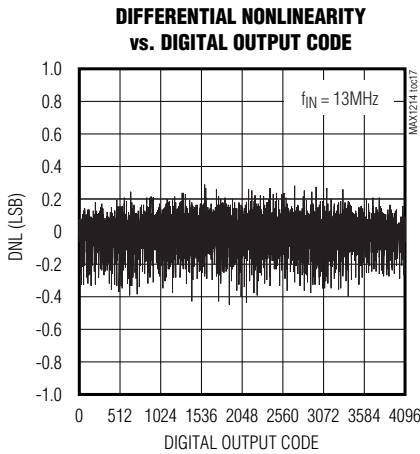
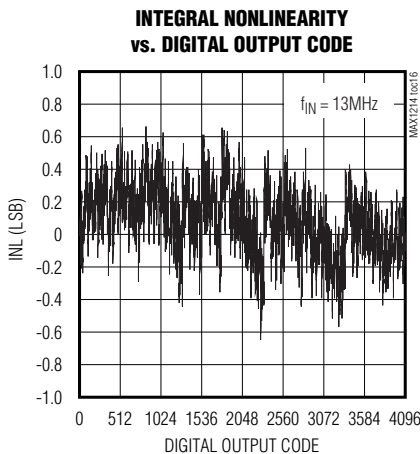
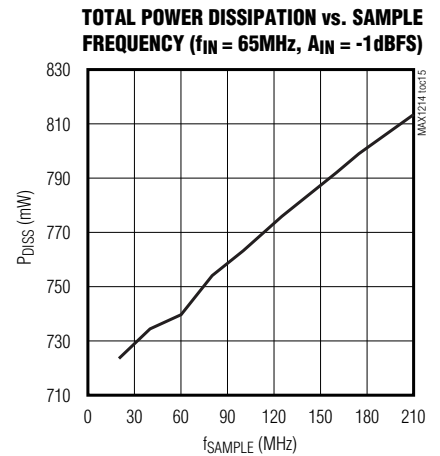
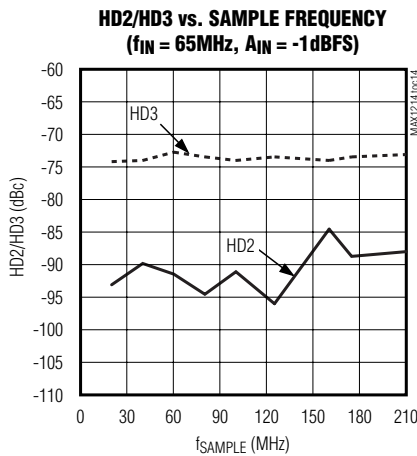
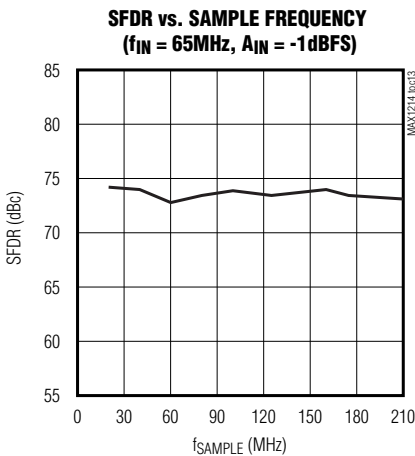
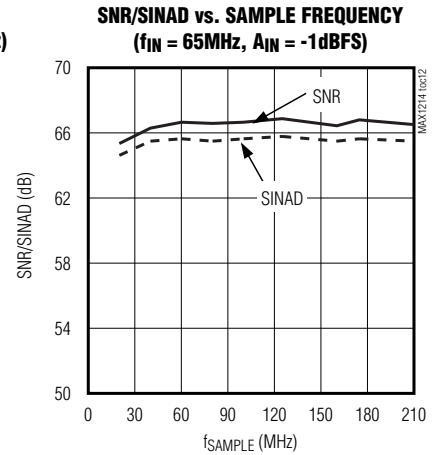
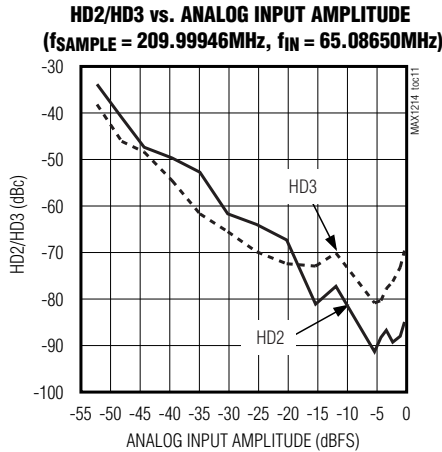
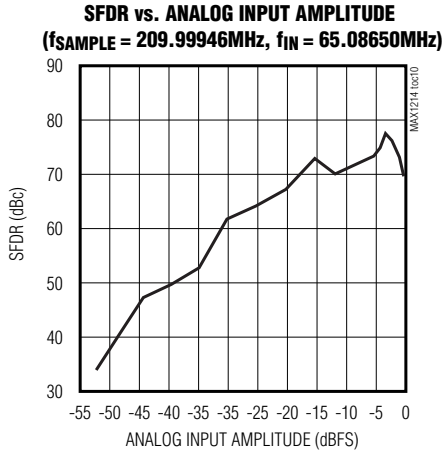


ブロードバンドアプリケーション用、 1.8V、12ビット、210Mps ADC

MAX1214

標準動作特性(続き)

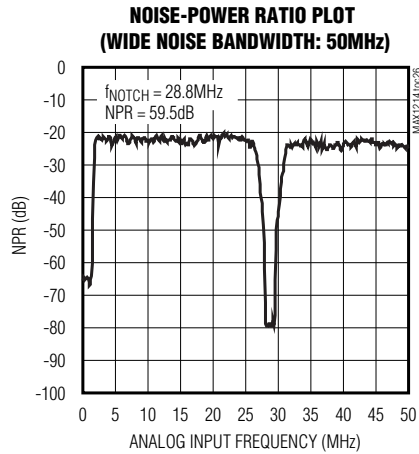
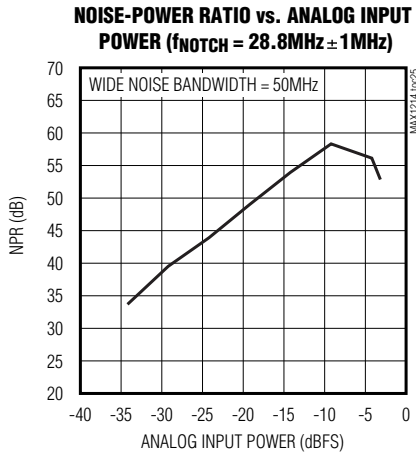
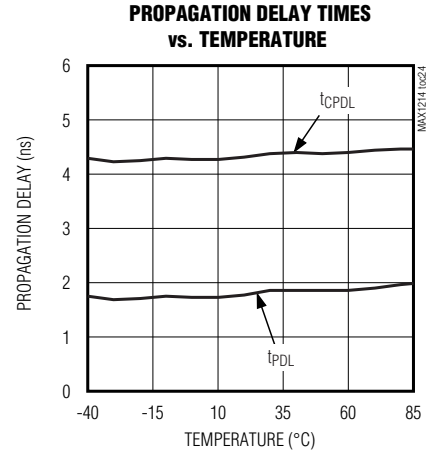
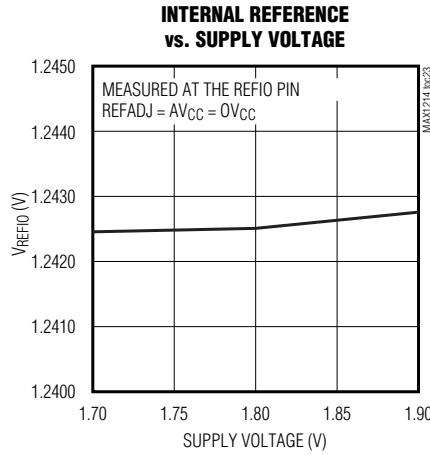
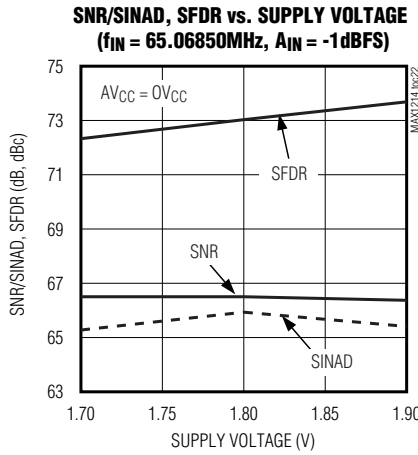
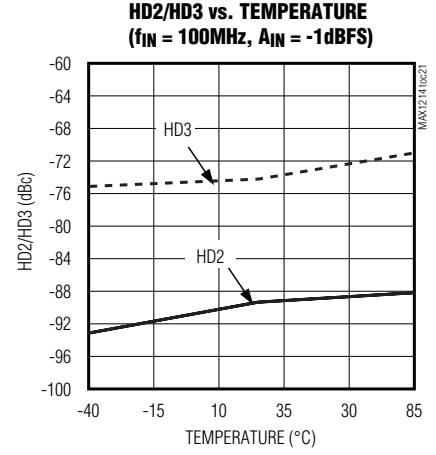
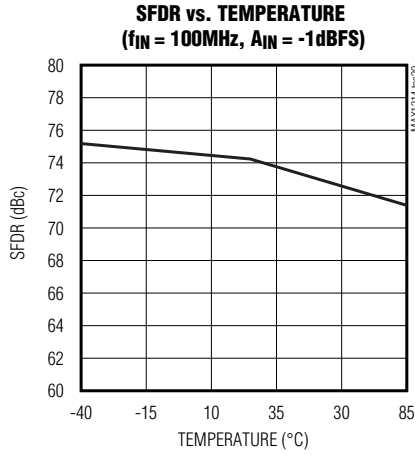
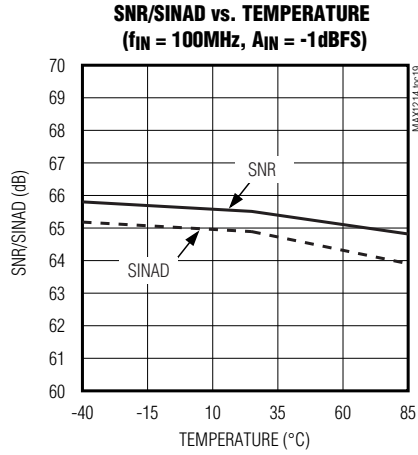
($V_{CC} = OV_{CC} = 1.8V$, $AGND = OGND = 0$, $f_{SAMPLE} = 210MHz$, $A_{IN} = -1dBFS$; see each TOC for detailed information on test conditions, differential input drive, differential sine-wave clock input drive, $0.1\mu F$ capacitor on REFIO, internal reference, digital output pins differential $R_L = 100\Omega$, $T_A = +25^\circ C$.)



ブロードバンドアプリケーション用、 1.8V、12ビット、210MSPS ADC

標準動作特性(続き)

($V_{CC} = OV_{CC} = 1.8V$, $AGND = OGND = 0$, $f_{SAMPLE} = 210MHz$, $A_{IN} = -1dBFS$; see each TOC for detailed information on test conditions, differential input drive, differential sine-wave clock input drive, $0.1\mu F$ capacitor on REFIO, internal reference, digital output pins differential $R_L = 100\Omega$, $T_A = +25^\circ C$.)



ブロードバンドアプリケーション用、 1.8V、12ビット、210MSPS ADC

MAX1214

端子説明

端子	名称	機能
1, 6, 11-14, 20, 25, 62, 63, 65	AVCC	アナログ電源電圧。最良のデカップリング性能を得るためには、各端子に0.1μFと0.22μFのコンデンサを並列に組み合わせて、バイパスしてください。
2, 5, 7, 10, 15, 16, 18, 19, 21, 24, 64, 66, 67	AGND	アナログコンバータグランド
3	REFIO	リファレンス入力/出力。REFADJをハイに強制すると、このI/Oポートから外部リファレンスソースをMAX1214に接続することができます。REFADJをローに強制すると、1.23Vの内部バンドギャップリファレンスがアクティブになります。
4	REFADJ	リファレンス調整入力。REFADJを使って、抵抗または調整用ポテンショメータをREFADJとAGNDの間(FSRを縮小)、またはREFADJとREFIOの間(FSRを拡大)に配置して、FSRを調整することができます。REFADJをAVCCに接続すると、内部リファレンスではなく、REFIOに接続された外部ソースを優先させることができます。REFADJをAGNDに接続すると、内部リファレンスを使ってデータコンバータのFSRを設定することができます。
8	INP	アナログ入力の正端子。1.365Vに内部で自己バイアス。
9	INN	アナログ入力の負端子。1.365Vに内部で自己バイアス。
17	CLKDIV	クロック分周器入力。このLVCMOS対応入力によって、コンバータのデジタル出力の更新速度を制御します。CLKDIVはプルダウン抵抗器を内蔵しています。 CLKDIV = 0 : ADCは入力クロックレートの半分でデジタル出力を更新します。 CLKDIV = 1 : ADCは入力クロックレートでデジタル出力を更新します。
22	CLKP	真(true)のクロック入力。コンバータの優れた性能を確保するには、理想的にはこの入力はLVPECL対応入力レベルを必要とします。1.15Vに内部で自己バイアス。
23	CLKN	相補(complementary)クロック入力。コンバータの優れた性能を維持するには、理想的にはこの入力はLVPECL対応入力レベルを必要とします。1.15Vに内部で自己バイアス。
26, 45, 61	OGND	デジタルコンバータグランド。デジタル回路と出力ドライバ用のグランド接続。
27, 28, 41, 44, 60	OVCC	デジタル電源電圧。最良のデカップリング性能を得るためには、0.1μFのコンデンサでバイパスしてください。
29	D0N	相補出力ビット0(LSB)
30	D0P	真の出力ビット0(LSB)
31	D1N	相補出力ビット1
32	D1P	真の出力ビット1
33	D2N	相補出力ビット2
34	D2P	真の出力ビット2
35	D3N	相補出力ビット3
36	D3P	真の出力ビット3

ブロードバンドアプリケーション用、 1.8V、12ビット、210MSPS ADC

MAX1214

端子説明(続き)

端子	名称	機能
37	D4N	相補出力ビット4
38	D4P	真の出力ビット4
39	D5N	相補出力ビット5
40	D5P	真の出力ビット5
42	DCLKN	相補クロック出力。この出力はLVDS対応出力レベルを備え、この出力を使って外付けデバイスをコンバータクロックと同期させることができます。
43	DCLKP	真のクロック出力。この出力はLVDS対応出力レベルを備え、この出力を使って外付けデバイスをコンバータクロックと同期させることができます。
46	D6N	相補出力ビット6
47	D6P	真の出力ビット6
48	D7N	相補出力ビット7
49	D7P	真の出力ビット7
50	D8N	相補出力ビット8
51	D8P	真の出力ビット8
52	D9N	相補出力ビット9
53	D9P	真の出力ビット9
54	D10N	相補出力ビット10
55	D10P	真の出力ビット10
56	D11N	相補出力ビット11(MSB)
57	D11P	真の出力ビット11(MSB)
58	ORN	「範囲外」制御ビット用の相補出力。「範囲外」の状態が検出されると、ビットORNはローに遷移してこの状態に対してフラグをセットします。
59	ORP	「範囲外」制御ビット用の出力。「範囲外」の状態が検出されると、ビットORPはハイに遷移してこの状態に対してフラグをセットします。
68	T/B	2の補数またはバイナリ出力形式の選択。このLVCMOS対応入力によって、MAX1214のデジタル出力形式を制御します。T/Bはプルダウン抵抗器を内蔵しています。 T/B = 0 : 2の補数出力形式。 T/B = 1 : バイナリ出力形式。
—	EP	エクスポーズパッド。エクスポーズパッドはチップの裏面に配置され、性能を最適化するにはアナロググランドに接続する必要があります。

ブロードバンドアプリケーション用、 1.8V、12ビット、210Mpsps ADC

MAX1214

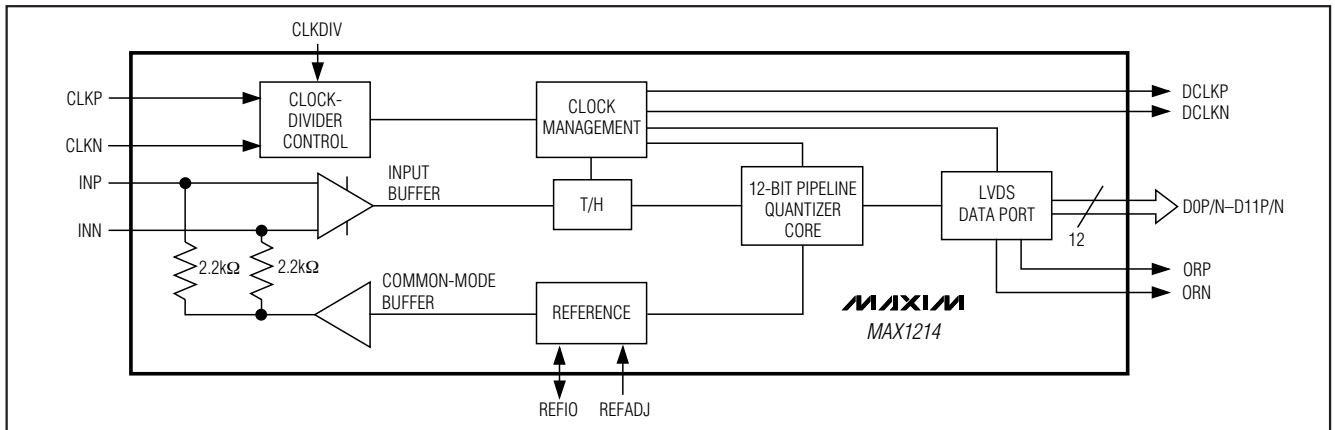


図1. MAX1214のブロックダイアグラム

詳細—動作原理

MAX1214は完全差動パイプライン式アーキテクチャを採用し、このアーキテクチャによって高速変換、最適な精度、およびリニアリティを可能とし、しかも電力消費とダイサイズを最低限に抑制します。

正(INP)および負/相補アナログ入力端子(INN)は、ともに1.365Vのコモンモード電圧を中心にして、それぞれ $\pm V_{FS} / 4$ の差動アナログ入力電圧振幅を受け付け、その結果、1.454V_{p-p}(typ)の差動フルスケール信号振幅となります。入力INPおよびINNは各T/H段に入る前にバッファされ、差動サンプリングクロック信号がハイに遷移するとサンプリングされます。

パイプラインの各コンバータ段はその入力電圧をデジタル出力コードに変換します。最終段を除いたすべての段で、入力電圧とデジタル出力コード間の誤差が増幅され、次のパイプライン段に渡されます。デジタル誤差補正は各パイプライン段においてADCコンパレータのオフセットを補償し、ミッシングコードがないようにします。その結果は、LVDS対応出力レベルを備えるユーザが選択可能な2の補数またはオフセットバイナリ出力形式による12ビットパラレルデジタル出力ワードです。MAX1214のアーキテクチャの詳細については、図1を参照してください。

アナログ入力(INP、INN)

INPとINNは、MAX1214の完全差動入力端子です。差動入力は通常、偶数次高調波を適切に除去するため、信号がアナログ段を通過するときにAC性能を向上することができます。MAX1214アナログ入力は1.365Vのコモンモード電圧で自己バイアスされ、1.454V_{p-p}の

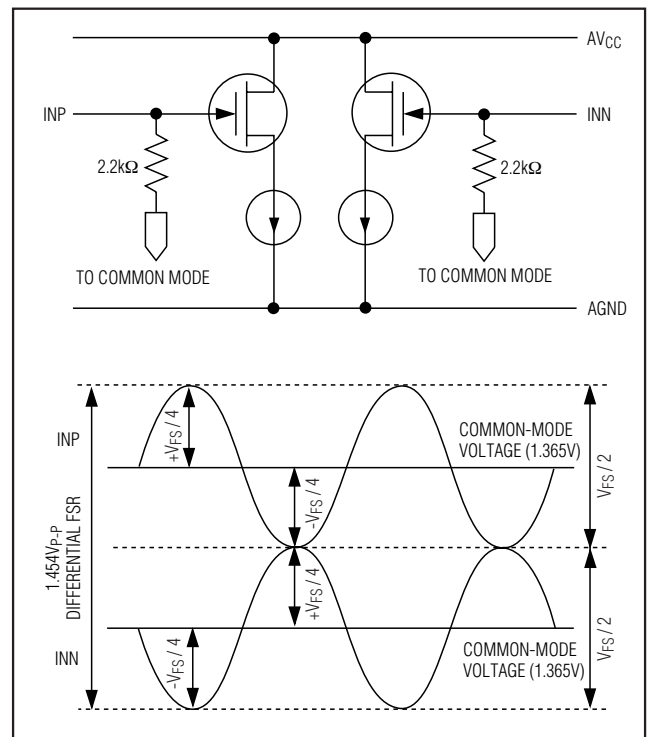


図2. 簡略アナログ入力アーキテクチャおよび許容入力電圧範囲

差動入力電圧振幅を実現します(図2)。両入力端子は2kΩの抵抗器によって自己バイアスされ、その結果、4kΩ(typ)の差動入力抵抗となります。最高のダイナミック性能を達成するためには、AC結合構成としてMAX1214のアナログ入力を駆動することを推奨します。この構成の詳細については、「トランス結合、差動アナログ入力駆動」の項を参照してください。

ブロードバンドアプリケーション用、 1.8V、12ビット、210Mpsps ADC

内蔵リファレンス回路

MAX1214は1.23Vの内部バンドギャップリファレンス回路(図3)を内蔵し、内部リファレンススケーリングアンプとの組合せによってMAX1214のFSRを決定します。0.1 μ FのコンデンサでREFIOをAGNDにバイパスしてください。利得誤差の補償またはADCのFSRの拡大を行うために、外付け抵抗(100k Ω の調整用ポテンシオメータなど)をREFADJとAGNDの間、またはREFADJとREFIOの間に追加して、このバンドギャップリファレンスの電圧を間接的に調整することができます。このプロセスの詳細については、「アプリケーション情報」の項を参照してください。

内部リファレンスをディセーブルするには、REFADJをAV_{CC}に接続してください。この構成では、コンバータのフルスケールを設定するためには安定した外部リファレンスをREFIOに印加する必要があります。内部リファレンスをイネーブルするには、REFADJをAGNDに接続してください。

クロック入力(CLKP、CLKN)

差動LVDSクロック入力で駆動用されるように設計されているため、最良のダイナミック性能を得るためにはLVDSまたはPECL対応クロックでMAX1214のクロック入力を駆動することを推奨します。ADCのノイズ性能の悪化を回避するには、クロック信号源は高速エッジレートを備えて高品質、低位相ノイズとしなければなりません。クロック入力(CLKP、CLKN)は1.15Vに内部でバイアスされ、0.5V_{p-p}(typ)の差動信号振幅を受け付け、通常、AC結合構成で駆動されます。CLKPおよびCLKNを適切に駆動する方法に関する回路の詳細については、「差動、AC結合PECL対応クロック入力」の項を参照してください。推奨しませんが、クロック入力はシングルエンド入力信号も受け付けます。

MAX1214はクロック管理回路(デューティサイクルイコライザ)も内蔵しています。この回路によって、入力CLKPおよびCLKNに印加されるクロック信号が処理され、50%のデューティサイクルクロック信号が保証されます。このため、入力クロックソースのデューティサイクル変動に対するコンバータ性能への影響を小さくします。なお、クロックデューティサイクルイコライザを外部からオフとすることはできず、正しく動作させるためにはデータシートの仕様に従って20MHzを超えるクロック周波数を必要とします。

データクロック出力(DCLKP、DCLKN)

MAX1214は差動クロック出力を備え、これを使って外部ラッチやレシーバによってデジタル出力データをラッチすることができます。また、クロック出力を使って、外付けデバイス(FPGAなど)とADCを同期させることもできます。DCLKPおよびDCLKNは、LVDS対応電圧レベルを備えた差動出力です。CLKP (CLKN)の立上り(立下り)エッジとDCLKP (DCLKN)の立上りエッジとの間に4.31nsの遅延時間があります。タイミングの詳細については図4を参照してください。

2分周クロック制御(CLKDIV)

MAX1214はクロック制御ライン(CLKDIV)を備え、システム内のクロックジッタの低減を支援します。ADCの内蔵2分周クロック分周器をイネーブルするには、CLKDIVをOGNDに接続してください。するとデータはADCの入力クロックレートの半分で更新されます。CLKDIVはプルダウン抵抗器を内蔵し、この2分周モードを必要とするアプリケーションの場合は開放状態にすることができます。CLKDIVをOV_{CC}に接続すると、2分周モードがディセーブルされます。

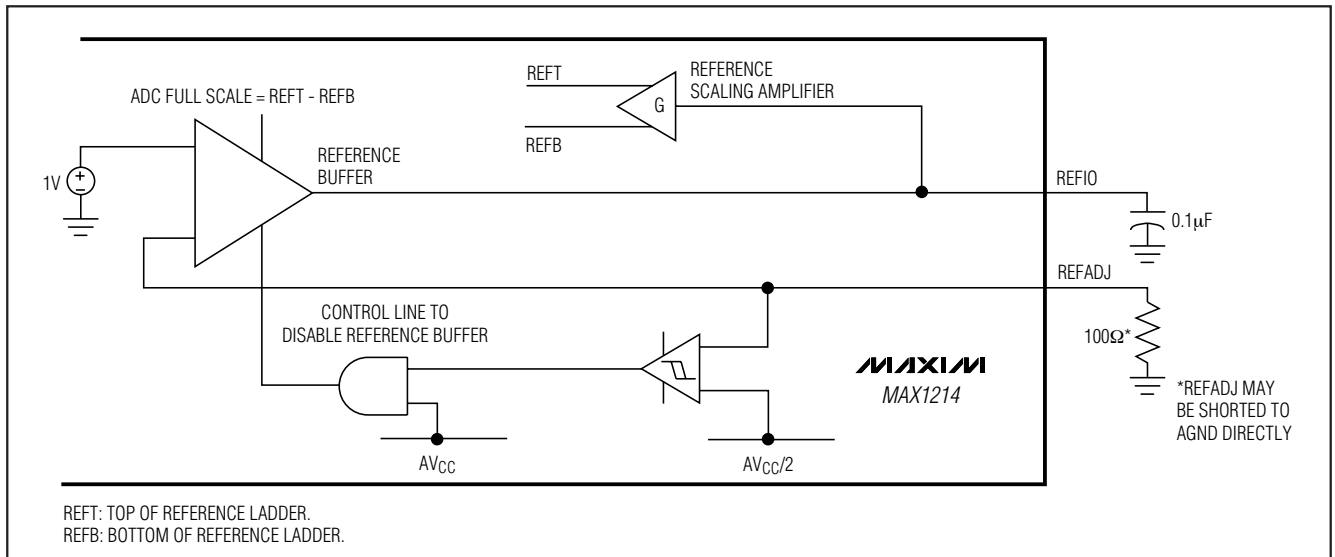


図3. 簡略リファレンス方式

ブロードバンドアプリケーション用、 1.8V、12ビット、210Mps ADC

MAX1214

システムタイミング要件

図4は、クロック入力と出力、アナログ入力、サンプリングイベント、およびデータ出力間の関係を示しています。MAX1214は、CLKP(CLKN)の立上り(立下り)エッジでサンプリングします。出力データはDCLKP(DCLKN)クロックの次の立上り(立下り)エッジで有効ですが、11クロックサイクルの遅延があります。

デジタル出力(D0P/N-D11P/N、 DCLKP/N、ORP/N)および制御入力 \bar{T}/B

デジタル出力D0P/N-D11P/N、DCLKP/N、およびORP/Nは、LVDSに対応し、D0P/N-D11P/Nのデータはバイナリまたは2の補数形式で表されます(表1)。 \bar{T}/B 制御ラインはLVCMOS対応入力であり、それによって所望の出力形式の選択が可能です。 \bar{T}/B をローに強制すると2の補数形式で、ハイに強制するとオフセットバイナリ形式で、データが12ビットパラレルバス上に提示されます。 \bar{T}/B はプルダウン抵抗器を内蔵し、2の補数出力形式を使用するアプリケーションにおいてのみ

未接続状態にすることができます。すべてのLVDS出力は1.15Vのコモンモード電圧を中心に0.325V(typ)の電圧振幅を備え、各伝送ラインペア(真および相補)は遠端で100Ω終端する必要があります。各LVDS出力は別の電源から給電され、1.7V~1.9Vで動作可能です。

MAX1214は、「範囲外」状態に対してフラグを設定する差動出力ペア(ORP、ORN)も備えています。「範囲外」とは、正のフルスケールを上回るか、または負のフルスケールを下回る状態です。「範囲外」の状態は、ORP(ORN)がハイ(ロー)に遷移することによって識別されます。

注：差動LVDS出力アーキテクチャによって電源およびグランドプレーンに対するシングルエンドトランジエントは減少しますが、デジタル出力の容量性負荷はできる限り小さくする必要があります。より大きな負荷の駆動時にADCのデジタル出力にLVDSバッファを使用すると、全体性能を向上し、システムタイミングの制約を緩和することができます。

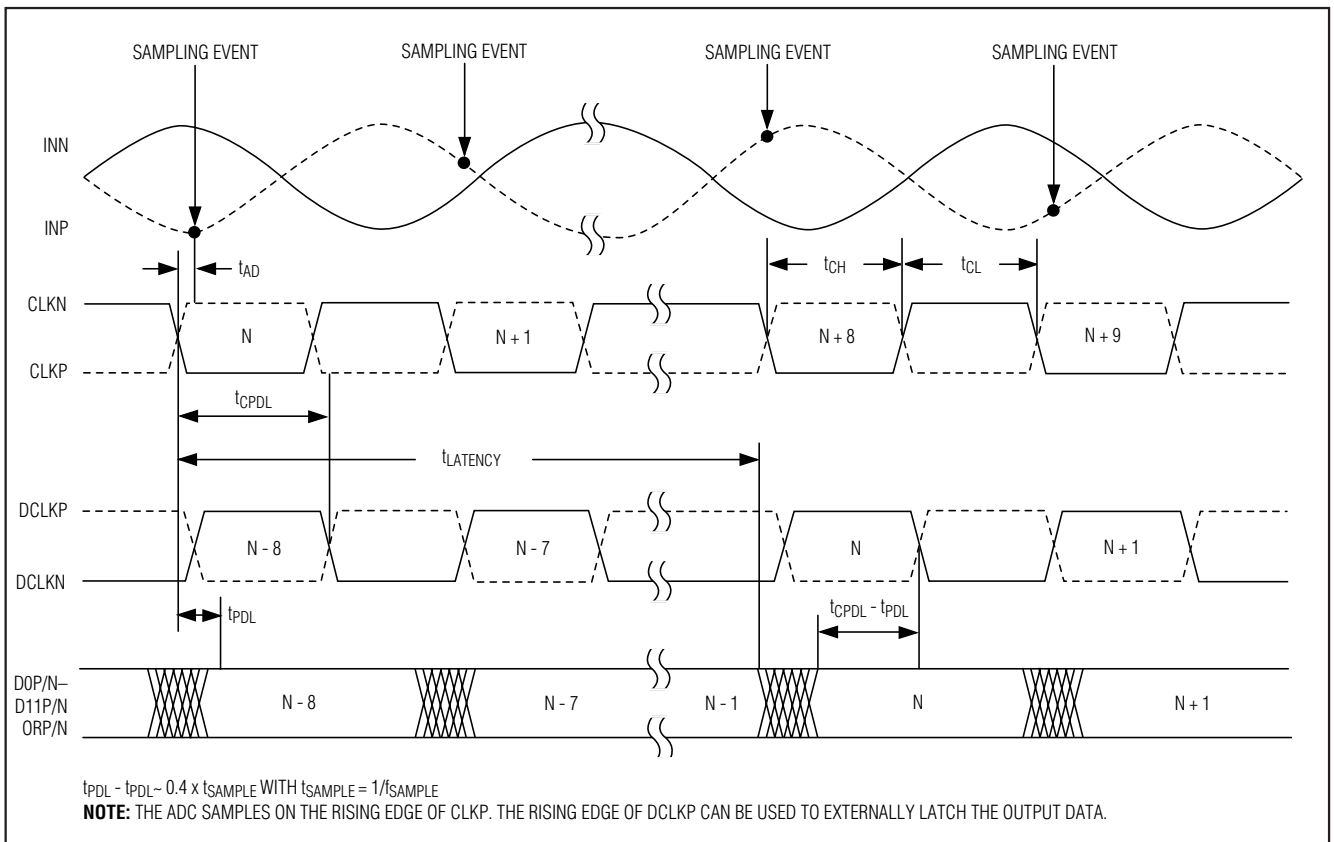


図4. システムおよび出力タイミングダイアグラム

ブロードバンドアプリケーション用、 1.8V、12ビット、210Mpsps ADC

MAX1214

表1. MAX1214のデジタル出力コーディング

INP ANALOG INPUT VOLTAGE LEVEL	INN ANALOG INPUT VOLTAGE LEVEL	OUT-OF-RANGE ORP (ORN)	BINARY DIGITAL OUTPUT CODE (D11P/N-D0P/N)	TWO'S COMPLEMENT DIGITAL OUTPUT CODE (D11P/N-D0P/N)
$> V_{CM} + V_{FS} / 4$	$< V_{CM} - V_{FS} / 4$	1 (0)	1111 1111 1111 (exceeds +FS, OR set)	0111 1111 1111 (exceeds +FS, OR set)
$V_{CM} + V_{FS} / 4$	$V_{CM} - V_{FS} / 4$	0 (1)	1111 1111 1111 (+FS)	0111 1111 1111 (+FS)
V_{CM}	V_{CM}	0 (1)	1000 0000 0000 or 0111 1111 1111 (FS/2)	0000 0000 0000 or 1111 1111 1111 (FS/2)
$V_{CM} - V_{FS} / 4$	$V_{CM} + V_{FS} / 4$	0 (1)	0000 0000 0000 (-FS)	1000 0000 0000 (-FS)
$< V_{CM} + V_{FS} / 4$	$> V_{CM} - V_{FS} / 4$	1 (0)	00 0000 0000 (exceeds -FS, OR set)	10 0000 0000 (exceeds -FS, OR set)

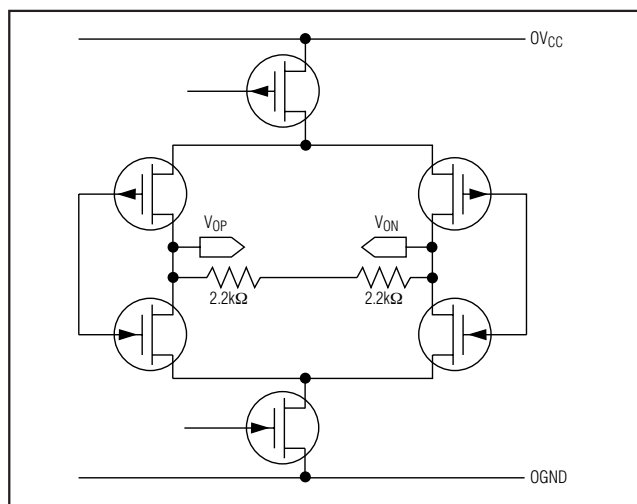


図5. 簡略LVDS出力方式

アプリケーション情報

内部バンドギャップリファレンスを 使用するFSR調整

MAX1214は、10% (±5%)のフルスケール調整範囲をサポートします。フルスケール信号範囲を縮小するために、13kΩ~1MΩの範囲の外付け抵抗値をREFADJとAGNDの間に追加することができます。ADCのフルスケール範囲FSRを拡大するために、同様の方法を取ることができます。可変抵抗、ポテンショメータ、または事前決定された抵抗値をREFADJとREFIOの間に追加すると、データコンバータのFSRが拡大します。図6aは2つの可能な構成とMAX1214の全体的なフルスケール範囲調整に対する影響を示しています。バンドギャップリファレンスに対する内部利得レギュレーションループの不安定性を避けるために、13kΩを下回る抵抗値を使用しないでください。MAX1214のフルスケール範囲の調整に使用される抵抗の選択範囲の結果は、図6bを参照してください。

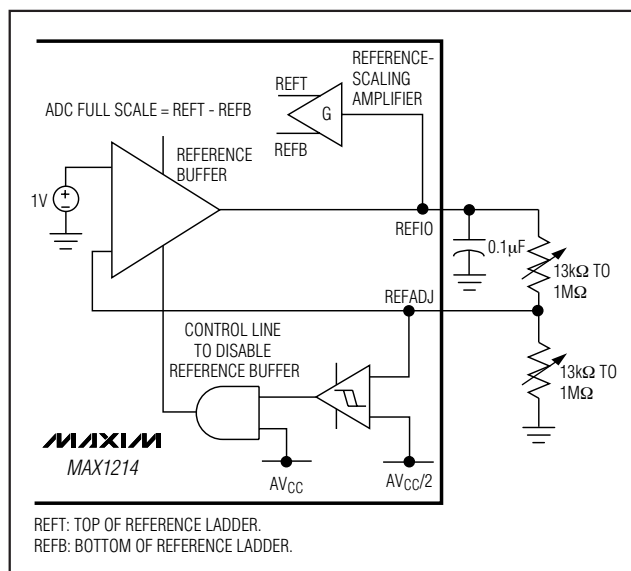


図6a. ADCのフルスケール範囲を調整する回路案

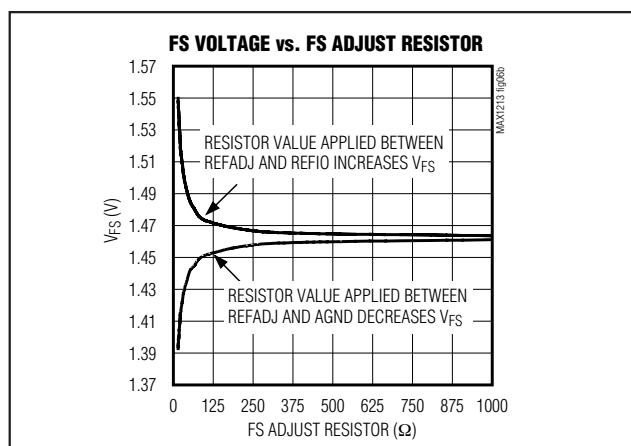


図6b. FSR調整範囲 対 FSR調整抵抗

ブロードバンドアプリケーション用、 1.8V、12ビット、210Msps ADC

MAX1214

差動、AC結合、LVPECL対応クロック入力

MAX1214のダイナミック性能は、いかにクリーンなクロックソースを使用するかに依存します。クロック源の位相ノイズフロアは、SNR性能に負の影響を与えます。また、クロック信号源のスプリアス信号も、ADCのダイナミックレンジに影響を与えます。推奨するMAX1214のクロック制御方式は、LVDSまたはLVPECL対応入力レベルによる差動クロック方式です。これらのロジックファミリ的高速データ遷移速度によってクロック入力回路の遷移の不確実性が緩和されるため、SNR性能が向上します。これを実現するために、低位相ノイズの50Ωの逆終端クロック信号源が、MC100LVEL16Dなどの高速差動レシーバにAC結合されます(図7)。レシーバは、データコンバータのクロック入力を駆動するために必要とするLVPECL出力レベルを生成します。

トランス結合、差動アナログ入力駆動

一般に、MAX1214は、完全差動入力信号の場合に最良のSFDRおよびTHDを提供するため、シングルエンド

構成でADC入力を駆動することは推奨されません。差動入力モードでは、INPとINNはバランスが保たれるため偶数次高調波は通常低下し、かつ各ADC入力にはシングルエンド構成に比べ半分の信号振幅しか必要としません。広帯域RFトランスは、シングルエンド信号を、MAX1214が最適なダイナミック性能を実現するのに必要とする完全差動信号に変換する卓越したソリューションを提供します。

ADCのダイナミックレンジを最大化するには、2つの個別の $24.9\Omega \pm 1\%$ 抵抗器(不平衡の影響を最小限に抑制するために高精度の抵抗器を使用してください。0.5%が理想的な選択です)を1:1のトランス(Mini-CircuitのADT1-1WTなど)の2次側終端としてトランスの上下とセンタタップの間に配置することを推奨します。この構成では、トランス寄生容量の影響を緩和して、ADCのTHDおよびSFDR性能を最適化します。しかし、プリント基板がもたらすシャント容量と組み合わせられたソースインピーダンスとADCの寄生容量によって、ADCのフルパワー入力帯域幅は約600MHzに制限されます。

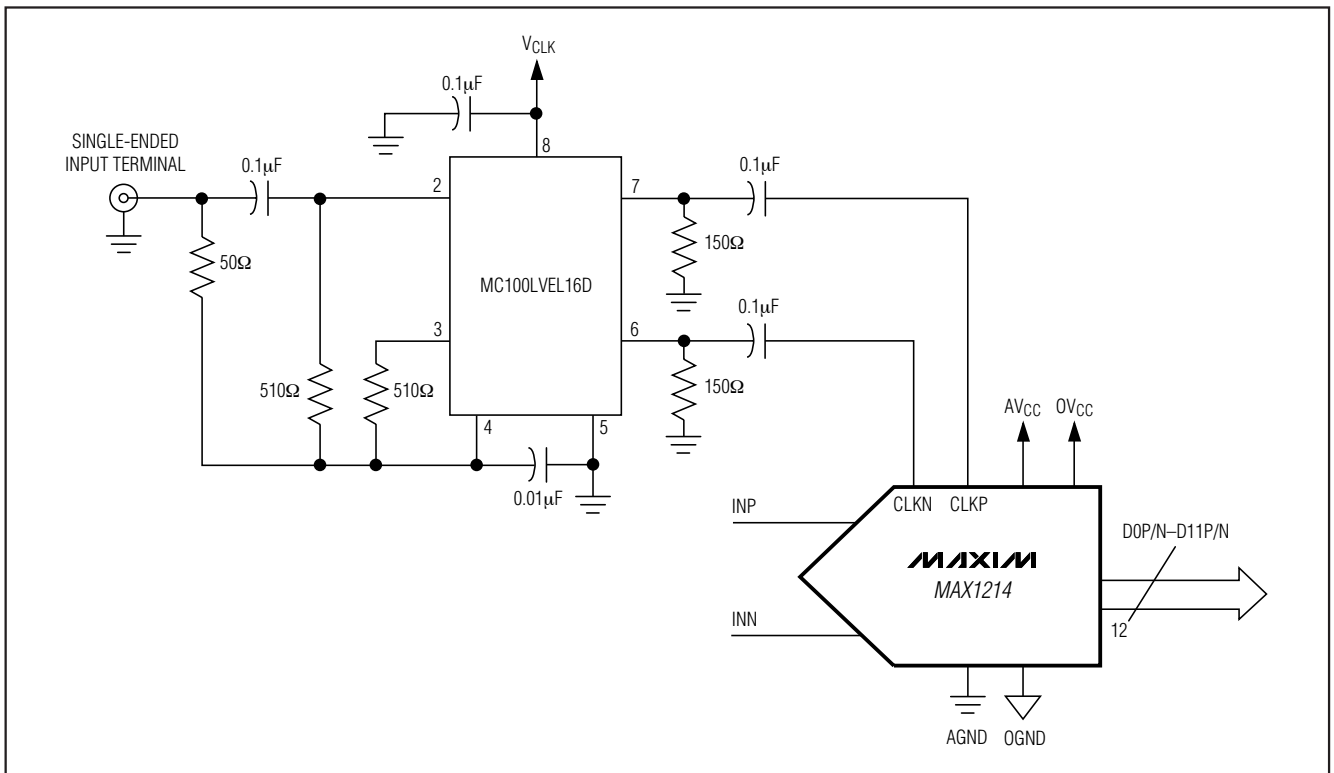


図7. 差動、AC結合、PECL対応クロック入力構成

ブロードバンドアプリケーション用、 1.8V、12ビット、210MSPS ADC

高入力周波数(100MHzを超える)でTHDおよびSFDR性能をさらに向上させるには、2番目のトランス(図8)をシングルエンドから差動への変換トランスと直列に配置する必要があります。このトランスによって、高周波における偶数次高調波の増大が緩和されます。

シングルエンド、AC結合アナログ入力

推奨しませんが、MAX1214をシングルエンドモードで使用することができます(図9)。アナログ信号を0.1 μ Fコンデンサを通じて正入力INPにAC結合し、AGNDへ49.9 Ω 抵抗器で終端することができます。負入力INNは24.9 Ω 抵抗器で逆終端し、0.1 μ FコンデンサでAC接地する必要があります。

グラウンド、バイパス、 および基板レイアウトに関して

MAX1214には、高速データコンバータに適した基板レイアウト設計法が必要です。このADCは、個別のアナログおよびデジタル電源を備えています。アナログおよびデジタル電源端子は、1.7V~1.9Vの入力電圧範囲を受け付けます。両電源タイプを統合して、1つの電源から供給することができますが、アナログ電源回路に結合可能な、デジタルスイッチング電流がもたらす性能低下を緩和するために別の電源を使用することを推奨します。アナログおよびデジタル電源(AV_{CC}およびOV_{CC})が、プリント基板に入る場所にフェライトビーズと対応するグラウンド(AGND、OGND)に接続したコンデンサからなる個別回路を使って、アナログ電源とデジタル電源を分離してください。

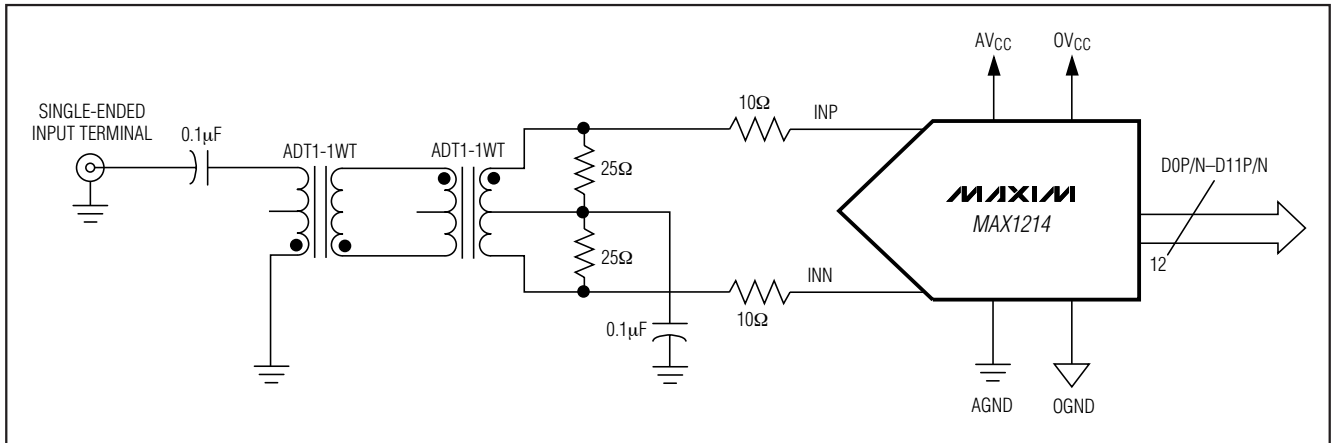


図8. バックトゥバックトランスと2次側終端を備えるアナログ入力構成

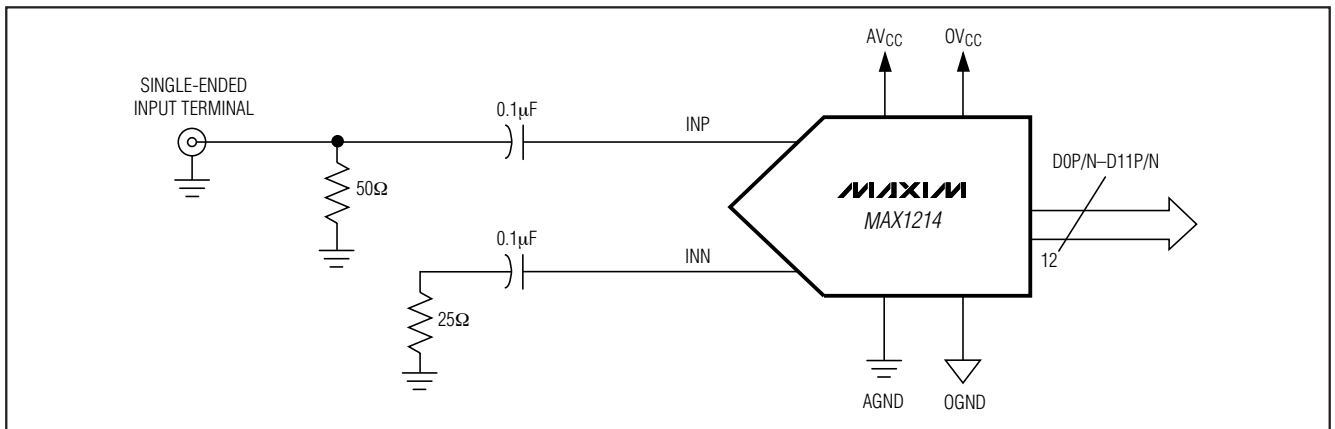


図9. シングルエンドAC結合アナログ入力構成

ブロードバンドアプリケーション用、 1.8V、12ビット、210Msps ADC

MAX1214

最適性能を得るには、47 μ Fのタンタルコンデンサと10 μ Fおよび1 μ Fのセラミックコンデンサの並列接続から構成される独立した回路を使って各電源を供給してください。さらに、このADCでは、各電源端子を個別の0.1 μ Fセラミックコンデンサでバイパスする必要があります(図10)。これらのコンデンサをADC電源端子に直接配置するか、またはMAX1214にできる限り近接して配置してください。表面実装コンデンサを選択し、面積を節約して、インダクタンスを最小限に抑制するために、できればコンバータと同じ側に配置してください。同じ側に近接して配置することが不可能な場合は、これらのバイパスコンデンサを、ビアを通じてプリント基板の反対側に配置して配線することができます。

独立したグランドプレーンと電源プレーンを持つ多層基板は、最高レベルの信号完全性を提供します。ADCのパッケージ上のアナロググランドとデジタルグランドの物理位置を整合させるために配置する分割グランドプレーンを使用することを検討してください。ノイズの多いデジタルグランド電流がアナロググランドプレーンに干渉しないように、2つのグランドプレーンをシングルポイントで接続する必要があります。共通のソースグランドで再結合されるまでに長距離を進行する必要のあるダイナミック電流は大きくて望ましくないグランドループをもたらす、この方式の大きな関心事となります。グランドループは、コンバータのアナログフロントエンドに再結合して入力ノイズを悪化させる場合があります。スプリアスアクティビティを増大させ、ノイズ性能を低下させます。

別の方法として、グランドプレーンがノイズの多いデジタルシステムグランドから十分に分離されている場合は、どのグランド端子も同一のグランドプレーンを共用することができます。アナログ入力へのディジ

タル出力信号の結合を最小限に抑制するには、デジタル出力バスをアナログ入力回路から十分に分離してください。デジタルノイズカップリングの影響をさらに最小限に抑制するために、グランドリターンビアをレイアウト全体に配置して、デジタルスイッチング電流をADCのノイズに敏感なアナログセクションからそらすことができます。この方式は分割グランドプレーンを必要とせずに、アナログフロントエンドとデジタル出力の間に相当に多くのグランド接続部を配置して、この方式を実現することができます。

MAX1214は68ピンQFN-EPパッケージ(パッケージコード: G6800-4)で提供されるため、設計の柔軟性と放熱性が向上し、ADCのAC性能が最適化されます。エクスポーズドパッド(EP)はAGNDに半田付けする必要があります。

このパッケージでは、データコンバータのダイは、パッケージのプリント基板側に面し、EPリードフレームの裏面をパッケージ底面に露出して、EPリードフレームに接続されています。このため、標準的な赤外線(IR)フロー半田付け技術で基板にパッケージを確実に接続することができます。

熱効率率は、MAX1214に関してエクスポーズドパッド付きパッケージを選択する要因の1つです。エクスポーズドパッドによって熱効率が向上し、ADCとプリント基板のアナロググランド層との堅固なグランド接続が実現します。

高速、高分解能データコンバータ用にデジタル出力トレースを配線する際には、十分注意する必要があります。ADCからLVDS負荷デバイスまで100 Ω の整合インピーダンスを備える差動ラインとしてLVDS出力トレースを配線することを推奨します。

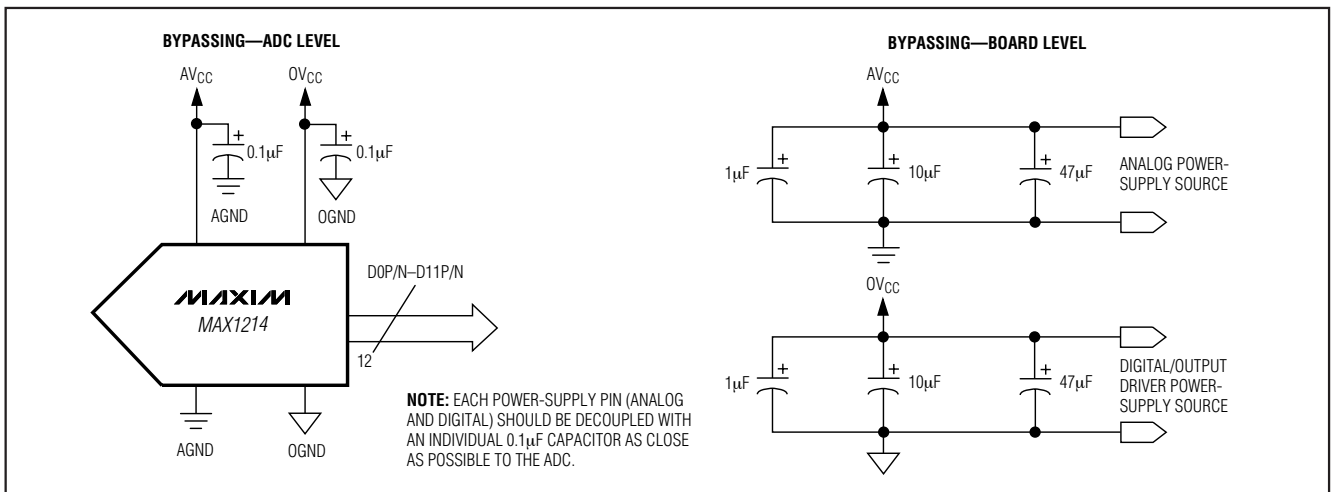


図10. MAX1214のグランド、バイパス、およびテカッピングの推奨図

ブロードバンドアプリケーション用、 1.8V、12ビット、210MSPS ADC

静的パラメータの定義

Integral Nonlinearity(INL)(積分非直線性)

積分非直線性は、実際の伝達関数値の直線からの偏差です。この直線は最適な直線フィット、またはオフセットと利得誤差を nul(ゼロ)にした後に伝達関数の両端点を結んだ直線です。ただし、MAX1214の静的直線性パラメータは、10MHzの入力周波数のヒストグラム法によって測定されています。

Differential Nonlinearity(DNL)(微分非直線性)

微分非直線性は、実際のステップの幅と1LSBの理想値との差です。1LSB以下のDNL誤差規格によって、ミッシングコードがないこと、および伝達関数が単調性であることが保証されます。MAX1214のDNL規格は、10MHzの入力トーンに基づくヒストグラム法によって測定されます。

動的パラメータの定義

Aperture Jitter(アパーチャジッタ)

図11はアパーチャジッタ(t_{AJ})を示しています。このジッタはアパーチャ遅延におけるサンプル間のばらつきです。

Aperture Delay(アパーチャ遅延)

アパーチャ遅延(t_{AD})は、サンプリングクロックの立上りエッジと、実際のサンプル取得時点との間の時間です(図11)。

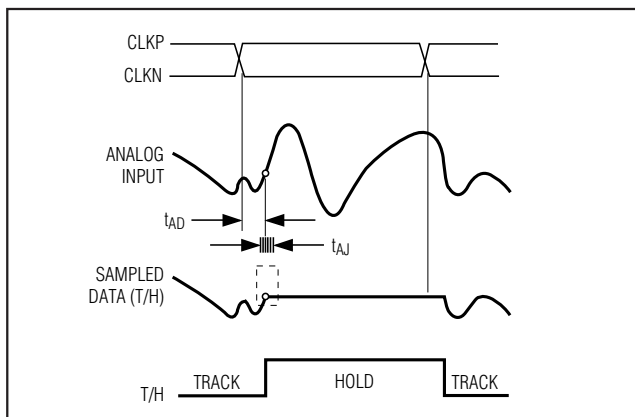


図11. アパーチャジッタ/遅延の規格

Signal-to Noise Ratio(SNR)(信号 対 ノイズ比)

デジタルサンプルから適切に再構築された波形の場合、理論的的最大SNRはフルスケールアナログ入力(RMS値)の、RMS数値化誤差(残留誤差)に対する比です。理想的な理論的的最小アナログ-デジタルノイズは数値化誤差のみによってもたらされ、ADCの分解能(Nビット)に直接起因します。

$$SNR_{[max]} = 6.02 \times N + 1.76$$

実際には、サーマルノイズ、クロックジッタ、信号位相ノイズ、伝達関数非直線性などの他のノイズソースもSNRの算出に影響を与えるため、ADCのSNRの算出時にはこうしたノイズソースを考慮する必要があります。

Signal-to-Noise Plus Distortion(SINAD) (信号 対 ノイズ+歪み)

SINADは、RMS信号の、全スペクトル成分(基本波およびDCオフセットを除く)に対する比で算出されます。MAX1214の場合は、SINADは曲線フィットから算出されます。

Spurious-Free Dynamic Range(SFDR) (スプリアスフリー、ダイナミックレンジ)

SFDRは、キャリア周波数(最大信号成分)のRMS振幅の、次に大きなノイズまたは高調波歪み成分のRMS値に対する比です。SFDRは、キャリア周波数振幅についてはdBcで、またはADCのフルスケール範囲についてはdBFSで通常測定されます。

Intermodulation Distortion(IMD) 相互変調歪み

IMDは、相互変調積のRMS和の、2つの基本入力トーンに対する比です。これは、以下のように表されます。

$$IMD = 20 \times \log \left(\frac{\sqrt{V_{IM1}^2 + V_{IM2}^2 + \dots + V_{IM3}^2 + V_{IMn}^2}}{\sqrt{V_1^2 + V_2^2}} \right)$$

基本入力トーン振幅(V_1 および V_2)は、-7dBFSでの振幅です。相互変調積は、以下の周波数での出力スペクトルの振幅です。

- 2次相互変調積： $f_{IN1} + f_{IN2}$ 、 $f_{IN2} - f_{IN1}$
- 3次相互変調積： $2 \times f_{IN1} - f_{IN2}$ 、 $2 \times f_{IN2} - f_{IN1}$ 、 $2 \times f_{IN1} + f_{IN2}$ 、 $2 \times f_{IN2} + f_{IN1}$
- 4次相互変調積： $3 \times f_{IN1} - f_{IN2}$ 、 $3 \times f_{IN2} - f_{IN1}$ 、 $3 \times f_{IN1} + f_{IN2}$ 、 $3 \times f_{IN2} + f_{IN1}$
- 5次相互変調積： $3 \times f_{IN1} - 2 \times f_{IN2}$ 、 $3 \times f_{IN2} - 2 \times f_{IN1}$ 、 $3 \times f_{IN1} + 2 \times f_{IN2}$ 、 $3 \times f_{IN2} + 2 \times f_{IN1}$

Full-Power Bandwidth(フルパワー帯域幅)

-1dBFSのアナログ入力大信号がADCに加えられ、デジタル変換結果の振幅が3dB低減するポイントまで入力周波数がスイープされます。-3dBのポイントは、ADCのフルパワー入力帯域幅周波数として定義されます。

ブロードバンドアプリケーション用、 1.8V、12ビット、210Msps ADC

MAX1214

Noise-Power Ratio(NPR)(雑音電力比)

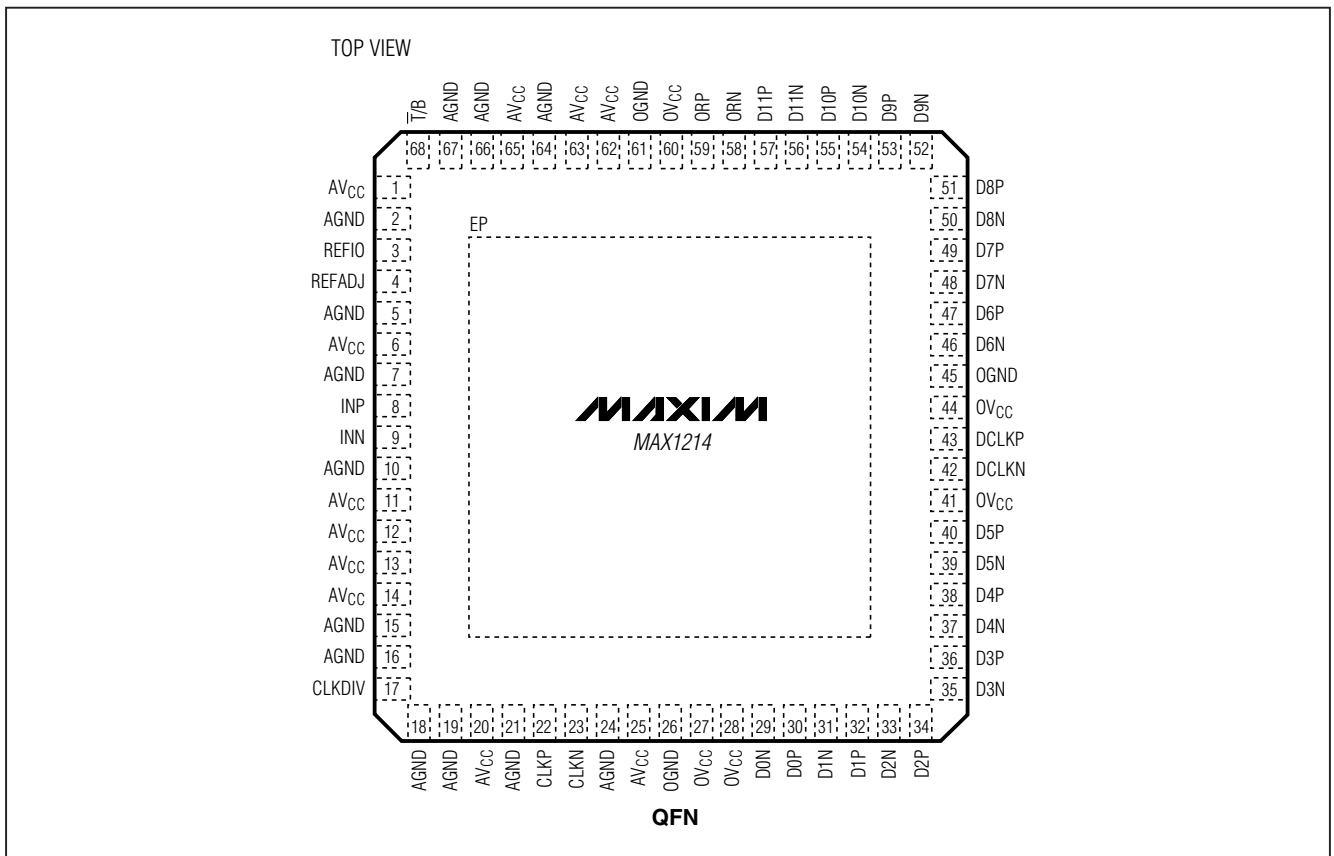
NPRは、周波数スペクトルがノイズと類似し、各信号が通常、個別の直交振幅変調(QAM)キャリアであるケーブルシステムのリターン経路の特性を示すためによく使用されます。このように多くのキャリアは連続スペクトルで動作し、比較的広い帯域幅を対象範囲とするノイズに似た信号を生成します。NPRに関してMAX1214を試験するには、シミュレート対象の信号とほぼ同じ帯域幅の雑音の近似矩形スペクトルペDESTALを生成するために、「疑似雑音」信号を高次帯域フィルタに通過させます。帯域フィルタの後に、雑音ペDESTALの中心に深いノッチを生成するために、信号を狭帯域除去フィルタに通過させます。最後にこの信号をMAX1214に印加し、そのデジタル結果を解析します。ノッチ内の信号のRMS雑音電力は、FFTによってノッチ外のRMS雑音レベルと照合されます。なお、NPR試験では、ノッチ内の適切な数のサンプルを保证するの

に十分長いデータレコードが必要です。標準ケーブル信号環境をシミュレートする50MHzの雑音帯域幅信号(試験の詳細と結果については、「標準動作特性」参照)と28.8MHzのノッチ周波数の場合は、MAX1214のNPRは算出済みです。

ピンコンパチブルの低速/ 低分解能バージョン

低分解能および/または高速度が必要なアプリケーションの場合は、MAX1214の他のファミリ製品を参照してください。この高速ファミリの全製品に関して同一のピン配置を維持して、アプリケーションを低分解能に適合させることが容易になっています。各種分解能および速度のラインアップについては、このデータシートの先頭ページにある「ピンコンパチブルバージョン」表を参照してください。

ピン配置



ブロードバンドアプリケーション用、 1.8V、12ビット、210Mps ADC

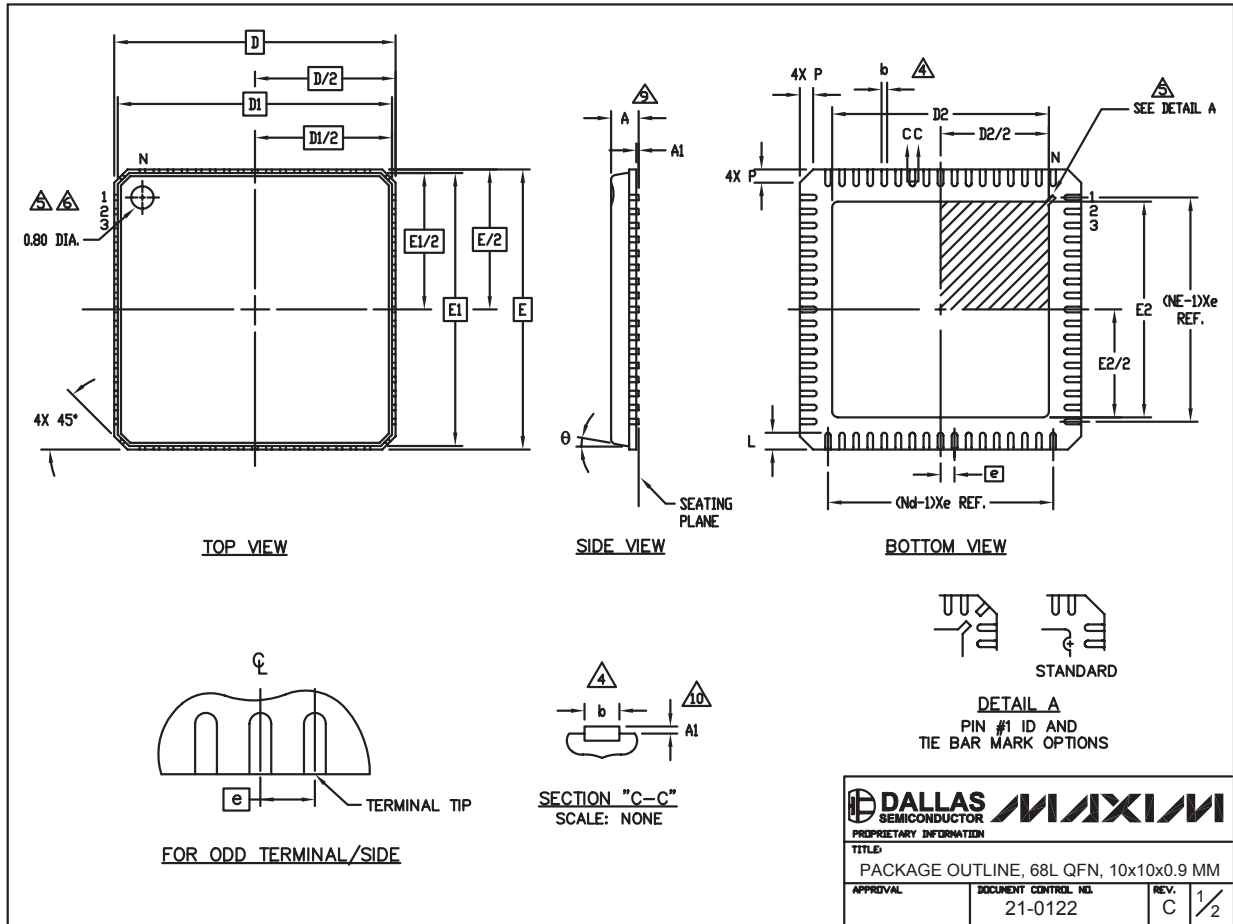
MAX1214

68L QFN, EPS

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)

For the MAX1214, the package code is G6800-4.



ブロードバンドアプリケーション用、 1.8V、12ビット、210MSPS ADC

MAX1214

パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)

SYMBOL	COMMON DIMENSIONS			NOTE
	MIN.	NOM.	MAX.	
A	—	0.90	1.00	
A1	0.00	0.01	0.05	11
b	0.18	0.23	0.30	4
D	10.00 BSC			
D1	9.75 BSC			
G	0.50 BSC			
E	10.00 BSC			
E1	9.75 BSC			
L	0.50	0.60	0.65	
N	68			3
Nd	17			3
Ne	17			3
θ	0		12°	
P	0	0.42	0.60	

1. DIE THICKNESS ALLOWABLE IS .012 INCHES MAXIMUM.
2. DIMENSIONING & TOLERANCES CONFORM TO ASME Y14.5M. - 1994.
3. N IS THE NUMBER OF TERMINALS.
Nd IS THE NUMBER OF TERMINALS IN X-DIRECTION &
Ne IS THE NUMBER OF TERMINALS IN Y-DIRECTION.
4. DIMENSION b APPLIES TO PLATED TERMINAL AND IS MEASURED BETWEEN 0.20 AND 0.25mm FROM TERMINAL TIP.
5. THE PIN #1 IDENTIFIER MUST BE LOCATED ON THE TOP SURFACE OF THE PACKAGE BY USING INDENTATION MARK OR OTHER FEATURE OF PACKAGE BODY. DETAILS OF PIN #1 IDENTIFIER IS OPTIONAL, BUT MUST BE LOCATED WITHIN ZONE INDICATED.
6. EXACT SHAPE AND SIZE OF THIS FEATURE IS OPTIONAL.
7. ALL DIMENSIONS ARE IN MILLIMETERS.
8. PACKAGE WARPAGE MAX 0.10mm.
9. APPLIES TO EXPOSED SURFACE OF PADS AND TERMINALS
10. APPLIES ONLY TO TERMINALS.
11. MEETS JEDEC MO-220.

EXPOSED PAD VARIATIONS

PKG CODE	D2			E2		
	MIN	NOM	MAX	MIN	NOM	MAX
G6800-2	7.55	7.70	7.85	7.55	7.70	7.85
G6800-4	5.65	5.80	5.95	5.65	5.80	5.95

	
<small>PROPRIETARY INFORMATION</small>	
<small>TITLE:</small> PACKAGE OUTLINE, 68L QFN, 10x10x0.9 MM	
<small>APPROVAL</small>	<small>DOCUMENT CONTROL NO.</small> 21-0122
<small>REV.</small> C	<small>REV.</small> 1/2

マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

20 _____ **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

© 2005 Maxim Integrated Products, Inc. All rights reserved. **MAXIM** is a registered trademark of Maxim Integrated Products, Inc.