

# MAX1213N/MAX1214Nの評価キット

## 概要

MAX1213N/MAX1214Nの評価キット(EVキット)は、アナログ-デジタルコンバータ(ADC)であるMAX1213N/MAX1214Nの性能評価に必要な全部品を内蔵した完全実装および試験済みの基板です。このEVキットは、MAX1213N/MAX1214Nの入力を駆動するシングルエンド-差動変換回路を備えています。ADCが生成するデジタル出力は、ユーザが用意する高速ロジックアナライザまたはデータ収集システムによって収集することができます。さらに、このEVキットは、ユーザが用意するシングルエンドAC信号から差動クロック信号を生成する回路を内蔵しています。

## 特長

- ◆ 最大サンプリングレート：170Msps (MAX1213N)/210Msps (MAX1214N)
- ◆ 低電圧および低電力動作
- ◆ 完全差動信号入力構成
- ◆ 差動出力ドライバ内蔵
- ◆ 完全実装および試験済み

## 型番

PART	TEMP RANGE**	IC PACKAGE
MAX1213NEVKIT	0°C to +70°C	68 QFN-EP*
MAX1214NEVKIT	0°C to +70°C	68 QFN-EP*

\*EP = エクスポートパッド

\*\*EVキットの動作温度

## 共通部品リスト

DESIGNATION	QTY	DESCRIPTION
C1-C9, C13, C15, C16, C18, C19, C20, C35-C39, C49, C52	22	0.1 $\mu$ F $\pm$ 10%, 10V X5R ceramic capacitors (0402) TDK C1005X5R1A104K
C10, C27, C28, C40	4	220 $\mu$ F $\pm$ 20%, 6.3V tantalum capacitors (C-case) AVX TPSC227M006R0250
C11, C30	2	22 $\mu$ F $\pm$ 10%, 6.3V X5R ceramic capacitors (0805) TDK C2012X5R0J226K
C12, C17, C58-C71	0	Not installed, ceramic capacitors (0402)
C14, C33	2	2.2 $\mu$ F $\pm$ 10%, 6.3V X5R ceramic capacitors (0603) TDK C1608X5R0J225K
C21-C24	4	0.22 $\mu$ F $\pm$ 10%, 6.3V X5R ceramic capacitors (0402) TDK C1005X5R0J224K
C25, C26, C51, C53, C54, C55	6	0.1 $\mu$ F $\pm$ 10%, 50V X7R ceramic capacitors (0603) TDK C1608X7R1H104K
C29, C41	2	10 $\mu$ F $\pm$ 20%, 6.3V X5R ceramic capacitors (0805) TDK C2012X5R0J106M

DESIGNATION	QTY	DESCRIPTION
C31, C43	0	Not installed, capacitors (0805)
C32, C42	2	1.0 $\mu$ F $\pm$ 10%, 10V X5R ceramic capacitors (0603) TDK C1608X5R1A105K
C34, C44, C57	0	Not installed, ceramic capacitors (0603)
C45-C48	0	Not installed, tantalum capacitors (C)
C50, C56	2	0.01 $\mu$ F $\pm$ 10%, 50V X7R ceramic capacitors (0603) TDK C1608X7R1H103K
CLK, IN	2	SMA PC board vertical-mount connectors
J1	1	Dual-row, 8-pin header
J2-J5	4	Dual-row, 40-pin headers
JU1, JU2, JU3, JU5	4	3-pin headers
JU4	0	Not installed, 2-pin header
JU6	0	Not installed, 3-pin header
R1, R3, R11, R13, R80	0	Not installed, resistors (0603)
R2, R4-R7, R10, R12, R14, R15, R38, R39, R41, R43-R79	49	49.9 $\Omega$ $\pm$ 1% resistors (0402)

# MAX1213N/MAX1214Nの評価キット

## 共通部品リスト(続き)

DESIGNATION	QTY	DESCRIPTION
R8, R9	2	24.9Ω ±0.1% resistors (0603) IRC PFC-W0603R-02-24R9-B
R16, R17	2	10Ω ±1% resistors (0603)
R18-R24, R28-R32, R34, R35	14	100Ω ±1% resistors (0603)
R25, R37	2	510Ω ±5% resistors (0603)
R26	1	10kΩ ±1% resistor (0603)
R27	1	5kΩ potentiometer, 19-turn (3/8in)
R33	1	3.16kΩ ±1% resistor (0603)
R36	1	1.82kΩ ±1% resistor (0603)
R40	1	100kΩ potentiometer, 12-turn (1/4in)
R42	1	13kΩ ±1% resistor (0603)
T1, T2	2	1:1, 800MHz RF transformers Mini-Circuits ADT1-1WT
TP1	1	Test point (black)

## EVキット固有の部品リスト

PART	DESIGNATION	DESCRIPTION
MAX1213NEVKIT	U1	MAX1213NEGK+ (68-pin, 10mm x 10mm QFN)
MAX1214NEVKIT		MAX1214NEGK+ (68-pin, 10mm x 10mm QFN)

+は鉛フリーパッケージを示します。

## クイックスタート

### 推奨機器

- DC電源
  - アナログ (VCC) 1.8V、1A
  - デジタル (OVCC) 1.8V、200mA
  - クロック (VCLK) 3.3V、200mA
  - バッファ (VPECL) 3.3V、400mA
- 低位相ノイズおよび低ジッタ、クロック入力用信号発生器1台(HP/Agilent 8644Bなど)。バンドパスフィルタの使用を強くお勧めします(Allen Avionics、K&L Microwaveなど)
- アナログ信号入力用信号発生器1台(HP/Agilent 8644Bなど)。バンドパスフィルタの使用を強くお勧めします(Allen Avionics、K&L Microwaveなど)
- ロジックアナライザまたはデータ収集システム(高速ステートカードHP/Agilent 16517A付きHP/Agilent 16500Cなど)
- デジタル電圧計

DESIGNATION	QTY	DESCRIPTION
U1	1	<b>Note:</b> See the <i>EV Kit Specific Component List</i>
U2	1	Differential 4:1 multiplexer (20-pin TSSOP) Maxim MAX9388EUP
U3-U6	4	3.3V, ECL, quad-differential receivers (20-pin SO) On Semiconductor MC100LVEL17DW
Y1	0	Not installed, clock oscillator (9mm x 14mm) Valpey Fisher VF561E series (recommended)
—	5	Shunts (J1, JU1, JU2, JU3, JU5)
—	1	MAX1213N/MAX1214N PC board

## 部品メーカー

SUPPLIER	PHONE	WEBSITE
AVX	843-946-0238	www.avxcorp.com
IRC	361-992-7900	www.irctt.com
TDK	847-803-6100	www.component.tdk.com

注：これらの部品メーカーにお問い合わせする際には、MAX1213N/MAX1214Nを使用していることをお知らせください。

## 手順

MAX1213N/MAX1214NのEVキットは、完全実装および試験済みの表面実装基板です。以下の手順で基板を動作させてください。すべての接続が終了するまでは電源をオンにしたり信号発生器をイネーブルしたりしないでください。

- シャントが下記の位置に取り付けられていることを確認してください。
  - JU1 (2-3) → U2でCLKを選択します。
  - JU2 (1-2) → 2分周がディセーブルされます。
  - JU3 (2-3) → 2の補数出力が選択されます。
  - J1 (3-4) → 内部リファレンスがイネーブルされます。
  - JU5 (2-3) → クロック信号(CLK)のデューティサイクルが50%に設定されます。
- フィルタ付きクロック信号発生器をCLKと表示されたSMAコネクタに接続してください。
- フィルタ付きアナログ入力信号発生器をINと表示されたSMAコネクタに接続してください。

# MAX1213N/MAX1214Nの評価キット

- 4) 高速プローブ付きロジックアナライザをヘッダJ2/J3 (LVDS対応信号)またはJ4/J5 (LVPECL対応信号)のいずれかに接続してください。ヘッダの接続については、表4をご覧ください。
- 5) 1.8V、1Aの電源をVCCに接続してください。この電源のグランド端子をVCCパッドに最も近いGNDに接続してください。
- 6) 1.8V、200mAの電源をOVCCに接続してください。この電源のグランド端子をOVCCパッドに最も近いGNDに接続してください。
- 7) 3.3V、200mAの電源をVCLKに接続してください。この電源のグランド端子をVCLKパッドに最も近いGNDに接続してください。
- 8) 3.3V、400mAの電源をVPECLに接続してください。この電源のグランド端子をVPECLパッドに最も近いGNDに接続してください。
- 9) すべての電源をオンにしてください。
- 10) 信号発生器をイネーブルしてください。振幅が $2.4V_{p-p}$ の170MHz (MAX1213N)/210MHz (MAX1214N)の信号を出力するようにクロック信号発生器を設定してください。振幅が $\leq 2V_{p-p}$ の希望する周波数を出力するようにアナログ入力信号発生器を設定してください。コヒーレントサンプリングの場合は、これらの信号発生器が同期しているものとします。
- 11) ロジックアナライザをイネーブルしてください。
- 12) ロジックアナライザを使ってデータを収集してください。

## 詳細

MAX1213N/MAX1214NのEVキットは、12ビットLVDS出力ADCのMAX1213N/MAX1214Nの性能評価に必要な全部品を内蔵した完全実装および試験済みの基板です。MAX1213N/MAX1214Nは、170MHz (MAX1213N)/210MHz (MAX1214N)の最大クロック周波数( $f_{CLK}$ )を使用して評価することができます。

MAX1213N/MAX1214Nコンバータは差動入力で作動します。シングルエンド信号源しか利用することができないアプリケーションでは、内蔵のトランス(T1、T2)を使用してシングルエンド信号を差動信号に変換することができます。

差動レシーバ(U3~U6)は、MAX1213N/MAX1214NのLVDS出力信号のバッファとして作用し、この出力信号を様々なロジックアナライザによって収集することのできる高電圧LVPECL信号に変換します。LVDS出力はヘッダJ2とJ3でアクセスされます。LVPECL出力はヘッダJ4とJ5でアクセスされます。

このEVキットは、PCBのレイアウトを最適化するために4層のPCBとして設計されています。アナログ、デジタル、クロック、およびバッファの各電源プレーンを分離することによって、アナログ信号とデジタル信号の間のノイズ結合を最小化しています。50Ωのマイクロストリップ伝送ラインがアナログおよびクロック入力に使用され、100Ωのマイクロストリップ伝送ラインがすべてのデジタルLVDS出力に使用されます。すべてのLVDS差動出力は、真のデジタル出力と相補型デジタル出力の間で100Ωの終端抵抗器を用いて終端されています。レイアウトに依存する遅延を最小限に抑えるために、100Ω差動LVDSラインの配線長は千分の数インチ以内の精度で合わせてあります。すべてのLVPECL差動出力は、各分岐で49.9Ωの抵抗器でY終端されます。

## 電源

最適な性能を得るために、MAX1213N/MAX1214NのEVキットではアナログ、デジタル、クロック、およびバッファの各電源を分離する必要があります。MAX1213N/MAX1214Nのアナログおよびデジタル部分への給電には、2個の1.8V電源が使用されます。内蔵のクロック回路には3.3V電源から給電します。EVキットの出力バッファ(U3~U6)への給電には独立した3.3V電源を使用します。

## クロック

MAX1213N/MAX1214Nは差動クロック信号を必要とします。ただし、必要となるのはシングルエンドクロック信号源のみです。EVキットの内蔵回路は、シングルエンドクロック信号を必要な差動信号に変換します。正弦波入力クロック信号の周波数は、ADCのサンプリング周波数( $f_{CLK}$ )を決定します。差動マルチプレクサ(U2)は、入力信号を処理して必要なクロック信号を生成します。この入力信号は $2.6V_{p-p}$ の振幅を超えないものとします。クロック信号の周波数は170MHz/210MHzを超えないものとします。

U2における出力クロック信号のデューティサイクルは、調整が可能です。ただし、シングルエンド信号がCLKに印加される時のみ固定となります。ジャンパJU5を設定して、信号のデューティサイクルを50%に固定するか、またはポテンショメータR27でデューティサイクルを調整してください。ジャンパJU5の設定については、表1をご覧ください。

表1. クロックデューティサイクル(JU5)

SHUNT POSITION	U2 D0 PIN	FUNCTION
1-2	Connected to potentiometer R27	Clock (CLK) duty cycle is adjustable with R27
2-3 (default)	Connected to VBB2	Clock (CLK) duty cycle is set to 50%

# MAX1213N/MAX1214Nの評価キット

MAX1213N/MAX1214NのEVキットは、ユーザが水晶発振器(Y1、Valpey Fisher VF561Eシリーズ推奨)を基板上に実装して差動クロックソースを生成することができるような回路も備えています。差動ラインレシーバとマルチプレクサIC (U2)は、ジャンパJU1を使ってSMA CLK信号と水晶発振器Y1出力信号のいずれかを選択するように設定することができます。ジャンパJU1の設定については、表2をご覧ください。注：水晶発振器のデューティサイクルをジャンパJU5によって調整することはできません。

表2. クロックソースの選択(JU1)

SHUNT POSITION	U2 SEL0 PIN	CLOCK SOURCE SELECTION
1-2	Connected to VCLK	Selects crystal oscillator Y1
2-3 (default)	Connected to GND	Selects SMA CLK input

## クロック分周器

MAX1213N/MAX1214Nは、1/2のクロック分周器を内蔵しています。この機能をイネーブル/ディセーブルするためには、ジャンパJU2を使用してください。シャントの位置については、表3をご覧ください。

表3. クロック分周器シャントの設定(JU2)

SHUNT POSITION	MAX1213N/MAX1214N CLKDIV PIN	DESCRIPTION
1-2 (default)	Connected to VCC	Clock signal divided by 1
2-3	Connected to GND	Clock signal divided by 2

## 入力信号

MAX1213N/MAX1214Nは、差動アナログ入力信号で動作しますが、EVキットに必要なのはユーザが用意する振幅 $2V_{p-p}$ 未満の $50\Omega$ で終端されたシングルエンドアナログ入力信号のみです。内蔵のトランスT1とT2がシングルエンドアナログ入力を差動アナログ信号に変換し、これがADCの差動入力ピンに印加されます。

## オプションの入カトランス

MAX1213N/MAX1214NのEVキットでは、高い入力周波数(> 100MHz)におけるTHDとSFDR性能を改善するために2トランス構成が採用されます。これらの2トランス構成は、高周波における偶数次高調波成分の

増加を抑制するのに役立ちます。1個のトランスのみを使用する場合は、下記の指示に従ってください。

- 1) トランスT1を取り外してください。
- 2) R11とR13に $0\Omega$ の抵抗器(0603のケースサイズ)を取り付けてください。

## リファレンス電圧

MAX1213N/MAX1214Nのフルスケール範囲を設定する方法は2つあります。MAX1213N/MAX1214NのEVキットでは、ADCの内部リファレンスを使用するように設定することもできますが、安定した低ノイズの外部リファレンスをREFIOパッドに印加することもできます。ジャンパJ1によって、使用するリファレンスソースを選択します。シャントの設定については、表4をご覧ください。

表4. リファレンスシャントの設定(J1)

SHUNT POSITION	DESCRIPTION
1-2	Internal reference disabled. Apply an external reference voltage to the REFIO pad.
3-4 (default)	Internal reference enabled.
5-6	Increases FSR through potentiometer R40.
7-8	Decreases FSR through potentiometer R40.

## 出力信号

MAX1213N/MAX1214Nは、単一の12ビット、パラレルLVDS対応デジタル出力バスを備えています。また、デジタル出力は、データ同期用のクロックビット(DCOP/N)とデータオーバレンジビット(ORP/N)を備えています。ヘッダの接続については、表6をご覧ください。

## 出力形式

デジタル出力コーディングは、ジャンパJU3の設定によって2の補数形式またはストレートオフセットバイナリ形式のいずれかを選定することができます。シャントの設定については、表5をご覧ください。

表5. 出力形式のシャント設定(JU3)

SHUNT POSITION	MAX1213N/MAX1214N T/B PIN	DESCRIPTION
1-2	Connected to VCC	Digital output in straight offset binary
2-3 (default)	Connected to GND	Digital output in two's complement

# MAX1213N/MAX1214Nの評価キット

## 出力ビット位置

ADCのデジタル出力は、2個の40ピンヘッダ(J2とJ3)に接続されます。出力スキューを最小にしてデバイスの性能を向上するために、PCBの配線長を揃えてあります。さらに、4個の差動レシーバ(U3~U6)は、ADCのデジタル出力のバッファとして作用しこの出力を

LVPECL対応信号にレベル変換します。差動レシーバは、差動電圧振幅を増幅し、ロジックアナライザの接続部に大きい容量性負荷が存在する場合でもこれを駆動することができます。バッファの出力は、2個の40ピンヘッダ(J4とJ5)に接続されます。ヘッダJ4とJ5のビット位置については、表6をご覧ください。

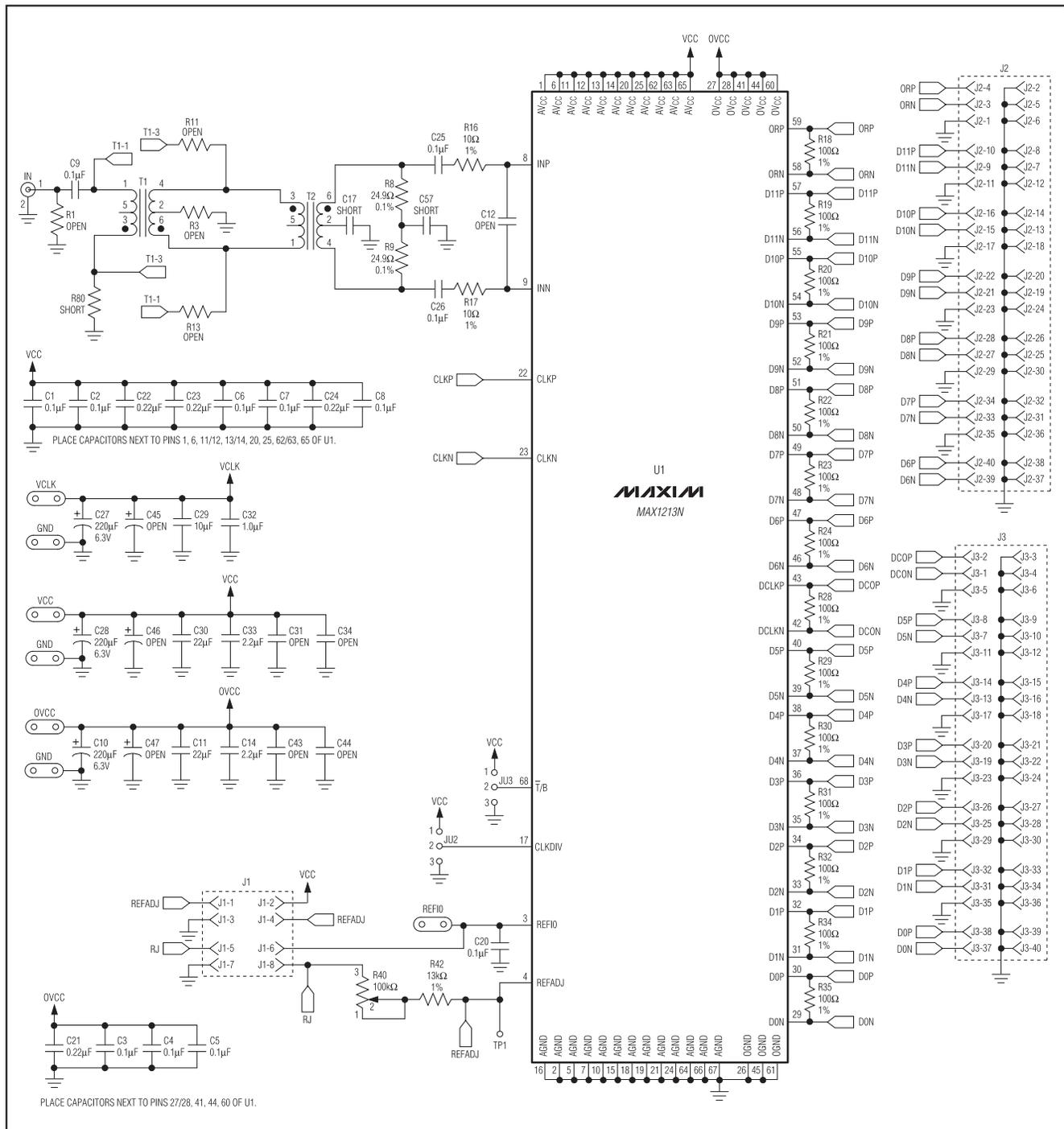
表6. 出力ビット位置

BIT		UNBUFFERED (LVDS)	BUFFERED (LVPECL)	BIT		DESCRIPTION
D11	P	J2-10	J4-10	P	LD11	MSB
	N	J2-9	J4-9	N		
D10	P	J2-16	J4-16	P	LD10	Data bits
	N	J2-15	J4-15	N		
D9	P	J2-22	J4-22	P	LD9	
	N	J2-21	J4-21	N		
D8	P	J2-28	J4-28	P	LD8	
	N	J2-27	J4-27	N		
D7	P	J2-34	J4-34	P	LD7	
	N	J2-33	J4-33	N		
D6	P	J2-40	J4-40	P	LD6	
	N	J2-39	J4-39	N		
D5	P	J3-8	J5-8	P	LD5	
	N	J3-7	J5-7	N		
D4	P	J3-14	J5-14	P	LD4	
	N	J3-13	J5-13	N		
D3	P	J3-20	J5-20	P	LD3	
	N	J3-19	J5-19	N		
D2	P	J3-26	J5-26	P	LD2	
	N	J3-25	J5-25	N		
D1	P	J3-32	J5-32	P	LD1	
	N	J3-31	J5-31	N		
D0	P	J3-38	J5-38	P	LD0	LSB
	N	J3-37	J5-37	N		
OR	P	J2-4	J4-4	P	LOR	Overrange bit
	N	J2-3	J4-3	N		
DCLK	P	J3-2	J5-2	P	LDC0	Clock output signal
	N	J3-1	J5-1	N		

Evaluate: MAX1213N/MAX1214N

# MAX1213N/MAX1214Nの評価キット

Evaluate: MAX1213N/MAX1214N



# MAX1213N/MAX1214Nの評価キット

Evaluate: MAX1213N/MAX1214N

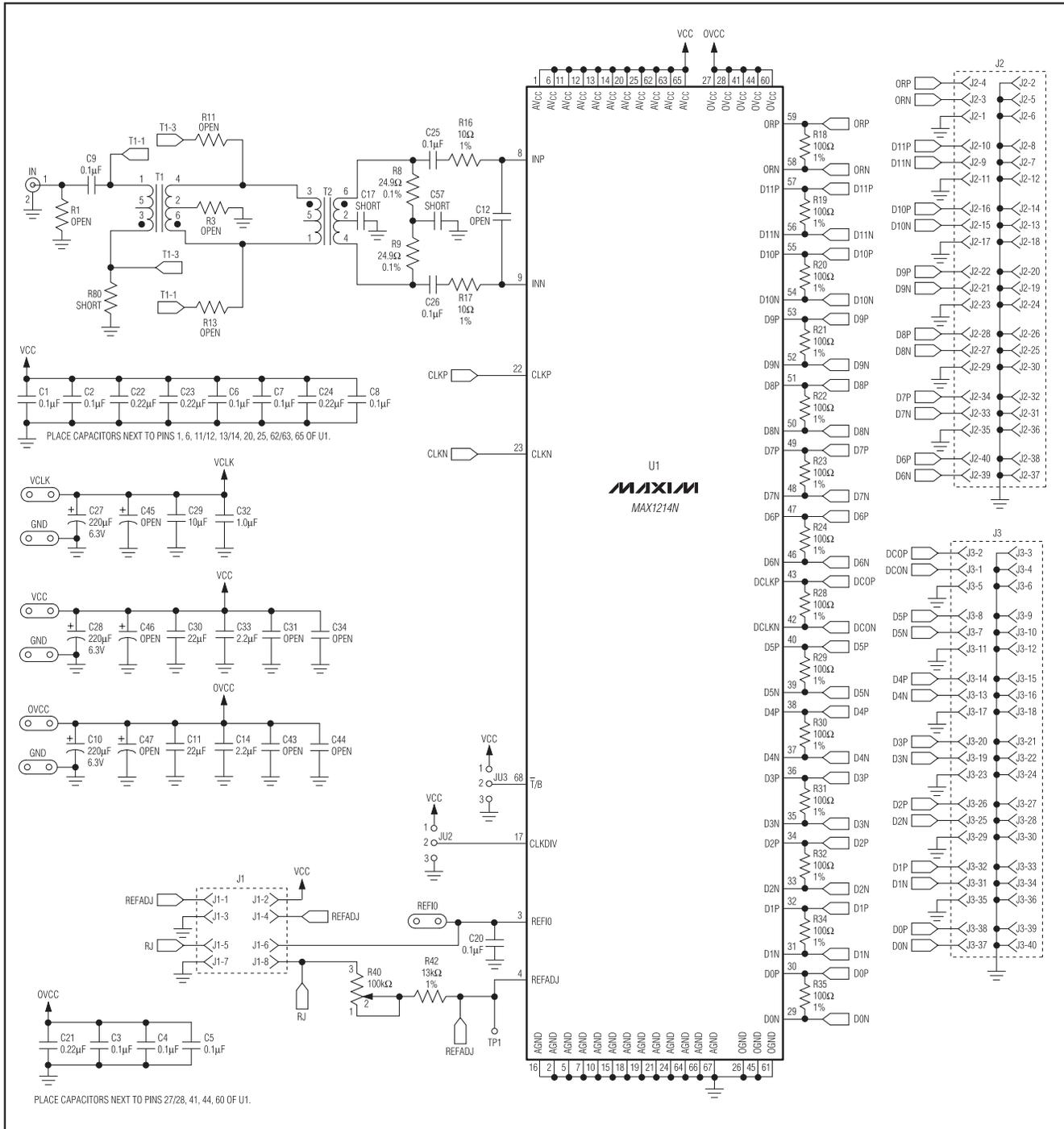


図1b. MAX1214NのEVキットの回路図(1/3)

# MAX1213N/MAX1214Nの評価キット

## Evaluate: MAX1213N/MAX1214N

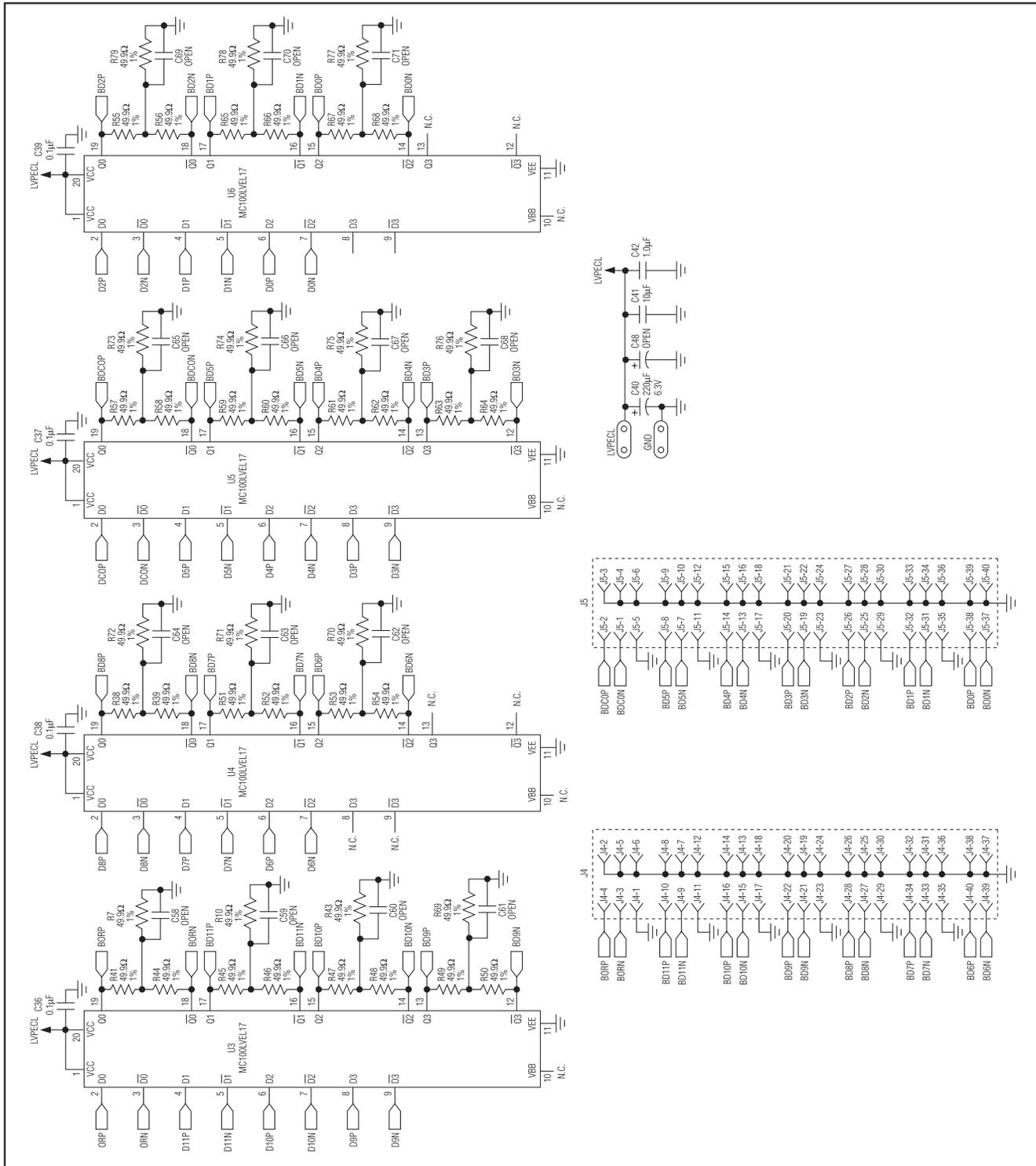


図1c. MAX1213N/MAX1214NのEVキットの回路図(2/3)

# MAX1213N/MAX1214Nの評価キット

Evaluate: MAX1213N/MAX1214N

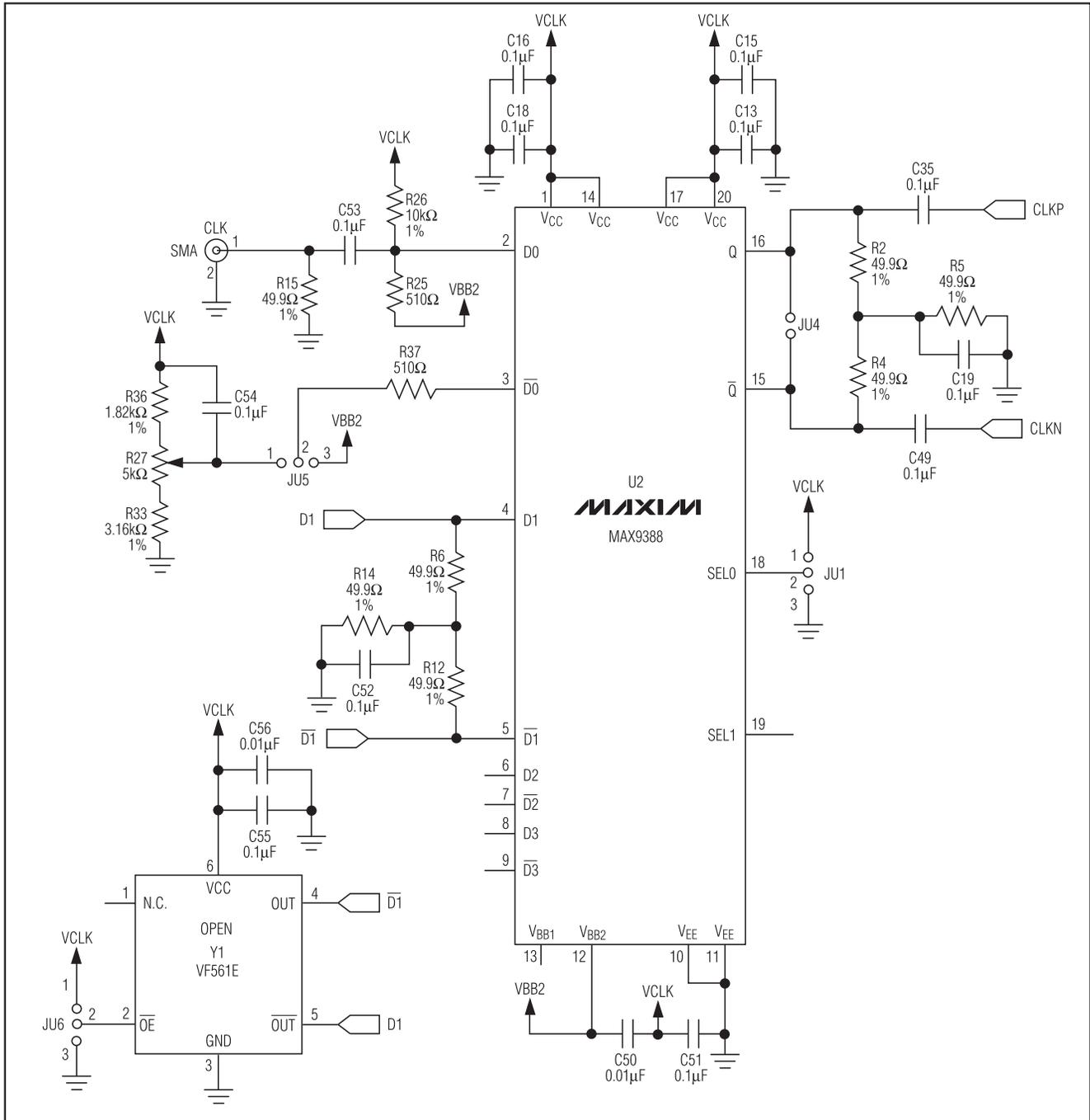


図1d. MAX1213N/MAX1214NのEVキットの回路図(3/3)

# MAX1213N/MAX1214Nの評価キット

Evaluate: MAX1213N/MAX1214N

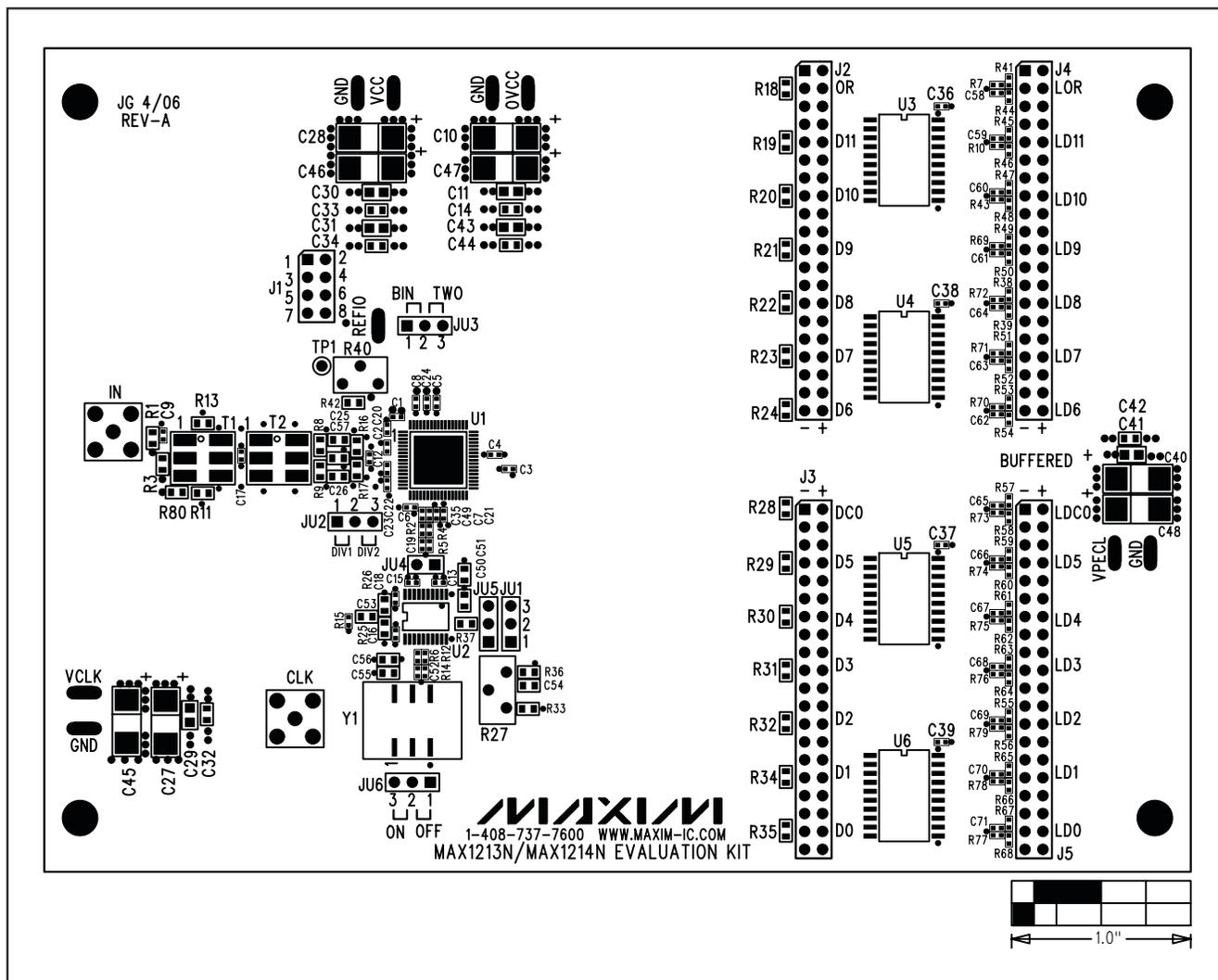


図2. MAX1213N/MAX1214NのEVキットの部品配置ガイド—部品面

# MAX1213N/MAX1214Nの評価キット

Evaluate: MAX1213N/MAX1214N

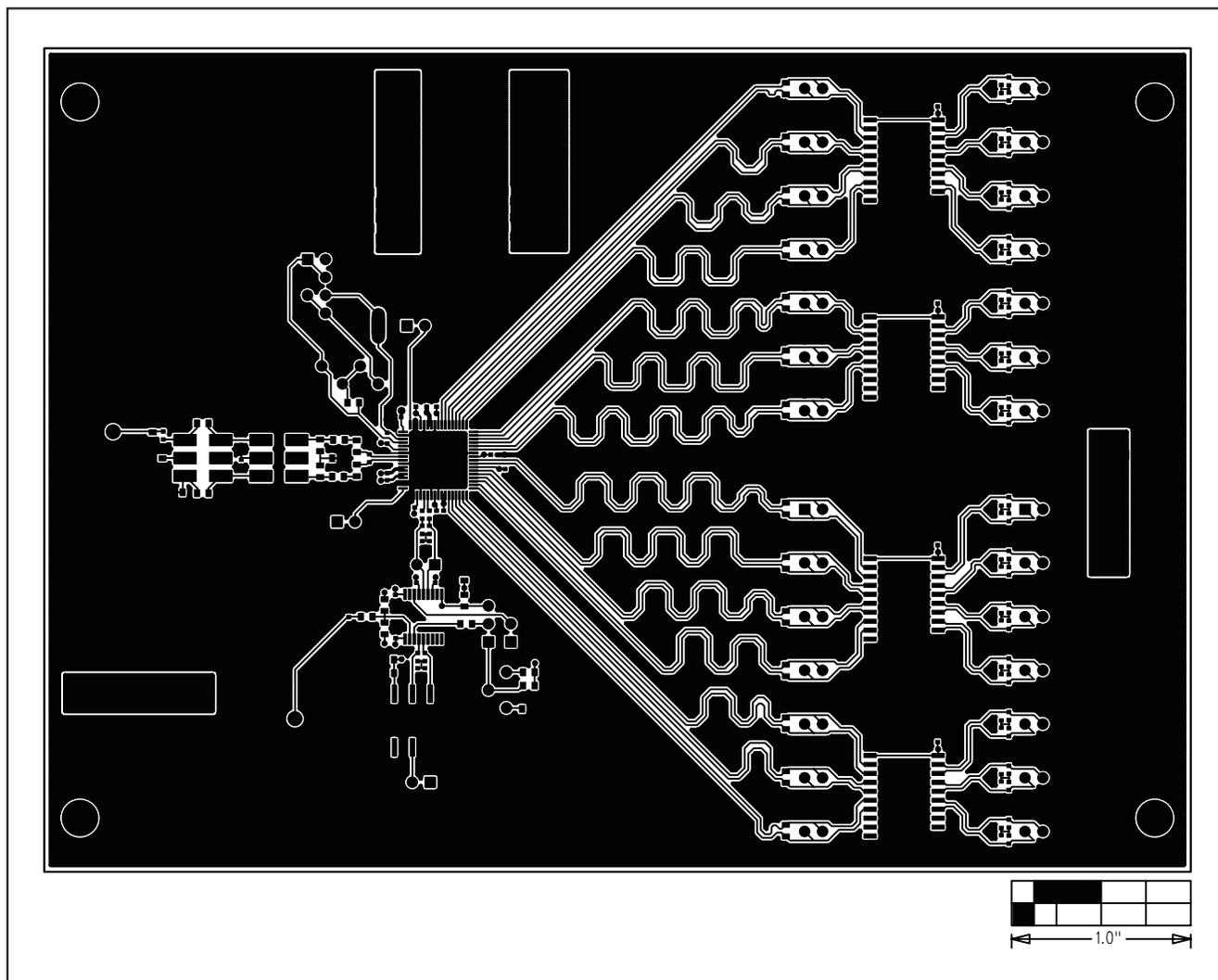


図3. MAX1213N/MAX1214NのEVキットのPCBレイアウト—部品面

# MAX1213N/MAX1214Nの評価キット

**Evaluate: MAX1213N/MAX1214N**

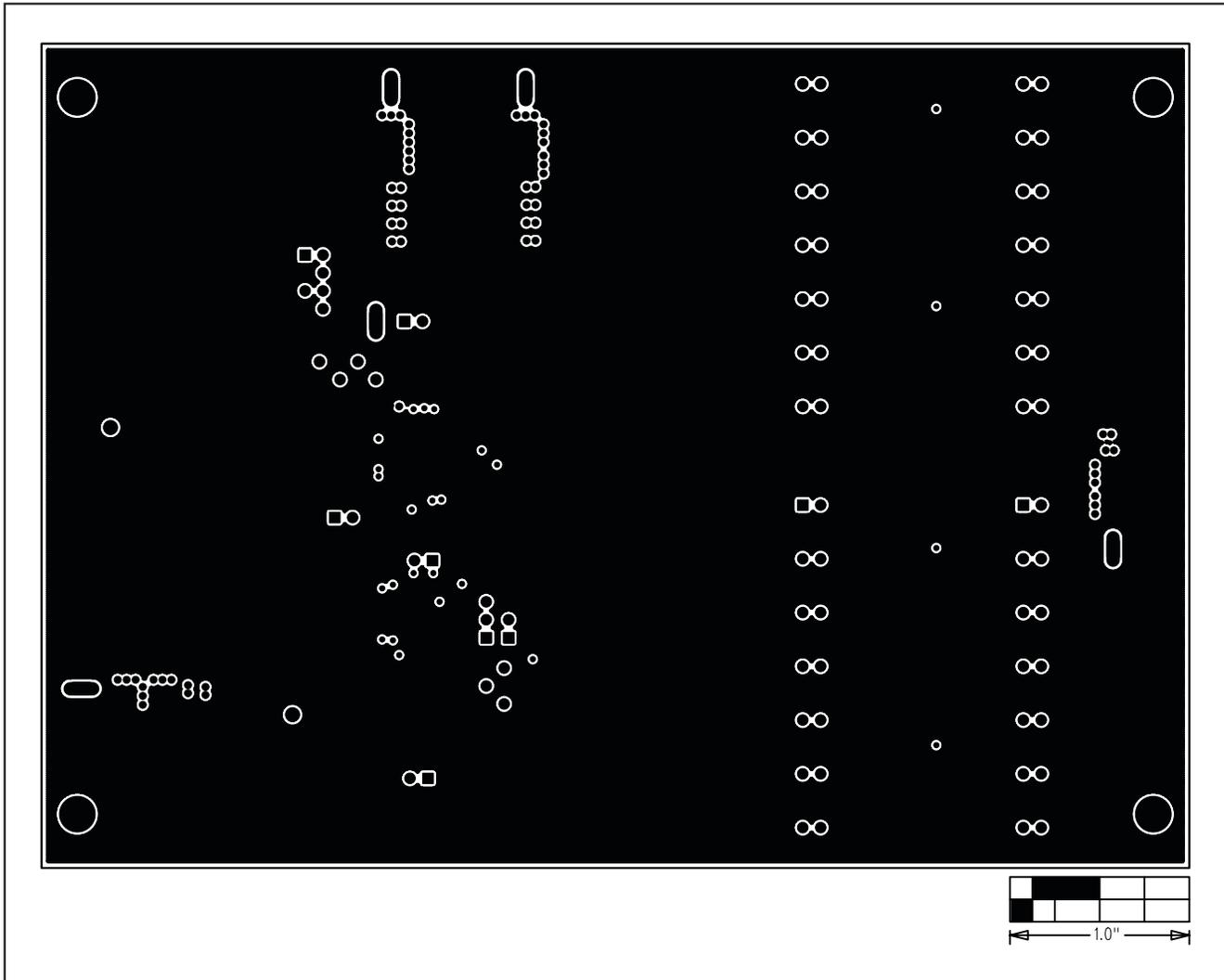


図4. MAX1213N/MAX1214NのEVキットのPCBレイアウト—グランドプレーン(層2)

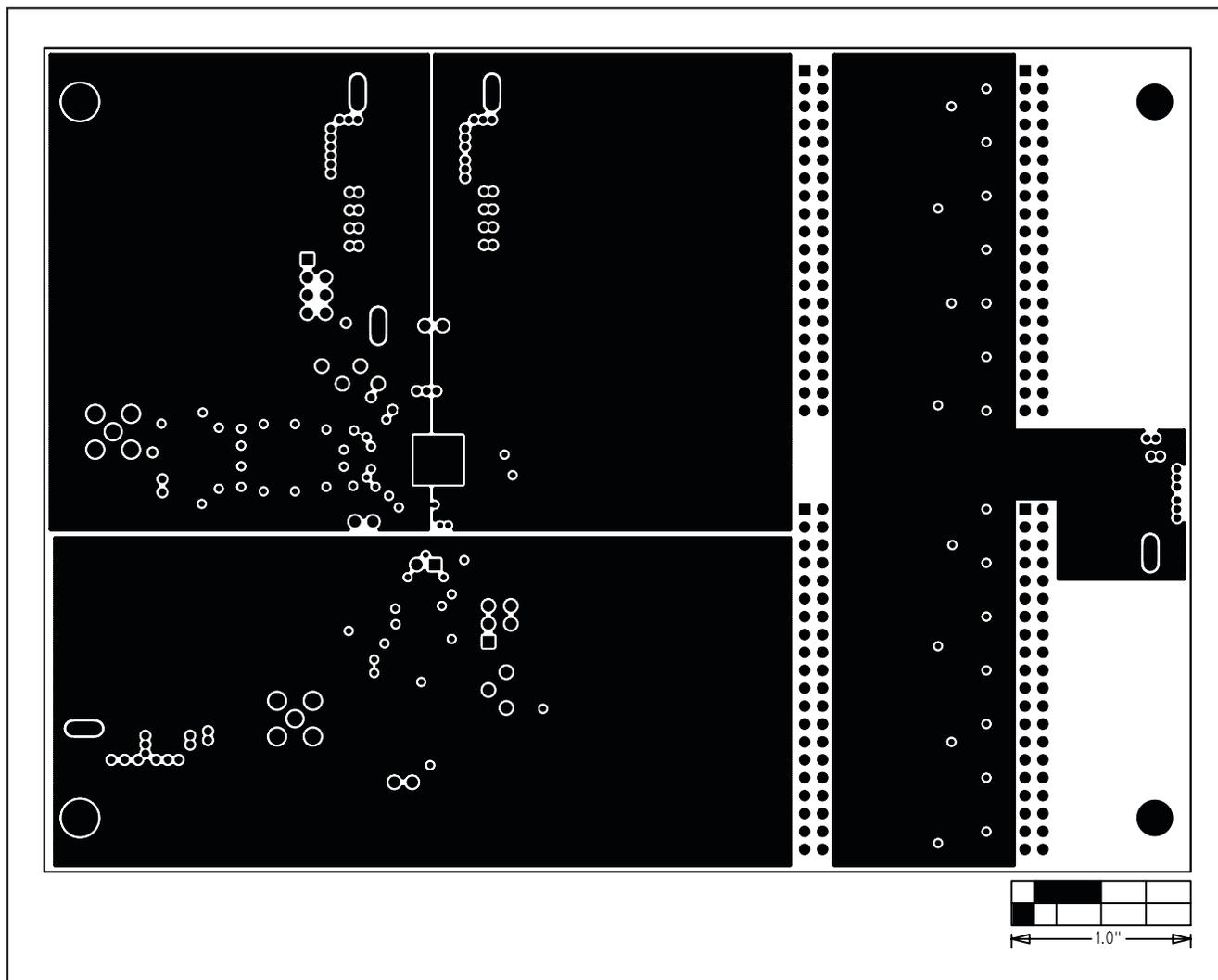


図5. MAX1213N/MAX1214NのEVキットのPCBレイアウト—電源プレーン(層3)

# MAX1213N/MAX1214Nの評価キット

**Evaluate: MAX1213N/MAX1214N**

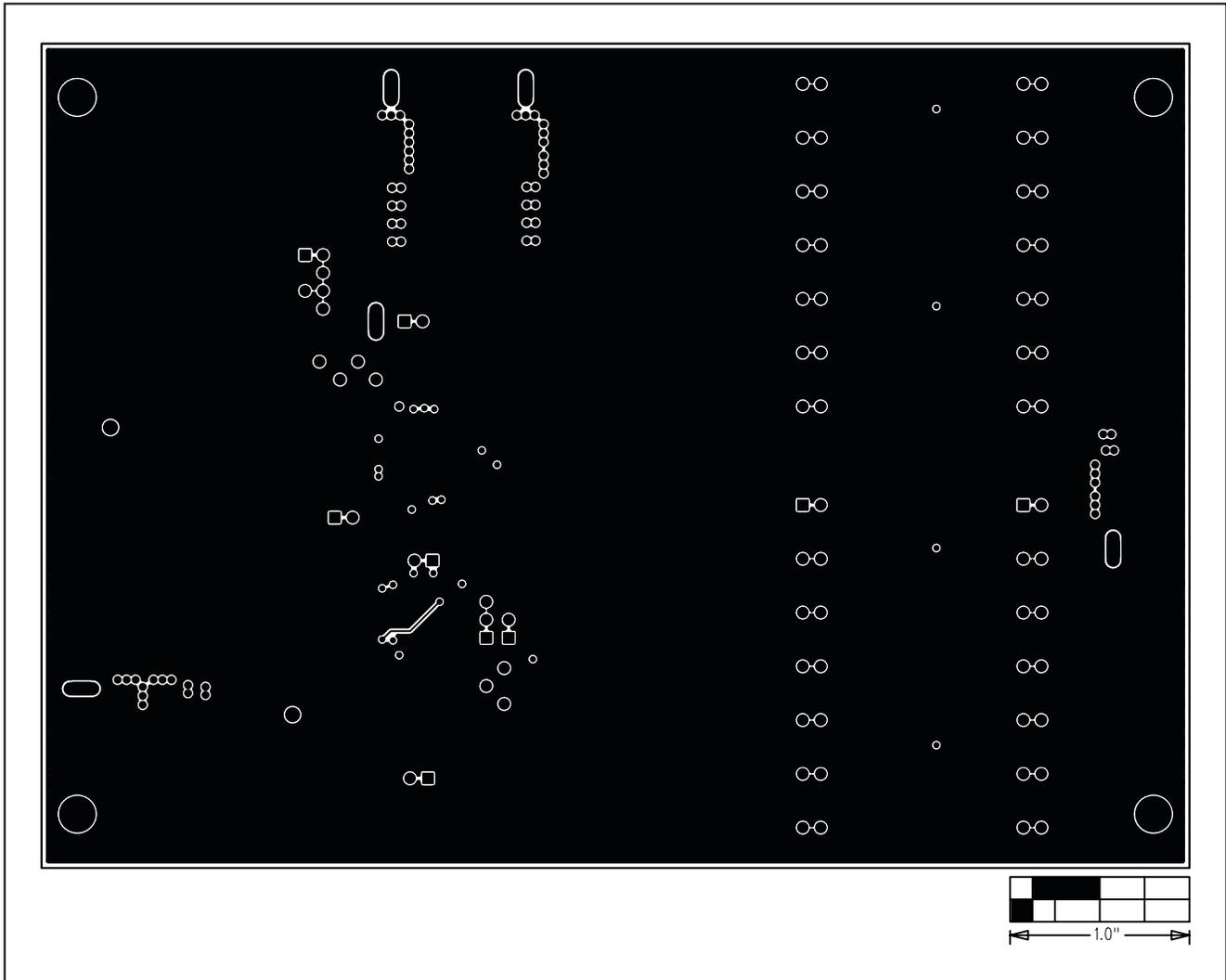


図6. MAX1213N/MAX1214NのEVキットのPCBレイアウト—半田面

**マキシム・ジャパン株式会社**

〒169-0051東京都新宿区西早稲田3-30-16(ホリゾン1ビル)  
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

14 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

© 2006 Maxim Integrated Products, Inc. All rights reserved. **MAXIM** is a registered trademark of Maxim Integrated Products, Inc.