

EVALUATION KIT
AVAILABLE

MAXIM

5V、8チャンネル、シリアル12ビットADC
3Vディジタルインタフェース付

MAX1202/MAX1203

概要

MAX1202/MAX1203は、+5V(アナログ)及び+3V(ディジタル)混合の電源電圧を使用するアプリケーション用として設計された12ビットデータ収集システムです。+5V単一アナログ電源又は±5Vデュアルアナログ電源で動作し、8チャンネルマルチプレクサ、広帯域幅トラック/ホールド、及びシリアルインタフェースに高速変換及び低消費電力特性を兼ね備えています。

4線シリアルインタフェースは外部ロジックなしで、直接SPI™/MICROWIRE™機器に接続できます。シリアルストローブ出力により、TMS320ファミリのディジタル信号プロセッサ(DSP)に直接接続できます。MAX1202/MAX1203は、内部クロック又は外部シリアルインタフェースクロックを使用して逐次比較型のアナログディジタル変換を行います。シリアルインタフェースは、最大2MHzで動作します。

MAX1203は外部リファレンスを必要とします。MAX1202は内部4.096Vリファレンスを備え、どちらの製品も利得トリミングを簡単にするリファレンスバッファアンプを備えています。また、ディジタル出力の電源となるVLピンを備えています。出力ロジックレベル(3V、3.3V、又は5V)は、このピンに印加される電圧によって決まります。

本製品は、ハードによるSHDNピン及びソフトウェア選択による2つのパワーダウンモードを備えています。MAX1202/MAX1203は、シリアルインタフェースにアクセスすると自動的にパワーアップし、ターンオンが速いために変換と変換の間にシャットダウンできます。このため、ユーザは消費電流を最適化できます。変換と変換の間のパワーダウンをカスタム化することにより、サンプリングレートが低い場合には消費電流を10µA以下に抑えることができます。

MAX1202/MAX1203は20ピンSSOP及びDIPパッケージで提供され、民生用、拡張、及び軍用温度範囲のものが用意されています。

アプリケーション

- 5V/3V混合電源機器
- データ収集
- 高精度プロセス制御
- バッテリー駆動機器
- 医療機器

標準動作回路は、データシートの最後に記載されています。SPI及びQSPIはMotorola, Inc.の商標です。MICROWIREはNational Semiconductor Corp.の商標です。

特長

- ◆ 入力：8チャンネルシングルエンド又は4チャンネル差動
- ◆ 電源：+5V単一又は±5Vデュアル
- ◆ 出力ロジックレベルが調節可能(2.7V~5.25V)
- ◆ 低電力：1.5mA(動作モード)
2µA(パワーダウンモード)
- ◆ 内部トラック/ホールド
サンプリングレート：133kHz
- ◆ 内部4.096Vリファレンス(MAX1202)
- ◆ 4線シリアルインタフェース：
SPI/MICROWIRE/TMS320コンパチブル
- ◆ ユニポーラ又はバイポーラ入力：ソフトウェアで設定
- ◆ パッケージ：20ピンDIP/SSOP

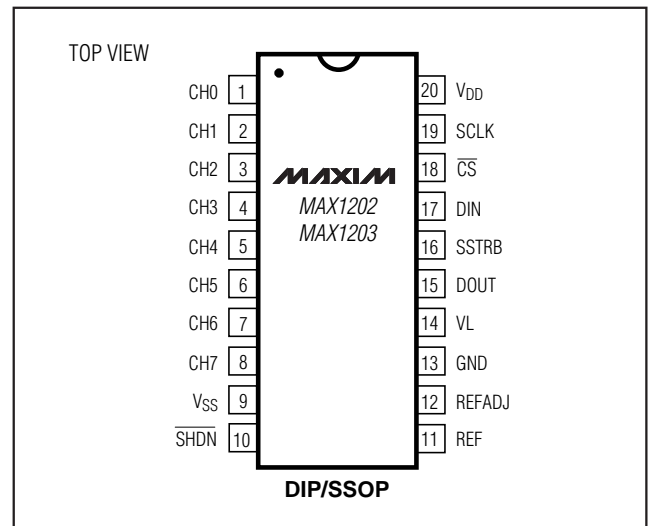
型番

PART	TEMP. RANGE	PIN-PACKAGE	INL (LSB)
MAX1202ACPP	0°C to +70°C	20 Plastic DIP	±1/2
MAX1202BCPP	0°C to +70°C	20 Plastic DIP	±1
MAX1202ACAP	0°C to +70°C	20 SSOP	±1/2
MAX1202BCAP	0°C to +70°C	20 SSOP	±1
MAX1202BC/D	0°C to +70°C	Dice*	±1

Ordering Information continued at end of data sheet.

*Dice are specified at $T_A = +25^\circ\text{C}$, DC parameters only.

ピン配置



5V、8チャンネル、シリアル12ビットADC 3Vデジタルインタフェース付

MAX1202/MAX1203

ABSOLUTE MAXIMUM RATINGS

V _{DD} to GND	-0.3V to 6V	Continuous Power Dissipation (T _A = +70°C)	
V _L	-0.3V to (V _{DD} + 0.3V)	Plastic DIP (derate 11.11mW/°C above +70°C)	889mW
V _{SS} to GND	0.3V to -6V	SSOP (derate 8.00mW/°C above +70°C)	640mW
V _{DD} to V _{SS}	-0.3V to 12V	CERDIP (derate 11.11mW/°C above +70°C)	889mW
CH0-CH7 to GND	(V _{SS} - 0.3V) to (V _{DD} + 0.3V)	Operating Temperature Ranges	
CH0-CH7 Total Input Current	±20mA	MAX1202_C_P/MAX1203_C_P	0°C to +70°C
REF to GND	-0.3V to (V _{DD} + 0.3V)	MAX1202_E_P/MAX1203_E_P	-40°C to +85°C
REFADJ to GND	-0.3V to (V _{DD} + 0.3V)	MAX1202BMJP/MAX1203BMJP	-55°C to +125°C
Digital Inputs to GND	-0.3V to (V _{DD} + 0.3V)	Storage Temperature Range	-60°C to +150°C
Digital Outputs to GND	-0.3V to (V _L + 0.3V)	Lead Temperature (soldering, 10sec)	+300°C
Digital Output Sink Current25mA		

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = +5V ±5%, V_L = 2.7V to 3.6V; V_{SS} = 0V or -5V ±5%; f_{SCLK} = 2.0MHz, external clock (50% duty cycle); 15 clocks/conversion cycle (133ksps); MAX1202—4.7μF capacitor at REF pin; MAX1203—external reference, V_{REF} = 4.096V applied to REF pin; T_A = T_{MIN} to T_{MAX}; unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY (Note 1)						
Resolution			12			Bits
Relative Accuracy (Note 2)	INL	MAX1202A/MAX1203A			±0.5	LSB
		MAX1202B/MAX1203B			±1.0	
Differential Nonlinearity	DNL	No missing codes over temperature			±1.0	LSB
Offset Error					±3.0	LSB
Gain Error (Note 3)		MAX1202 (all grades)			±3	LSB
		External reference, 4.096V	MAX1203A		±1.5	
			MAX1203B		±3	
Gain Temperature Coefficient		External reference, 4.096V			±0.8	ppm/°C
Channel-to-Channel Offset Matching					±0.1	LSB
DYNAMIC SPECIFICATIONS (10kHz sine-wave input, 4.096Vp-p, 133ksps, 2.0MHz external clock, bipolar-input mode)						
Signal-to-Noise + Distortion Ratio	SINAD		70			dB
Total Harmonic Distortion (up to the 5th harmonic)	THD				-80	dB
Spurious-Free Dynamic Range	SFDR		80			dB
Channel-to-Channel Crosstalk		V _{IN} = 4.096Vp-p, 65kHz (Note 4)			-85	dB
Small-Signal Bandwidth		-3dB rolloff			4.5	MHz
Full-Power Bandwidth					800	kHz

5V、8チャンネル、シリアル12ビットADC 3Vデジタルインタフェース付

MAX1202/MAX1203

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = +5V \pm 5\%$, $V_L = 2.7V$ to $3.6V$; $V_{SS} = 0V$ or $-5V \pm 5\%$; $f_{SCLK} = 2.0MHz$, external clock (50% duty cycle); 15 clocks/conversion cycle (133ksps); MAX1202— $4.7\mu F$ capacitor at REF pin; MAX1203—external reference, $V_{REF} = 4.096V$ applied to REF pin; $T_A = T_{MIN}$ to T_{MAX} ; unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
CONVERSION RATE						
Conversion Time (Note 5)	t_{CONV}	Internal clock	5.5		10	μs
		External clock, 2MHz, 12 clocks/conversion	6			
Track/Hold Acquisition Time	t_{ACQ}		1.5			μs
Aperture Delay				10		ns
Aperture Jitter				<50		ps
Internal Clock Frequency				1.7		MHz
External Clock Frequency Range		External compensation mode, $4.7\mu F$	0.1		2.0	MHz
		Internal compensation mode (Note 6)	0.1		0.4	
		Used for data transfer only	0		2.0	
ANALOG INPUT						
Input Voltage Range, Single-Ended and Differential (Note 7)		Unipolar, $V_{SS} = 0V$			V_{REF}	V
		Bipolar, $V_{SS} = -5V$			$\pm V_{REF} / 2$	
Multiplexer Leakage Current		On/off leakage current, $V_{CH_} = \pm 5V$		± 0.01	± 1	μA
Input Capacitance		(Note 6)		16		pF
INTERNAL REFERENCE (MAX1202 only, reference-buffer enabled)						
REF Output Voltage		$T_A = +25^\circ C$	4.076	4.096	4.116	V
REF Short-Circuit Current					30	mA
V_{REF} Temperature Coefficient		MAX1202AC		± 30	± 50	ppm/ $^\circ C$
		MAX1202AE		± 30	± 60	
		MAX1202B		± 30		
Load Regulation (Note 8)		0mA to 0.5mA output load		2.5		mV
Capacitive Bypass at REF		Internal compensation mode	0			μF
		External compensation mode	4.7			
Capacitive Bypass at REFADJ			0.01			μF
REFADJ Adjustment Range				± 1.5		%
EXTERNAL REFERENCE AT REF (Reference buffer disabled, $V_{REF} = 4.096V$)						
Input Voltage Range			2.50		$V_{DD} + 50mV$	V
Input Current				200	350	μA
Input Resistance			12	20		k Ω
REF Input Current in Shutdown		$\overline{SHDN} = 0V$		1.5	10	μA
REFADJ Buffer Disable Threshold			$V_{DD} - 50mV$			V

5V、8チャンネル、シリアル12ビットADC 3Vデジタルインタフェース付

MAX1202/MAX1203

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = +5V \pm 5\%$, $V_L = 2.7V$ to $3.6V$; $V_{SS} = 0V$ or $-5V \pm 5\%$; $f_{SCLK} = 2.0MHz$, external clock (50% duty cycle); 15 clocks/conversion cycle (133ksps); MAX1202— $4.7\mu F$ capacitor at REF pin; MAX1203—external reference, $V_{REF} = 4.096V$ applied to REF pin; $T_A = T_{MIN}$ to T_{MAX} ; unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
EXTERNAL REFERENCE AT REFADJ						
Capacitive Bypass at REF		Internal compensation mode	0			μF
		External compensation mode	4.7			
Reference-Buffer Gain		MAX1202		1.68		V/V
		MAX1203		1.64		
REFADJ Input Current		MAX1202			± 50	μA
		MAX1203			± 5	
POWER REQUIREMENTS						
Positive Supply Voltage	V_{DD}			$5 \pm 5\%$		V
Negative Supply Voltage	V_{SS}			0 or $-5 \pm 5\%$		V
Positive Supply Current	I_{DD}	Operating mode		1.5	2.5	mA
		Fast power-down (Note 9)		30	70	
		Full power-down (Note 9)		2	10	μA
Negative Supply Current	I_{SS}	Operating mode and fast power-down			50	μA
		Full power-down			10	
Logic Supply Voltage	V_L		2.70		5.25	V
Logic Supply Current (Notes 6, 10)	I_{VL}	$V_L = V_{DD} = 5V$			10	μA
Positive Supply Rejection (Note 11)	PSR	$V_{DD} = 5V \pm 5\%$; external reference, 4.096V; full-scale input		± 0.06	± 0.5	mV
Negative Supply Rejection (Note 11)	PSR	$V_{SS} = -5V \pm 5\%$; external reference, 4.096V; full-scale input		± 0.01	± 0.5	mV
Logic Supply Rejection (Note 12)	PSR	External reference, 4.096V; full-scale input		± 0.06	± 0.5	mV

5V、8チャンネル、シリアル12ビットADC 3Vデジタルインタフェース付

MAX1202/MAX1203

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = +5V \pm 5\%$, $V_L = 2.7V$ to $3.6V$; $V_{SS} = 0V$ or $-5V \pm 5\%$; $f_{SCLK} = 2.0MHz$, external clock (50% duty cycle); 15 clocks/conversion cycle (133ksp/s); MAX1202— $4.7\mu F$ capacitor at REF pin; MAX1203—external reference, $V_{REF} = 4.096V$ applied to REF pin; $T_A = T_{MIN}$ to T_{MAX} ; unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL INPUTS: DIN, SCLK, \overline{CS}, \overline{SHDN}						
DIN, SCLK, \overline{CS} Input High Voltage	V_{IH}		2.0			V
DIN, SCLK, \overline{CS} Input Low Voltage	V_{IL}				0.8	V
DIN, SCLK, \overline{CS} Input Hysteresis	V_{HYST}			0.15		V
DIN, SCLK, \overline{CS} Input Leakage	I_{IN}	$V_{IN} = 0V$ or V_{DD}			± 1	μA
DIN, SCLK, \overline{CS} Input Capacitance	C_{IN}	(Note 6)			15	pF
\overline{SHDN} Input High Voltage	V_{SH}		$V_{DD} - 0.5$			V
\overline{SHDN} Input Mid-Voltage	V_{SM}		1.5	$V_{DD} - 1.5$		V
\overline{SHDN} Voltage, Floating	V_{FLT}	$\overline{SHDN} = \text{open}$		2.75		V
\overline{SHDN} Input Low Voltage	V_{SL}				0.5	V
\overline{SHDN} Input Current, High	I_{SH}	$\overline{SHDN} = V_{DD}$			4.0	μA
\overline{SHDN} Input Current, Low	I_{SL}	$\overline{SHDN} = 0V$	-4.0			μA
\overline{SHDN} Maximum Allowed Leakage, Mid-Input		$\overline{SHDN} = \text{open}$	-100		100	nA
DIGITAL OUTPUTS: DOUT, SSTRB ($V_L = 2.7V$ to $3.6V$)						
Output Voltage Low	V_{OL}	$I_{SINK} = 3mA$			0.4	V
		$I_{SINK} = 6mA$		0.3		
Output Voltage High	V_{OH}	$I_{SOURCE} = 1mA$	$V_L - 0.5$			V
Three-State Leakage Current	I_L	$\overline{CS} = V_L$			± 10	μA
Three-State Output Capacitance	C_{OUT}	$\overline{CS} = V_L$ (Note 6)			15	pF
DIGITAL OUTPUTS: DOUT, SSTRB ($V_L = 4.75V$ to $5.25V$)						
Output Voltage Low	V_{OL}	$I_{SINK} = 5mA$			0.4	V
		$I_{SINK} = 8mA$		0.3		
Output Voltage High	V_{OH}	$I_{SOURCE} = 1mA$	4			V
Three-State Leakage Current	I_L	$\overline{CS} = 5V$			± 10	μA
Three-State Output Capacitance	C_{OUT}	$\overline{CS} = 5V$ (Note 6)			15	pF

5V、8チャンネル、シリアル12ビットADC 3Vデジタルインタフェース付

MAX1202/MAX1203

TIMING CHARACTERISTICS

($V_{DD} = +5V \pm 5\%$, $V_L = 2.7V$ to $3.6V$, $V_{SS} = 0V$ or $-5V \pm 5\%$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Acquisition Time	t_{ACQ}		1.5			μs
DIN to SCLK Setup	t_{DS}		100			ns
DIN to SCLK Hold	t_{DH}				0	ns
SCLK Fall to Output Data Valid	t_{DO}	$C_{LOAD} = 100pF$	20		240	ns
\overline{CS} Fall to Output Enable	t_{DV}	$C_{LOAD} = 100pF$			240	ns
\overline{CS} Rise to Output Disable	t_{TR}	$C_{LOAD} = 100pF$			240	ns
\overline{CS} to SCLK Rise Setup	t_{CSS}		100			ns
\overline{CS} to SCLK Rise Hold	t_{CSH}		0			ns
SCLK Pulse Width High	t_{CH}		200			ns
SCLK Pulse Width Low	t_{CL}		200			ns
SCLK Fall to SSTRB	t_{SSTRB}	$C_{LOAD} = 100pF$			240	ns
\overline{CS} Fall to SSTRB Output Enable (Note 6)	t_{SDV}	External-clock mode only, $C_{LOAD} = 100pF$			240	ns
\overline{CS} Rise to SSTRB Output Disable (Note 6)	t_{STR}	External-clock mode only, $C_{LOAD} = 100pF$			240	ns
SSTRB Rise to SCLK Rise (Note 6)	t_{SCK}	Internal-clock mode only	0			ns

Note 1: Tested at $V_{DD} = 5.0V$; $V_{SS} = 0V$; unipolar-input mode.

Note 2: Relative accuracy is the analog value's deviation (at any code) from its theoretical value after the full-scale range is calibrated.

Note 3: MAX1202—internal reference, offset nulled; MAX1203—external reference ($V_{REF} = 4.096V$), offset nulled.

Note 4: On-channel grounded; sine wave applied to all off-channels.

Note 5: Conversion time is defined as the number of clock cycles multiplied by the clock period; clock has 50% duty cycle.

Note 6: Guaranteed by design. Not subject to production testing.

Note 7: Common-mode range for analog inputs is from V_{SS} to V_{DD} .

Note 8: External load should not change during the conversion for specified accuracy.

Note 9: Shutdown supply current is measured with V_L at 3.3V, and with all digital inputs tied to either V_L or GND; $REFADJ = GND$. Shutdown supply current is also dependent on V_{IH} (Figure 12c).

Note 10: Logic supply current is measured with the digital outputs (DOUT and SSTRB) disabled (\overline{CS} high). When the outputs are active (\overline{CS} low), the logic supply current depends on f_{SCLK} , and on the static and capacitive load at DOUT and SSTRB.

Note 11: Measured at $V_{SUPPLY} + 5\%$ and $V_{SUPPLY} - 5\%$ only.

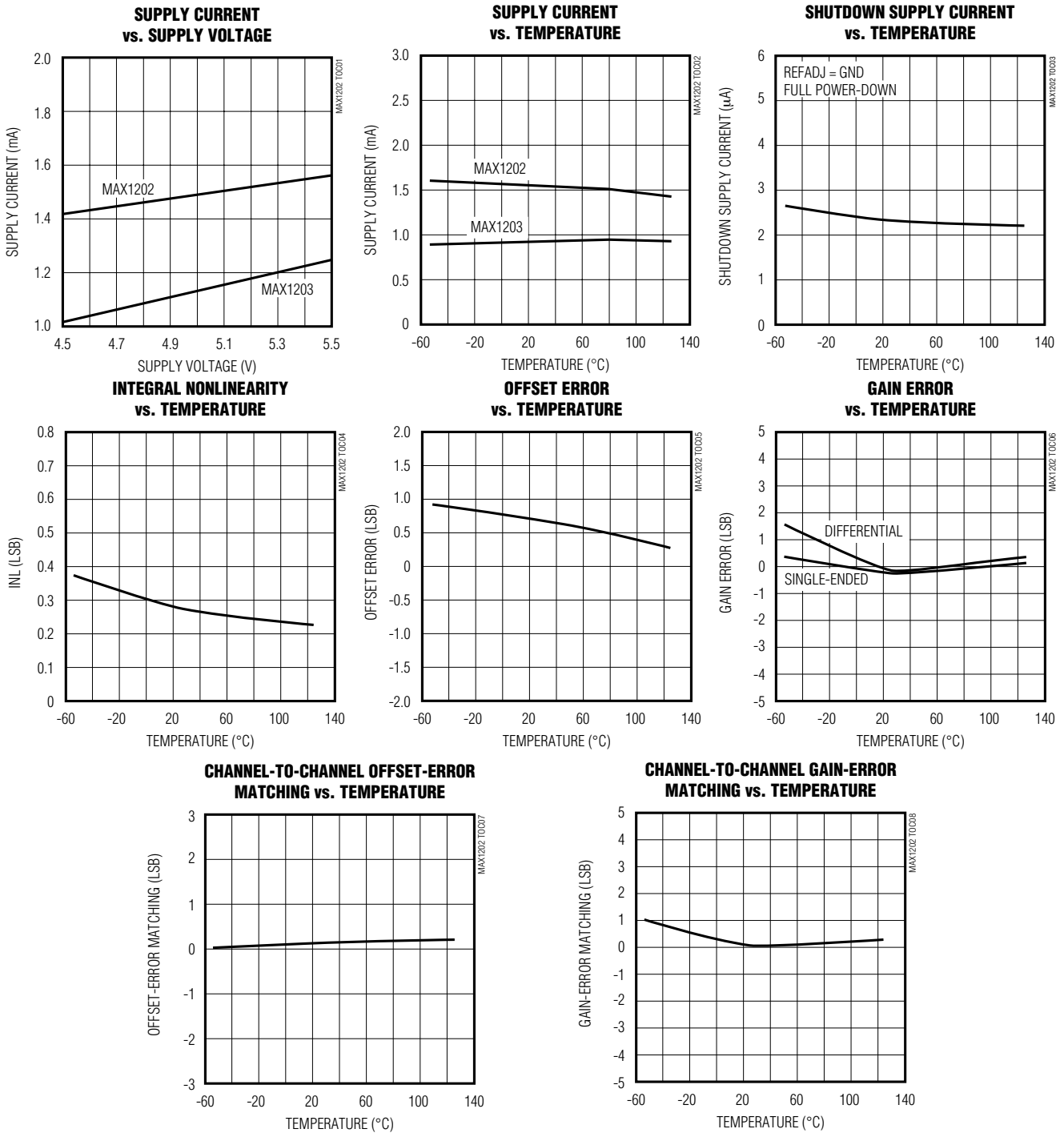
Note 12: Measured at $V_L = 2.7V$ and $V_L = 3.6V$.

5V、8チャンネル、シリアル12ビットADC 3Vデジタルインタフェース付

MAX1202/MAX1203

標準動作特性

($V_{DD} = 5V \pm 5\%$; $V_L = 2.7V$ to $3.6V$; $V_{SS} = 0V$; $f_{SCLK} = 2.0MHz$, external clock (50% duty cycle); 15 clocks/conversion cycle (133kps); MAX1202— $4.7\mu F$ capacitor at REF pin; MAX1203—external reference, $V_{REF} = 4.096V$ applied to REF pin; $T_A = +25^\circ C$; unless otherwise noted.)

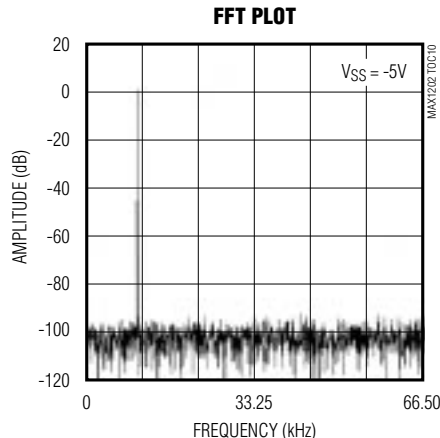
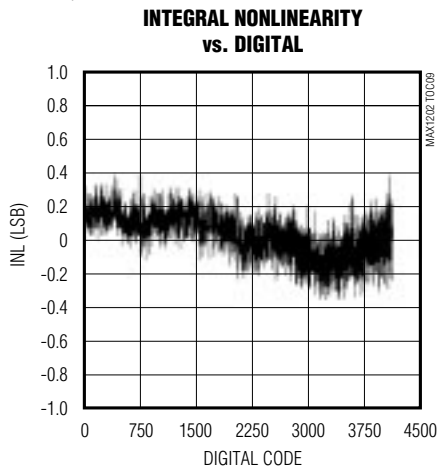


5V、8チャンネル、シリアル12ビットADC 3Vデジタルインタフェース付

MAX1202/MAX1203

標準動作特性(続き)

($V_{DD} = 5V \pm 5\%$; $V_L = 2.7V$ to $3.6V$; $V_{SS} = 0V$; $f_{SCLK} = 2.0MHz$, external clock (50% duty cycle); 15 clocks/conversion cycle (133ksp/s); MAX1202— $4.7\mu F$ capacitor at REF pin; MAX1203—external reference, $V_{REF} = 4.096V$ applied to REF pin; $T_A = +25^\circ C$; unless otherwise noted.)



端子説明

端子	名称	機能
1-8	CH0-CH7	サンプリングアナログ入力
9	V _{SS}	負電源電圧。V _{SS} は-5V ± 5%又はGNDに接続してください。
10	\overline{SHDN}	3レベルシャットダウン入力。MAX1202/MAX1203は \overline{SHDN} をローにするとシャットダウンし、消費電流が10 μA (max)に低減されます。それ以外の場合は、完全動作状態です。 \overline{SHDN} をV _{DD} にすると、リファレンスバッファアンプが内部補償モードになります。 \overline{SHDN} をフローティングにすると、リファレンスバッファアンプが外部補償モードになります。
11	REF	リファレンスバッファ出力/ADCリファレンス入力。内部リファレンスモード (MAX1202のみ) ではリファレンスバッファが公称出力4.096Vを提供し、REFADJで外部調節が可能です。外部リファレンスモードでは、REFADJをV _{DD} に接続して内部バッファをディセーブルしてください。
12	REFADJ	リファレンスバッファアンプへの入力。リファレンスバッファアンプをディセーブルするには、REFADJをV _{DD} に接続してください。
13	GND	グラウンド。シングルエンド変換用のIN-入力。
14	V _L	デジタル出力ピンの電源電圧。V _L に印加された電圧がデジタル出力 (DOUT、SSTRB) の出力スイングを決定します。2.7V V _L 5.25V
15	DOUT	シリアルデータ出力。データは、SCLKの立下がりエッジでクロック出力されます。CSがハイのときは、ハイインピーダンスになります。
16	SSTRB	シリアルストローブ出力。内部クロックモードのSSTRBは、MAX1202/MAX1203がA/D変換を開始したときにローになり、変換終了時にハイになります。外部クロックモードでは、MSBの決定前に1クロックサイクルだけパルス的にハイになります。CSがハイのときは、ハイインピーダンスになります(外部クロックモード)。
17	DIN	シリアルデータ入力。データはSCLKの立上がりエッジでクロック入力されます。
18	\overline{CS}	アクティブローのチップセレクト。 \overline{CS} がローでない限り、データはDINにクロック入力されません。 \overline{CS} がハイのとき、DOUTはハイインピーダンスになります。
19	SCLK	シリアルクロック入力。SCLKはシリアルインタフェースのデータをクロック入力及び出力します。SCLKは、外部クロックモードのときに変換速度も設定します。(デューティサイクルは40%~60%であることが必要です。)
20	V _{DD}	正電源電圧(+5V ± 5%)

5V、8チャンネル、シリアル12ビットADC 3Vデジタルインタフェース付

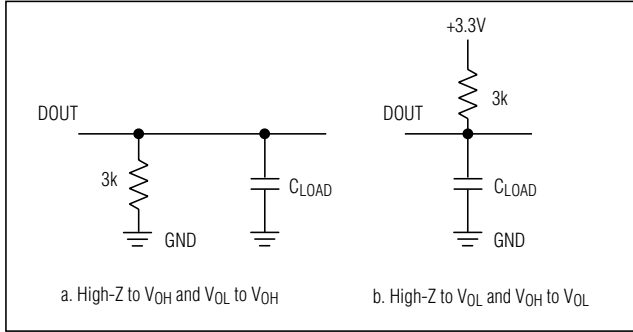


図1. イネーブル時間用の負荷回路

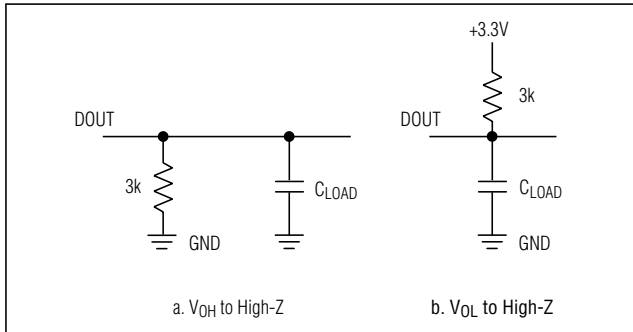


図2. ディセーブル時間用の負荷回路

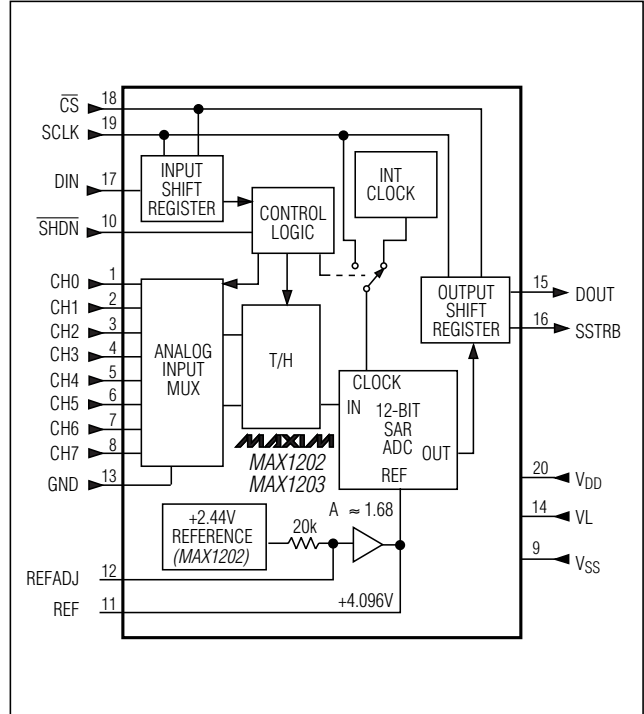


図3. ブロック図

詳細

MAX1202/MAX1203アナログデジタルコンバータ(ADC)は、逐次比較型の変換技法及び入力トラック/ホールド(T/H)回路を使用することによって、アナログ信号を12ビットのデジタル出力に変換します。フレキシブルなシリアルインタフェースにより、3Vマイクロプロセッサ(μP)とのインタフェースを容易にしています。図3に、MAX1202/MAX1203のブロック図を示します。

疑似差動入力

図4に、このADCのアナログコンパレータのサンプリング構成を示します。シングルエンドモードでは、IN+が内部でCH0~CH7にスイッチングされ、IN-はGNDにスイッチングされます。差動モードの場合のIN+及びIN-は、CH0/CH1、CH2/CH3、CH4/CH5、及びCH6/CH7の組み合わせの中から選択されます。チャンネルの設定は、表3及び表4を参考に行ってください。

差動モードでは、IN-及びIN+が内部でアナログ入力のどちらかにスイッチングされます。この構成ではIN+のところの信号だけがサンプリングされるため、この構成を疑似差動と呼んでいます。リターン側(IN-)は、変

換中、GNDに対して $\pm 0.5\text{LSB}$ typ(最良の結果を得るためには $\pm 0.1\text{LSB}$)以内で安定している必要があります。これを実現するには、(選択したアナログ入力の)IN-とGNDの間に $0.1\mu\text{F}$ のコンデンサを接続してください。

アキュイジション期間中は、正入力(IN+)として選択されたチャンネルにより、コンデンサ C_{HOLD} が充電されます。アキュイジション期間は3 SCLKサイクル間続き、入力制御ワードの最後のビットが入力された後のSCLKの立下がりエッジで完了します。アキュイジション期間の終了時にT/Hスイッチが開き、 C_{HOLD} の電荷をIN+の信号のサンプルとして保持します。

変換期間は、入力マルチプレクサが C_{HOLD} を正入力(IN+)から負入力(IN-)にスイッチングしたときから始まります。シングルエンドモードにおけるIN-はGNDです。このため、コンパレータの入力でのノードZEROが不平衡になります。変換サイクルの残りの時間で、容量性DACがノードZEROを12ビット分解能の制限範囲で0Vに調節されます。この動作は、 $16\text{pF} \times [(V_{\text{IN}+}) - (V_{\text{IN}-})]$ の電荷を C_{HOLD} からバイナリ重み付の容量性DACに移すことと等価です。この結果、アナログ入力信号のデジタル表示が生成されます。

5V、8チャンネル、シリアル12ビットADC 3Vデジタルインタフェース付

トラック/ホールド

T/Hは、8ビット制御ワードの5番目のビットがシフトインされた後の立下がりクロックエッジでトラックモードに入り、制御ワードの8番目のビットがシフトインされた後の立下がりクロックエッジでホールドモードに入ります。コンバータがシングルエンド入力用に設定されている場合は、IN-がGNDに接続され、コンバータは「+」入力をサンプリングします。コンバータが差動入力用に設定されている場合は、IN-が「-」入りに接続され、IN+ - IN- の差がサンプリングされます。変換完了時に正入力再びIN+に接続され、C_{HOLD}は入力信号電圧まで充電されます。

T/Hが入力信号を取込むために要する時間は、入力容量が充電される速さの関数になっています。入力信号のソースインピーダンスが高いとアキュジション時間は長くなるため、変換と変換の間の時間を長くする必要があります。アキュジション時間 t_{ACQ} は素子が信号を取込むために要する最大時間であり、信号の取込みに必要な最低時間にもなっています。 t_{ACQ} は、次式で計算されます。

$$t_{ACQ} = 9 \times (R_S + R_{IN}) \times 16\text{pF}$$

ここで、 $R_{IN} = 9\text{k}$ 、 R_S = 入力信号のソースインピーダンス、そして t_{ACQ} は必ず $1.5\mu\text{s}$ 以上です。ソースイン

ピーダンスが 1k 以下であれば、ADCのAC性能に大きな影響はありません。図5に示すように、入力コンデンサがアナログ入力に接続されていれば、これ以上のソースインピーダンスの使用も可能です。入力コンデンサと入力ソースインピーダンスがRCフィルタを形成して、ADCの信号帯域幅を制限することに注意してください。

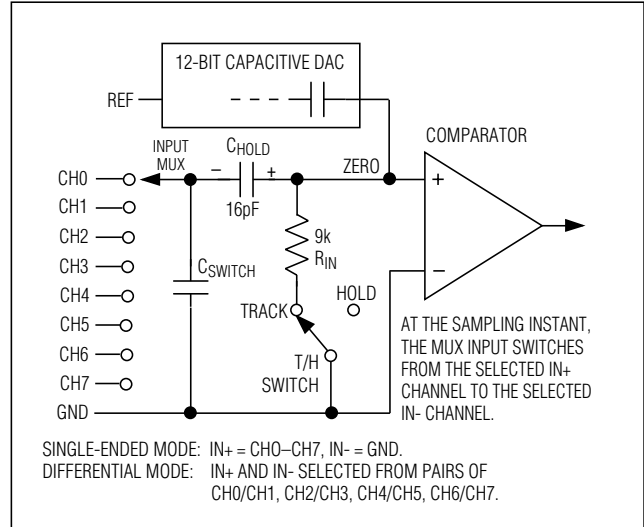


図4. 等価入力回路

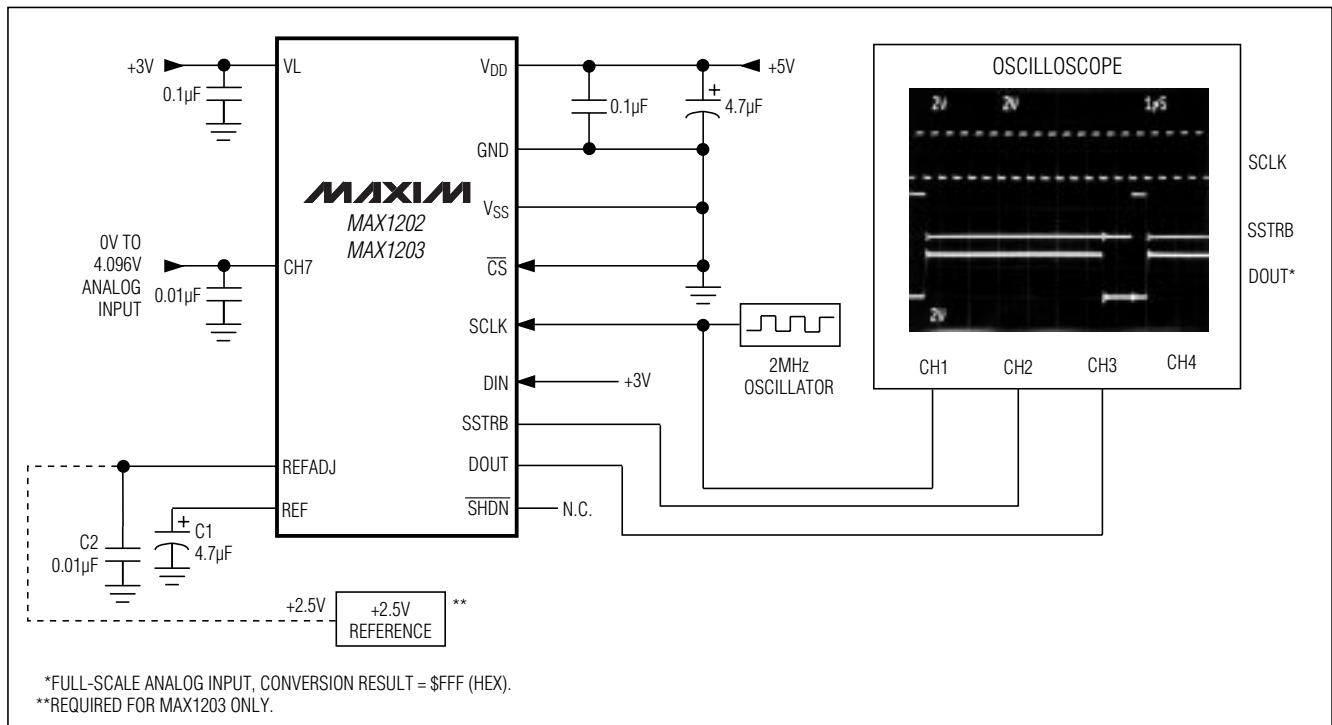


図5. 性能チェック回路

5V、8チャンネル、シリアル12ビットADC 3Vデジタルインタフェース付

表1a. ユニポールのフルスケール及び
ゼロスケール

REFERENCE		ZERO SCALE	FULL SCALE
Internal		0V	+4.096V
External	at REFADJ	0V	$V_{REFADJ} \times A^*$
	at REF	0V	V_{REF}

*A = 1.68 for the MAX1202, 1.64 for the MAX1203.

入力帯域幅

ADCの入力トラッキング回路の小信号帯域幅は4.5MHzであるため、高速の過渡現象の数値化、及びアンダーサンプリング技法を使用することにより帯域幅がADCのサンプリングレート以上の帯域の周期信号を測定できます。高周波信号が計測する周波数帯域にエイリアシングしてくるのを防ぐために、アンチエイリアシングフィルタリングをお勧めします。

アナログ入力範囲と入力保護

内部保護ダイオードによってアナログ入力が V_{DD} と V_{SS} にクランプされているため、チャンネル入力ピンは $(V_{SS} - 0.3V) \sim (V_{DD} + 0.3V)$ の範囲で損傷を起こすことなくスイングできます。しかし、フルスケール付近で正確な変換を行うには、入力が V_{DD} を50mV以上超えたり、 V_{SS} を50mV以上下回ることをないようにします。

アナログ入力が電源を50mV以上超えた場合、オフチャンネルの保護ダイオードに2mA以上の順方向バイアスをかけないでください。

フルスケール出力電圧は、REFの電圧に依存します(表1a及び1b)。

性能チェック回路

MAX1202/MAX1203のアナログ性能を迅速に評価するには、図5の回路を使用してください。MAX1202/MAX1203では、各変換の前に制御バイトがDINに書き込まれる必要があります。DINを+3Vにすると、\$FF(HEX)という制御バイトが書き込まれます。これは、変換と変換の間にパワーダウンのない外部クロックモードのCH7のシングルエンドユニポラ変換をトリガ

表1b. バイポールのフルスケール、ゼロ
スケール、及び負のフルスケール

REFERENCE		NEGATIVE FULL SCALE	ZERO SCALE	FULL SCALE
Internal		$-4.096V / 2$	0V	$+4.096V / 2$
External	at REFADJ	$-1/2 V_{REFADJ} \times A^*$	0V	$+1/2 V_{REFADJ} \times A^*$
	at REF	$-1/2 V_{REF}$	0V	$+1/2 V_{REF}$

*A = 1.68 for the MAX1202, 1.64 for the MAX1203.

します。外部クロックモードでは、12ビット変換結果の最高位ビットがDOUTからシフトアウトされる前に、SSTRB出力が1クロック周期だけパルスのハイになります。CH7へのアナログ入力を変化させると、DOUTから出るビットのシーケンスが変わります。1変換当たり合計15クロックサイクルが必要です。SSTRB及びDOUTの遷移は全て、SCLKの立下がりエッジで起こります。

変換開始方法

MAX1202/MAX1203の変換は、制御バイトをDINにクロックインすることによって開始されます。 \overline{CS} がローの場合、SCLKクロックの各立上がりエッジ毎にDINからMAX1202/MAX1203の内部シフトレジスタへと1ビットずつクロックインされます。 \overline{CS} が下がった後で最初に来たロジック「1」のビットが制御バイトのMSBを定義します。この最初の「スタート」ビットが来るまでは、ロジック「0」のビットがいくつDINにクロックインされたとしても一切影響はありません。表2に、制御バイトのフォーマットを示します。

MAX1202/MAX1203は、SPI/MICROWIRE機器と完全にコンパチブルです。SPIの場合は、SPI制御レジスタで正しいクロック極性及びサンプリングエッジを選択してください(CPOL = 0 及びCPHA = 0に設定してください)。MICROWIREとSPIはいずれもバイトの送信とバイトの受信を同時に行います。「標準動作回路」を使用した場合、最もシンプルなソフトウェアインタフェースでは8ビット転送を僅か3回行うだけで変換が行えます(1回の8ビット転送ではADCを設定し、残り後2回の8ビット転送では12ビット変換結果をクロックアウトします)。

5V、8チャンネル、シリアル12ビットADC 3Vデジタルインタフェース付

MAX1202/MAX1203

表2. 制御バイトフォーマット

ビット7 (MSB)	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0 (LSB)
START	SEL 2	SEL 1	SEL 0	UNI/BIP	SGL/DIF	PD1	PD0
ビット	名称	内容					
7 (MSB)	START	CSがローになった後の最初のロジック1が制御バイトの開始になります。					
6 5 4	SEL2 SEL1 SEL0	これら3つのビットにより、8つのチャンネルのうちのどれを変換に使用するかを選択します (表3及び表4)。					
3	UNI/BIP	1 = ユニポーラ、0 = バイポーラ。ユニポーラ変換モードかバイポーラ変換モードかを選択します。ユニポーラモードでは、0V~V _{REF} のアナログ入力信号を変換できます。バイポーラモードにおける信号範囲は、-V _{REF} /2 ~ +V _{REF} /2が可能です。					
2	SGL/DIF	1 = シングルエンド、0 = 差動。シングルエンド変換か差動の変換かを選択します。シングルエンドモードの入力信号電圧は、GNDを基準としています。差動モードでは2つのチャンネルの間の電圧差が測定されます (表3及び表4)。					
1 0 (LSB)	PD1 PD0	クロック及びパワーダウンモードを選択します。 PD1 PD0 モード 0 0 フルパワーダウン (I _{DD} = 2μA、内部リファレンス) 0 1 高速パワーダウン (I _{DD} = 30μA、内部リファレンス) 1 0 内部クロックモード 1 1 外部クロックモード					

表3. シングルエンドモードにおけるチャンネル選択(SGL/DIF= 1)

SEL2	SEL1	SEL0	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7	GND
0	0	0	+								-
1	0	0		+							-
0	0	1			+						-
1	0	1				+					-
0	1	0					+				-
1	1	0						+			-
0	1	1							+		-
1	1	1								+	-

表4. 差動モードにおけるチャンネル選択(SGL/DIF = 0)

SEL2	SEL1	SEL0	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7
0	0	0	+	-						
0	0	1			+	-				
0	1	0					+	-		
0	1	1							+	-
1	0	0	-	+						
1	0	1			-	+				
1	1	0					-	+		
1	1	1							-	+

5V、8チャンネル、シリアル12ビットADC 3Vデジタルインタフェース付

シンプルなソフトウェアインタフェース

CPUがシリアルクロックを発生するように、CPUのシリアルインタフェースがマスターモードで動作していることを確認してください。クロック周波数は、100kHz～2MHzの範囲から選択してください。

- 1) 制御バイトを外部クロックモードに設定し、これをTB1と呼びます。TB1のフォーマットは、バイナリの1XXXX11になります。ここで、Xは選択された特定のチャンネル及び変換モードを意味します。
- 2) CPUの汎用I/Oラインを使用して、MAX1202/MAX1203の \overline{CS} をローにします。
- 3) TB1を送信し、同時にバイトを受信します。受信したバイトをRB1と呼びます。RB1を無視します。
- 4) 全てゼロで構成されるバイト(\$00 hex)を送信し、同時にバイトRB2を受信します。
- 5) 全てゼロで構成されるバイト(\$00 hex)を送信し、同時にバイトRB3を受信します。
- 6) MAX1202/MAX1203の \overline{CS} をハイにします。

図6に、このシーケンスのタイミングを示します。バイトRB2とRB3は、先頭のゼロ1個及び後続ビットである3つのゼロに挟まれた変換結果を含んでいます。合計変換時間は、シリアルクロック周波数及び8ビット転送間のアイドル時間の関数です。T/Hが過剰にドループするのを防ぐために、合計変換時間が120 μ sを超えないようにしてください。

デジタル出力

ユニポーラ入力モードにおける出力は、ストレートなバイナリです(図15)。バイポーラ入力の場合、出力は2の補数形式になります(図16)。データは、SCLKの立下がりエッジで、MSBを先頭にクロックアウトされます。

デジタル出力ロジックレベルは、VLピンで調節します。これにより、オーバドライブの危険なしにDOUTとSSTRBが3Vロジックとインタフェースできます。MAX1202/MAX1203のデジタル入力は5Vロジックだけでなく、3V CMOSロジックともコンパチブルであるように設計されています。

内部及び外部クロックモード

MAX1202/MAX1203では、外部シリアルクロック又は内部クロックのいずれかを使用することにより、逐次比較型変換を行うことができます。どちらのクロックモードの場合も、外部クロックがMAX1202/MAX1203からデータをシフトイン/アウトします。T/Hは、制御バイトの最後の3ビットがDINにクロックインされるときに入力信号を取込みます。制御バイトのビットPD1及びPD0によってクロックモードがプログラムされます。図7～10に、両方のモードに共通するタイミングの特性を示します。

外部クロック

外部クロックモードにおける外部クロックは、データをシフトイン/アウトするだけでなく、A/D変換のステップの駆動も行います。SSTRBは制御バイトの最後のビットの後で、1クロック周期だけパルスのハイになります。逐次比較用のビット決定はそれに続くSCLKの立下がりエッジ12個でそれぞれ行われ、DOUTに出力されます(図6)。 \overline{CS} がハイになると、SSTRB及びDOUTはハイインピーダンス状態になります。そして、その次の \overline{CS} の立下がりエッジでSSTRBはロジックローを出力します。図8に、外部クロックモードにおけるSSTRBのタイミングを示します。

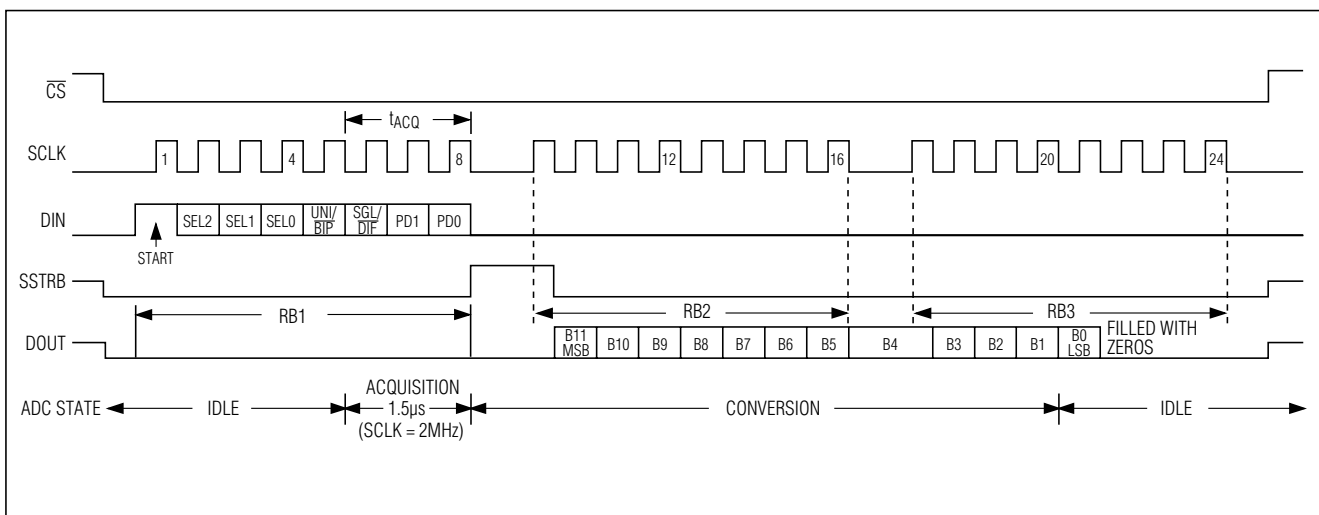


図6. 24ビット外部クロックモードの変換タイミング(MICROWIRE及びSPIコンパチブル)

5V、8チャンネル、シリアル12ビットADC 3Vデジタルインタフェース付

MAX1202/MAX1203

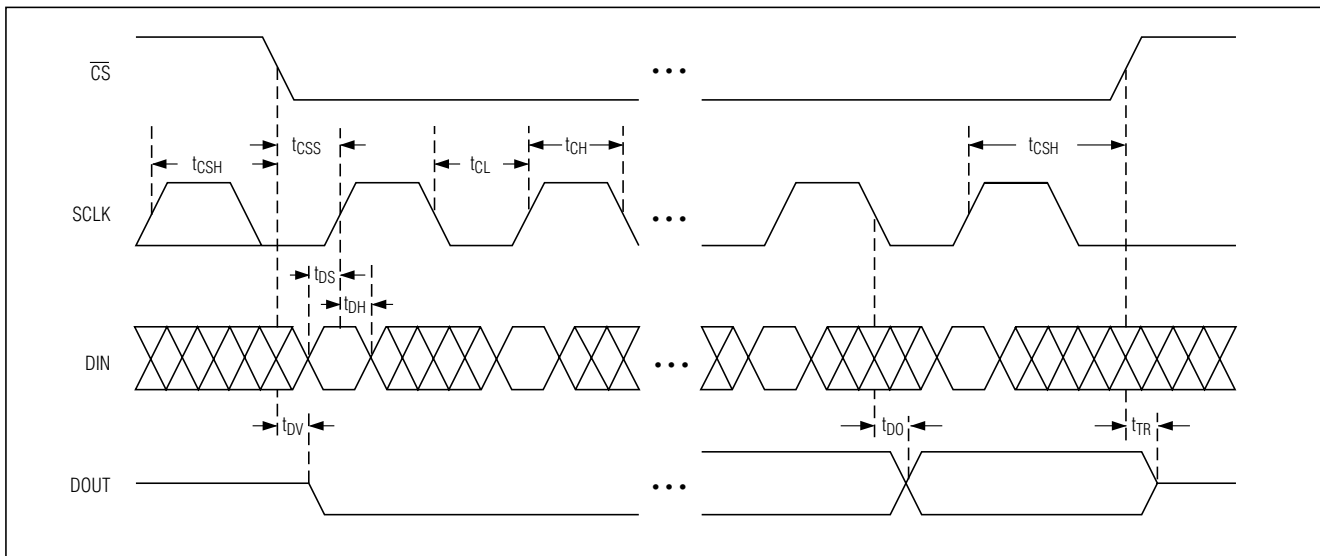


図7. シリアルインタフェースのタイミングの詳細

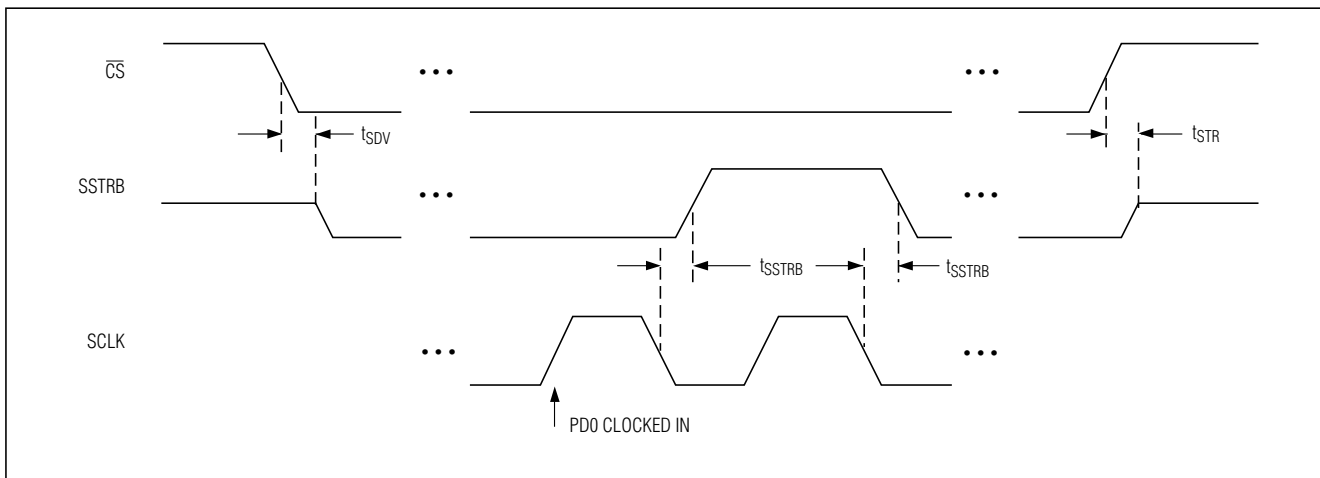


図8. 外部クロックモードにおけるSSTRBのタイミングの詳細

変換は、一定した最小時間内に完了する必要があります。完了しない場合は、サンプルアンドホールドコンデンサのドレupによって変換結果が劣化することがあります。クロック周期が10 μ s以上の場合やシリアルクロックの割込みによって、変換周期が120 μ sを超える可能性がある場合は、内部クロックモードを使用してください。

内部クロック

内部クロックモードでは、MAX1202/MAX1203自体が内部で変換クロックを発生します。この結果、 μ PIはSAR変換クロックを動作させる役割から解放され、変換結果はプロセッサの都合のよいときに、0~2MHzの任意のクロックレートで読取ることができます。

SSTRBは変換開始時にローになり、変換が完了するとハイになります。SSTRBは最大10 μ s間ローに留まりますが、最高のノイズ性能を得るには、その間SCLKをローに保つようにします。変換中は、内部レジスタにデータが保管されます。変換の完了後任意の時点で、SCLKがこのレジスタからデータをクロックアウトします。SSTRBがハイになった後、次の立下がりクロックエッジでDOUTに変換のMSBが出力され、続いて残りのビットがMSBを先頭にしたフォーマットで出力されます(図9)。一旦変換が開始された後は、 $\overline{\text{CS}}$ をローに保持する必要はありません。 $\overline{\text{CS}}$ をハイにするとデータがMAX1202/MAX1203にクロックインされなくなり、DOUTがスリーステートになりますが、すでに進行中の内部クロックモードの変換に悪影響を与えることはありません。

5V、8チャンネル、シリアル12ビットADC 3Vデジタルインタフェース付

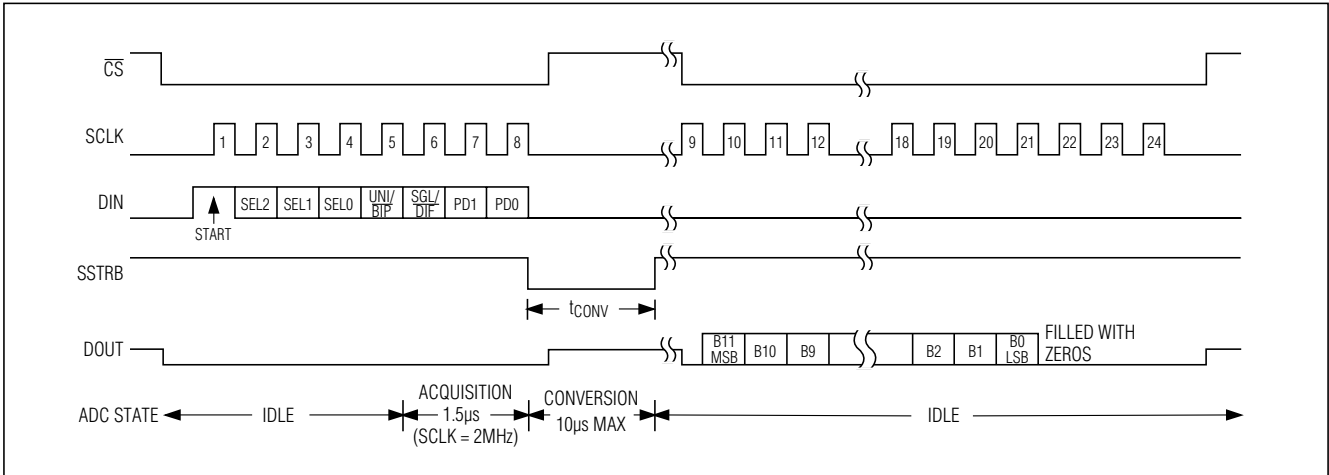


図9. 内部クロックモードのタイミング

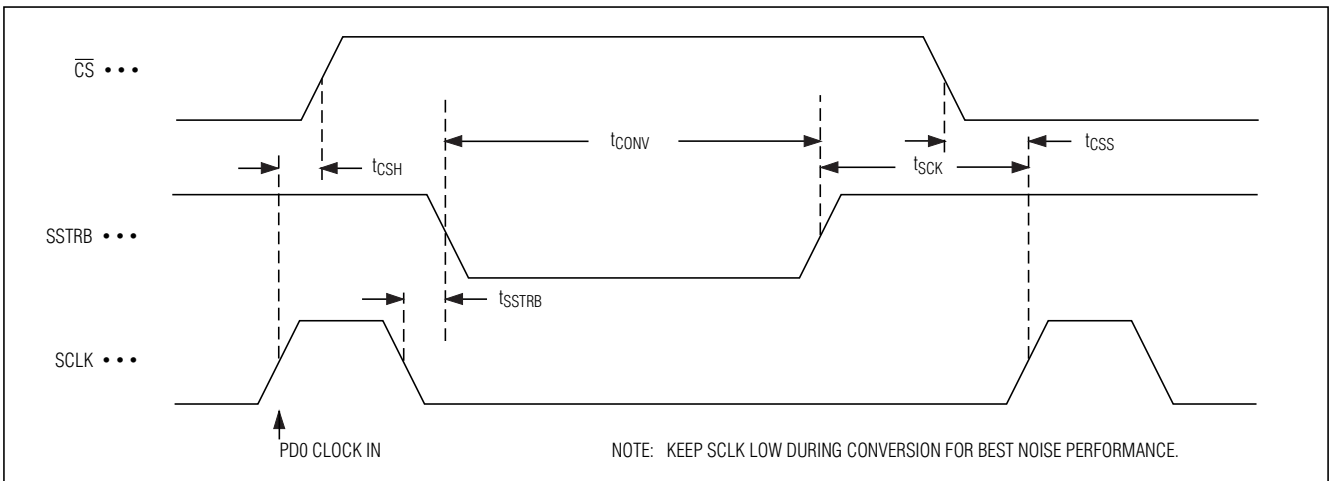


図10. 内部クロックモードでのSSTRBのタイミングの詳細

ません。内部クロックモードが選択されている場合は、 \overline{CS} がハイになってもSSTRBがハイインピーダンス状態にはなりません。

図10に、内部クロックモードにおけるSSTRBのタイミングを示します。このモードでは、最小アキュイジションタイム(t_{ACQ})が1.5 μ s以上に保持されている限り、2.0MHzまでのクロックレートでデータをMAX1202/MAX1203にシフトインできると共に、シフトアウトすることもできます。

データフレーミング

MAX1202/MAX1203では、 \overline{CS} の立下がりエッジでは変換は開始されません。DINにクロックインされる最初のロジックハイはスタートビットとして解釈され、これが制御バイトの最初のビットを定義付します。変換は8番目の制御ビット(PD0ビット)がDINにクロックインされた後のSCLKの立下がりエッジで開始されます。スタートビットの定義は、以下のどちらかです。

コンバータがアイドル状態である任意の時間(例えば V_{DD} が印加された後)に、 \overline{CS} がローの状態にDINにクロックインされてきた最初のハイビット。

又は

進行中の変換のビット5(B5)がDOUTピンに出てきた後に、DINにクロックインされてきた最初のハイビット。

B5が出てくる前に \overline{CS} の立下がりエッジによりスタートビットが強制的に発生すると、現在の変換は中止され、新しい変換が開始されます。つまり、MAX1202/MAX1203が動作できる最高速度は15クロック/変換になります。

図11aに、外部クロックモードで15 SCLKサイクル毎に変換を実行するために必要なシリアルインタフェースタイミングを示します。 \overline{CS} がローでSCLKが連続である場合は、最初に16個のゼロをクロックインしてスタートビットを保証してください。

5V、8チャンネル、シリアル12ビットADC 3Vデジタルインタフェース付

殆どのマイクロコントローラの場合、変換は8 SCLK クロックの倍数で起きる必要があります。従って、マイクロコントローラによってMAX1202/MAX1203を動作させる最高速度は通常16クロック/変換ということになります。図11bに、外部クロックモードで16 SCLKサイクル毎に変換を実行するために必要なシリアルインタフェースタイミングを示します。

アプリケーション情報

パワーオンリセット

最初に電源が入ったときに $\overline{\text{SHDN}}$ がローでない場合は、内部パワーオンリセット回路により内部クロックモードでMAX1202/MAX1203が起動されます。このときSSTRB = ハイの状態、変換を開始できる体勢にあります。電源が安定した後は内部リセット時間が100 μs ありますが、この間は変換を行わないでください。SSTRBはパワーアップ時にはハイで、 $\overline{\text{CS}}$ がローの場合は、DINの最初のロジック1がスタートビットと見なされます。DOUTは、変換が行われるまではゼロをシフトアウトします。

リファレンスバッファ補償

$\overline{\text{SHDN}}$ はシャットダウン機能の他に、内部又は外部補償の選択に使用します。この補償は、パワーアップ時間と最大変換速度の両方に影響します。補償の状態に関らず、サンプルアンドホールドのドループのために最小クロックレートは100kHzになります。

$\overline{\text{SHDN}}$ をフローティングにすると外部補償になります。「標準動作回路」では、REFで4.7 μF コンデンサを使用しています。4.7 μF 以上であれば安定性が保証され、2MHzのフルクロック速度の変換動作が可能になります。外部補償の場合は、パワーアップ時間が増加します(「パワーダウンモードの選択」及び表5を参照)。

内部補償の場合は、REFに外付コンデンサは必要ありません。内部補償は、 $\overline{\text{SHDN}}$ をハイに引き上げることによって選択されます。内部補償にするとパワーアップ時間を短縮できますが、変換中の外部クロックは400kHzまでに制限する必要があります。

パワーダウン

パワーダウンモードの選択

変換と変換の間でコンバータを低電流のシャットダウン状態にすることにより、電力を節約できます。フルパワーダウン又は高速パワーダウンモードを選択するには、 $\overline{\text{SHDN}}$ がハイ又はフローティングの状態、DIN制御バイトのビット1及びビット0を使用します(表2及び表6)。 $\overline{\text{SHDN}}$ をローにすることにより、いつでもコンバータを完全にシャットダウンできます。 $\overline{\text{SHDN}}$ は、制御バイトのビット1及びビット0に優先します(表6)。

フルパワーダウンモード時には、自己消費電流を必要とする全てのチップ機能がターンオフし、 I_{DD} 及び I_{SS} が2 μA (typ)まで低下します。

MAX1202は高速パワーダウンモードではバンドギャップリファレンス以外の全ての回路をターンオフします。高速パワーダウンモードの消費電流は、30 μA となっています。内部補償モードでは、パワーアップ時間を5 μs まで短縮できます。

MAX1203は内部リファレンスを備えていないため、フル又は高速パワーダウンモードのパワーアップ時間は同じです。

いずれのパワーダウンモードでも、デジタル入力(DIN、SCLK、 $\overline{\text{CS}}$)がハイに維持されていると I_{DD} シャットダウン電流が増加します。実際のシャットダウン電流は、デジタル入力の状態、デジタル入力(V_{IH})に印加されている電圧、電源電圧(V_{DD})及び動作温度に依存します。図12cに、さまざまな動作条件においてパワーダウンモードで各々のデジタル入力をハイに保持したときの I_{DD} の最大増加量を示します。この電流は累積的であるため、3つのデジタル入力全てがハイに保持されると、シャットダウン電流の増加量は図12cに示す値の3倍になります。

いずれのソフトウェアパワーダウンモードでもシリアルインタフェースは動作状態を維持しますが、ADCは変換を行いません。

表5は、どのリファレンスバッファ補償及びパワーダウンモードを選択するかによって、パワーアップディレイ及び最大サンプリングレートがどのように影響されるかを示しています。外部補償モードにおいて、コンデンサが初めに完全に放電している場合のパワーアップ時間は、補償コンデンサが4.7 μF のときに20ms(33 μF コンデンサの場合は200ms)です。高速パワーダウンからのスタートアップ時間については、シャットダウン中に1/2LSB以上放電しない低リークコンデンサを使用することによって完全に無くすることができます。パワーダウン中には、コンデンサはリファレンスへの電流(1.5 μA typ)及びパワーアップ時の過渡電流を供給しなければなりません。

図12a及び図12bに、外部及び内部クロックモード時のさまざまなパワーダウンシーケンスを示します。

ソフトウェアのパワーダウン

制御バイトのビットPD1及びPD0を使用することにより、ソフトウェアのパワーダウンを起動できます。表6に示すように、PD1及びPD0はクロックモードを指定するためにも使用されます。ソフトウェアのシャットダウンが発生すると、変換が完了するまでADCは最後に指定されたクロックモードで動作し続けます。その後、ADCはパワーダウンし、低自己消費電流状態になります。内部クロックモードにおけるインタフェースは、MAX1202/MAX1203がソフトウェアのパワーダウンに入った後でもアクティブ状態を保ち、変換結果をクロックアウトできます。

5V、8チャンネル、シリアル12ビットADC 3Vデジタルインタフェース付

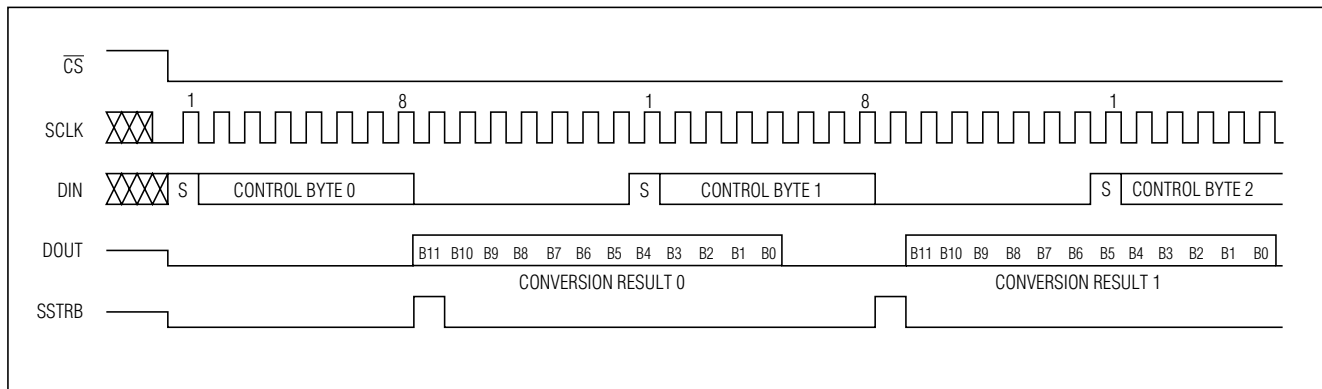


図11a. 外部クロックモード、15クロック/変換のタイミング

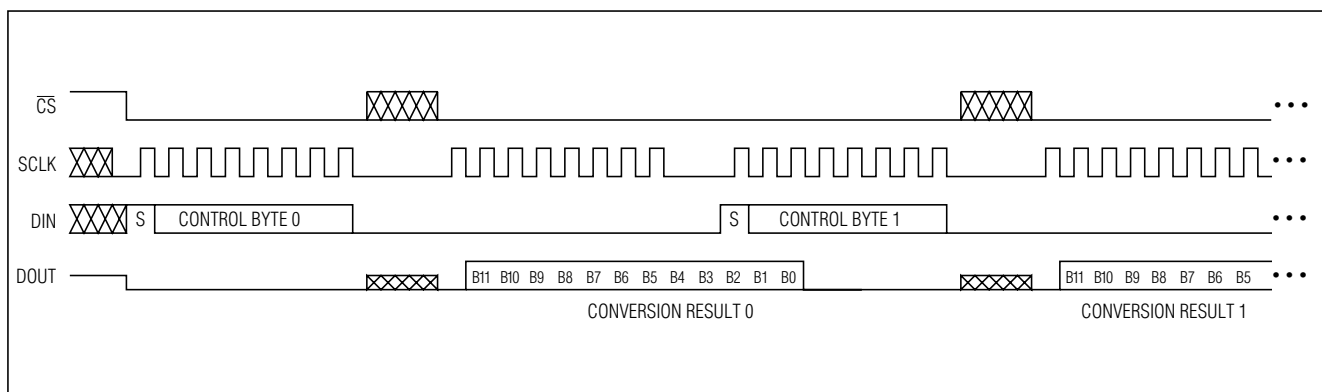


図11b. 外部クロックモード、16クロック/変換のタイミング

DINの最初のロジック「1」がスタートビットと見なされ、これによってMAX1202/MAX1203はパワーアップします。スタートビットに続いて、制御バイトがクロックモードとパワーダウンモードを決定します。例えば、DINワードがPD1 = 1を含んでいると、チップはパワーアップ状態に留まります。PD1 = 0のときは1回だけ変換を行い、その後再びパワーダウンします。

ハードウェアのパワーダウン

$\overline{\text{SHDN}}$ ピンにより、コンバータはフルパワーダウン状態に入ります。ソフトウェアのパワーダウンモードとは異なり、変換は完了せずに、 $\overline{\text{SHDN}}$ がローになると同時に停止します。外部リファレンスが使用されており、それがシャットダウンされないときは、パワーアップディレーはありません。 $\overline{\text{SHDN}}$ は、リファレンス補償が内部か外部かの選択にも使用されます(表7)。

パワーダウンシーケンス

最大サンプリングレートよりも遅く動作している場合、MAX1202/MAX1203の自動パワーダウンモードによりかなりの省電力が可能です。次に、さまざまなパワーダウンシーケンスについて説明します。

最大500変換/チャンネル/秒までの最低電力動作

図14aに、フルパワーダウンモード及び内部リファレンス補償を使用した場合のMAX1202の1又は8チャンネル変換の消費電力を示します。REFADJの0.01 μF バイパスコンデンサは内部20k Ω リファレンス抵抗により、時定数0.2msのRCフィルタを形成します。完全12ビット精度を実現するには、バッファのセトリング時間としてこの時間定数の10倍(この例では2ms)が必要です。FULLPDを解除するときに、(単にFULLPDモードを解除して標準動作モードに戻る代わりに)FASTPDモードでこの2msを待つと、消費電力を10分の1以下に低減できます(図13)。

スループットが高いときの最低電力動作

図14bに、高速パワーダウンモードで外部リファレンス補償を使用した場合の1及び8チャンネル変換の消費電力を示します。外部4.7 μF 補償は、パワーアップ後に50 μs の待ち時間を必要とします。この回路は、可能な最小の消費電力で高速マルチチャンネル変換を行います。フルパワーダウンモードは、MAX1202/MAX1203が長時間停止し、時々起こる高速変換のバーストがあるようなアプリケーションで省電力能力を発揮します。

5V、8チャンネル、シリアル12ビットADC 3Vデジタルインタフェース付

MAX1202/MAX1203

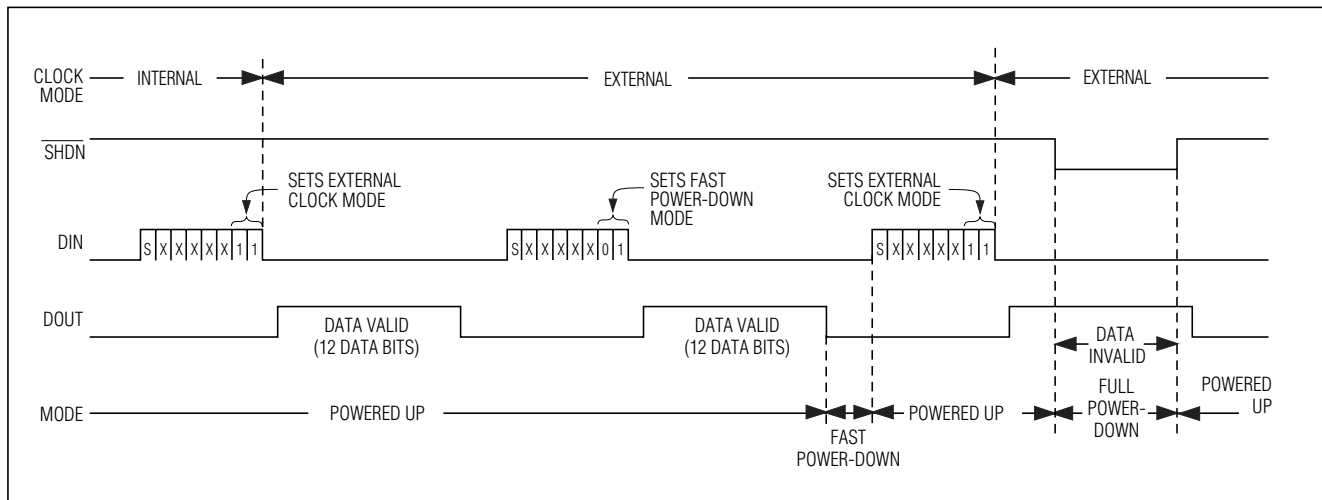


図12a. パワーダウンモードのタイミング図(外部クロック)

表5. 標準パワーアップディレイ時間

REFERENCE BUFFER	REFERENCE-BUFFER COMPENSATION MODE	REF CAPACITOR (μF)	POWER-DOWN MODE	POWER-UP DELAY (μs)	MAXIMUM SAMPLING RATE (ksps)
Enabled	Internal		Fast	5	26
Enabled	Internal		Full	300	26
Enabled	External	4.7	Fast/Full	See Figure 14c	133
Disabled			Fast	2	133
Disabled			Full	2	133

表6. ソフトウェアシャットダウン及びクロックモード

PD1	PD0	DEVICE MODE
0	0	Full power-down mode
0	1	Fast power-down mode
1	0	Internal clock mode
1	1	External clock mode

表7. ハードによるシャットダウン及び補償モード

$\overline{\text{SHDN}}$ STATE	DEVICE MODE	REFERENCE-BUFFER COMPENSATION
VDD	Enabled	Internal compensation
Floating	Enabled	External compensation
GND	Full Power-Down	N/A

5V、8チャンネル、シリアル12ビットADC 3Vデジタルインタフェース付

MAX1202/MAX1203

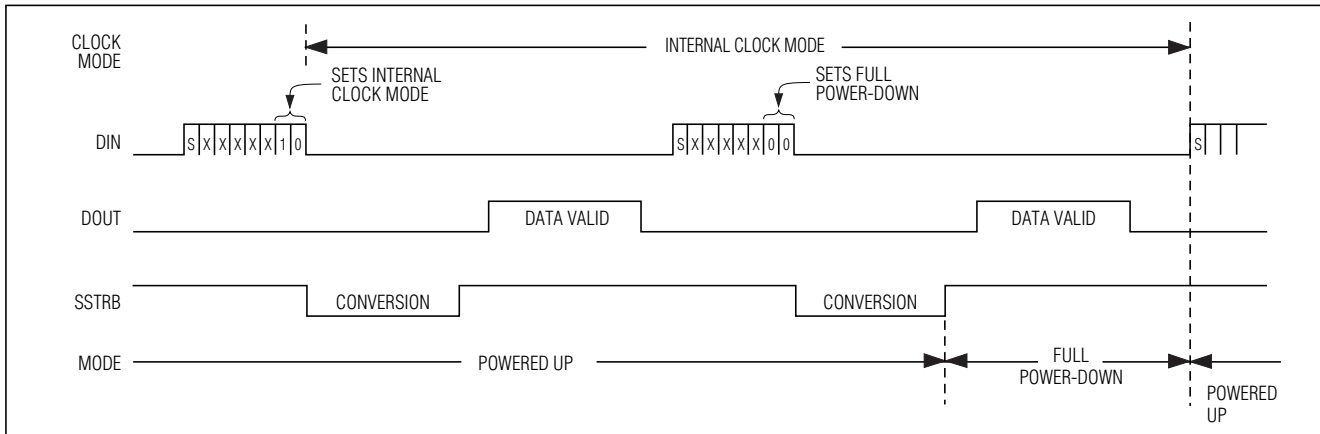


図12b. パワーダウンモードのタイミング図 (内部クロック)

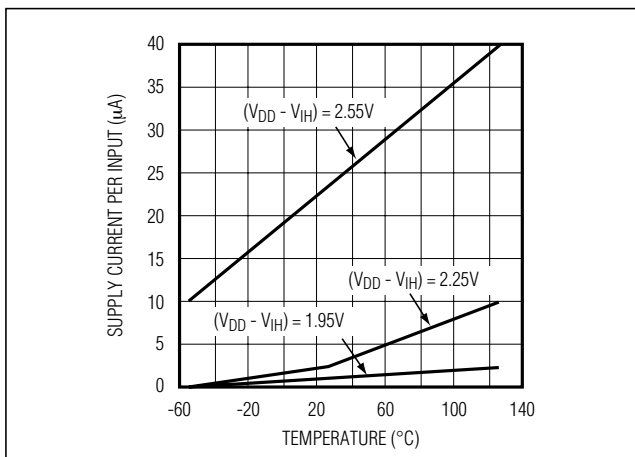


図12c. I_{DD} シャットダウン消費電流の増加分対ロジック1における各デジタル入力 V_{IH}

外部及び内部リファレンス

MAX1202は、内部及び外部リファレンスで使用できます。MAX1203は外部リファレンスを必要とします。外部リファレンスはREF端子に直接接続するか、REFADJピンに接続することができます。

MAX1202及びMAX1203の内部バッファは、REFで4.096Vを供給するように設計されています。MAX1202のリファレンスは内部で2.44Vにトリミングされ、利得1.68でバッファされています。MAX1203のREFADJピンは利得1.64でバッファされるため、REFADJでの外部2.5VリファレンスはREFにおいて4.096Vになります。

MAX1202の内部リファレンス

内部リファレンスを使用したときのMAX1202のフルスケール範囲は、ユニポーラ入力で4.096V、バイポーラ入力で $\pm 2.048V$ です。内部リファレンス電圧は、図17の回路で $\pm 1.5\%$ に調節できます。

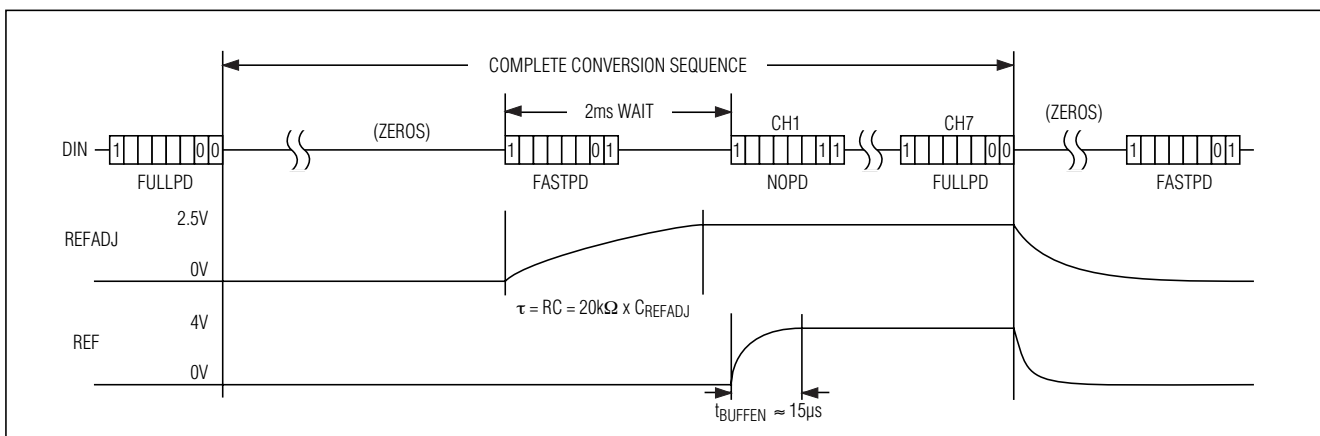


図13. MAX1202のFULLPD/FASTPDパワーアップシーケンス

5V、8チャンネル、シリアル12ビットADC 3Vデジタルインタフェース付

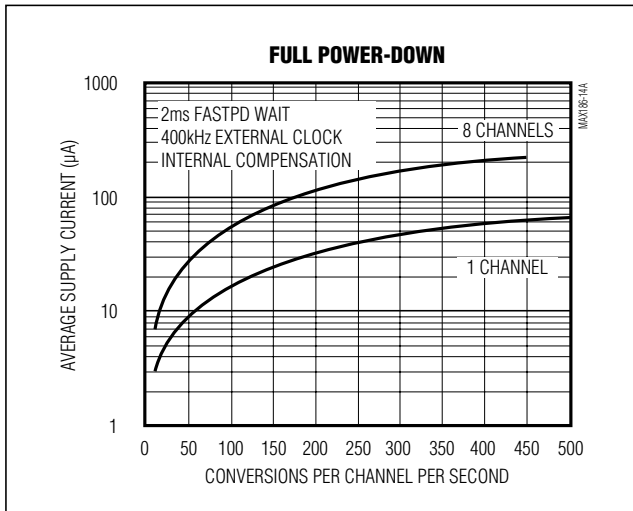


図14a. MAX1202の消費電流対サンプルレート/秒 (FULLPD、400kHzクロック)

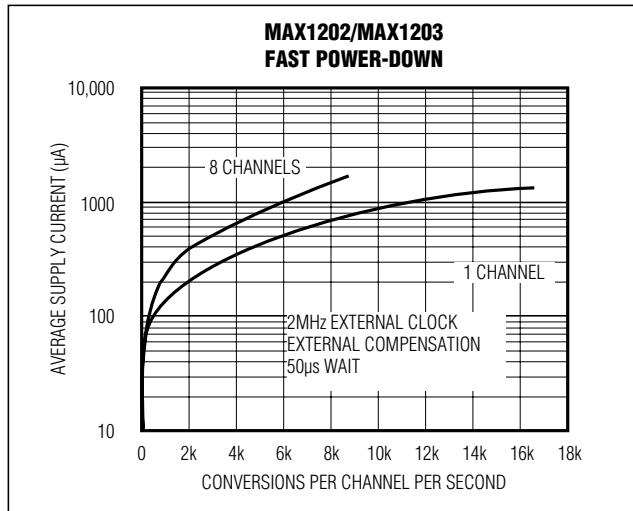


図14b. MAX1202/MAX1203の消費電流対サンプルレート/秒 (FASTPD、2MHzクロック)

外部リファレンス

MAX1202及びMAX1203は内部リファレンスバッファアンプの入力(REFADJ)又は出力(REF)に外部リファレンスを接続できます。REFADJにおける入力インピーダンスは、内部リファレンスを除いた際、通常MAX1202で20k、MAX1203で100k以上です。REFで、入力抵抗は最小12kです。変換中は、外部リファレンスは最大350µAのDC負荷電流を供給できなければならない、出力インピーダンスは10以下であることが必要です。リファレンスの出力インピーダンスがこれより高い場合やノイズが多い場合は、4.7µFのコンデンサでREFピンの近くをバイパスしてください。

バッファされたREFADJ入力を使うと、外部リファレンスをバッファする必要がなくなります。外部リファレンスを直接REFに接続するときは、REFADJをV_{DD}に接続して内部バッファをディセーブルしてください。パワーダウン中、REFADJへの入力バイアス電流は(REFADJがV_{DD}に接続されている場合)最大25µAになる可能性があります(MAX1202のみ)。パワーダウン中の入力バイアス電流を最小限に抑えるには、REFADJをGNDに引き下げてください。

伝達関数及び利得調節

図15は、公称ユニポーラ入力/出力(I/O)伝達関数を示しています。図16は、バイポーラI/O伝達関数です。コード遷移は、隣り合う整数LSB値同士の間で起こります。出力コーディングはバイナリで、ユニポーラ動作では1LSB = 1.00mV(4.096V/4096)、バイポーラ動作では1LSB = 1.00mV[(4.096V/2 - -4.096V/2)/4096]となります。

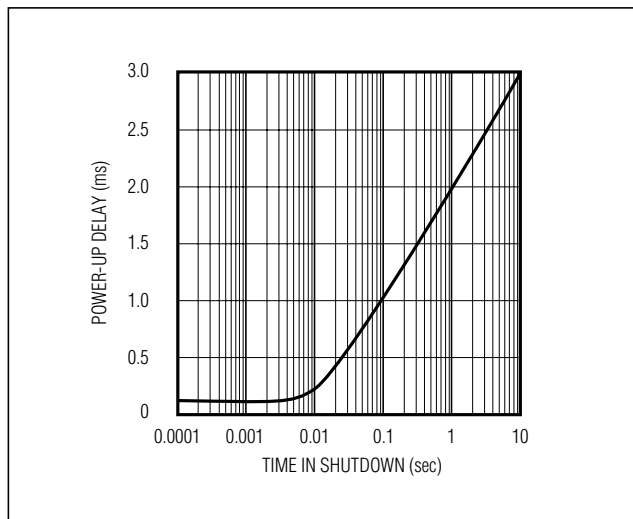


図14c. 標準パワーアップディレイ対シャットダウン期間

図17に、内部リファレンスを使用するアプリケーションでADC利得を調節する方法を示します。この回路の利得調節範囲は、±1.5%(±65LSB)です。

レイアウト、グランド、及びバイパス

最高の性能を得るには、プリント回路基板を使用してください。ワイヤラップボードはお勧めできません。ボードレイアウトについては、デジタル信号ラインとアナログ信号ラインが分離されるようにしてください。アナログとデジタル(特にクロック)ラインを互いに並行に走らせないでください。又、デジタルラインがADCパッケージの下に配置されないようにしてください。

5V、8チャンネル、シリアル12ビットADC 3Vデジタルインタフェース付

MAX1202/MAX1203

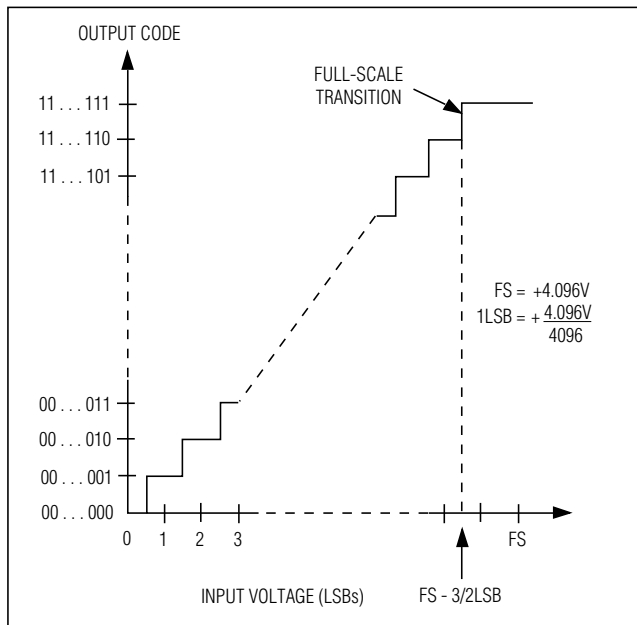


図15. ユニポーラの伝達関数、4.096V = フルスケール

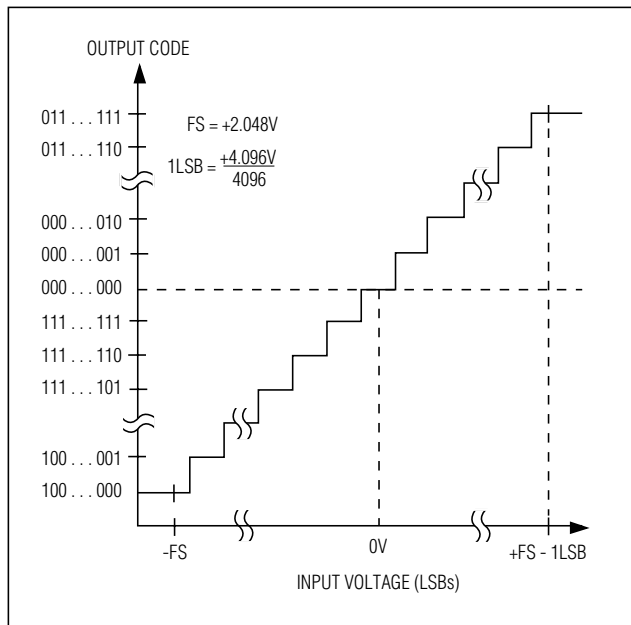


図16. バイポーラの伝達関数、 $\pm 4.096V/2 =$ フルスケール

図18に、推奨されるシステムグランド接続法を示します。シングルポイントアナロググランド(スターグランドポイント)をGNDのところで設定し、その他のアナロググランドは全てこのグランドに接続してください。このシングルポイントアナロググランドには、その他のデジタルシステムグランドを接続しないでください。ノイズを排除するために、このグランドから電源へのグランドリターンはできるだけ短くすると共に、低インピーダンスにしてください。

電源内の高周波ノイズがADCの高速コンパレータに影響を与える可能性があります。この電源はMAX1202/MAX1203に近いところで、0.1 μ F及び4.7 μ Fコンデンサでスターポイントアナロググランドにバイパスしてください。最高の電源ノイズ除去比を得るためには、コンデンサのリード線をできるだけ短くしてください。+5V電源のノイズが特に大きい場合は、10 Ω 抵抗をローパスフィルタとして接続することができます(図18)。

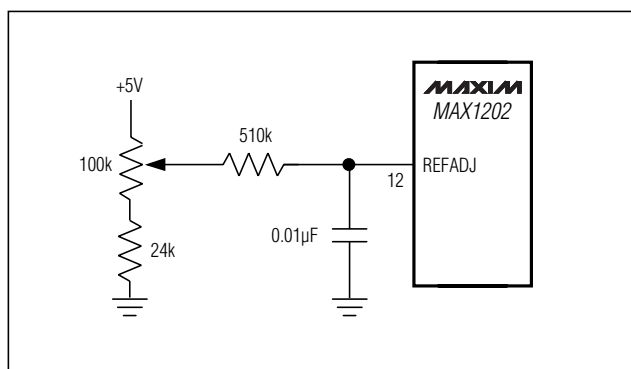


図17. リファレンス調節回路 (MAX1202)

5V、8チャンネル、シリアル12ビットADC 3Vデジタルインタフェース付

TMS320LC3xから
MAX1202/MAX1203へのインタフェース

図19に示すのは、外部クロックモードでMAX1202/
MAX1203をTMS320にインタフェースするためのアプ
リケーション回路です。図20に、このインタフェース
のタイミング図を示します。

MAX1202/MAX1203で変換を開始し、結果を読み取
るための手順は以下のとおりです。

- 1) TMS320については、CLKX(送信クロック)がアク
ティブハイ出カクロック、CLKR(TMS320受信
クロック)がアクティブハイ入力クロックとなるよ
うに設定してください。TMS320のCLKX及びCLKRは、
MAX1202/MAX1203のSCLK入力とまとめて接続さ
れています。
- 2) MAX1202/MAX1203の \overline{CS} ピンは、TMS320の
XF_I/Oポートによってローにされます。これは
MAX1202のDINにデータがクロックインできるよ
うにするためです。

- 3) 変換を開始するため及び素子を外部クロックモード
に設定するために、8ビットワード(1XXXXX11)を
MAX1202/MAX1203に書き込みます。特定のアプリ
ケーションに適したXXXXXビットを選択するに
は、表2を参照してください。
- 4) MAX1202/MAX1203のSSTRB出力は、TMS320
のFSR入力を通じて監視されています。SSTRB出力
に立下がりエッジが生じ、これは変換が進行中で
データをMAX1202/MAX1203から受け取る準備が
できていることを示します。
- 5) TMS320は、次に続くSCLKの16個の各立上がり
エッジで1データビットずつ読み込みます。これら
のデータビットは、12ビットの変換結果を表してい
ます。この後に続く4つの後続ビットは無視してく
ださい。
- 6) 次の変換が開始されるまで \overline{CS} をハイにし、MAX1202/
MAX1203をディセーブルします。

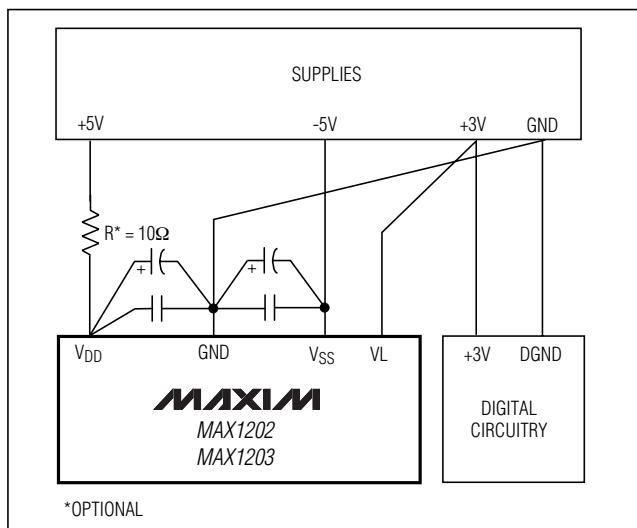


図18. 電源接地接続図

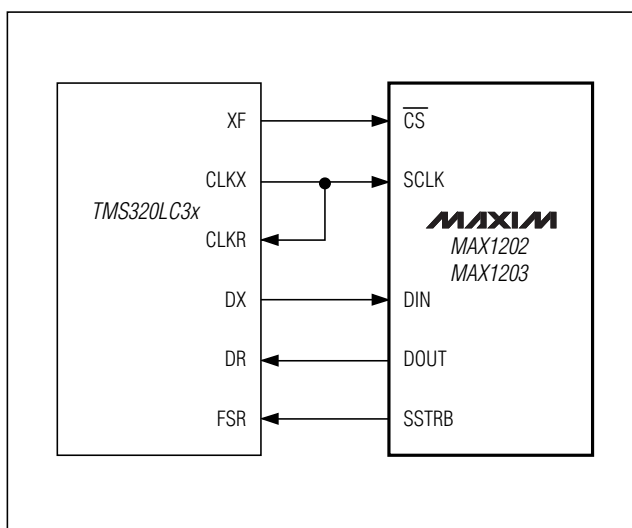


図19. MAX1202/MAX1203からTMS320への
シリアルインタフェース

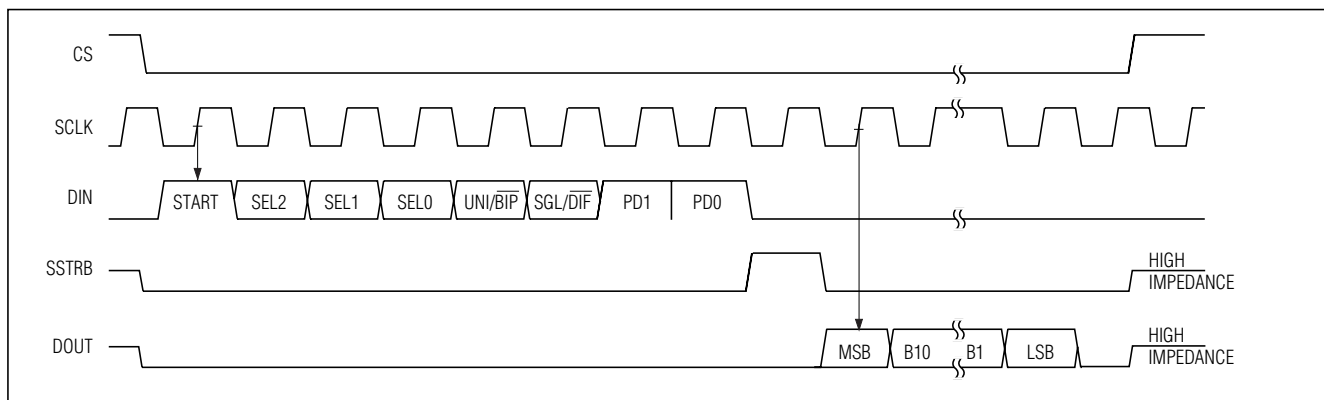


図20. TMS320のシリアルインタフェースタイミング図

5V、8チャンネル、シリアル12ビットADC 3Vデジタルインタフェース付

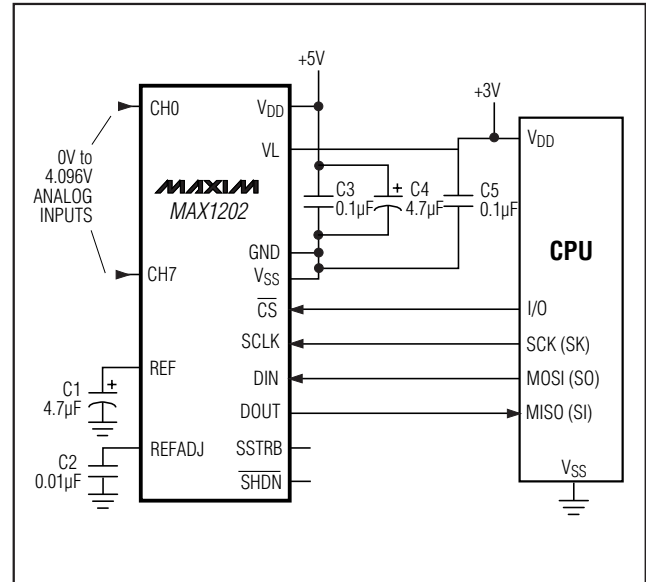
型番(続き) _____

標準動作回路 _____

PART	TEMP. RANGE	PIN-PACKAGE	INL (LSB)
MAX1202AEPP	-40°C to +85°C	20 Plastic DIP	±1/2
MAX1202BEPP	-40°C to +85°C	20 Plastic DIP	±1
MAX1202AEAP	-40°C to +85°C	20 SSOP	±1/2
MAX1202BEAP	-40°C to +85°C	20 SSOP	±1
MAX1202BMJP	-55°C to +125°C	20 CERDIP**	±1
MAX1203ACPP	0°C to +70°C	20 Plastic DIP	±1/2
MAX1203BCPP	0°C to +70°C	20 Plastic DIP	±1
MAX1203ACAP	0°C to +70°C	20 SSOP	±1/2
MAX1203BCAP	0°C to +70°C	20 SSOP	±1
MAX1203BC/D	0°C to +70°C	Dice*	±1
MAX1203AEPP	-40°C to +85°C	20 Plastic DIP	±1/2
MAX1203BEPP	-40°C to +85°C	20 Plastic DIP	±1
MAX1203AEAP	-40°C to +85°C	20 SSOP	±1/2
MAX1203BEAP	-40°C to +85°C	20 SSOP	±1
MAX1203BMJP	-55°C to +125°C	20 CERDIP**	±1

*Dice are specified at $T_A = +25^\circ\text{C}$, DC parameters only.

**Contact factory for availability.



MAX1202/MAX1203

チップ情報 _____

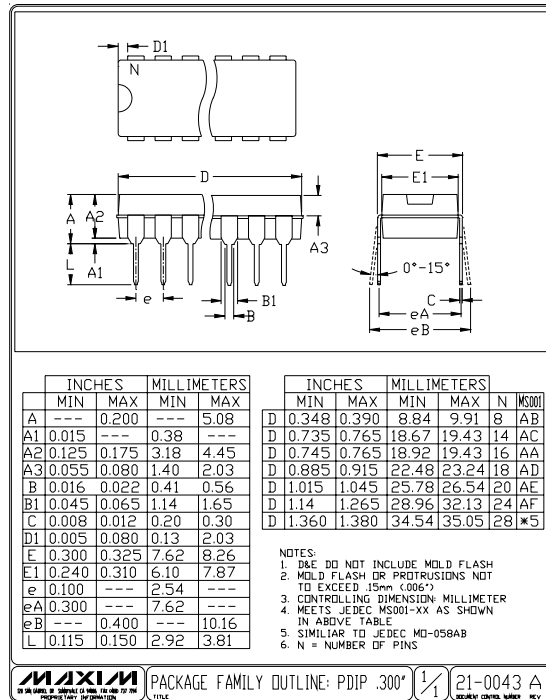
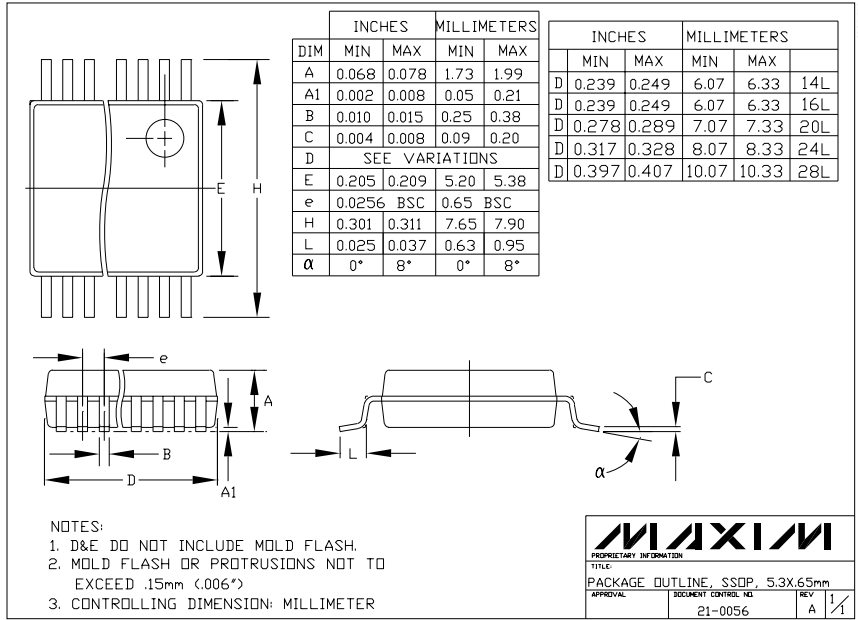
TRANSISTOR COUNT: 2503

SUBSTRATE CONNECTED TO VSS

5V、8チャンネル、シリアル12ビットADC 3Vデジタルインタフェース付

MAX1202/MAX1203

パッケージ



マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

24 Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600