

# +5V単一電源、2.2Msps、14ビット セルフキャリブレーションADC

## 概要

MAX1201は2.2Mspsまでの変換速度性能を備えた14ビットのモノリシックアナログデジタルコンバータ(ADC)です。CMOSプロセスで製造されたこのデバイスには完全差動のパイプライン構造が採用されており、コンデンサ及び利得のミスマッチングを補正し、最高のサンプリングレート時で14ビットの直線性を保証するためにデジタルエラー補正機能と短時間で実行されるセルフキャリブレーション手続きが用意されています。内蔵のトラック/ホールド(T/H)回路によって、ナイキスト周波数までの優れたダイナミック性能が維持されています。MAX1201は+5Vの単一電源で動作します。

完全差動入力によって、 $\pm V_{REF}$ の入力スイングが可能です。2個のオペアンプを使用してシングルエンド入力も可能です。リファレンスも同様に差動になっており、正のリファレンス(RFPF)は通常+4.096Vに接続され、負のリファレンス(RFNF)はアナロググランドに接続されます。さらに、有限の内部及び外部抵抗値が要因となって起こりうる全ての分圧抵抗器動作を補償する目的で、2本のセンシングピン(RFPS、RFNS)が追加されています。

+5V及び2.2 Mspsサンプリングレート時の消費電力は僅か269mW(typ)です。このデバイスにはCMOSコンパチブルの14ビットパラレル、2の補数出力データフォーマットが採用されています。MAX1201は44ピンのMQFPパッケージで提供されており、温度範囲は民生用(0 +70 )と拡張工業用(-40 +85 )のものが用意されています。

## アプリケーション

- xDSL
- 計測器
- 医療用画像処理
- スキャナ
- IR画像処理
- スペクトラム解析

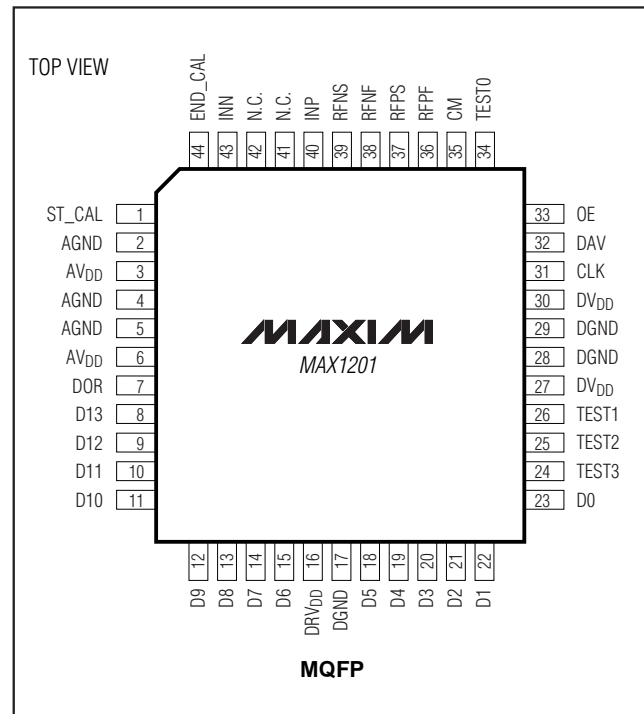
## 特長

- ◆ モノリシック14ビット、2.2Msps ADC
- ◆ 信号雑音比：83dB
- ◆ スプリアスフリーダイナミックレンジ：91dB
- ◆ 微分非直線性誤差： $\pm 0.3$ LSB
- ◆ 積分非直線性誤差： $\pm 1.2$ LSB
- ◆ +5V単一アナログ電源、+3Vデジタル電源
- ◆ 低消費電力：269mW
- ◆ オンデマンド対応のセルフキャリブレーション
- ◆ スリーステート、2の補数出力データ

## 型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX1201CMH	0°C to +70°C	44 MQFP
MAX1201EMH	-40°C to +85°C	44 MQFP

## ピン配置



# +5V単一電源、2.2Msps、14ビット セルフキャリブレーションADC

MAX1201

## ABSOLUTE MAXIMUM RATINGS

AV <sub>DD</sub> to AGND, DGND .....	+7V	Continuous Power Dissipation (T <sub>A</sub> = +70°C)	
DV <sub>DD</sub> to DGND, AGND .....	+7V	44-Pin MQFP (derate 11.11mW/°C above +70°C).....	889mW
DRV <sub>DD</sub> to DGND, AGND .....	+7V	Operating Temperature Ranges (T <sub>A</sub> )	
INP, INN, RFPF, RFPS, RFNF, RFNS, CLK, CM.....	(AGND - 0.3V) to (AV <sub>DD</sub> + 0.3V)	MAX1201CMH .....	0°C to +70°C
Digital Inputs to DGND .....	-0.3V to (DV <sub>DD</sub> + 0.3V)	MAX1201EMH .....	-40°C to +85°C
Digital Output (DAV) to DGND .....	-0.3V to (DRV <sub>DD</sub> + 0.3V)	Storage Temperature Range .....	-65°C to +160°C
Other Digital Outputs to DGND .....	-0.3V to (DRV <sub>DD</sub> + 0.3V)	Lead Temperature (soldering, 10sec) .....	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(AV<sub>DD</sub> = +5V ±5%, DV<sub>DD</sub> = DRV<sub>DD</sub> = +3.3V, V<sub>RFPS</sub> = +4.096V, V<sub>RFNS</sub> = AGND, V<sub>CM</sub> = +2.048, V<sub>IN</sub> = -0.5dBFS, f<sub>CLK</sub> = 4.5056MHz, digital output load ≤ 20pF, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub> = 0°C to +70°C, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input Voltage Range (Notes 2, 3)	V <sub>IN</sub>	Single-ended		4.096	4.5	V
		Differential		±4.096	±4.5	
Input Resistance (Note 4)	R <sub>I</sub>			25		kΩ
Input Capacitance	C <sub>I</sub>	Per side in Track Mode		21		pF
Reference Voltage (Note 3)	V <sub>REF</sub>			4.096	4.5	V
Reference Input Resistance			700	1000		Ω
Resolution (no missing codes; Note 5)	RES	After calibration, guaranteed	14			Bits
Integral Nonlinearity	INL			±1.2		LSB
Differential Nonlinearity	DNL		-1	±0.3	+1	LSB
Offset Error			-0.1	±0.004	+0.1	%FSR
Gain Error			-5	-1.7	+5	%FSR
Input-Referred Noise		f <sub>CLK</sub>		75		μV <sub>RMS</sub>
Maximum Sampling Rate	f <sub>SAMPLE</sub>	f <sub>SAMPLE</sub> = f <sub>CLK</sub> /2	2.2528			Msps
Conversion Time (Pipeline Delay/Latency)				4		f <sub>SAMPLE</sub> Cycles
Acquisition Time	t <sub>ACQ</sub>	To full-scale step (0.006%)		100		ns
Overvoltage Recovery Time	t <sub>OVR</sub>			410		ns
Aperture Delay	t <sub>AD</sub>			3		ns
Full-Power Bandwidth				3.3		MHz
Small-Signal Bandwidth				78		MHz

# +5V単一電源、2.2Msps、14ビット セルフキャリブレーションADC

MAX1201

## ELECTRICAL CHARACTERISTICS (continued)

(AVDD = +5V ±5%, DVDD = DRVDD = +3.3V, VRFPS = +4.096V, VRFNS = AGND, VCM = +2.048, VIN = -0.5dBFS, fCLK = 4.5056MHz, digital output load ≤ 20pF, TA = TMIN to TMAX = 0°C to +70°C, unless otherwise noted. Typical values are at TA = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Signal-to-Noise Ratio (Note 5)	SNR	fIN = 100.1kHz	78	83		dB
		fIN = 502.7kHz		82		
		fIN = 1.0021MHz		81		
Spurious-Free Dynamic Range (Note 5)	SFDR	fIN = 100.1kHz	84	91		dB
		fIN = 502.7kHz		89		
		fIN = 1.0021MHz		86		
Total Harmonic Distortion (Note 6)	THD	fIN = 100.1kHz		-88	-80	dB
		fIN = 502.7kHz		-85		
		fIN = 1.0021MHz		-83		
Signal-to-Noise Ratio + Distortion (Note 5)	SINAD	fIN = 100.1kHz	77	82		dB
		fIN = 502.7kHz		79		
		fIN = 1.0021MHz		78		
<b>POWER REQUIREMENTS</b>						
Analog Supply Voltage	AVDD		4.75	5	5.25	V
Analog Supply Current	I(AVDD)			53	75	mA
Digital Supply Voltage	DVDD		3		5.25	V
Digital Supply Current	I(DVDD)			1	2	mA
Output Drive Supply Voltage	DRVDD		3		DRVDD	V
Output Drive Supply Current	I(DRVDD)	10pF loads on D0–D13 and DAV		0.3	1	mA
Power Dissipation	PDSS			269	380	mW
Warm-Up Time				0.1		sec
Power-Supply Rejection Ratio	PSRR	Offset	55			dB
		Gain	55			

## TIMING CHARACTERISTICS

(AVDD = +5V, DVDD = DRVDD = +3.3V, fCLK = 4.5056MHz, TA = TMIN to TMAX = 0°C to +70°C, unless otherwise noted. Typical values are at TA = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Conversion Time	tCONV			4/fSAMPLE		ns
Clock Period	tCLK			227		ns
Clock High Time	tCH		85	113.5	137	ns
Clock Low Time	tCL		85	113.5	137	ns
Output Delay	tOD			70	150	ns
DAV Pulse Width	tDAV			1/fCLK		ns
CLK-to-DAV Rising Edge	ts			65	145	ns
Data Access Time	tAC	CL = 20pF		16	75	ns
Bus Relinquish Time	tREL			16	75	ns
Calibration Time	tCAL	ST_CAL = DVDD		17,400		fCLK cycles

# +5V単一電源、2.2Msps、14ビット セルフキャリブレーションADC

MAX1201

## DIGITAL INPUT AND OUTPUT CHARACTERISTICS

( $V_{DD} = +5V$ ,  $DV_{DD} = DRV_{DD} = +3.3V$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^{\circ}C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input Low Voltage	$V_{IL}$				0.8	V
Input High Voltage	$V_{IH}$		$DV_{DD} - 0.8$			V
Input Capacitance				4.0		pF
CLK Input Low Voltage	$CLKV_{IL}$				0.8	V
CLK Input High Voltage	$CLKV_{IH}$		$AV_{DD} - 0.8$			V
CLK Input Current	$I_{CLK}$	$V_{IN\_} = 0$ or $DV_{DD}$		$\pm 1$	$\pm 10$	$\mu A$
CLK Input Capacitance	$C_{CLK}$			9		pF
Digital Input Current	$I_{IN}$	$V_{IN\_} = 0$		$\pm 0.1$	$\pm 10$	$\mu A$
		$V_{IN\_} = DV_{DD}$		$\pm 0.1$	$\pm 10$	
Output Low Voltage	$V_{OL}$	$I_{SINK} = 1.6mA$		70	400	mV
Output High Voltage	$V_{OH}$	$I_{SOURCE} = 200\mu A$	$DV_{DD} - 0.4$	$DV_{DD} - 0.03$		V
Three-State Leakage Current	$I_{LEAKAGE}$			$\pm 0.1$	$\pm 10$	$\mu A$
Three-State Output Capacitance	$C_{OUT}$			3.5		pF

**Note 1:** Reference inputs driven by operational amplifiers for Kelvin-sensed operation.

**Note 2:** For unipolar mode, the analog input voltage,  $V_{INP}$ , must be within 0V and  $V_{REF}$ ,  $V_{INN} = V_{REF} / 2$ ; where  $V_{REF} = V_{RFPS} - V_{RFNS}$ . For differential mode, the analog input voltages  $V_{INP}$  and  $V_{INN}$  must be within 0V and  $V_{REF}$ ; where  $V_{REF} = V_{RFPS} - V_{RFNS}$ . The common-mode voltage of the inputs INP and INN is  $V_{REF} / 2$ .

**Note 3:** Minimum and maximum parameters are not tested. Guaranteed by design.

**Note 4:** Input resistance varies inversely with sample rate.

**Note 5:** Calibration remains valid for temperature changes within  $\pm 20^{\circ}C$  and power-supply variations  $\pm 5\%$ .

**Note 6:** All AC specifications are shown for the differential mode.

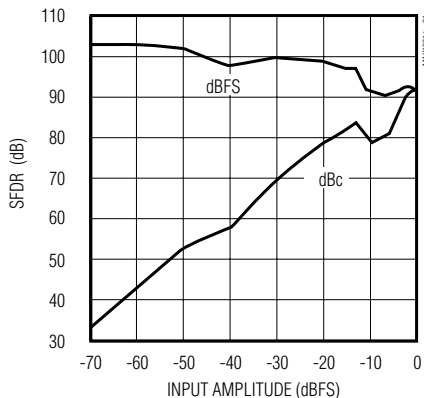
# +5V単一電源、2.2Msps、14ビット セルフキャリブレーションADC

MAX1201

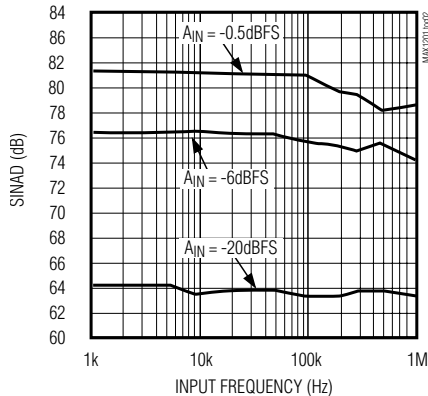
## 標準動作特性

( $V_{DD} = +5V$ ,  $DV_{DD} = DRV_{DD} = +3.3V$ ,  $V_{RFP5} = +4.096V$ ,  $V_{RFNS} = AGND$ ,  $f_{CLK} = 4.5056MHz$ , differential input,  $V_{CM} = +2.048V$ , calibrated,  $T_A = +25^{\circ}C$ , unless otherwise noted.)

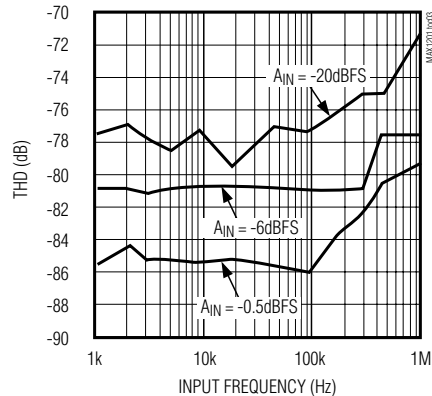
**SINGLE-TONE SPURIOUS-FREE DYNAMIC RANGE vs. INPUT AMPLITUDE ( $f_{IN} = 100.1kHz$ )**



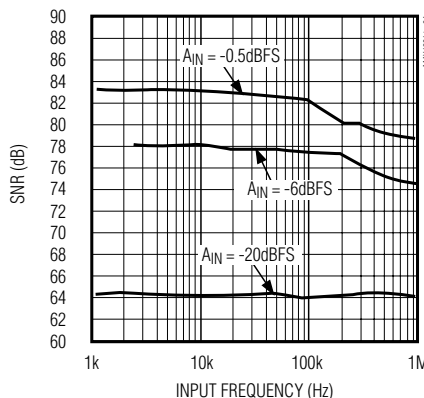
**SIGNAL-TO-NOISE PLUS DISTORTION vs. INPUT FREQUENCY**



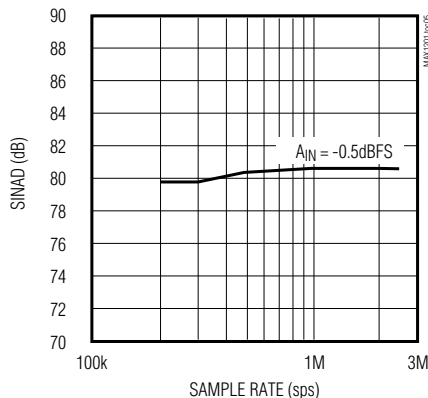
**TOTAL HARMONIC DISTORTION vs. INPUT FREQUENCY**



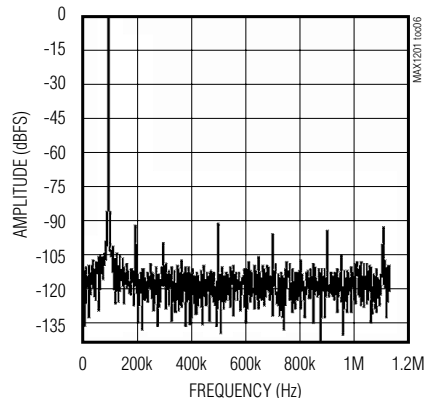
**SIGNAL-TO-NOISE-RATIO vs. INPUT FREQUENCY**



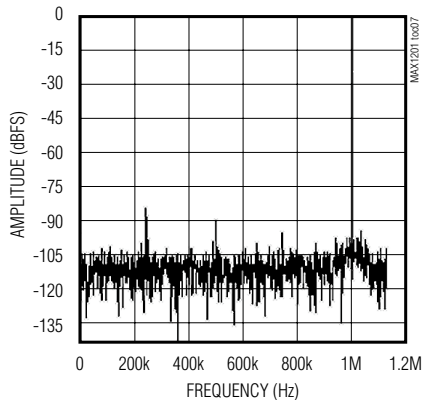
**SIGNAL-TO-NOISE-RATIO PLUS DISTORTION vs. SAMPLE RATE ( $f_{IN} = 100.1kHz$ )**



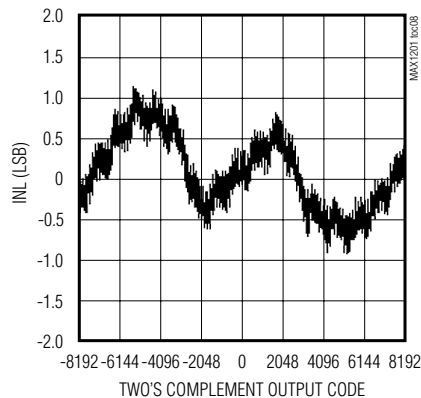
**TYPICAL FFT,  $f_{IN} = 100.1kHz$ , 2048 VALUE RECORD**



**TYPICAL FFT,  $f_{IN} = 1.0021MHz$ , 2048 VALUE RECORD**



**INTEGRAL NONLINEARITY vs. TWO'S COMPLEMENT OUTPUT CODE**

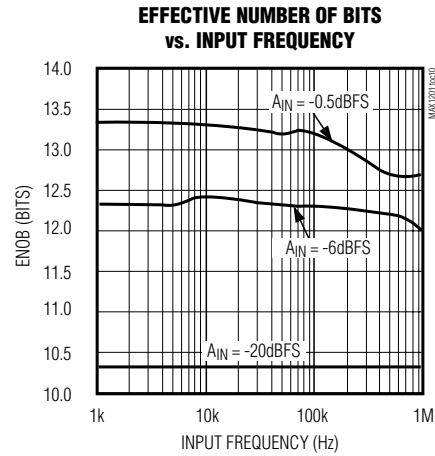
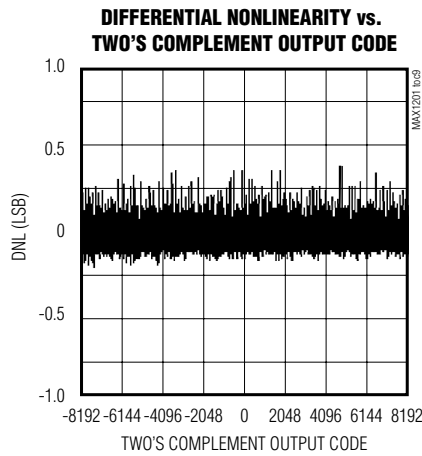


# +5V単一電源、2.2Msps、14ビット セルフキャリブレーションADC

MAX1201

## 標準動作特性(続き)

(AVDD = +5V, DVDD = DRVDD = +3.3V, VRFPS = +4.096V, VRFNS = AGND, fCLK = 4.5056MHz, differential input, VCM = +2.048V, calibrated, TA = +25°C, unless otherwise noted.)



## 端子説明

端子	名称	機能
1	ST_CAL	キャリブレーション開始を示すデジタル入力 ST_CAL=0: 通常の変換動作モード ST_CAL=1: セルフキャリブレーションの実行開始
2, 4, 5	AGND	アナロググランド
3, 6	AVDD	アナログ電源、+5V ± 5%
7	DOR	データアウトオブレンジ表示ビット
8	D13	ビット13 (MSB)
9	D12	ビット12
10	D11	ビット11
11	D10	ビット10
12	D9	ビット9
13	D8	ビット8
14	D7	ビット7
15	D6	ビット6
16	DRVDD	出力ドライバ用のデジタル電源。+3V +5.25V、DRVDD DVDD
17, 28	DGND	デジタルグランド
18	D5	ビット5
19	D4	ビット4
20	D3	ビット3

# +5V単一電源、2.2MSPS、14ビット セルフキャリブレーションADC

**MAX1201**

## 端子説明(続き)

端子	名称	機能
21	D2	ビット2
22	D1	ビット1
23	D0	ビット0 (LSB)
24	TEST3	テスト用ピン3。無接続状態にしておいてください。
25	TEST2	テスト用ピン2。無接続状態にしておいてください。
26	TEST1	テスト用ピン1。無接続状態にしておいてください。
27, 30	DVDD	デジタル電源、+3V +5.25V
31	CLK	入力クロック。クロックジッタを低減するために、AVDDから電源の供給を受けます。
32	DAV	データ有効クロック。デジタル出力。メモリ又は他の全てのデータアキュイジションシステムへのデータ転送にこのクロック出力信号を使用することが可能です。
33	OE	出力イネーブル：デジタル入力 OE=0：D0～D13及びDORがハイインピーダンス状態に入ります。 OE=1：全てのビットがアクティブ状態に維持されます。
34	TEST0	テスト用ピン0。無接続状態にしておいてください。
35	CM	コモンモード電圧。アナログ入力。正と負のリファレンス電圧の中間電圧を駆動します。
36	RFPF	正のリファレンス電圧。フォース入力。
37	RFPS	正のリファレンス電圧。センス入力。
38	RFNF	負のリファレンス電圧。フォース入力。
39	RFNS	負のリファレンス電圧。センス入力。
40	INP	正の入力電圧電圧
41, 42	N.C.	無接続。内部接続されていません。
43	INN	負の入力電圧
44	END_CAL	キャリブレーション終了を示すデジタル出力。 END_CAL = 0：キャリブレーション実行中。 END_CAL = 1：通常の変換動作モード。

# +5V単一電源、2.2MSPS、14ビット セルフキャリブレーションADC

## 詳細

### コンバータの動作

MAX1201は2.2MSPSまでの変換速度性能を備えた14ビットのモノリシックアナログデジタルコンバータ(ADC)です。このデバイスにはデジタルエラー補正とセルフキャリブレーションの各機能を備えたマルチステージ、完全差動のパイプライン構造が採用されており、2.2MSPSのサンプリングレート時で90dB(typ)のスプリアスフリーダイナミックレンジを提供します。その信号雑音比、高調波歪み及び相互変調積も同様に、ナイキスト周波数までの広帯域周波数範囲において14ビット精度を保証する性能が維持されています。このような優れたAC特性によって、このデバイスはxDSL、デジタル無線、計測器及び画像処理などのアプリケーションに最適です。

このADCの簡略化した内部構造を図1に示します。このブロック回路ではスイッチトキャパシタ回路を使用したパイプライン構造の採用によって、アナログ信号を高いスループットレートでデジタル化しています。パイプラインの最初の4段には、入力信号の比較近似に低分解能の量子化器が使用されています。入力から量子化アナログ信号を減算するために、乗算型デジタルアナログコンバータ(MDAC)の回路段を使用しています。MDACで減算動作が完了した後で、残余信号が固定利得で増幅され、その後でこの信号は次段に送られます。コンバータの精度は、スイッチトキャパシタ、MDAC内部に配置されている各コンデンサ間のミスマッチング

を補正するデジタルキャリブレーションアルゴリズムによって改善されます。パイプライン構造の採用によって、入力信号がサンプリングされた後で出力がD13~D0の各ピン上に現れるまでに4サンプリングサイクル期間のレイテンシーが発生する点に注意してください。このデバイスはシングルエンド又は差動のどちらの入力でも扱うことが可能ですが(「電圧リファレンスとアナログ信号入力の規定条件」の項を参照)、後者の差動入力動作モードを選択すれば、最良のTHD及びSFDR性能が保証されます。シングルエンド入力動作と比較すると、差動入力モードには下記に示すいくつかのより優れた利点があります。

- 2倍の信号入力スパン
- 同相ノイズに対する優れた耐性
- 偶数次高調波成分の実質的な除去
- 入力信号処理用アンプに要求される厳しい規定条件の緩和

### 電圧リファレンスとアナログ信号入力の必要条件

電圧リファレンスとアナログ入力の両方に完全差動のスイッチトキャパシタ回路(SC)が使用されています(図2)。これによって、電圧リファレンス及び/又はアナログ信号経路にシングルエンド又は差動のどちらの信号でも使用することが可能です。これらの該当するピン(INP、INN、RFP\_、RFN\_)上に印加する信号電圧がアナログ電源電圧範囲、 $AV_{DD}$ を超えたり、あるいはグランドより低い電位に下がることがあってはいけません。

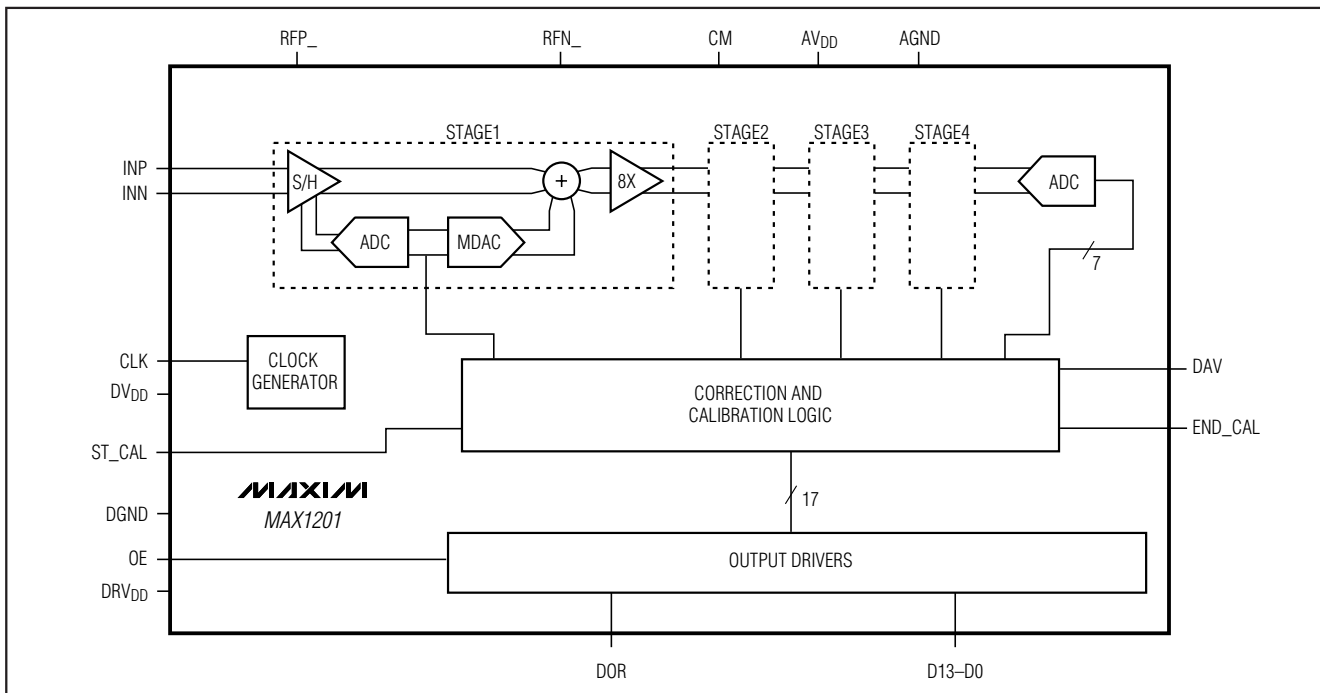


図1. 内部ブロック図



# +5V単一電源、2.2MSPS、14ビット セルフキャリブレーションADC

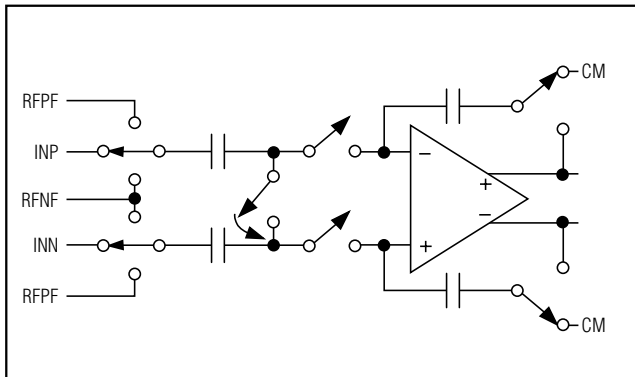


図2. MDACの簡略化内部構造

## リファレンスの選択

優れた負荷レギュレーションと低い温度ドリフト性能の両方を提供することが可能なMAX6341などの低ノイズ電圧リファレンスを選択することが重要です。リファレンスピンの等価入力回路を図3に示します。リファレンスピンは、チップ上の約1kの抵抗を駆動する点に留意してください。リファレンスピンは、容量が21pFのスイッチトキャパシタも同様に駆動します。規定のダイナミック性能を維持するためには、リファレンス電圧が1クロックサイクル以内で0.0015%の精度でセトリングすることが要求されます。この要求条件は、適切な駆動回路(図4)を選択することによって達成されます。この駆動回路では、各クロックサイクル期間中に必要とされるダイナミックな電荷量がリファレンスピン(RFPF、RFNF)に接続されたコンデンサによって供給されると同時に、リファレンス電圧信号の精度がオペアンプによって保証されます。これらのコンデンサには、ポリスチレン製あるいはテフロン製のコンデンサなどのように、低い誘電体吸収特性を備えていることが要求されます。

リファレンスピンは、規定の最大レベル範囲内のシングルエンド又は差動電圧いずれかに接続することが可能です。標準的には正のリファレンスピン(RFPF)が4.096Vの出力電圧に駆動され、負のリファレンスピン(RFNF)がアナロググランドに接続されます。チップ内部あるいは外部におけるこれらの信号ライン上で発生する全ての抵抗降下による影響を補償するために回路に配置する外部アンプに接続して使用することが可能なセンスピン(RFPSとRFNS)が用意されています。センスピンにおいて適切なケルビン接続を行ない、リファレンス電圧が正しく維持されることを確実にしてください。

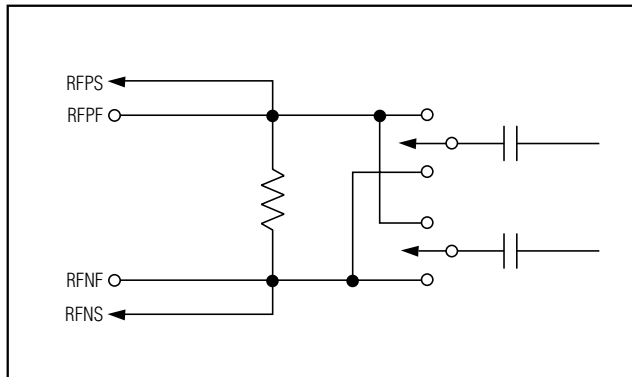


図3. リファレンスピンの等価入力回路。センスピンにDC電流がまったく引き込まれないようにすることが必要です。

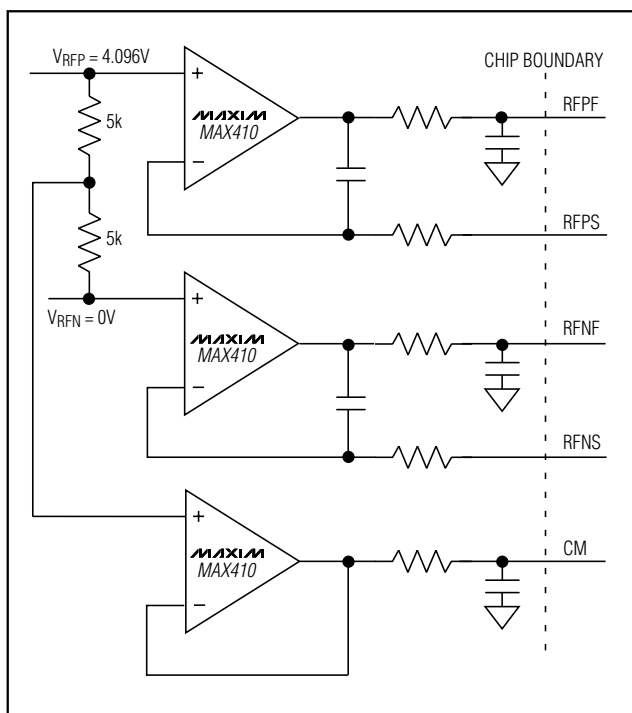


図4. リファレンスピンと同相電圧ピンの駆動回路

## 同相電圧

アナログ入力に配置されているスイッチトキャパシタ回路によって、AGNDとアナログ電源間の信号が可能になります。同相電圧はADCの性能に対して強い影響を及ぼすので、リファレンス電圧 $V_{RFP}$ と $V_{RFN}$ 間における電圧差の1/2の値を $V_{CM}$ 値として選択すれば、最良の結果が得られます。これは、2つのリファレンス電圧間における抵抗分圧回路を使用して達成することが可能です。良好なダイナミック性能を保證する駆動回路を図4に示します。

# +5V単一電源、2.2Msps、14ビット セルフキャリブレーションADC

## アナログ信号調節

シングルエンド入力動作モードの場合には、負のアナログ入力ピン(INN)を同相電圧ピン(CM)に接続し、正のアナログ入力ピン(INP)を入力信号に接続します。INPの同相電圧は、同相入力電圧と等しい値にすることが必要です。ナイキスト周波数帯域までのADCの優れたAC性能を最大限利用するためには、チップを差動信号で駆動してください。通信システムでは本来的に差動モードの入力信号が使用されるので問題はありませんが、医療及び/又はその他のアプリケーションではシングルエンド入力だけが利用される場合があります。このような場合には、図5に示す推奨の構成回路を利用してシングルエンド入力信号を差動の入力信号に変換してください。このような回路を構成する際には、MAX1201のフルパワー周波数帯域幅において信号の完全性が確実に維持されるように、MAX4108などの低ノイズ、広帯域幅のアンプを使用してください。入力信号の信号対ノイズ及び歪み比を改善させるために、ローパスあるいはバンドパスフィルタが必要になる場合があります。周波数の低い信号(<100kHz)の場合には、アクティブフィルタを使用することができます。周波数がこれよりも高い信号の場合には、パッシブフィルタを使用すると便利です。

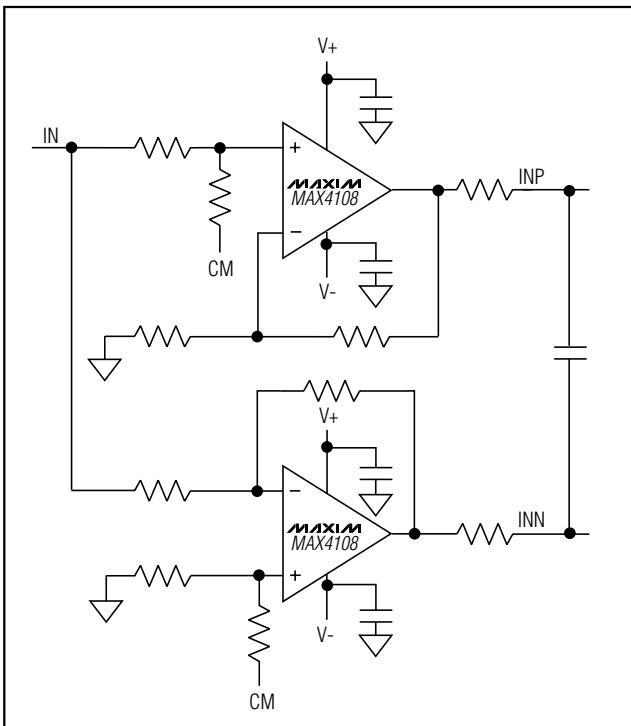


図5. 上記に示す構成の簡単な回路によって、アナロググラウンドを基準としたシングルエンド入力から差動の入力信号が生成されます。INPとINNの各ピン上の同相電圧は、CMピン上の同相電圧と同じ値です。

## トランスを使用したシングルエンド/差動変換

シングルエンド入力信号を差動モードに変換する別の方法として、Coiltronics社から販売されているCTX03-13675などのトランス製品を使用する方法があります。これらのトランスを使用することで得られる重要な利点は、トランスの1次側におけるグラウンドを基準にしてシングルエンド信号のレベルシフトを行なうことができる点で、これによってトランスの2次側における同相電圧が最適化されます。周波数が20kHzよりも低くなると、トランスコアが飽和し始めます。これが原因で奇数次の高調波成分が発生する結果になります。

## クロックソースの規定条件

パイプライン構造のADCでは一般的に、50%のデューティサイクルクロックが必要になります。このような制約を回避して規定条件を緩和させる目的で、MAX1201には2分周回路が用意されています。クロック発生器を選択する際には、信号ソースの周波数範囲、振幅レベル及びスルーレートにマッチしたものを選択する必要があります。デジタル化された信号のスルーレートが低ければ、クロックに関するジッタ仕様が緩和されます。しかしスルーレートが高いと、クロックジッタを可能な限り低く抑えることが必要になります。フルスケール入力正弦波信号の場合、クロックジッタの影響を考慮したSNRの最大許容値は下記に示す数式で求められます。

$$SNR_{MAX} = \frac{1}{2 \cdot \pi \cdot f_{IN} \cdot \sigma_{JITTER}}$$

例えば $f_{IN}$ が1MHzで、 $\sigma_{JITTER}$ が10ps RMSであると仮定すれば、クロックジッタの影響に基づくSNRの制限値は約84dBになります。このようなクロックソースを生成するためには、低ノイズのコンパレータと位相ノイズの低い信号発生器が必要です。図6にクロック回路例を示します。

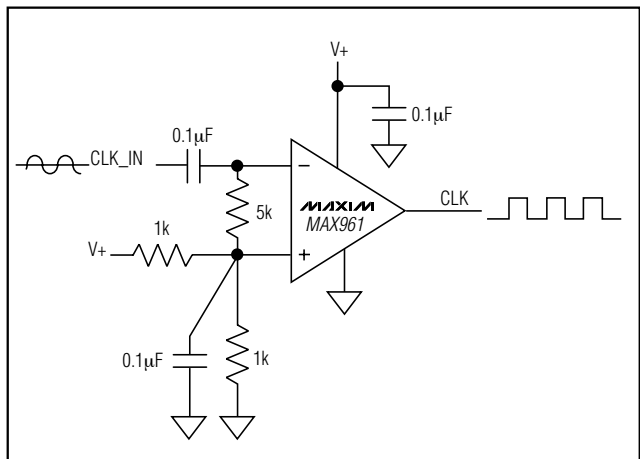


図6. 低ノイズコンパレータを使用したクロック発生回路

# +5V単一電源、2.2Msps、14ビット セルフキャリブレーションADC

## キャリブレーション動作

MAX1201はパイプライン構造をベースとしているので、入力信号の比較近似に低分解能の量子化器(ラフなADC)が使用されます。入力信号の比較近似の後で、分解能の同じMDACを使用して入力信号の再構成が実行されます。入力信号は入力から減算され、その残余信号がスイッチトキャパシタ利得回路段で増幅されます。この残余信号は増幅された後で、次の回路段に送られます。MAX1201の精度は、使用される各コンデンサのマッチング比に大きく左右されるMDACの精度による制限を受けます。各コンデンサ間の mismatchingは確定され、内蔵メモリに保存されます。その後この保存された内容は、入力信号の変換動作が実行されている期間中に使用されます。

キャリブレーション動作中は、クロックを連続的に入力されていなければなりません。最小幅が4クロックサイクルで、しかも約17,400クロックサイクル未満の正の信号パルスでST\_CAL(キャリブレーション開始)入力信号を起動します(図8)。

ST\_CAL入力は内部で再タイミング設定が行なわれるので、クロックと非同期にすることが可能です。ST\_CALを起動した状態で、1あるいは2クロックサイクル後にEND\_CAL出力がローになり、この出力信号はキャリブレーションが終了するまでローの状態に維持されます。この期間中、リファレンス電圧を0.01%以下の精度に安定化させる必要があります。このようにリファレンス電圧を安定化させないと、キャリブレーションが無効になります。キャリブレーションが実行されている期間中にアナログ入力INP及びINNは使用されませんが、これらの入力がスタティックであれば、より優れた性能が達成されます。END\_CAL出力信号がハイになると(キャリブレーション動作が完了したことを示す)、ADCは変換動作可能になります。

一旦キャリブレートされるとMAX1201は電源、電圧又は温度の小さな変動(±5%)による影響を受けません。

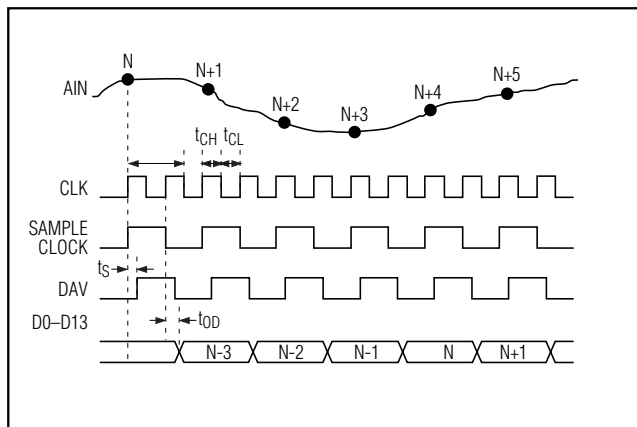


図7. メインタイミング図

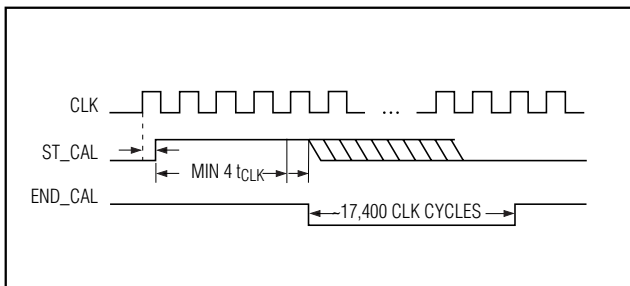


図8. キャリブレーションの開始及び終了タイミング

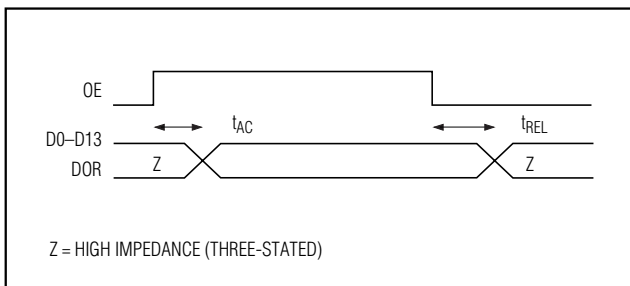


図9. バスアクセス及びバス放棄のタイミング - 出力イネーブル(OE)入力信号によって制御

但し、キャリブレーションが完了した後で温度が±20以上変動する場合には、最適な性能を維持するためにデバイスの再キャリブレーションを実行してください。

## 2の補数出力

MAX1201は2の補数フォーマットでデータを出力します。各種のフルスケール入力を該当する2の補数出力コードに変換する対応表を表1に示します。

## アプリケーション情報

### 信号雑音比(SNR)

デジタルサンプルから信号波形を完全に再構成する場合にSNRに関して定義される理論上の最大値は、フルスケールアナログ入力(RMS値)とRMS量子化エラー(残余エラー)の比として求められます。理想的な理論上の最小アナログ/デジタル変換ノイズは量子化エラーのみによって引き起こされ、この値はADCの分解能(Nビット)から直接的に導かれます。

$$\text{SNR}_{(\text{MAX})} = (6.02 \cdot N + 1.76) \text{dB}$$

実際には量子化ノイズ以外に、サーマルノイズ、リファレンス電圧ノイズ、クロックジッタなどの他のノイズ要因も存在します。従って、基本波、2次から9次までの高調波成分及びDCオフセットを除いた全てのスペクトラル成分を含むRMSノイズとRMS信号の比をとることによって、SNRの値を計算します。

# +5V単一電源、2.2Msps、14ビット セルフキャリブレーションADC

表1. バイナリ出力コード

スケール	オフセットバイナリ	1の補数	2の補数
+FSR - 1LSB	1111 .... 1111	0111 .... 1111	0111 .... 1111
+3/4FSR	1110 .... 0000	0110 .... 0000	0110 .... 0000
+1/2FSR	1100 .... 0000	0100 .... 0000	0100 .... 0000
+1/4FSR	1010 .... 0000	0010 .... 0000	0010 .... 0000
+0	1000 .... 0000	0000 .... 0000	0000 .... 0000
-0	— .... —	1111 .... 1111	— .... —
-1/4FSR	0110 .... 0000	1101 .... 1111	1110 .... 0000
-1/2FSR	0100 .... 0000	1011 .... 1111	1100 .... 0000
-3/4FSR	0010 .... 0000	1001 .... 1111	1010 .... 0000
-FSR + 1LSB	0000 .... 0001	1000 .... 0000	1000 .... 0001
-FSR	0000 .... 0000	— .... —	1000 .... 0000

## 信号対雑音 + 歪み (SINAD)

SINADは、基本入力周波数のRMS振幅値と他の全てのADC出力信号の比として定義されています。

$$\text{SINAD (dB)} = 20 \cdot \log \left[ \frac{\text{Signal}_{\text{RMS}}}{(\text{Noise} + \text{Distortion})_{\text{RMS}}} \right]$$

## 有効ビット数(ENOB)

ENOBは、特定の入力周波数及びサンプリングレートにおけるADCのグローバルな精度を示すパラメータです。理想的なADCのエラーは、量子化ノイズのみによって構成されます。入力範囲をADCのフルスケール入力範囲に等しくすることで、有効ビット数を下記の数式で算出することができます。

$$\text{ENOB} = (\text{SINAD} - 1.76) / 6.02$$

## 全高調波歪み(THD)

THDは、入力信号の2次から9次までの高調波のRMS振幅を合計した値と基本波のRMS振幅値の比として定義されています。これは下記に示す数式で表わされます。

$$\text{THD} = 20 \cdot \log \left[ \frac{\sqrt{(V_2^2 + V_3^2 + V_4^2 + \dots + V_9^2)}}{V_1} \right]$$

この数式で $V_1$ は基本波のRMS振幅値、そして $V_2$   $V_9$ はそれぞれ2次から9次までの高調波のRMS振幅値を示します。

## スプリアスフリーダイナミックレンジ(SFDR)

SFDRは、基本波のRMS振幅値(最大の信号成分)とDCオフセット成分を除いた2番目に大きなスプリアス成分のRMS値の比として定義されています。

## グランド接続と電源のデカップリング

適切なグランド接続と電源のデカップリングを行なうか否かによって、MAX1201の性能は大きく左右されます。14ビット分解能の場合には不要なデジタルクロストークが入力、電圧リファレンス、電源及びグランド接続部を通して結合する可能性があり、これが原因で信号雑音比あるいはスプリアスフリーダイナミックレンジに悪影響が及びます。更に、電磁妨害(EMI)がMAX1201内部に結合したり、又はMAX1201によってEMIが引き起こされる可能性もあります。従って、下記に説明するグランド接続と電源のデカップリングに関するガイドラインを正確に順守することが必要です。

最初に、グランドプレーンと電源プレーンを分離した多層のプリント回路基板(PCB)の使用を推奨します。グランドプレーン真上のラインパターン上に高速信号を走らせます。MAX1201ではアナログ及びデジタルのグランドパス(それぞれAGNDとDGND)が分離されているので、PCB上においても同様にアナログ及びデジタルグランド部をそれぞれ分離して、デジタルグランド部が一点にのみ(スターグランド)に接続します。デジタル信号はデジタルグランドプレーン上に走らせ、アナログ信号はアナロググランドプレーン上に走らせてください。デジタル信号は、デジタル信号の影響を受けやすいアナログ入力、電圧リファレンス入力、同相電圧入力及びクロック入力から遠ざけるように配慮してください。

# +5V単一電源、2.2MSPS、14ビット セルフキャリブレーションADC

MAX1201にはアナログ $V_{DD}$ ( $AV_{DD}$ )、デジタル $V_{DD}$ ( $DV_{DD}$ )及び出力ドライバ用 $V_{DD}$ ( $DRV_{DD}$ )の3つの電源入力が用意されています。容量が $0.1\mu\text{F}$ と $0.001\mu\text{F}$ のセラミックチップコンデンサをそれぞれ並列に接続して、各 $AV_{DD}$ 入力をデカップリングすることが必要です。その際に、これらのコンデンサを $AV_{DD}$ 入力ピンに可能な限り近づけて配置し、更にグラウンドプレーンへの接続ラインを可能な限り短くしてください。 $DV_{DD}$ 入力ピンと $DRV_{DD}$ 入力ピンについても同様に、 $0.1\mu\text{F}$ のコンデンサを該当する各ピンに隣接した個所に並列接続配置してデカップリングを行なうことが必要です。デジタル負荷容量を最小限に抑えてください。しかし、各デジタル出力上の全負荷容量が $20\text{pF}$ を超える場合には、 $DRV_{DD}$ デカップリング用コンデンサの容量を大きくするか、あるいは望ましい方法としてデジタルバッファを追加してください。

電源電圧についても同様に、電圧がPCBに入力されるポイントに容量の大きなタンタル又は電解型コンデンサを接続してデカップリングを行なってください。追加したデカップリングコンデンサとフェライトビーズを使用してパイネットワークを形成する方法を利用して同様に、性能が改善されます。

MAX1201のアナログ電源入力( $AV_{DD}$ )は $+5\text{V}$ (typ)ですが、デジタル電源電圧は $+5\text{V}$ から $+3\text{V}$ までの範囲内で任意の電圧に設定することが可能です。通常、 $DV_{DD}$ と $DRV_{DD}$ の各ピンは同じ電源に接続します。 $DV_{DD}$ 電源電圧は $DRV_{DD}$ 電圧よりも大きな値、あるいは $DRV_{DD}$ 電圧と同じ値のどちらかに設定しなければならない点に注意してください。例えば、 $+3.3\text{V}$ のデジタル電源を $DRV_{DD}$ に接続し、よりクリーンな $+5\text{V}$ 電源を $DV_{DD}$ に接続することができます。この電源接続によって、性能が多少改善されます。別の電源接続方法として、 $+3.3\text{V}$ 電源を $DRV_{DD}$ と $DV_{DD}$ の両方に接続することも可能です。しかし、 $+5\text{V}$ 電源を $DRV_{DD}$ に接続しているときに、 $+3.3\text{V}$ 電源を $DV_{DD}$ に接続してはいけません(表2)。

表2. 電源電圧の接続組み合わせ

$AV_{DD}$ (V)	$DV_{DD}$ (V)	$DRV_{DD}$ (V)	許容/禁止
5	5	5	許容
5	5	3.3	許容
5	3.3	3.3	許容
5	3.3	5	禁止

## チップ情報

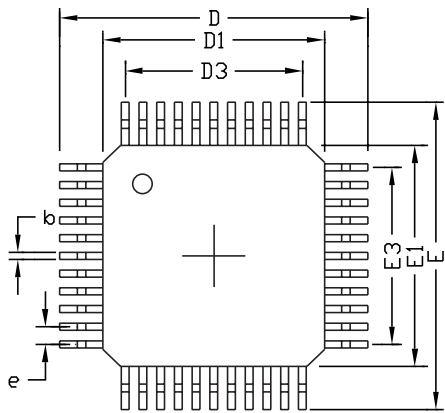
TRANSISTOR COUNT: 56,577

SUBSTRATE CONNECTED TO AGND

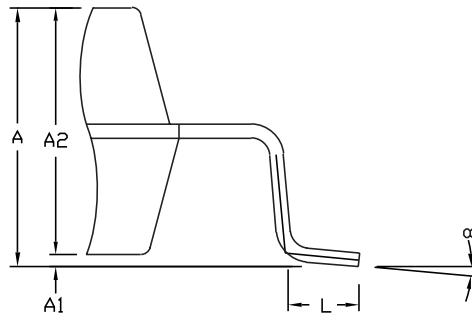
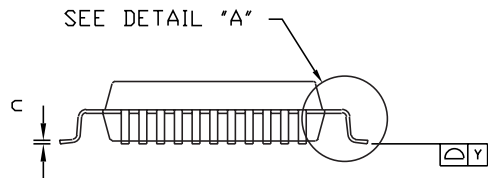
# +5V単一電源、2.2Msps、14ビット セルフキャリブレーションADC

MAX1201

パッケージ



DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	2.032	2.388	0.080	0.094
A1	0.102	0.254	0.004	0.010
A2	1.930	2.134	0.076	0.084
b	0.305	0.457	0.012	0.018
c	0.102	0.254	0.004	0.010
D	12.954	13.462	0.510	0.530
D1	9.906	10.109	0.390	0.398
D3	8.000	REF	0.315	REF
E	12.954	13.462	0.510	0.530
E1	9.906	10.109	0.390	0.398
E3	8.000	REF	0.315	REF
e	0.800	REF	0.0315	REF
L	0.635	0.940	0.025	0.037
α	*0	*10	*0	*10



NOTES:

1. D1&E1 DO NOT INCLUDE MOLD FLASH.
2. MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .254mm(.010").
3. CONTROLLING DIMENSION: MILLIMETER.
4. MEETS JEDEC MO-108-AA-2.

DETAIL "A"

**MAXIM**  
PROPRIETARY INFORMATION  
 TITLE: PACKAGE OUTLINE, MQFP, 44L  
 APPROVAL: \_\_\_\_\_ DOCUMENT CONTROL NO. 21-0826 REV C 1/1

MQFP44LEPS

**+5V単一電源、2.2Msps、14ビット  
セルフキャリブレーションADC**

---

NOTES

**MAX1201**

# +5V単一電源、2.2Msps、14ビット セルフキャリブレーションADC

---

MAX1201

NOTES

販売代理店

**マキシム・ジャパン株式会社**

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)  
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

16 \_\_\_\_\_ **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

© 1998 Maxim Integrated Products

**MAXIM** is a registered trademark of Maxim Integrated Products.