

# デュアル10ビット、20Msps、+3V、低電力ADC 内部リファレンス及びパラレル出力付

## 概要

MAX1184は+3Vのデュアル10ビットA/Dコンバータ(ADC)です。完全差動広帯域トラックアンドホールド(T/H)入力を特長とし、2つのバイプラインされた9ステージのADCを駆動します。MAX1184は、イメージング装置、計測機器などの低電源、高ダイナミック性能を要するアプリケーション、及びデジタル通信のアプリケーションとして最適です。このADCは+2.7V~+3.6Vの単一電源で動作し、7.5MHzの入力周波数及び20Mspsのサンプリングレートでの標準信号対ノイズ比(SNR)は59.5dB、消費電力は僅か105mWです。T/H駆動入力段には400MHz(-3dB)の入力アンプが内蔵されています。このコンバータはシングルエンド入力を使用した動作も可能です。低動作電力に加えて、MAX1184は、アイドル期間の省エネ対策として1 $\mu$ Aパワーダウンモード並びに2.8mAスリープモードの機能を備えています。

内部+2.048V精度のバンドギャップリファレンス電圧がADCのフルスケール範囲を設定します。精度がより高い、又は異なった入力電圧範囲を必要とするアプリケーションに使用したい場合、フレキシブルなリファレンス電圧構造なので、内部又は外部駆動リファレンスを使用することが可能です。

MAX1184は、パラレル、CMOSコンパチブルのスリープ状態出力を特長としています。このデジタル出力フォーマットは、1つの制御ピンを介して、2の補数又はストレートオフセットバイナリに設定することが可能です。このデバイスは、フレキシブルなインタフェースを実現するために+1.7V~+3.6Vの別々の出力電源を提供します。MAX1184は、7mm x 7mm、48ピンTQFPパッケージで提供され、拡張用温度範囲(-40°C~+85°C)仕様となっています。

MAX1184のピンコンパチブル、高速バージョンも提供しています。105MspsについてはMAX1180のデータシートを、80MspsについてはMAX1181のデータシートを、65MspsについてはMAX1182のデータシートを、40MspsについてはMAX1183のデータシートを参照して下さい。これらの速度に対応する上記の製品以外にも、本製品ラインには、タイムインタリーブされたデジタルデータがシングルパラレル10ビット出力ポートに呈示される20Msps多重化出力バージョン(MAX1185)の製品もあります。

## アプリケーション

- 高分解能イメージング
- I/Qチャンネルデジタル化
- マルチチャンネルIFアンダーサンプリング
- 計測機器
- ビデオアプリケーション

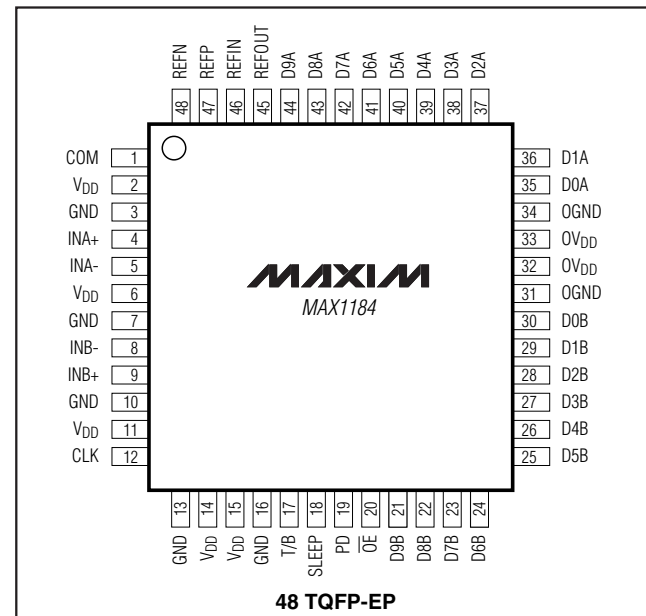
## 特長

- ◆ 動作：単一+3V
- ◆ 優れたダイナミック性能  
59.5dBのSNR @  $f_{IN}=7.5\text{MHz}$   
74dBcのSFDR @  $f_{IN}=7.5\text{MHz}$
- ◆ 低電源電力：  
35mA(通常動作)  
2.8mA(スリープモード)  
1 $\mu$ A(シャットダウンモード)
- ◆ 0.02dB利得及び0.25°位相マッチング(typ)
- ◆ 差動アナログ入力電圧範囲：広域 $\pm 1V_{p-p}$
- ◆ -3dB入力帯域幅：400MHz、
- ◆ 内部+2.048V精度バンドギャップリファレンス電圧内蔵
- ◆ ユーザ選択可能な出力フォーマット—2の補数又はオフセットバイナリ
- ◆ 放熱を良好にするエクスポーズドパッド付48ピンTQFPパッケージ
- ◆ 評価キットあり

## 型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX1184ECM	-40°C to +85°C	48 TQFP-EP

## ピン配置



# デュアル10ビット、20Msps、+3V、低電力ADC 内部リファレンス及びパラレル出力付

MAX1184

## ABSOLUTE MAXIMUM RATINGS

V <sub>DD</sub> , OV <sub>DD</sub> to GND	-0.3V to +3.6V
OGND to GND	-0.3V to +0.3V
INA+, INA-, INB+, INB- to GND	-0.3V to V <sub>DD</sub>
REFIN, REFOUT, REFP, REFN, CLK, COM to GND	-0.3V to (V <sub>DD</sub> + 0.3V)
OE, PD, SLEEP, T/B, D9A–D0A, D9B–D0B to OGND	-0.3V to (OV <sub>DD</sub> + 0.3V)

Continuous Power Dissipation (T <sub>A</sub> = +70°C) 48-Pin TQFP (derate 12.5mW/°C above +70°C)	1000mW
Operating Temperature Range	-40°C to +85°C
Junction Temperature	+150°C
Storage Temperature Range	-60°C to +150°C
Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(V<sub>DD</sub> = +3V, OV<sub>DD</sub> = +2.5V, 0.1μF and 1.0μF capacitors from REFP, REFN, and COM to GND; REFOUT connected to REFIN through a 10kΩ resistor, V<sub>IN</sub> = 2Vp-p (differential w.r.t. COM), C<sub>L</sub> = 10pF at digital outputs (Note 5), f<sub>CLK</sub> = 20MHz, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>DC ACCURACY</b>						
Resolution			10			Bits
Integral Nonlinearity	INL	f <sub>IN</sub> = 7.5MHz		±0.5	±1.5	LSB
Differential Nonlinearity	DNL	f <sub>IN</sub> = 7.5MHz, no missing codes guaranteed		±0.25	±1.0	LSB
Offset Error				< ±1	±1.7	% FS
Gain Error				0	±2	% FS
<b>ANALOG INPUT</b>						
Differential Input Voltage Range	V <sub>DIFF</sub>	Differential or single-ended inputs		±1.0		V
Common-Mode Input Voltage Range	V <sub>CM</sub>			V <sub>DD</sub> /2 ± 0.5		V
Input Resistance	R <sub>IN</sub>	Switched capacitor load		100		kΩ
Input Capacitance	C <sub>IN</sub>			5		pF
<b>CONVERSION RATE</b>						
Maximum Clock Frequency	f <sub>CLK</sub>		20			MHz
Data Latency				5		Clock Cycles
<b>DYNAMIC CHARACTERISTICS</b> (f <sub>CLK</sub> = 20MHz, 4096-point FFT)						
Signal-to-Noise Ratio	SNR	f <sub>INA</sub> or B = 7.5MHz, T <sub>A</sub> = +25°C	57.3	59.5		dB
		f <sub>INA</sub> or B = 12MHz		59.4		
Signal-to-Noise and Distortion	SINAD	f <sub>INA</sub> or B = 7.5MHz, T <sub>A</sub> = +25°C	57	59.4		dB
		f <sub>INA</sub> or B = 12MHz		59.2		
Spurious-Free Dynamic Range	SFDR	f <sub>INA</sub> or B = 7.5MHz, T <sub>A</sub> = +25°C	64	74		dBc
		f <sub>INA</sub> or B = 12MHz		72		

# デュアル10ビット、20Msps、+3V、低電力ADC 内部リファレンス及びパラレル出力付

MAX1184

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = +3V$ ,  $OV_{DD} = +2.5V$ , 0.1 $\mu$ F and 1.0 $\mu$ F capacitors from REFP, REFN, and COM to GND; REFOUT connected to REFIN through a 10k $\Omega$  resistor,  $V_{IN} = 2V_{p-p}$  (differential w.r.t. COM),  $C_L = 10pF$  at digital outputs (Note 5),  $f_{CLK} = 20MHz$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^{\circ}C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Third-Harmonic Distortion	HD3	$f_{INA}$ or B = 7.5MHz		-74		dBc
		$f_{INA}$ or B = 12MHz		-72		
Intermodulation Distortion	IMD	$f_{INA}$ or B = 11.985MHz at -6.5dB FS $f_{INA}$ or B = 12.893MHz at -6.5dB FS (Note 2)		-76		dBc
Total Harmonic Distortion (first 4 harmonics)	THD	$f_{INA}$ or B = 7.5MHz, $T_A = +25^{\circ}C$		-72	-64	dBc
		$f_{INA}$ or B = 12MHz		-71		
Small-Signal Bandwidth		Input at -20dB FS, differential inputs		500		MHz
Full-Power Bandwidth	FPBW	Input at -0.5dB FS, differential inputs		400		MHz
Aperture Delay	$t_{AD}$			1		ns
Aperture Jitter	$t_{AJ}$			2		psRMS
Overdrive Recovery Time		For 1.5 $\times$ full-scale input		2		ns
Differential Gain				$\pm 1$		%
Differential Phase				$\pm 0.25$		degrees
Output Noise		INA+ = INA- = INB+ = INB- = COM		0.2		LSBRMS
<b>INTERNAL REFERENCE</b>						
Reference Output Voltage	REFOUT			2.048 $\pm 3\%$		V
Reference Temperature Coefficient	$T_{CREF}$			60		ppm/ $^{\circ}C$
Load Regulation				1.25		mV/mA
<b>BUFFERED EXTERNAL REFERENCE (<math>V_{REFIN} = +2.048V</math>)</b>						
REFIN Input Voltage	$V_{REFIN}$			2.048		V
Positive Reference Output Voltage	$V_{REFP}$			2.012		V
Negative Reference Output Voltage	$V_{REFN}$			0.988		V
Differential Reference Output Voltage Range	$\Delta V_{REF}$	$\Delta V_{REF} = V_{REFP} - V_{REFN}$	0.98	1.024	1.07	V
REFIN Resistance	$R_{REFIN}$			>50		M $\Omega$

# デュアル10ビット、20Msps、+3V、低電力ADC 内部リファレンス及びパラレル出力付

MAX1184

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = +3V$ ,  $OV_{DD} = +2.5V$ ,  $0.1\mu F$  and  $1.0\mu F$  capacitors from REFP, REFN, and COM to GND; REFOUT connected to REFIN through a  $10k\Omega$  resistor,  $V_{IN} = 2V_{p-p}$  (differential w.r.t. COM),  $C_L = 10pF$  at digital outputs (Note 5),  $f_{CLK} = 20MHz$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Maximum REFP, COM Source Current	$I_{SOURCE}$			5		mA
Maximum REFP, COM Sink Current	$I_{SINK}$			-250		$\mu A$
Maximum REFN Source Current	$I_{SOURCE}$			250		$\mu A$
Maximum REFN Sink Current	$I_{SINK}$			-5		mA
<b>UNBUFFERED EXTERNAL REFERENCE</b> ( $V_{REFIN} = AGND$ , reference voltage applied to REFP, REFN, and COM)						
REFP, REFN Input Resistance	$R_{REFP}$ , $R_{REFN}$	Measured between REFP and COM, and REFN and COM		4		$k\Omega$
Differential Reference Input Voltage	$\Delta V_{REF}$	$\Delta V_{REF} = V_{REFP} - V_{REFN}$		1.024 $\pm 10\%$		V
COM Input Voltage	$V_{COM}$			$V_{DD}/2 \pm 10\%$		V
REFP Input Voltage	$V_{REFP}$			$V_{COM} + \Delta V_{REF}/2$		V
REFN Input Voltage	$V_{REFN}$			$V_{COM} - \Delta V_{REF}/2$		V
<b>DIGITAL INPUTS (CLK, PD, <math>\overline{OE}</math>, SLEEP, T/B)</b>						
Input High Threshold	$V_{IH}$	CLK		$0.8 \times V_{DD}$		V
		PD, $\overline{OE}$ , SLEEP, T/B		$0.8 \times OV_{DD}$		
Input Low Threshold	$V_{IL}$	CLK		$0.2 \times V_{DD}$		V
		PD, $\overline{OE}$ , SLEEP, T/B		$0.2 \times OV_{DD}$		
Input Hysteresis	$V_{HYST}$			0.1		V
Input Leakage	$I_{IH}$	$V_{IH} = OV_{DD}$ or $V_{DD}$ (CLK)			$\pm 5$	$\mu A$
	$I_{IL}$	$V_{IL} = 0$			$\pm 5$	
Input Capacitance	$C_{IN}$			5		pF
<b>DIGITAL OUTPUTS (D9A–D0A, D9B–D0B)</b>						
Output Voltage Low	$V_{OL}$	$I_{SINK} = 200\mu A$			0.2	V
Output Voltage High	$V_{OH}$	$I_{SOURCE} = 200\mu A$		$OV_{DD} - 0.2$		V
Three-State Leakage Current	$I_{LEAK}$	$\overline{OE} = OV_{DD}$			$\pm 10$	$\mu A$
Three-State Output Capacitance	$C_{OUT}$	$\overline{OE} = OV_{DD}$		5		pF

# デュアル10ビット、20Msps、+3V、低電力ADC 内部リファレンス及びパラレル出力付

MAX1184

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = +3V$ ,  $OV_{DD} = +2.5V$ , 0.1 $\mu F$  and 1.0 $\mu F$  capacitors from REFP, REFN, and COM to GND; REFOUT connected to REFIN through a 10k $\Omega$  resistor,  $V_{IN} = 2V_{p-p}$  (differential w.r.t. COM),  $C_L = 10pF$  at digital outputs (Note 5),  $f_{CLK} = 20MHz$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^{\circ}C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>POWER REQUIREMENTS</b>						
Analog Supply Voltage Range	$V_{DD}$		2.7	3.0	3.6	V
Output Supply Voltage Range	$OV_{DD}$		1.7	2.5	3.6	V
Analog Supply Current	$I_{VDD}$	Operating, $f_{INA}$ or $B = 7.5MHz$ at -0.5dB FS		35	50	mA
		Sleep mode		2.8		
		Shutdown, clock idle, $PD = \overline{OE} = OV_{DD}$		1	15	$\mu A$
Output Supply Current	$I_{OVDD}$	Operating, $C_L = 15pF$ , $f_{INA}$ or $B = 7.5MHz$ at -0.5dB FS		3.8		mA
		Sleep mode		100		
		Shutdown, clock idle, $PD = \overline{OE} = OV_{DD}$		2	10	$\mu A$
Power Dissipation	PDISS	Operating, $f_{INA}$ or $B = 7.5MHz$ at -0.5dB FS		105	150	mW
		Sleep mode		8.4		
		Shutdown, clock idle, $PD = \overline{OE} = OV_{DD}$		3	45	$\mu W$
Power-Supply Rejection Ratio	PSRR	Offset		$\pm 0.2$		mV/V
		Gain		$\pm 0.1$		%/V
<b>TIMING CHARACTERISTICS</b>						
CLK Rise to Output Data Valid	$t_{DO}$	Figure 3 (Note 3)		5	8	ns
Output Enable Time	$t_{ENABLE}$	Figure 4		10		ns
Output Disable Time	$t_{DISABLE}$	Figure 4		1.5		ns
CLK Pulse Width High	$t_{CH}$	Figure 3, clock period: 50ns		$25 \pm 7.5$		ns
CLK Pulse Width Low	$t_{CL}$	Figure 3, clock period: 50ns		$25 \pm 7.5$		ns
Wake-Up Time	$t_{WAKE}$	Wakeup from sleep mode (Note 4)		0.51		$\mu s$
		Wakeup from shutdown (Note 4)		1.5		
<b>CHANNEL-TO-CHANNEL MATCHING</b>						
Crosstalk		$f_{INA}$ or $B = 7.5MHz$ at -0.5dB FS		-70		dB
Gain Matching		$f_{INA}$ or $B = 7.5MHz$ at -0.5dB FS		0.02	$\pm 0.2$	dB
Phase Matching		$f_{INA}$ or $B = 7.5MHz$ at -0.5dB FS		0.25		degrees

**Note 1:** SNR, SINAD, THD, SFDR, and HD3 are based on an analog input voltage of -0.5dB FS referenced to a +1.024V full-scale input voltage range.

**Note 2:** Intermodulation distortion is the total power of the intermodulation products relative to the individual carrier. This number is 6dB or better, if referenced to the two-tone envelope.

**Note 3:** Digital outputs settle to  $V_{IH}$ ,  $V_{IL}$ . Parameter guaranteed by design.

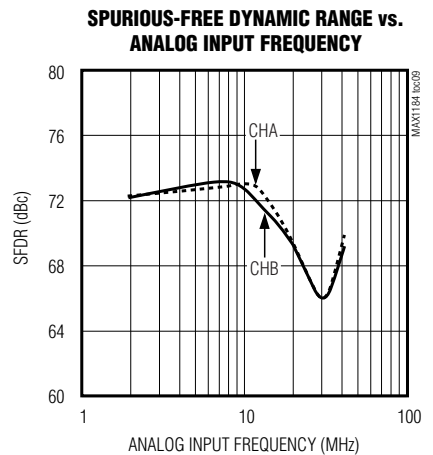
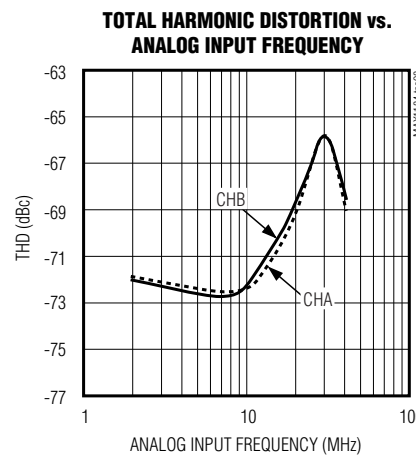
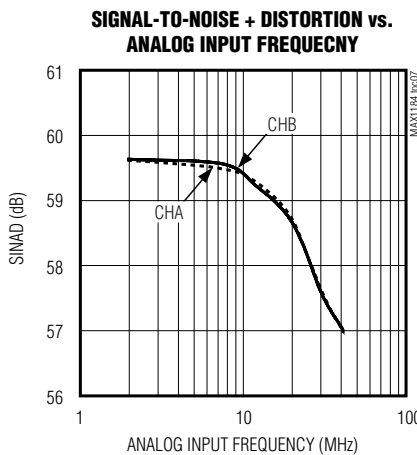
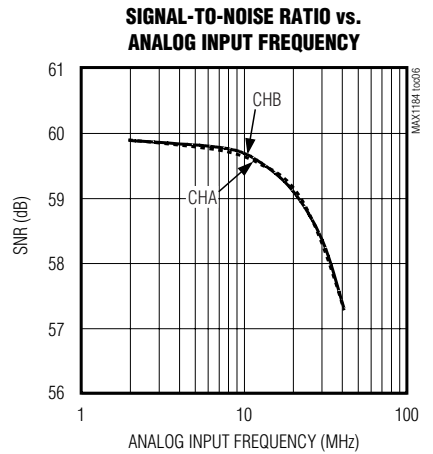
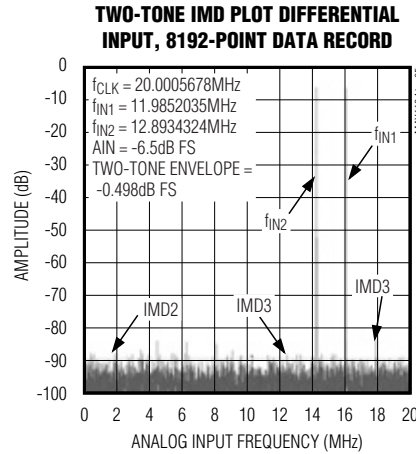
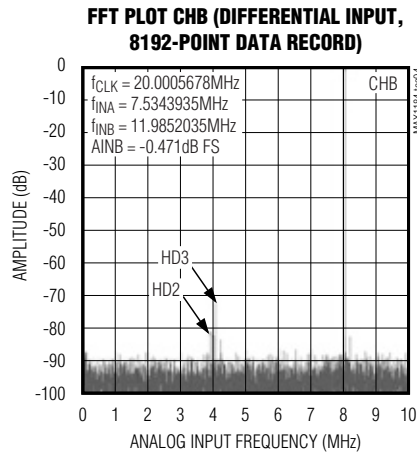
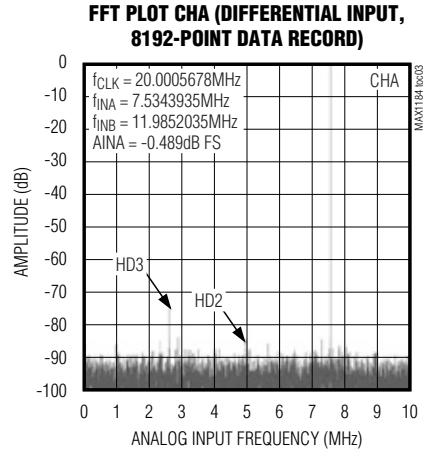
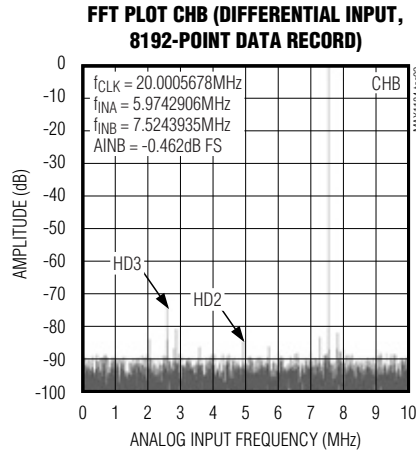
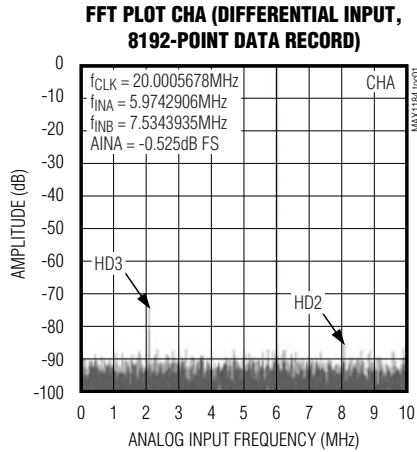
**Note 4:** With REFIN driven externally, REFP, COM, and REFN are left floating while powered down.

**Note 5:** Equivalent dynamic performance is obtainable over full  $OV_{DD}$  range with reduced  $C_L$ .

# デュアル10ビット、20Msps、+3V、低電力ADC 内部リファレンス及びパラレル出力付

## 標準動作特性

( $V_{DD} = +3V$ ,  $OV_{DD} = +2.5V$ ,  $V_{REFIN} = +2.048V$ , differential input at  $-0.5dB$  FS,  $f_{CLK} = 20MHz$ ,  $C_L \approx 10pF$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)



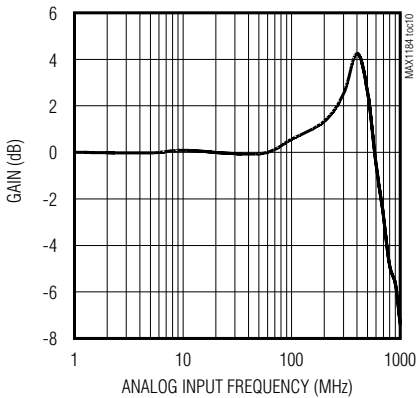
# デュアル10ビット、20Msps、+3V、低電力ADC 内部リファレンス及びパラレル出力付

MAX1184

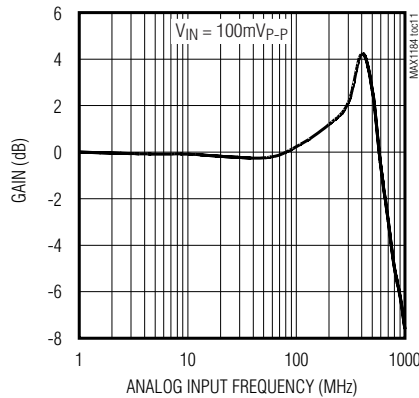
## 標準動作特性(続き)

( $V_{DD} = +3V$ ,  $OV_{DD} = +2.5V$ ,  $V_{REFIN} = +2.048V$ , differential input at  $-0.5dB$  FS,  $f_{CLK} = 20MHz$ ,  $C_L \approx 10pF$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)

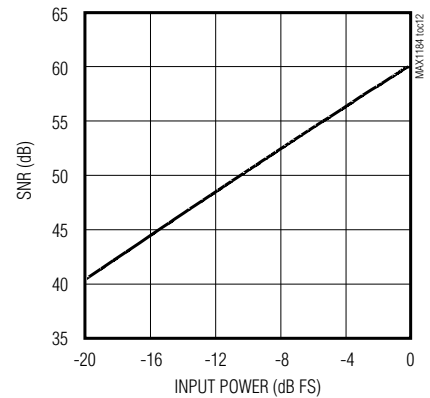
**FULL-POWER INPUT BANDWIDTH vs. ANALOG INPUT FREQUENCY, SINGLE-ENDED**



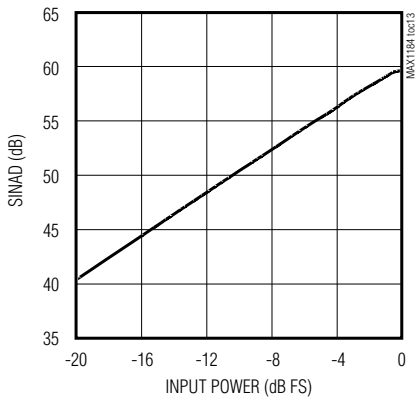
**SMALL-SIGNAL INPUT BANDWIDTH vs. ANALOG INPUT FREQUENCY, SINGLE-ENDED**



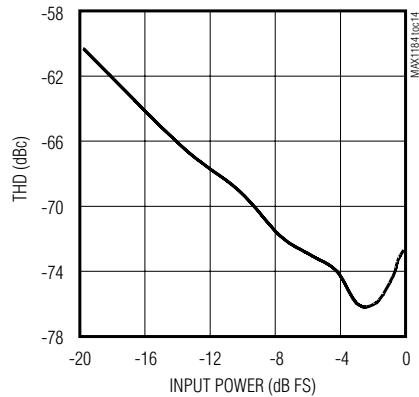
**SIGNAL-TO-NOISE RATIO vs. INPUT POWER ( $f_{IN} = 7.5343935MHz$ )**



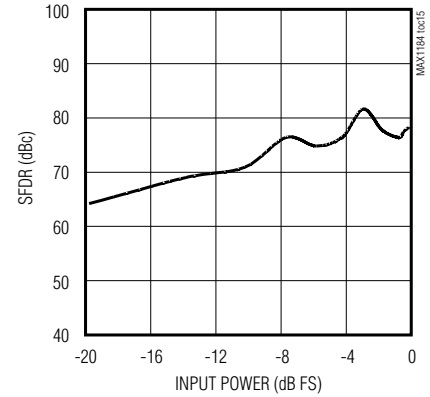
**SIGNAL-TO-NOISE + DISTORTION vs. INPUT POWER ( $f_{IN} = 7.5343935MHz$ )**



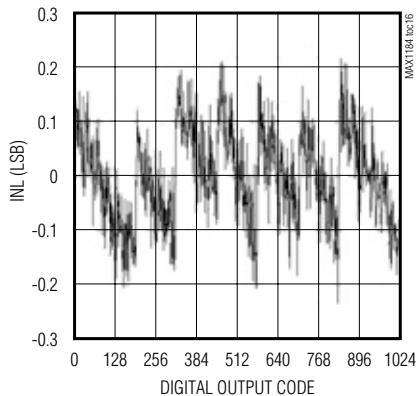
**TOTAL HARMONIC DISTORTION vs. INPUT POWER ( $f_{IN} = 7.5343935MHz$ )**



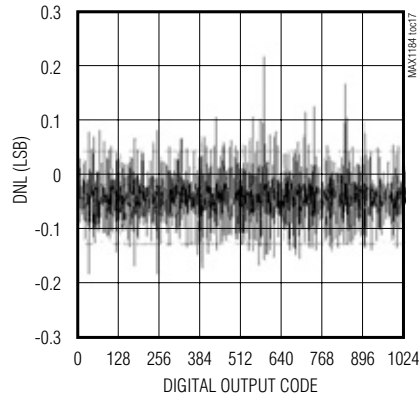
**SPURIOUS-FREE DYNAMIC RANGE vs. INPUT POWER ( $f_{IN} = 7.5343935MHz$ )**



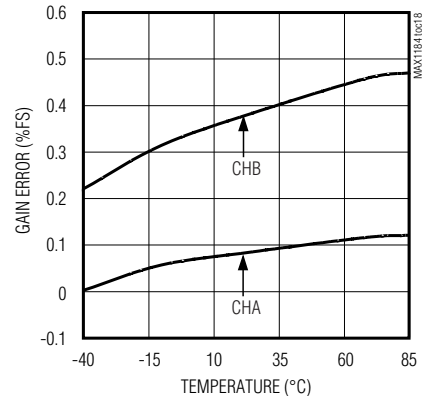
**INTEGRAL NONLINEARITY (BEST END-POINT FIT)**



**DIFFERENTIAL NONLINEARITY**



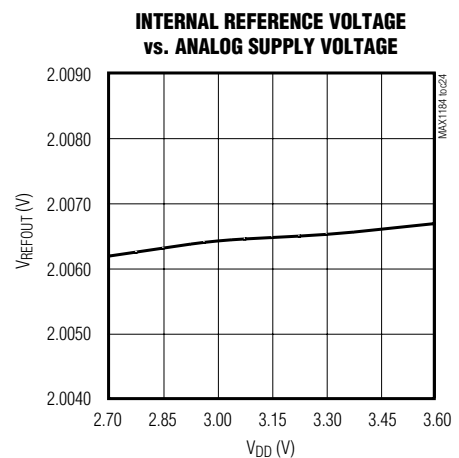
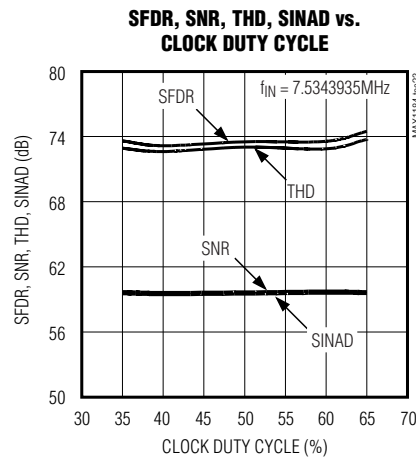
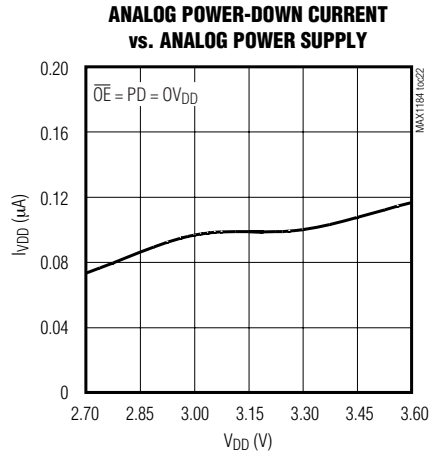
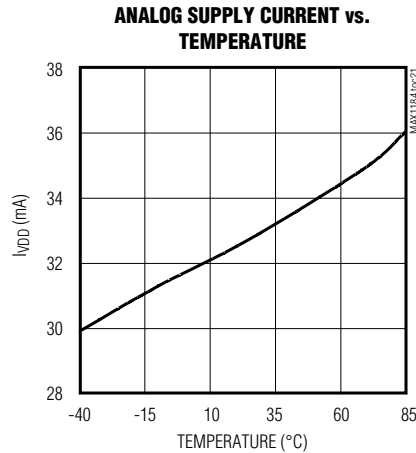
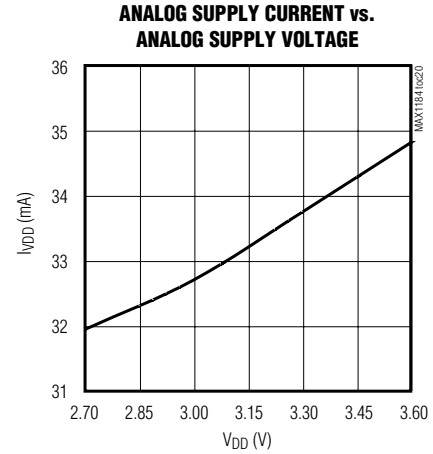
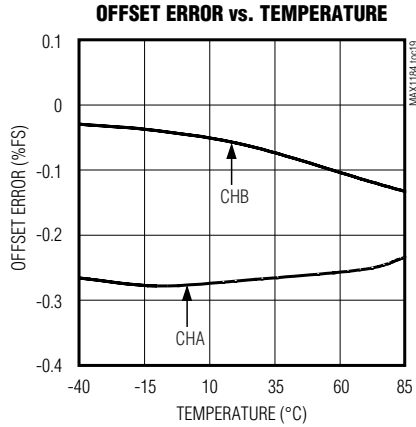
**GAIN ERROR vs. TEMPERATURE**



# デュアル10ビット、20Msps、+3V、低電力ADC 内部リファレンス及びパラレル出力付

## 標準動作特性(続き)

( $V_{DD} = +3V$ ,  $OV_{DD} = +2.5V$ ,  $V_{REFIN} = +2.048V$ , differential input at  $-0.5dB$  FS,  $f_{CLK} = 20MHz$ ,  $C_L \approx 10pF$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)

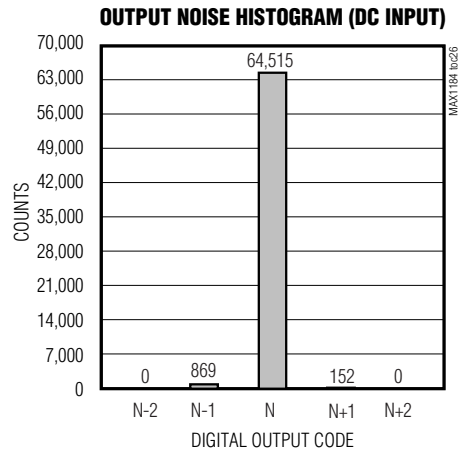
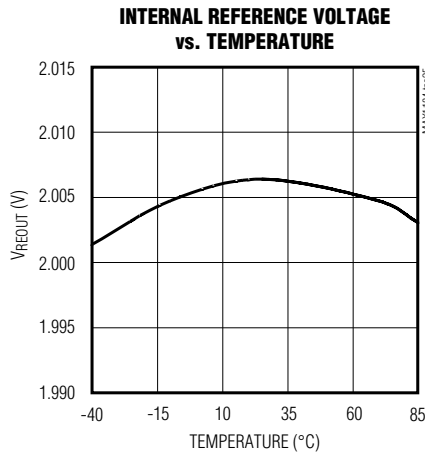




# デュアル10ビット、20Msps、+3V、低電力ADC 内部リファレンス及びパラレル出力付

## 標準動作特性(続き)

(V<sub>DD</sub> = +3V, OV<sub>DD</sub> = +2.5V, V<sub>REFIN</sub> = +2.048V, differential input at -0.5dB FS, f<sub>CLK</sub> = 20MHz, C<sub>L</sub> ≈ 10pF, T<sub>A</sub> = +25°C, unless otherwise noted.)



## 端子説明

端子	名称	機能
1	COM	コモンモード電圧入力/出力。0.1μF以上のコンデンサを使ってGNDにバイパスして下さい。
2, 6, 11, 14, 15	V <sub>DD</sub>	アナログ電源電圧。0.1μFと2.2μFのコンデンサを並列に組み合わせて使いGNDにバイパスして下さい。
3, 7, 10, 13, 16	GND	アナロググランド。
4	INA+	チャンネルA正アナログ入力。シングルエンド動作のためには、信号源をINA+に接続して下さい。
5	INA-	チャンネルA負アナログ入力。シングルエンド動作のためには、INA-をCOMに接続して下さい。
8	INB-	チャンネルB負アナログ入力。シングルエンド動作のためには、INB-をCOMに接続して下さい。
9	INB+	チャンネルB正アナログ入力。シングルエンド動作のためには、信号源をINB+に接続して下さい。
12	CLK	コンバータクロック入力
17	T/B	T/BはADCデジタル出力フォーマットを選択します。 ハイ：2の補数 ロー：ストレートオフセットバイナリ
18	SLEEP	スリープモード入力 ハイ：2つのADCを停止しますが、リファレンス電圧バイアス回路は有効の状態に保持されます。 ロー：通常動作
19	PD	パワーダウン入力 ハイ：パワーダウンモード ロー：通常動作
20	$\overline{OE}$	出カインーブル入力 ハイ：デジタル出力ディセーブル ロー：デジタル出力カインーブル

# デュアル10ビット、20Msps、+3V、低電力ADC 内部リファレンス及びパラレル出力付

MAX1184

## 端子説明(続き)

端子	名称	機能
21	D9B	スリーステートデジタル出力、ビット9(MSB)、チャンネルB
22	D8B	スリーステートデジタル出力、ビット8、チャンネルB
23	D7B	スリーステートデジタル出力、ビット7、チャンネルB
24	D6B	スリーステートデジタル出力、ビット6、チャンネルB
25	D5B	スリーステートデジタル出力、ビット5、チャンネルB
26	D4B	スリーステートデジタル出力、ビット4、チャンネルB
27	D3B	スリーステートデジタル出力、ビット3、チャンネルB
28	D2B	スリーステートデジタル出力、ビット2、チャンネルB
29	D1B	スリーステートデジタル出力、ビット1、チャンネルB
30	D0B	スリーステートデジタル出力、ビット0(LSB)、チャンネルB
31, 34	OGND	出力ドライバグラウンド
32, 33	OVDD	出力ドライバ電源電圧、0.1 $\mu$ Fと2.2 $\mu$ Fのコンデンサを並列に組み合わせてOGNDへバイパスして下さい。
35	D0A	スリーステートデジタル出力、ビット0(LSB)、チャンネルA
36	D1A	スリーステートデジタル出力、ビット1、チャンネルA
37	D2A	スリーステートデジタル出力、ビット2、チャンネルA
38	D3A	スリーステートデジタル出力、ビット3、チャンネルA
39	D4A	スリーステートデジタル出力、ビット4、チャンネルA
40	D5A	スリーステートデジタル出力、ビット5、チャンネルA
41	D6A	スリーステートデジタル出力、ビット6、チャンネルA
42	D7A	スリーステートデジタル出力、ビット7、チャンネルA
43	D8A	スリーステートデジタル出力、ビット8、チャンネルA
44	D9A	スリーステートデジタル出力、ビット9(MSB)、チャンネルA
45	REFOUT	内部リファレンス電圧出力。REFINへ抵抗又は抵抗デバイダを介して接続可。
46	REFIN	リファレンス入力。 $V_{REFIN} = 2 \times (V_{REFP} - V_{REFN})$ 。1nF以上のコンデンサを使ってGNDへバイパスして下さい。
47	REFP	正リファレンス入力/出力。変換範囲は $\pm(V_{REFP} - V_{REFN})$ 。0.1 $\mu$ F以上のコンデンサでGNDへバイパスして下さい。
48	REFN	負リファレンス入力/出力。変換範囲は $\pm(V_{REFP} - V_{REFN})$ 。0.1 $\mu$ F以上のコンデンサでGNDへバイパスして下さい。

# デュアル10ビット、20Msps、+3V、低電力ADC 内部リファレンス及びパラレル出力付

## 詳細

MAX1184は、9ステージ、完全差動、パイプラインアーキテクチャ(図1)によって、電力消費を最小におさえながら、高速変換を可能にします。入力で取得されたサンプルは、ハーフクロックサイクル毎にパイプラインステージを通過して前方に移動します。出力ラッチによる遅延を含む全クロックサイクル待ち時間は5クロックサイクルです。

1.5ビット(2コンパレータ)フラッシュADCは、ホールドされた入力電圧をデジタルコードに変換します。デジタルトゥアナログコンバータ(DAC)は、デジタル化された結果をアナログ電圧に戻し、その後最初にホールドされていた入力信号から差し引かれます。結果的に生じた誤差信号は2倍に積算され、その残余は次のパイプラインステージに渡され、信号が9つすべてのステージによって処理されるまでプロセスが繰り返されます。デジタル誤差補正は、それぞれのパイプラインステージにおいてADCコンパレータオフセットに対して補償し、ミッシングコードがないことを確認します。

## 入力トラックアンドホールド(T/H)回路

図2は両トラックアンドホールドのモードにおける入力トラックアンドホールド(T/H)回路を簡素化したファンク

ションダイアグラムです。トラックモードでは、スイッチS1、S2a、S2b、S4a、S4b、S5a、及びS5bが閉じています。完全な差動回路は、スイッチS4a及びS4bを介して、2つのコンデンサ(C2a及びC2b)上の入力信号をサンプルします。スイッチS2a及びS2bは、アンプ入力をコモンモードに設定すると同時にS1を使ってオープンにし、入力波形をサンプルします。その後、スイッチS4a及びS4bは、スイッチS3a及びS3bがコンデンサC1a及びC1bをアンプ出力へ接続する前に、オープンになり、スイッチS4cは閉じられます。結果的に生じた差動電圧は、コンデンサC2a及びC2b上でホールドされます。このアンプは、本来C2a及びC2bにホールドされた同一の値をコンデンサC1a及びC1bに荷電するために使われます。これらの値は、第1ステージの量子化器に対して呈示され、高速変化入力からパイプラインを隔離します。広域入力帯域T/Hアンプは、MAX1184が高周波数(ナイキスト以上)のアナログ入力をトラックしサンプル/ホールドすることを可能にします。両方のADC入力(INA+、INB+、INA-及びINB-)は、差動又はシングルエンドのいずれかで駆動可能です。性能を最適にするために、INA+及びINA-並びにINB+及びINB-のインピーダンスをマッチさせ、コモンモード電圧を中間電源( $V_{DD}/2$ )に設定して下さい。

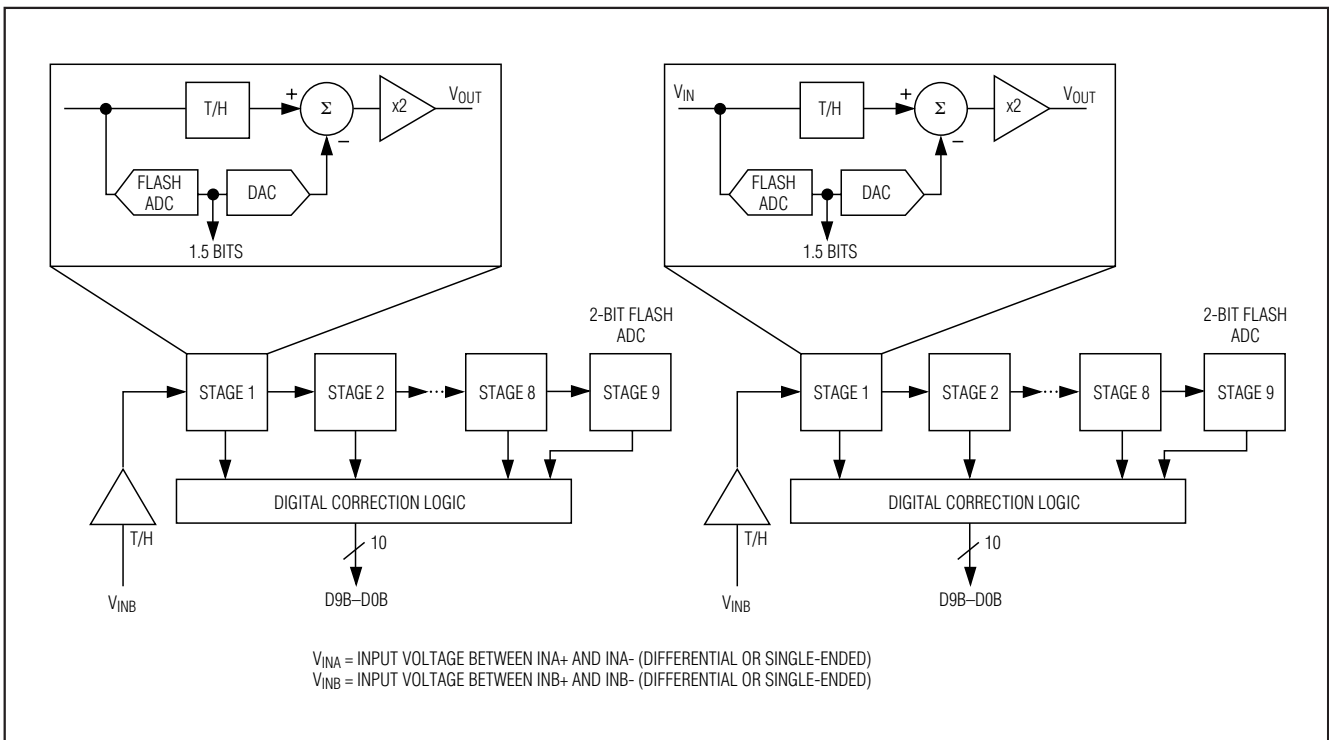


図1. パイプラインアーキテクチャ - ステージブロック図

# デュアル10ビット、20Msps、+3V、低電力ADC 内部リファレンス及びパラレル出力付

MAX1184

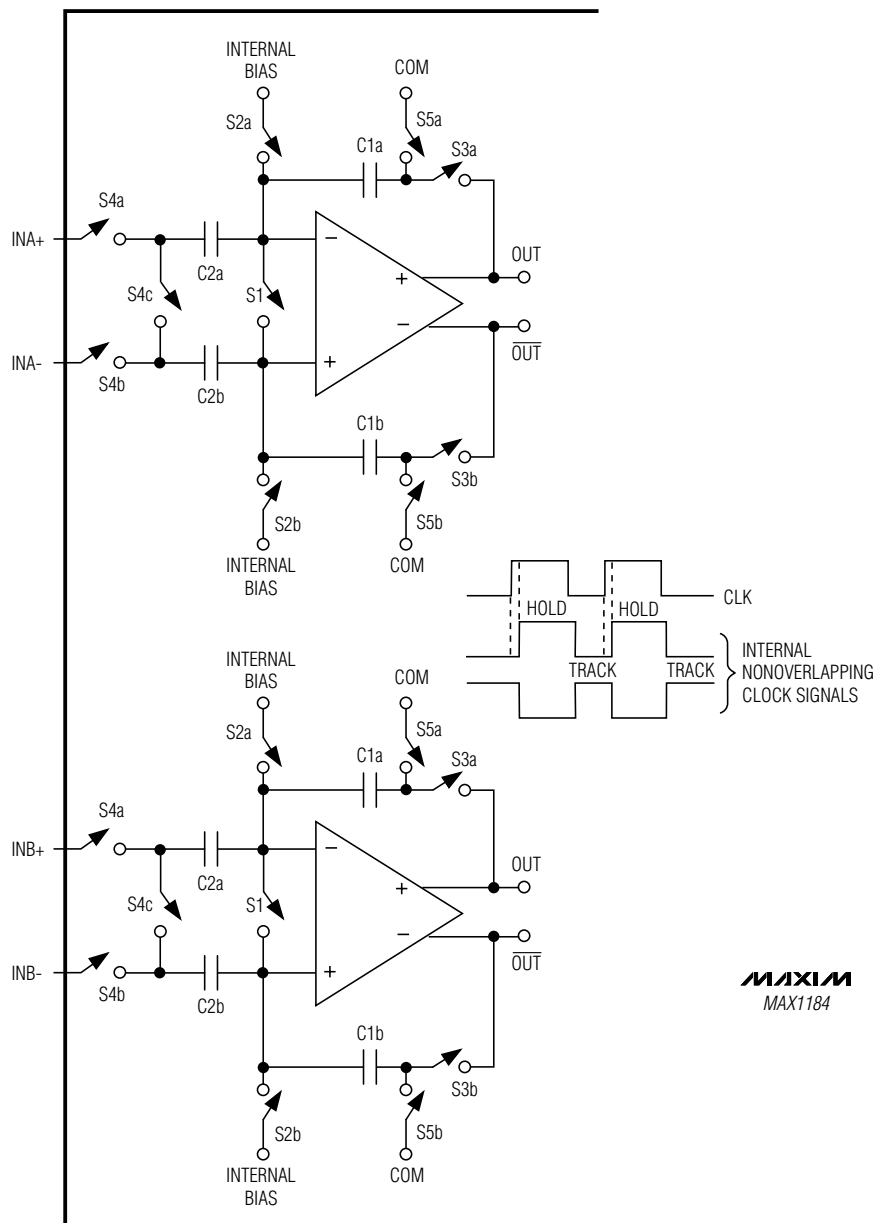


図2. MAX1184 T/Hアンプ

# デュアル10ビット、20Msps、+3V、低電力ADC 内部リファレンス及びパラレル出力付

## アナログ入力及びリファレンス電圧の コンフィギュレーション

MAX1184のフルスケール範囲は、内部で生成されるREFP( $V_{DD}/2+V_{REFIN}/4$ )及びREFN( $V_{DD}/2-V_{REFIN}/4$ )間の電圧差によって決定されます。両方のオンチップADCのフルスケール範囲は、この調整を目的として備えられたREFINピンを使って調整可能です。REFOUT、REFP、COM( $V_{DD}/2$ )及びREFNは内部でバッファされた低インピーダンス出力です。

MAX1184はリファレンス動作に関して次の3つのモードを提供しています。

- 内部リファレンスモード
- バッファされた外部リファレンスモード
- バッファされていない外部リファレンスモード

アプリケーションが縮小されたフルスケール範囲を必要とする場合は、内部リファレンスモードで抵抗(例えば10k $\Omega$ )又は抵抗デバイダを介して内部リファレンス出力REFOUTをREFINに接続して下さい。安定性確保とノイズをフィルタするために10nF以上のコンデンサを使ってREFINをGNDにバイパスして下さい。内部リファレンスモードでは、REFOUT、COM、REFP、及びREFNは低インピーダンス出力になります。

バッファされた外部リファレンスモードでは、安定した正確な電圧をREFINに加え、リファレンス電圧レベルを外部で調整して下さい。このモードではCOM、REFP及びREFNが出力になります。REFOUTは、オープンのままにしておくか、又は10k $\Omega$ 以上の抵抗を使ってREFINへ接続することができます。

バッファされない外部リファレンスモードでは、REFINをGNDに接続して下さい。これはREFP、COM、及びREFNのための内部リファレンスバッファを停止します。バッファがシャットダウンされると、これらのノードは高インピーダンスになり、別の外部リファレンス電圧源を介して駆動することが可能です。

## クロック入力(CLK)

MAX1184のCLK入力は、CMOSコンパチブルクロック信号を受け入れます。デバイスのステージ間変換は、外部クロックの立ち上がり立ち下りエッジの繰返し精度に依存するので、低ジッタと高速立ち上がり及び立ち下り時間(2ns以下)のクロックを使って下さい。特に、サンプリングはクロック信号の立ち上がりエッジで発生するので、このエッジはできる限り低いジッタとなる必要があります。どのような大きなアパーチャジッタでも、以下のようにオンチップADCのSNR特性を制約します：

$$\text{SNR}_{\text{dB}} = 20 \times \log_{10} (1 / [2\pi \times f_{\text{IN}} \times t_{\text{AJ}}]),$$

この場合 $f_{\text{IN}}$ はアナログ入力周波数を $t_{\text{AJ}}$ はアパーチャジッタ時間を示しています。

クロックジッタはアンダーサンプリングのアプリケーションで特に重要となります。クロック入力は常にアナログ入力とみなされなければならない、アナログ入力又は他のデジタル信号ラインから離れたルートをとります。

MAX1184のクロック入力は $V_{DD}/2$ に設定された電圧スレッショルドで動作します。50%以外のデューティサイクルのクロック入力は、ハイ及びローの期間に関して「Electrical Characteristics」の中で述べられているような仕様に適合しなければなりません。

## システムタイミング条件

図3には、クロック入力、アナログ入力及びデータ出力の関係が示されています。MAX1184は入力クロックの立上りエッジでサンプルします。チャンネルA及びチャンネルBの出力データは、次の入力クロックの立上りエッジで有効です。出力データはクロックサイクル5つ分の内部待ち時間があり、また図4には内部クロックパラメータとチャンネルA及びBでの有効出力データ間の関係が示されています。

## デジタル出力データ、 出力データフォーマット選択(T/B)、 出カインネーブル(OE)、チャンネル選択(A/B)

全てのデジタル出力、D0A-D9A(チャンネルA)及びD0B-D9B(チャンネルB)はTTL/CMOSロジックコンパチブルです。あるサンプルとそれに対応する出力間にはすべて5クロックサイクル待ち時間があります。出力コードは、ストレートオフセットバイナリ又は単一ピン(T/B)で制御されている2の補数(表1)のいずれかに選択が可能です。オフセットバイナリを選ぶにはT/Bをローに、2の補数出力コードを有効化するにはT/Bをハイにして下さい。デジタル出力D0AからD09A及びD0BからD9Bの容量負荷は、MAX1184のダイミック性能の劣化につながる、アナログ部分にフィードバックされる可能性がある大きなデジタル電流が回避できるように、できるだけ低く(15pF以下)に保持する必要があります。ADCのデジタル出力にバッファを使うことで、重い容量性負荷からデジタル出力を更に隔離することができます。MAX1184のダイナミック性能をさらに改善するためには、小型の直列抵抗(例えば100 $\Omega$ )をMAX1184の近くのデジタル出力経路に追加することで可能です。

図4は出カインネーブルとデータ出力有効並びにパワーダウン/ウェークアップとデータ出力有効間の関係を示しています。

# デュアル10ビット、20Msps、+3V、低電力ADC 内部リファレンス及びパラレル出力付

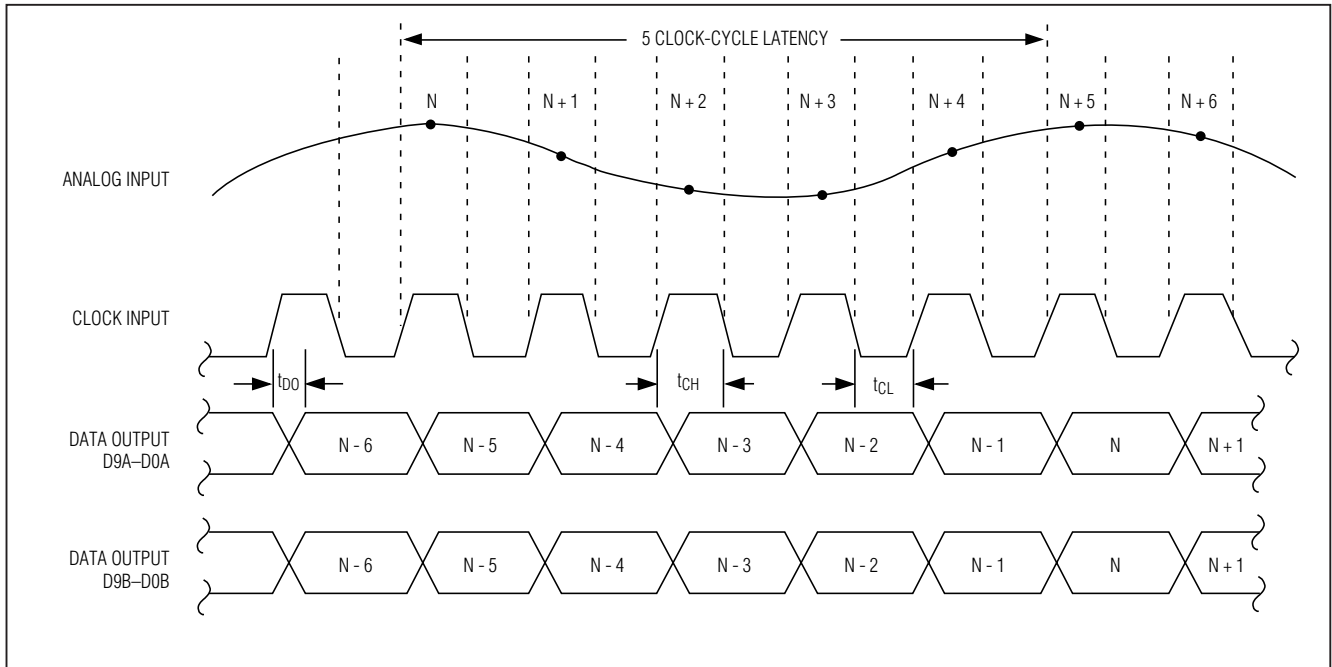


図3. システムタイミング図

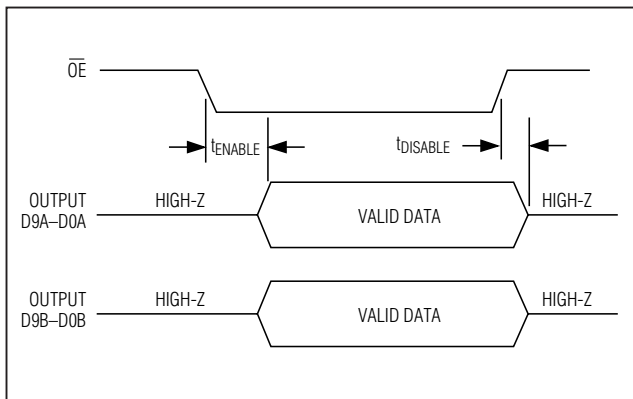


図4. 出力タイミング図

## パワーダウン(PD)及びスリープ(SLEEP)モード

MAX1184はスリープモード及びフルパワーダウンモードの2つの節電モードを提供しています。スリープモード(SLEEP=1)では、リファレンスバイアス回路だけが有効で(両方のADCはディセーブル)電流消費が2.8mAまで低減されます。

フルパワーダウンモード入力は、PDをハイにして下さい。 $\overline{OE}$ が同時にローの場合、パワーダウン前の最後の値ですべての出力がラッチされます。 $\overline{OE}$ をハイにすると、デジタル出力を強制的に高インピーダンス状態にします。

## アプリケーション情報

図5はシングルエンドから差動への2つの変換器を含む標準的なアプリケーション回路を示しています。内部リファレンスはレベルシフトの目的として $V_{DD}/2$ 出力電圧を提供します。入力はバッファされ、その後電圧フォロワとインバータに分離されます。ADC毎に1つのローパスフィルタがアンプに続く高速動作アンプに関連する広帯域ノイズをいくらか抑制します。特殊なアプリケーションに適するようにフィルタ性能を最適化するため、ユーザは $R_{ISO}$ 及び $C_{IN}$ 値を選択することができます。図5のアプリケーションにはリンギング及び振動を防止するために50Ωの $R_{ISO}$ が容量負荷の前に設置されています。22pFの $C_{IN}$ コンデンサが小型バイパスコンデンサとして動作します。

## トランスカップリングの使用

RFトランス(図6)はMAX1184の最適な特性を得るために必要なシングルエンドソース信号を完全な差動信号に変換する優れた解決法を提供します。トランスのセンタータップをCOMに接続することによって、 $V_{DD}/2$ のDCレベルシフトが入力に提供されます。1:1のトランスが示されていますが、駆動条件を低減するために昇圧トランスを選択することも可能です。例えばオペアンプのような入力ドライバからの低減された信号スイングも全体的な歪みを改善します。

# デュアル10ビット、20Msps、+3V、低電力ADC 内部リファレンス及びパラレル出力付

表1. 差動入力用のMAX1184出力コード

DIFFERENTIAL INPUT VOLTAGE*	DIFFERENTIAL INPUT	STRAIGHT OFFSET BINARY T/B = 0	TWO'S COMPLEMENT T/B = 1
$V_{REF} \times 511/512$	+FULL SCALE - 1LSB	11 1111 1111	01 1111 1111
$V_{REF} \times 1/512$	+ 1 LSB	10 0000 0001	00 0000 0001
0	Bipolar Zero	10 0000 0000	00 0000 0000
$-V_{REF} \times 1/512$	- 1 LSB	01 1111 1111	11 1111 1111
$-V_{REF} \times 511/512$	- FULL SCALE + 1 LSB	00 0000 0001	10 0000 0001
$-V_{REF} \times 512/512$	- FULL SCALE	00 0000 0000	10 0000 0000

\* $V_{REF} = V_{REFP} - V_{REFN}$

通常MAX1184は、特にとても高い入力周波数においてはシングルエンド駆動よりも、完全差動入力信号のほうが優れたSFDR及びTHDを提供します。差動入力モードでは、偶数の高調波は、両入力(INA+、INA-及び/またINB+、INB-)のバランスがとれている時より低くなり、各ADC入力はシングルエンドモードに比べて僅か半分の信号スイングを必要とするだけになります。

## シングルエンドAC結合入力信号

図7はAC結合のシングルエンドアプリケーションを示しています。MAX4108のようなアンプは入力信号の完全性を維持するために、高速、高帯域幅、低ノイズ、及び低歪みを提供します。

## 標準QAM復調アプリケーション

デジタル通信のアプリケーション用最も頻繁に使用される変調のテクニックは直交振幅変調(QAM)でしょう。スペクトラムに基づいたシステムによく見られるQAM信号は振幅と位相の両方で変調された搬送周波数を表しています。トランスミッタでは、ベースバンドと直交出力に変調し、ローカル発振器とそれに続く昇圧コンバータによってQAM信号の発生が可能です。結果はQ成分が同相成分に関して90度位相シフトした同相(I)及び直交(Q)の搬送波成分となります。レシーバではQAM信号はI及びQ成分に分割されます。これは実質的に逆の変調プロセスを表しています。図8はデュアルマッチされた+3V、10ビットADC(MAX1184)及びMAX2451直交復調器を使って、I及びQベースバンド信号を復元しデジタル化するために、アナログ領域で実行される復調プロセスを示しています。MAX1184によってデジタル化される前に、ミックスダウンされた信号成分はナイキスト又はバルスシェーピングフィルタのような、マッチしたアナログフィルタを使ってフィルタすることができます。これらを実行することにより、不必要なイメージをミキシングプロセスから取り除き、

全体の信号対ノイズ比の(SNR)性能を強化し、シンボルの間の干渉を最小化します。

## 接地、バイパス及び基板のレイアウト

MAX1184は、高速基板レイアウト設計の技術を必要とします。全てのバイパスコンデンサは、インダクタンスが最小となるように表面実装のデバイスを使い、デバイスにできる限り近接して、できればADCと同じ側に配置します。2つの並列0.1µFセラミックコンデンサ及び2.2µFバイポーラコンデンサを使って $V_{DD}$ 、REFP、REFN、及びCOMをGNDへバイパスします。同じルールに従って、デジタル電源( $OV_{DD}$ )をOGNDへバイパスします。グラウンドとパワープレーンが分離した多層基板は信号の完全性を最高レベルにします。ADCのパッケージ上でアナロググラウンド(GND)とデジタル出力駆動グラウンド(OGND)の物理的な位置が一致するように配置されたスプリットグラウンドプレーンを使用することを考慮して下さい。ノイズの多いグラウンド電流がアナロググラウンドプレーンと干渉しないように、2つのグラウンドプレーンは一点で接合されるべきです。この接続の理想的な位置は最適な結果を生む2つのグラウンド平面間のギャップに沿った一点に、実験的に決定することが可能です。この接続は低い抵抗値の表面実装抵抗(1Ω~5Ω)、フェライトビーズ又は直接短絡を使って行って下さい。

代替として、グラウンドプレーンがノイズの多いデジタルシステムグラウンドプレーン(例えば、ダウンストリームの出力バッファ又はDSPグラウンドプレーン)から十分に隔離されている場合、全てのグラウンドピンが同じグラウンドプレーンを共有することが可能です。高速デジタル信号のトレースをどちらかのチャンネルの敏感なアナログトレースから離して経路を定めて下さい。チャンネル間のクロストークを最小限にするために、それぞれのコンバータへのアナログ入力ラインが隔離されていることを確認して下さい。信号の配線を短くして90度の回転がおこらないようにして下さい。

# デュアル10ビット、20Msps、+3V、低電力ADC 内部リファレンス及びパラレル出力付

MAX1184

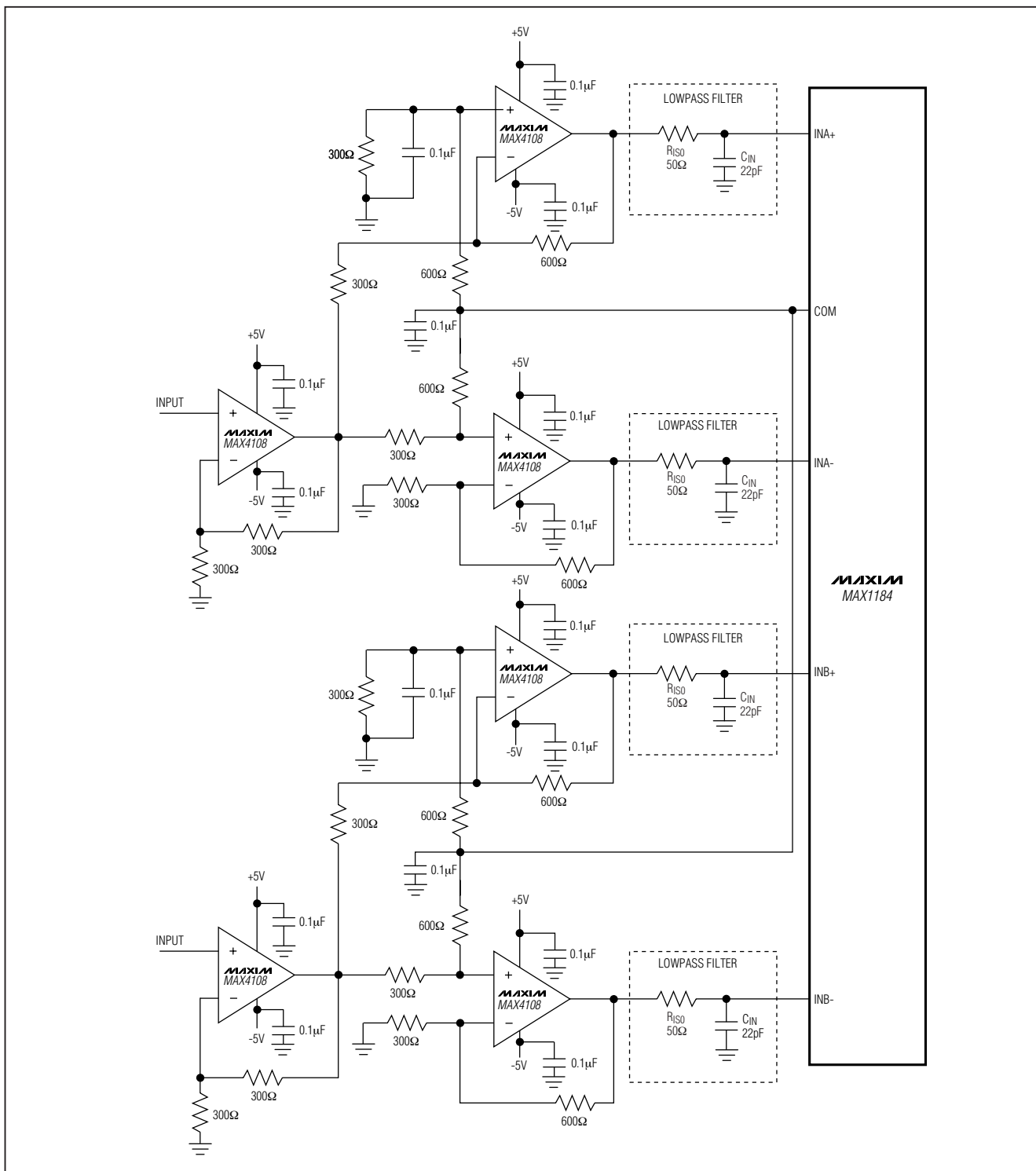


図5. シングルエンドから差動変換用の標準アプリケーション



# デュアル10ビット、20Msps、+3V、低電力ADC 内部リファレンス及びパラレル出力付

MAX1184

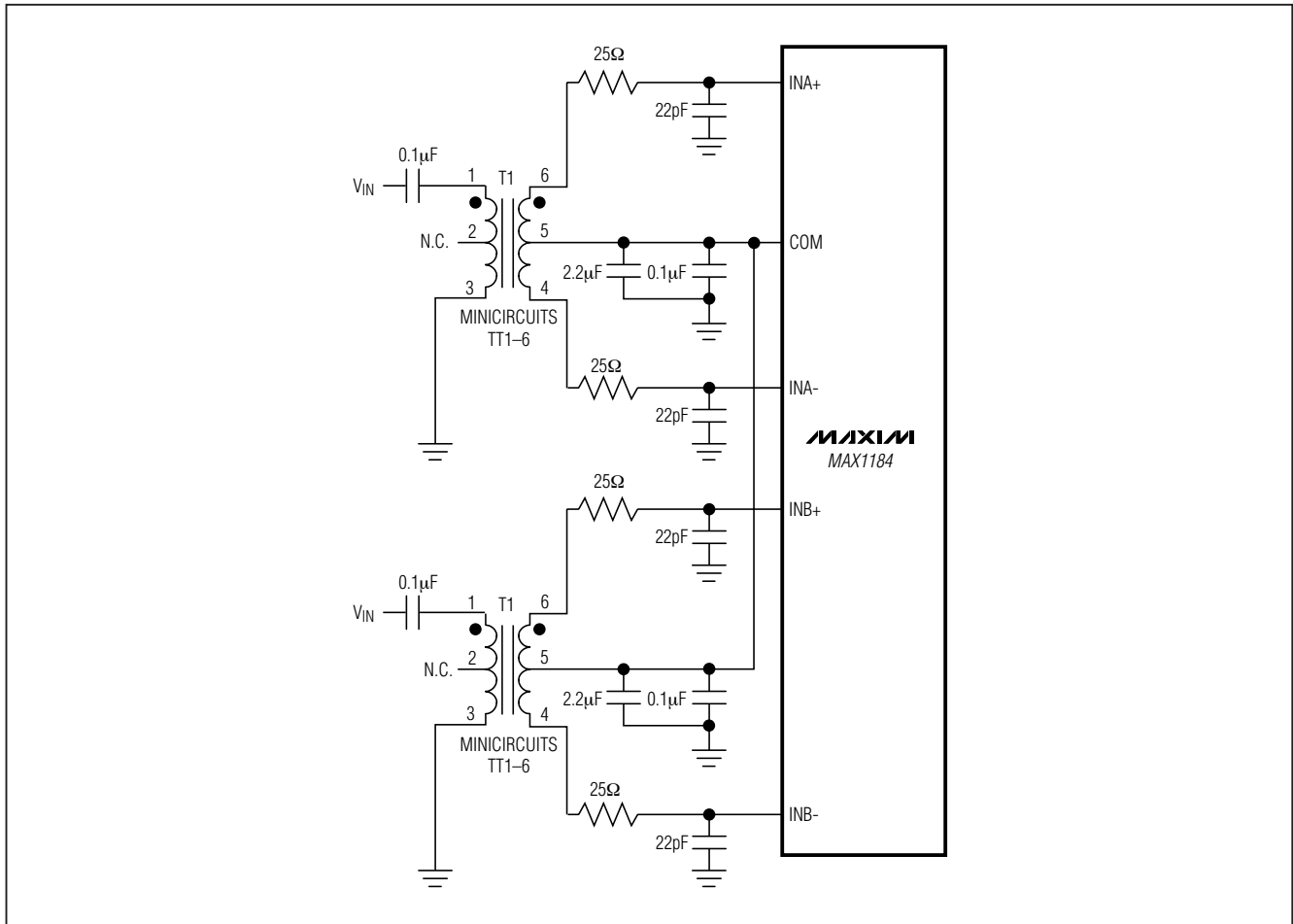


図6. トランス結合入力駆動

## スタティックパラメータの定義

### 積分非直線性(INL)

積分非直線性は直線からの実際の伝達関数上の偏差値です。この直線はオフセットと利得誤差が調整された後の最もフィットするベスト・ストレートラインか、又は伝達関数の最終点を結んだエンドポイントラインである可能性があります。MAX1184のためのスタティック直線性パラメータはベストストレートライン・フィット法を使って計測されます。

### 微分非直線性(DNL)

微分非直線性は実際のステップ幅と1LSBの理想値との差です。DNL誤差規格は、ミッシングコード及び単調性伝達関数が1LSB以下であることを保証します。

## ダイナミックパラメータの定義

### アパーチャジッタ

図9はアパーチャ遅延のサンプル間の変動であるアパーチャジッタ( $t_{AJ}$ )を示しています。

### アパーチャ遅延

アパーチャ遅延( $t_{AD}$ )はサンプリングクロックの立下りエッジと実際のサンプルが取得される瞬間の時間を意味します(図9)。

# デュアル10ビット、20Msps、+3V、低電力ADC 内部リファレンス及びパラレル出力付

MAX1184

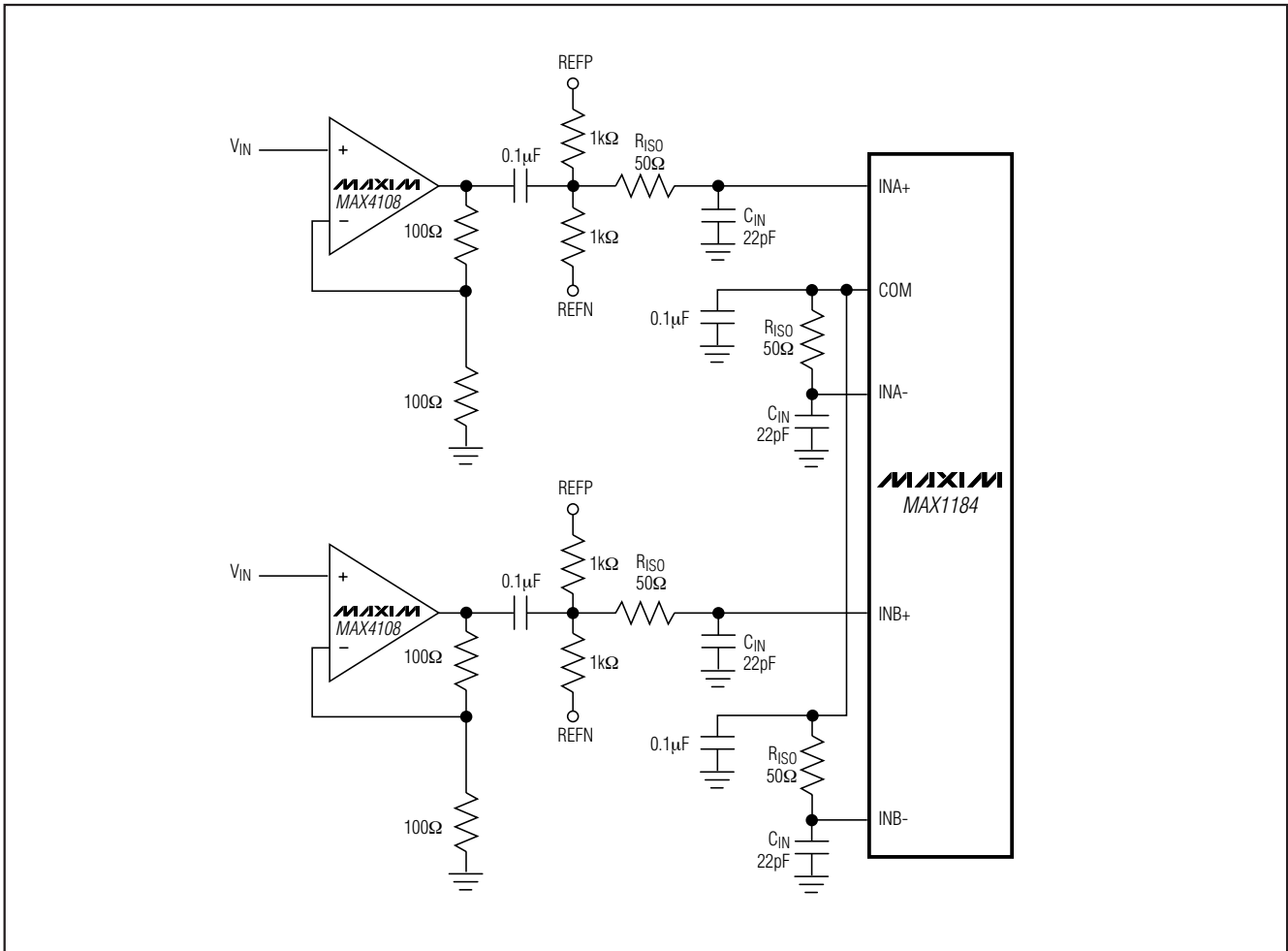


図7. シングルエンドAC結合入力駆動にオペアンプを使用

## 信号対ノイズ比(SNR)

デジタルサンプルから完璧に再構築された波形の場合、理論的な最高SNRはフルスケールアナログ入力(RMS値)とRMS量子化誤差(残余誤差)の比率です。

理想的で理論的な最小アナログトゥデジタルノイズは量子化誤差のみに起因し、ADC分解能(Nビット)の直接的な結果として生じます。

$$\text{SNR}_{\text{dB}[\text{max}]} = 6.02\text{dB} \times N + 1.76\text{dB}$$

実際には、量子化ノイズの他にもサーマルノイズ、リファレンス電圧ノイズ、クロックジッタなどのノイズ源があります。SNRを計算するには基本波、最初の5つの高調波、及びDCオフセットを差し引いた全てのスペクトラム成分を含むRMS信号のRMSノイズに対する比率をとります。

## 信号対ノイズ+ 歪み(SINAD)

SINADは基本周波数とDCオフセットを差し引いた全てのスペクトラム成分とRMS信号の比率で計算されます。

## 有効ビット数(ENOB)

ENOBは特定の入力周波数及びサンプリングレートでのADCのダイナミック性能を規定します。量子化ノイズのみからなる誤差が理想的なADC誤差です。ENOBは次のように計算されます。

$$\text{ENOB} = \frac{\text{SINAD}_{\text{dB}} - 1.76\text{dB}}{6.02\text{dB}}$$

# デュアル10ビット、20Msps、+3V、低電力ADC 内部リファレンス及びパラレル出力付

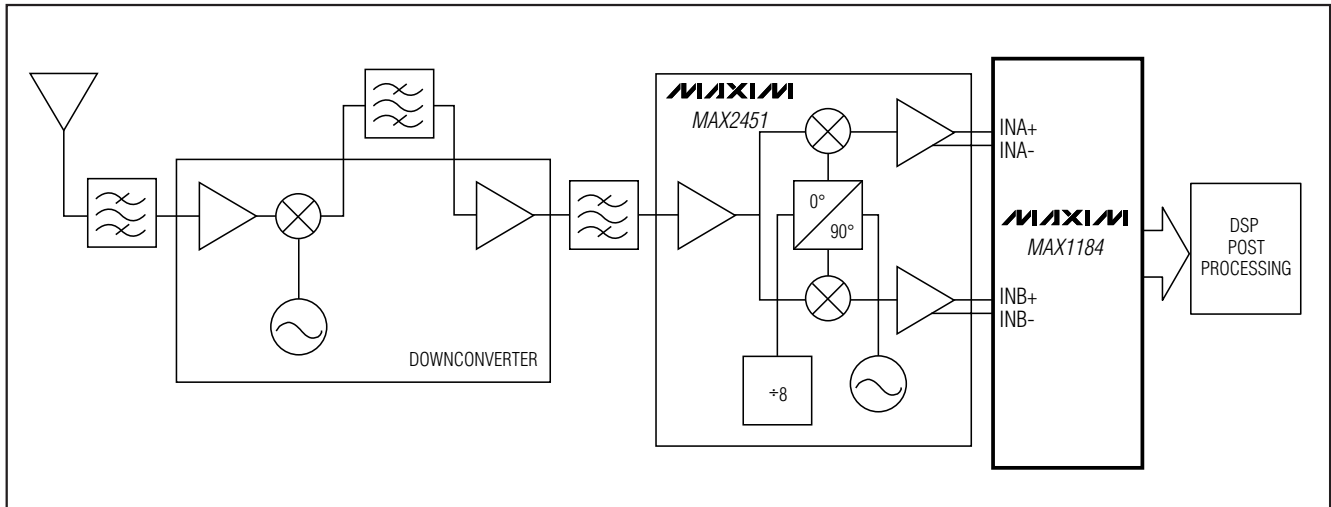


図8. MAX1184を使った標準QAMアプリケーション

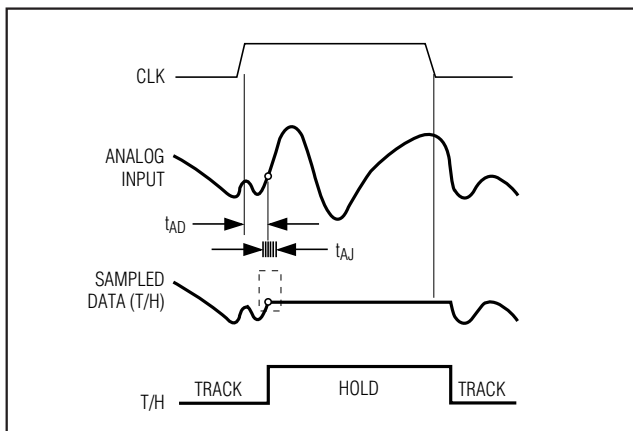


図9. T/Hアパーチャタイミング

## 全高調波歪み(THD)

THDは標準的に入力信号の最初の高調波の4つのRMS和と基本波そのものの比率です。これは次のように表されます。

$$THD = 20 \times \log_{10} \left( \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2}}{V_1} \right)$$

この場合、 $V_1$ は基本波の振幅で、 $V_2$ から $V_5$ は2次から5次の高調波の振幅です。

## スプリアスフリーダイナミックレンジ(SFDR)

SFDRは基本波(最大信号成分)のRMS振幅と次に大きいスプリアス成分(DCオフセットを除く)のRMS値をデシベルで表した比率です。

## 相互変調歪み(IMD)

ツートーンIMDは最悪3次(又はそれ以上)の相互変調歪みの積に対するいずれかの入力トーンをデシベルで表した比率です。個別の入力トーンのレベルは-6.5dBフルスケールで、その外圍は-0.5dBフルスケールです。

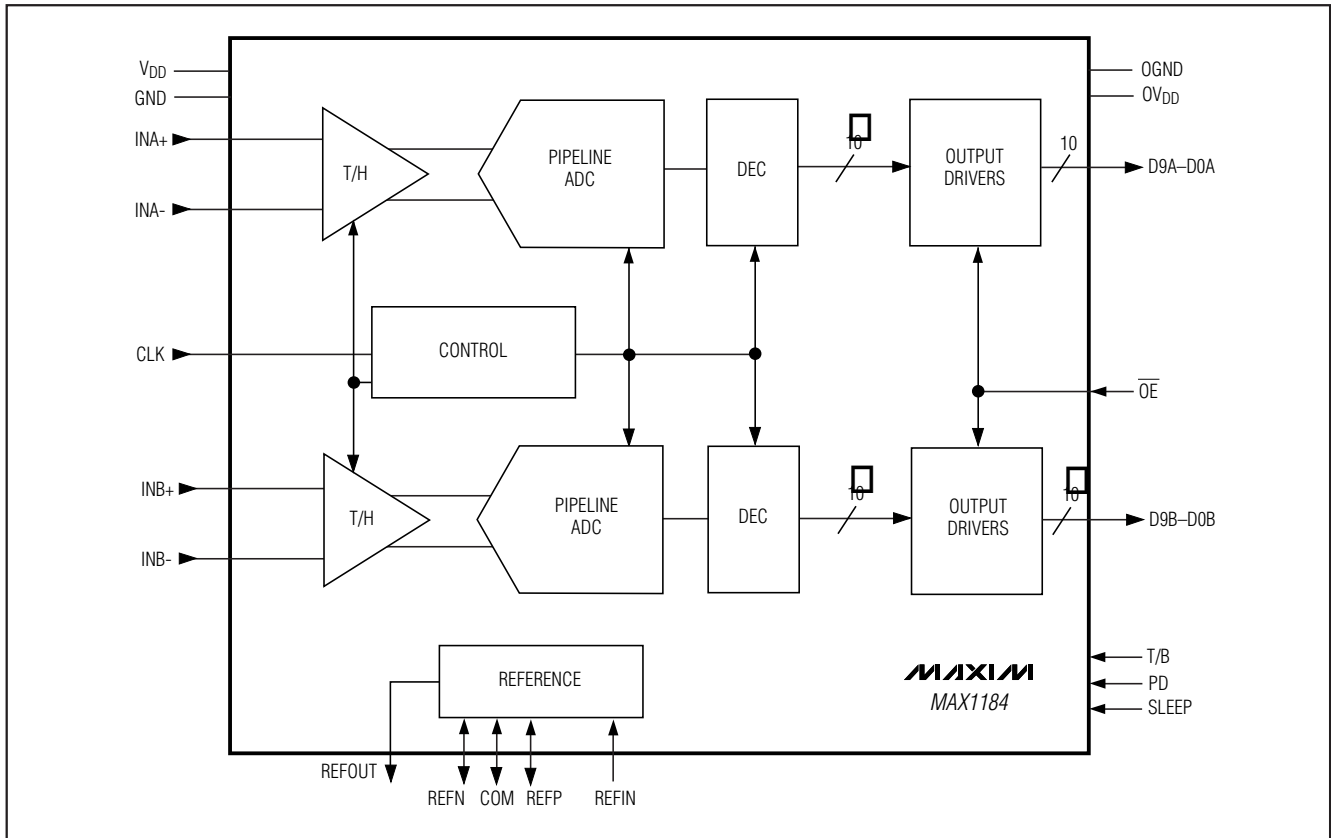
## チップ情報

TRANSISTOR COUNT: 10,811  
PROCESS: CMOS

# デュアル10ビット、20Msps、+3V、低電力ADC 内部リファレンス及びパラレル出力付

MAX1184

## ファンクションダイアグラム

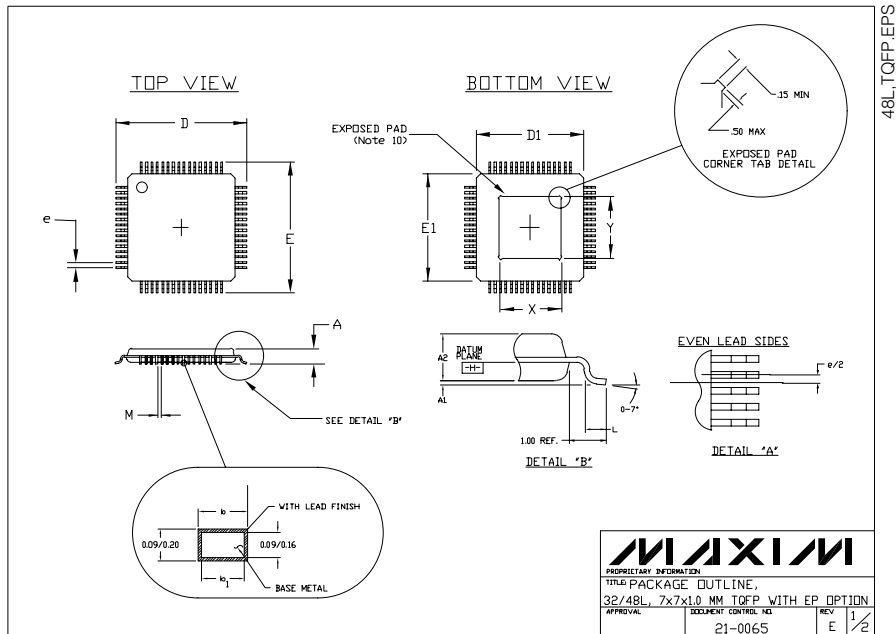


# デュアル10ビット、20Msps、+3V、低電力ADC 内部リファレンス及びパラレル出力付

MAX1184

## パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、[japan.maxim-ic.com/packages](http://japan.maxim-ic.com/packages)をご参照下さい。)



NOTES:

- ALL DIMENSIONS AND TOLERANCING CONFORM TO ANSI Y14.5-1982.
- DATUM PLANE [A-A] IS LOCATED AT MOLD PARTING LINE AND COINCIDENT WITH LEAD, WHERE LEAD EXITS PLASTIC BODY AT BOTTOM OF PARTING LINE.
- DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE MOLD PROTRUSION IS 0.254 MM ON D1 AND E1 DIMENSIONS.
- THE TOP OF PACKAGE IS SMALLER THAN THE BOTTOM OF PACKAGE BY 0.15 MILLIMETERS.
- DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08 MM TOTAL IN EXCESS OF THE b DIMENSION AT MAXIMUM MATERIAL CONDITION.
- CONTROLLING DIMENSION: MILLIMETER.
- THIS OUTLINE CONFORMS TO JEDEC PUBLICATION 95 REGISTRATION MO-136, VARIATIONS AC AND AE.
- LEADS SHALL BE COPLANAR WITHIN .004 INCH.
- EXPOSED DIE PAD SHALL BE COPLANAR WITH BOTTOM OF PACKAGE WITHIN 2 MILS (.05 MM).
- DIMENSIONS X & Y APPLY TO EXPOSED PAD (EP) VERSIONS ONLY. SEE INDIVIDUAL PRODUCT DATASHEET TO DETERMINE IF A PRODUCT USES EXPOSED PAD PACKAGE.

SYMBOL	JEDEC VARIATION					
	ALL DIMENSIONS IN MILLIMETERS					
	AC			AE		
	MIN.	NDM.	MAX.	MIN.	NDM.	MAX.
A	~	~	1.20	~	~	1.20
A1	0.05	0.10	0.15	0.05	0.10	0.15
A2	0.95	1.00	1.05	0.95	1.00	1.05
D	9.00 BSC.			9.00 BSC.		
D1	7.00 BSC.			7.00 BSC.		
E	9.00 BSC.			9.00 BSC.		
E1	7.00 BSC.			7.00 BSC.		
L	0.45	0.60	0.75	0.45	0.60	0.75
M	0.15	~	~	0.14	~	~
N	32			48		
e	0.80 BSC.			0.50 BSC.		
b	0.30	0.37	0.45	0.17	0.22	0.27
b1	0.30	0.35	0.40	0.17	0.20	0.23
MX	3.80	3.50	3.80	3.70	4.00	4.30
MY	3.20	3.50	3.80	3.70	4.00	4.30

\* EXPOSED PAD (Note 10)

マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16(ホリゾン1ビル)  
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 \_\_\_\_\_ 21

© 2001 Maxim Integrated Products, Inc. All rights reserved. **MAXIM** is a registered trademark of Maxim Integrated Products, Inc.