

単一電源、低消費電力、 2チャンネル、シリアル8ビットADC

概要

MAX1108/MAX1109は、内部にトラック/ホールド(T/H)、電圧リファレンス、クロック及びシリアルインタフェースを備えた低電力8ビットデュアルチャンネルアナログデジタルコンバータ(ADC)です。MAX1108は+2.7Vから+3.6Vまでの単一電源で動作し、消費電流は僅か105 μ Aです。MAX1109は+4.5Vから+5.5Vまでの単一電源で動作し、消費電流は僅か130 μ Aとなっています。アナログ入力は、ソフトウェアによりユニポーラ/バイポーラ及びシングルエンド/差動動作に設定でき、さらにバッテリー監視機能も備えています。

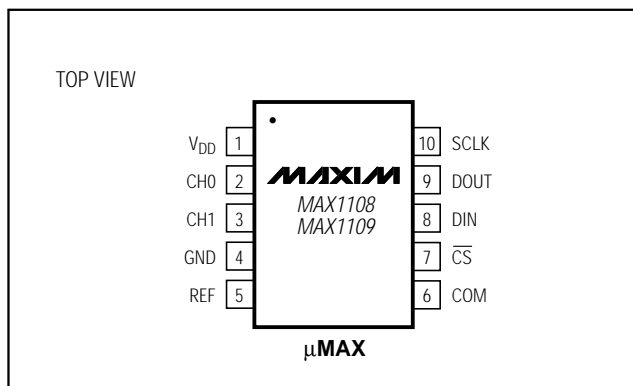
フルスケールアナログ入力範囲は、+2.048V(MAX1108)又は+4.096V(MAX1109)の内部リファレンス又は外部から印加された1V \sim V_{DD}の範囲のリファレンスにより決定されます。MAX1108/MAX1109はソフトウェアパワーダウンモードの機能を備えており、ICの動作停止中に消費電流を0.5 μ Aまで低減します。4線のシリアルインタフェースで、SPI™、QSPI™、あるいはMICROWIRE™機器と、外部のロジックなしで直接接続できます。50kpspsまでの変換は、内部クロックまたは外部のシリアルインタフェースクロックのいずれかで実行されます。

MAX1108及びMAX1109は、面積がプラスチック8ピンDIPの僅か20%の10ピン μ MAXパッケージで供給されています。

アプリケーション

- ポータブルデータロギング
- ハンドヘルド測定機器
- 医療機器
- システム診断
- 太陽電池駆動のリモート機器
- 4~20mA駆動のリモート機器
- 受信信号強度インジケータ

ピン配置



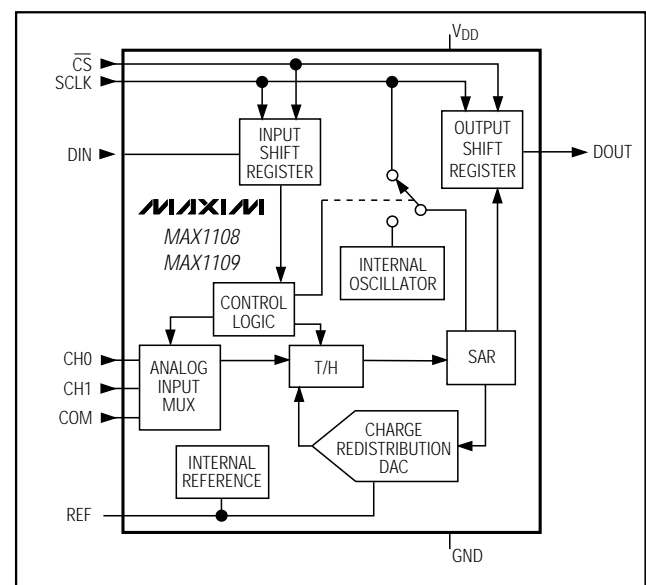
特長

- ◆ 単一電源動作：+2.7V \sim +3.6V(MAX1108)
+4.5V \sim +5.5V(MAX1109)
- ◆ 低電力：105 μ A(+3V電源、50kpsps)
0.5 μ A(パワーダウンモード)
- ◆ ユニポーラ又はバイポーラ入力：ソフトウェアで設定
- ◆ 入力電圧範囲：0 \sim V_{DD}
- ◆ 内部トラック/ホールド
- ◆ 内部リファレンス：+2.048V(MAX1108)
+4.096V(MAX1109)
- ◆ リファレンス入力レンジ：1V \sim V_{DD}
- ◆ 4線シリアルインタフェース：
SPI/QSPI/MICROWIREコンパチブル
- ◆ V_{DD}監視モード
- ◆ パッケージ：小型10ピン μ MAXパッケージ

型番

PART	TEMP RANGE	PIN-PACKAGE
MAX1108CUB	0°C to +70°C	10 μ MAX
MAX1108EUB	-40°C to +85°C	10 μ MAX
MAX1109CUB	0°C to +70°C	10 μ MAX
MAX1109EUB	-40°C to +85°C	10 μ MAX

ファンクションダイアグラム



SPI及びQSPIはMotorola, Inc.の商標です。MICROWIREはNational Semiconductor Corp.の商標です。

単一電源、低消費電力、 2チャンネル、シリアル8ビットADC

MAX1108/MAX1109

ABSOLUTE MAXIMUM RATINGS

V_{DD} to GND	-0.3V to +6V	Operating Temperature Ranges	
CH0, CH1, COM, REF, DOUT to GND	-0.3V to (V_{DD} + 0.3V)	MAX110_CUB	0°C to +70°C
DIN, SCLK, CS to GND	-0.3V to +6V	MAX110_EUB	-40°C to +85°C
Continuous Power Dissipation (T_A = +70°C)		Storage Temperature Range	-65°C to +150°C
10-pin μ MAX (derate 5.6mW/°C above +70°C)	444mW	Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS—MAX1108

(V_{DD} = +2.7V to +3.6V; unipolar input mode; COM = GND, f_{SCLK} = 500kHz, external clock mode (50% duty cycle); 10 clocks/conversion cycle (50ksps); 1 μ F capacitor at REF, external +2.048V reference at REF; T_A = T_{MIN} to T_{MAX} ; unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY						
Resolution			8			bits
Relative Accuracy (Note 1)	INL	V_{DD} = 2.7V to 3.6V		± 0.15	± 0.5	LSB
		V_{DD} = 5.5V (Note 2)		± 0.2		
Differential Nonlinearity	DNL	No missing codes over temperature			± 1	LSB
Offset Error		V_{DD} = 2.7V to 3.6V		± 0.2	± 1	LSB
		V_{DD} = 5.5V (Note 2)		± 0.5		
Gain Error (Note 3)					± 1	LSB
Gain Temperature Coefficient				± 0.8		ppm/°C
Total Unadjusted Error	TUE	T_A = +25°C			± 1	LSB
		T_A = T_{MIN} to T_{MAX}		± 0.5		
Channel-to-Channel Offset Matching				± 0.1		LSB
V_{DD} / 2 Sampling Accuracy				50		mV
DYNAMIC PERFORMANCE (10kHz sine-wave input, 2.048Vp-p, 50ksps, 500kHz external clock)						
Signal-to-Noise Plus Distortion	SINAD			49		dB
Total Harmonic Distortion (up to the 5th harmonic)	THD			-70		dB
Spurious-Free Dynamic Range	SFDR			68		dB
Small-Signal Bandwidth	BW-3dB	-3dB rolloff		1.5		MHz
Full-Power Bandwidth				0.8		MHz
ANALOG INPUTS						
Input Voltage Range (Note 4)	$V_{CH_}$	Unipolar input, $V_{COM} = 0$	0		V_{REF}	V
		Bipolar input, V_{COM} or $V_{CH1} = V_{REF} / 2$, referenced to COM or CH1			$\pm V_{REF} / 2$	
Multiplexer Leakage Current		On/off-leakage current, V_{COM} or $V_{CH} = 0$ or V_{DD}		± 0.01	± 1	μ A
Input Capacitance	C_{IN}			18		pF

単一電源、低消費電力、 2チャンネル、シリアル8ビットADC

MAX1108/MAX1109

ELECTRICAL CHARACTERISTICS—MAX1108 (continued)

($V_{DD} = +2.7V$ to $+3.6V$; unipolar input mode; $COM = GND$, $f_{SCLK} = 500kHz$, external clock mode (50% duty cycle); 10 clocks/conversion cycle (50ksps); $1\mu F$ capacitor at REF, external $+2.048V$ reference at REF; $T_A = T_{MIN}$ to T_{MAX} ; unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
TRACK/HOLD							
Conversion Time (Note 5)	t_{CONV}	Internal clock			35	μs	
		External clock, 500kHz, 10 sclks/conv	20				
Track/Hold Acquisition Time	t_{ACQ}	External clock, 2MHz	1			μs	
Aperture Delay				10		ns	
Aperture Jitter				<50		ps	
Internal Clock Frequency				400		kHz	
External Clock Frequency Range			50		500	kHz	
		For data transfer only			2	MHz	
INTERNAL REFERENCE							
Output Voltage	V_{REF}		1.968	2.048	2.128	V	
REF Short-Circuit Current	I_{REFSC}	(Note 6)		150		μA	
REF Tempco				± 50		ppm/ $^\circ C$	
Load Regulation		0 to 0.5mA (Note 7)		2.5		mV	
Capacitive Bypass at REF			1			μF	
EXTERNAL REFERENCE							
Input Voltage Range			1.0	$V_{DD} + 0.05$		V	
Input Current		+2.048V at REF, full scale, 500kHz external clock		1	20	μA	
POWER REQUIREMENTS							
Supply Voltage	V_{DD}		2.7	3	5.5	V	
Supply Current (Notes 2, 8)	I_{DD}	$V_{DD} = 2.7V$ to $3.6V$, $C_L = 10pF$	Internal reference		105	250	μA
			External reference		70		
		$V_{DD} = 5.5V$, $C_L = 10pF$	Internal reference		130		
			External reference		95		
		Power down, $V_{DD} = 2.7V$ to $3.6V$ (Note 9)		0.5	2.5		
Power-Supply Rejection (Note 10)	PSR	Full-scale input, $V_{DD} = 2.7V$ to $3.6V$		± 0.4	± 4	mV	
DIGITAL INPUTS (\overline{DIN} , \overline{SCLK} , and \overline{CS})							
Threshold Voltage High	V_{IH}	$V_{DD} \leq 3.6V$			2	V	
		$V_{DD} > 3.6V$			3	V	
Threshold Voltage Low	V_{IL}		0.8			V	
Input Hysteresis	V_{HYST}			0.2		V	
Input Current High	I_{IH}				± 1	μA	
Input Current Low	I_{IL}				± 1	μA	
Input Capacitance	C_{IN}			15		pF	

単一電源、低消費電力、 2チャンネル、シリアル8ビットADC

MAX1108/MAX1109

ELECTRICAL CHARACTERISTICS—MAX1108 (continued)

($V_{DD} = +2.7V$ to $+3.6V$; unipolar input mode; $COM = GND$, $f_{SCLK} = 500kHz$, external clock mode (50% duty cycle); 10 clocks/conversion cycle (50ksps); $1\mu F$ capacitor at REF, external $+2.048V$ reference at REF; $T_A = T_{MIN}$ to T_{MAX} ; unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL OUTPUT (DOUT)						
Output High Voltage	V_{OH}	$I_{SOURCE} = 0.5mA$	$V_{DD} - 0.5$			V
Output Low Voltage	V_{OL}	$I_{SINK} = 5mA$			0.4	V
		$I_{SINK} = 16mA$		0.8		V
Three-State Leakage Current	I_L	$\overline{CS} = V_{DD}$		± 0.01	± 10	μA
Three-State Output Capacitance	C_{OUT}	$\overline{CS} = V_{DD}$		15		pF
TIMING CHARACTERISTICS (Figures 8, 9, and 10)						
Acquisition Time	t_{ACQ}		1.0			μs
DIN to SCLK Setup Time	t_{DS}		100			ns
DIN to SCLK Hold Time	t_{DH}		0			ns
SCLK Fall to Output Data Valid	t_{DO}	Figure 1, $C_{LOAD} = 100pF$	20		200	ns
\overline{CS} Fall to Output Enable	t_{DV}	Figure 1, $C_{LOAD} = 100pF$			240	ns
\overline{CS} Rise to Output Disable	t_{TR}	Figure 2, $C_{LOAD} = 100pF$			240	ns
\overline{CS} to SCLK Rise Setup	t_{CSS}		100			ns
\overline{CS} to SCLK Rise Hold	t_{CSH}		0			ns
SCLK Pulse Width High	t_{CH}		200			ns
SCLK Pulse Width Low	t_{CL}		200			ns
Wake-Up Time	t_{WAKE}	External reference		20		μs
		Internal reference (Note 11)		12		ms

ELECTRICAL CHARACTERISTICS—MAX1109

($V_{DD} = +4.5V$ to $+5.5V$; unipolar input mode; $COM = GND$, $f_{SCLK} = 500kHz$, external clock (50% duty cycle); 10 clocks/conversion cycle (50ksps); $1\mu F$ capacitor at REF, external $+4.096V$ reference at REF; $T_A = T_{MIN}$ to T_{MAX} ; unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY						
Resolution			8			bits
Relative Accuracy (Note 1)	INL	$V_{DD} = 4.5V$ to $5.5V$		± 0.15	± 0.5	LSB
Differential Nonlinearity	DNL	No missing codes over temperature			± 1	LSB
Offset Error		$V_{DD} = 4.5V$ to $5.5V$		± 0.2	± 1	LSB
Gain Error (Note 3)					± 1	LSB
Gain Temperature Coefficient				± 0.8		ppm/ $^\circ C$
Total Unadjusted Error	TUE	$T_A = +25^\circ C$			± 1	LSB
		$T_A = T_{MIN}$ to T_{MAX}		± 0.5		
Channel-to-Channel Offset Matching				± 0.1		LSB
$V_{DD} / 2$ Sampling Accuracy				50		mV

単一電源、低消費電力、 2チャンネル、シリアル8ビットADC

MAX1108/MAX1109

ELECTRICAL CHARACTERISTICS—MAX1109 (continued)

($V_{DD} = +4.5V$ to $+5.5V$; unipolar input mode; $COM = GND$, $f_{SCLK} = 500kHz$, external clock (50% duty cycle); 10 clocks/conversion cycle (50ksps); $1\mu F$ capacitor at REF, external $+4.096V$ reference at REF; $T_A = T_{MIN}$ to T_{MAX} ; unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DYNAMIC PERFORMANCE (10kHz sine-wave input, 4.096Vp-p, 50ksps, 500kHz external clock)						
Signal-to-Noise Plus Distortion	SINAD			49		dB
Total Harmonic Distortion (up to the 5th harmonic)	THD			-70		dB
Spurious Free Dynamic Range	SFDR			68		dB
Small-Signal Bandwidth	BW-3dB	-3dB rolloff		1.5		MHz
Full-Power Bandwidth				0.8		MHz
ANALOG INPUTS						
Input Voltage Range (Note 4)	$V_{CH_}$	Unipolar input, $V_{COM} = 0$	0	V_{REF}		V
		Bipolar input, V_{COM} or $V_{CH1} = V_{REF} / 2$, referenced to COM or CH1		$\pm V_{REF} / 2$		
Multiplexer Leakage Current		On/off-leakage current, $V_{CH} = 0$ or V_{DD}		± 0.01	± 1	μA
Input Capacitance	C_{IN}			18		pF
TRACK/HOLD						
Conversion Time (Note 5)	t_{CONV}	Internal clock			35	μs
		External clock, 500kHz, 10 sclks/conv	20			
Track/Hold Acquisition Time	t_{ACQ}	External clock, 2MHz	1			μs
Aperture Delay				10		ns
Aperture Jitter				<50		ps
Internal Clock Frequency				400		kHz
External Clock Frequency Range			50		500	kHz
		For data transfer only			2	MHz
INTERNAL REFERENCE						
Output Voltage	V_{REF}		3.936	4.096	4.256	V
REF Short-Circuit Current	I_{REFSC}			5		mA
REF Tempco		0 to 0.5mA (Note 7)		± 50		ppm/ $^\circ C$
Load Regulation				2.5		mV
Capacitive Bypass at REF			1			μF
EXTERNAL REFERENCE						
Input Voltage Range			1.0	$V_{DD} + 0.05$		V
Input Current		+4.096V at REF, full scale, 500kHz external clock		1	20	μA

単一電源、低消費電力、 2チャンネル、シリアル8ビットADC

MAX1108/MAX1109

ELECTRICAL CHARACTERISTICS—MAX1109 (continued)

($V_{DD} = +4.5V$ to $+5.5V$; unipolar input mode; $COM = GND$, $f_{SCLK} = 500kHz$, external clock (50% duty cycle); 10 clocks/conversion cycle (50kpsps); $1\mu F$ capacitor at REF, external $+4.096V$ reference at REF; $T_A = T_{MIN}$ to T_{MAX} ; unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
POWER REQUIREMENTS							
Supply Voltage	V_{DD}		4.5	5	5.5	V	
Supply Current (Notes 2, 8)	I_{DD}	$V_{DD} = 4.5V$ to $5.5V$, $C_L = 10pF$, full-scale input	Internal reference		130	250	μA
			External reference		95		
		Power down, $V_{DD} = 4.5V$ to $5.5V$ (Note 9)		0.5	2.5		
Power-Supply Rejection (Note 10)	PSR	External reference = $+4.096V$, full-scale input, $V_{DD} = 4.5V$ to $5.5V$		± 0.4	± 4	mV	
DIGITAL INPUTS (\overline{DIN} , \overline{SCLK} , and \overline{CS})							
Threshold Voltage High	V_{IH}				3	V	
Threshold Voltage Low	V_{IL}		0.8			V	
Input Hysteresis	V_{HYST}			0.2		V	
Input Current High	I_{IH}				± 1	μA	
Input Current Low	I_{IL}				± 1	μA	
Input Capacitance	C_{IN}			15		pF	
DIGITAL OUTPUT (DOUT)							
Output High Voltage	V_{OH}	$I_{SOURCE} = 0.5mA$	$V_{DD} - 0.5$			V	
Output Low Voltage	V_{OL}	$I_{SINK} = 5mA$			0.4	V	
		$I_{SINK} = 16mA$	0.8				
Three-State Leakage Current	I_L	$\overline{CS} = V_{DD}$		± 0.01	± 10	μA	
Three-State Output Capacitance	C_{OUT}	$\overline{CS} = V_{DD}$		15		pF	
TIMING CHARACTERISTICS (Figures 8, 9, and 10)							
Acquisition Time	t_{ACQ}		1.0			μs	
DIN to SCLK Setup Time	t_{DS}		100			ns	
DIN to SCLK Hold Time	t_{DH}		0			ns	
SCLK Fall to Output Data Valid	t_{DO}	Figure 1, $C_{LOAD} = 100pF$	20		200	ns	
\overline{CS} Fall to Output Enable	t_{DV}	Figure 1, $C_{LOAD} = 100pF$			240	ns	
\overline{CS} Rise to Output Disable	t_{TR}	Figure 2, $C_{LOAD} = 100pF$			240	ns	

単一電源、低消費電力、 2チャンネル、シリアル8ビットADC

MAX1108/MAX1109

ELECTRICAL CHARACTERISTICS—MAX1109 (continued)

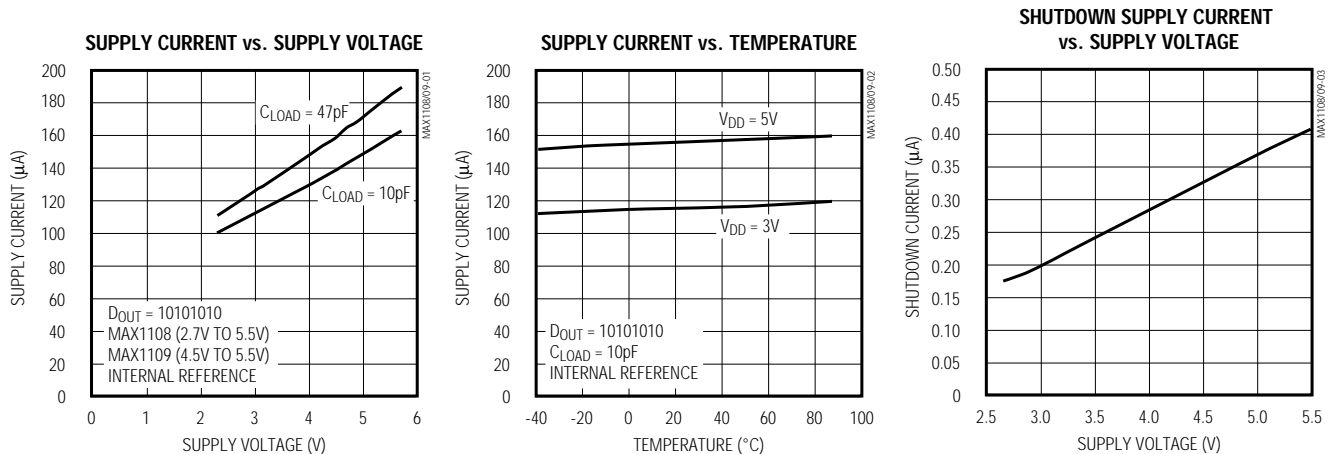
($V_{DD} = +4.5V$ to $+5.5V$; unipolar input mode; $COM = GND$, $f_{SCLK} = 500kHz$, external clock (50% duty cycle); 10 clocks/conversion cycle (50ksps); $1\mu F$ capacitor at REF, external $+4.096V$ reference at REF; $T_A = T_{MIN}$ to T_{MAX} ; unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
\overline{CS} to SCLK Rise Setup	t_{CSS}		100			ns
\overline{CS} to SCLK Rise Hold	t_{CSH}		0			ns
SCLK Pulse Width High	t_{CH}		200			ns
SCLK Pulse Width Low	t_{CL}		200			ns
Wake-Up Time	t_{WAKE}	External reference		20		μs
		Internal reference (Note 11)		12		ms

- Note 1:** Relative accuracy is the deviation of the analog value at any code from its theoretical value after the full-scale range has been calibrated.
- Note 2:** See *Typical Operating Characteristics*.
- Note 3:** $V_{REF} = +2.048V$ (MAX1108), $V_{REF} = +4.096V$ (MAX1109), offset nulled.
- Note 4:** Common-mode range (CH0, CH1, COM) GND to V_{DD} .
- Note 5:** Conversion time defined as the number of clock cycles times the clock period; clock has 50% duty cycle (Figures 6 and 8).
- Note 6:** REF supplies typically 2.5mA under normal operating conditions.
- Note 7:** External load should not change during the conversion for specified accuracy.
- Note 8:** Power consumption with CMOS levels.
- Note 9:** Power-down test performed using the following sequence 1) \overline{SHDN} 5bit = 0 in the configuration register; 2) Wait for 10 SCLK cycles to complete current conversion; 3) Measure shutdown current with \overline{CS} , SCLK, $D_{IN} = V_{DD}$ or GND.
- Note 10:** Measured as $|V_{FS}(2.7V) - V_{FS}(3.6V)|$ for MAX1108, and measured as $|V_{FS}(4.5V) - V_{FS}(5.5V)|$ for MAX1109.
- Note 11:** $1\mu F$ at REF, internal reference settling to 0.5LSB.

標準動作特性

($V_{DD} = +3.0V$ (MAX1108), $V_{DD} = +5.0V$ (MAX1109); external conversion mode; $f_{SCLK} = 500kHz$; 50ksps; external reference; $1\mu F$ at REF; $T_A = +25^\circ C$; unless otherwise noted.)

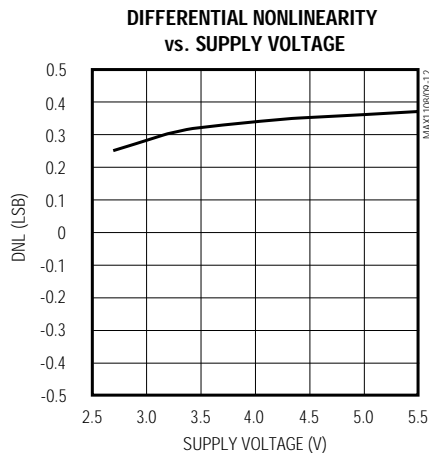
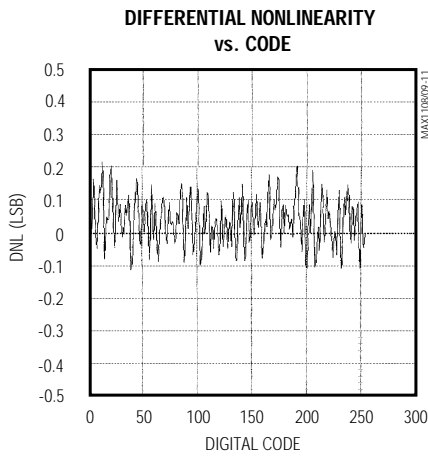
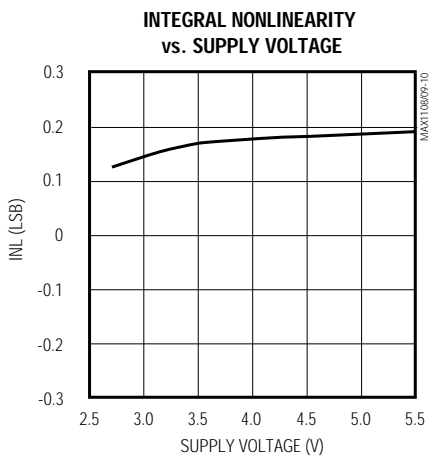
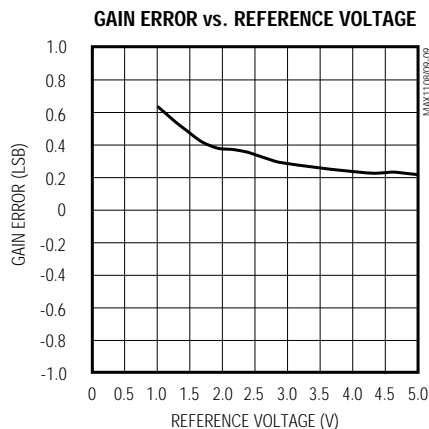
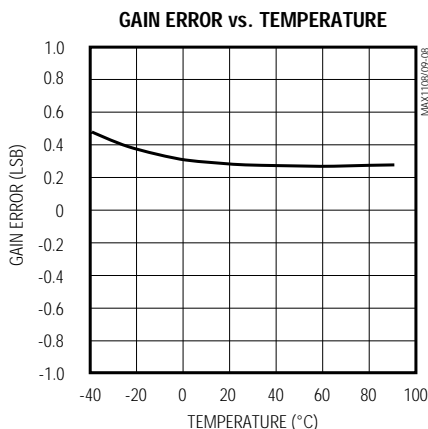
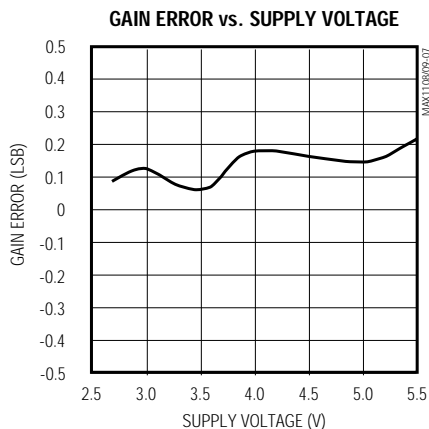
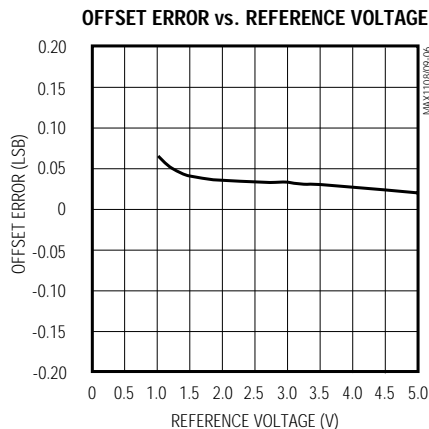
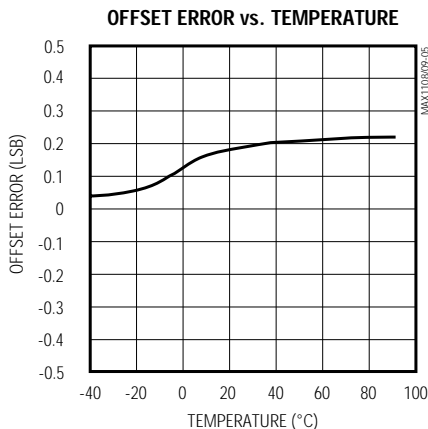
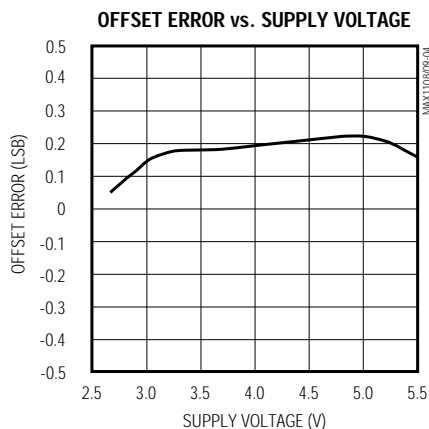


単一電源、低消費電力、 2チャンネル、シリアル8ビットADC

MAX1108/MAX1109

標準動作特性(続き)

($V_{DD} = +3.0V$ (MAX1108), $V_{DD} = +5.0V$ (MAX1109); external conversion mode; $f_{SCLK} = 500kHz$; 50ksps; external reference; $1\mu F$ at REF; $T_A = +25^\circ C$; unless otherwise noted.)

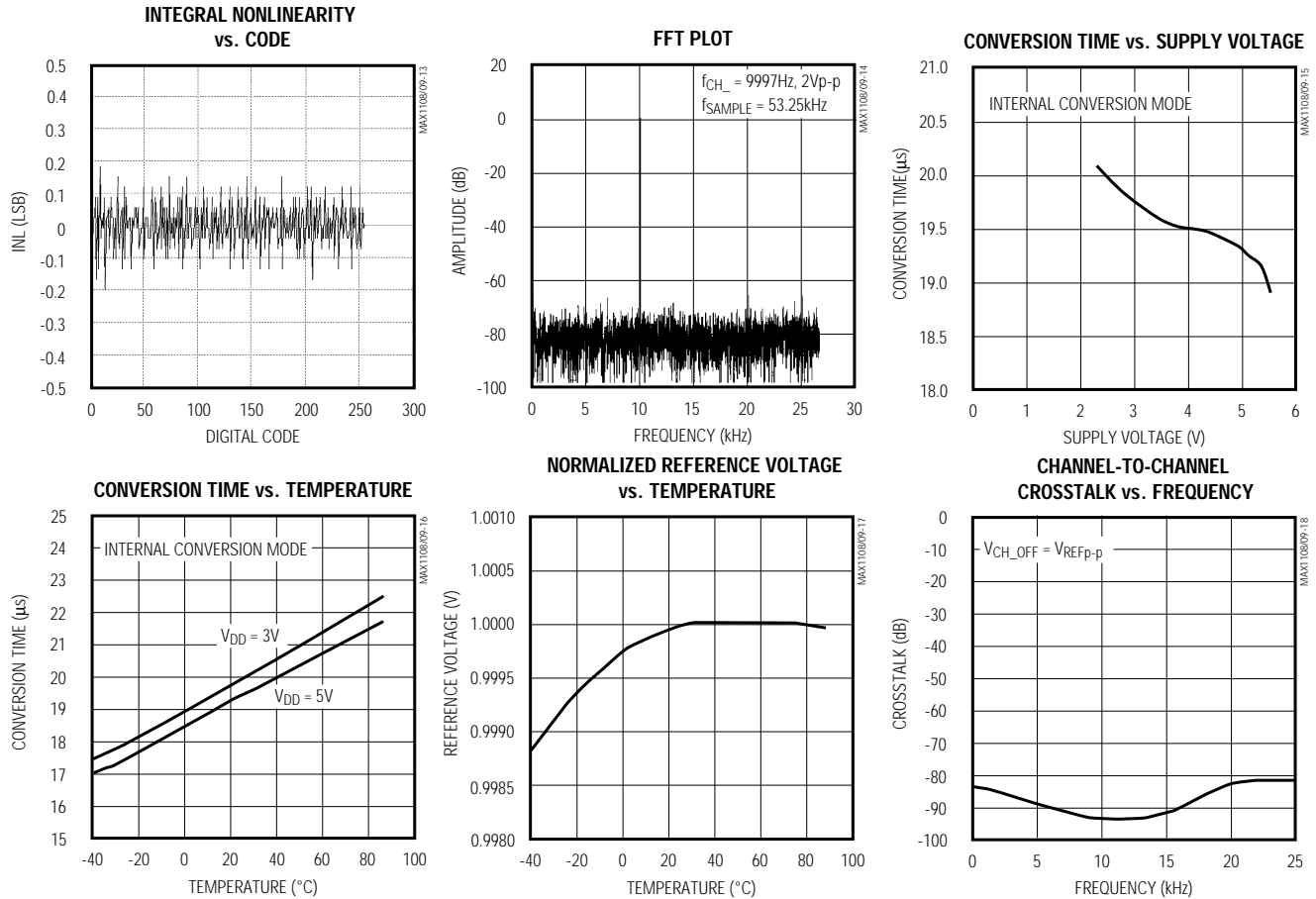


単一電源、低消費電力、 2チャンネル、シリアル8ビットADC

MAX1108/MAX1109

標準動作特性(続き)

($V_{DD} = +3.0V$ (MAX1108), $V_{DD} = +5.0V$ (MAX1109); external conversion mode; $f_{SCLK} = 500kHz$; 50ksps; external reference; $1\mu F$ at REF; $T_A = +25^\circ C$; unless otherwise noted.)



端子説明

端子	名称	機能
1	V_{DD}	正電源電圧
2, 3	CH0, CH1	サンプリングアナログ入力
4	GND	グランド
5	REF	アナログデジタル変換用のリファレンス(内部又は外部リファレンス)電圧。外部リファレンスのとき、リファレンス入力。内部リファレンスのときは、 $1\mu F$ のコンデンサでGNDにバイパスしてください。
6	COM	アナログ入力に共通なリファレンス。シングルエンドモードのときゼロコード電圧を設定します。変換中は、 $\pm 0.5LSB$ の安定性が必要です。
7	\overline{CS}	アクティブラーのチップセレクト。 \overline{CS} がローでないとき、データはDINにクロックインされません。 \overline{CS} がハイのとき、DOUTはハイインピーダンスになります。
8	DIN	シリアルデータ入力。データはSCLKの立上がりエッジでクロックインされます。
9	DOUT	シリアルデータ出力。データはSCLKの立下がりエッジでクロックアウトされます。 \overline{CS} がハイのときハイインピーダンスになります。
10	SCLK	シリアルクロック入力。シリアルインタフェースのデータをクロックイン及びクロックアウトさせます。外部クロックモードでは、SCLKが変換速度も設定します。

単一電源、低消費電力、 2チャンネル、シリアル8ビットADC

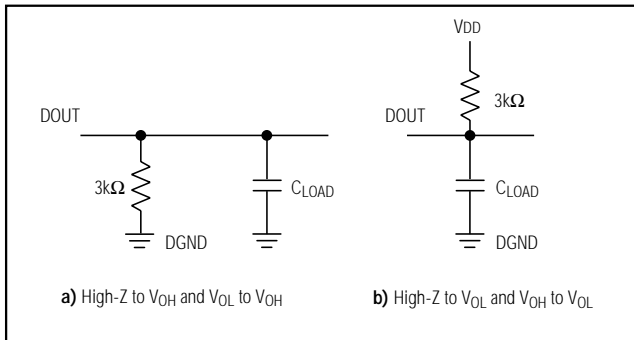


図1. イネーブ爾時の負荷回路

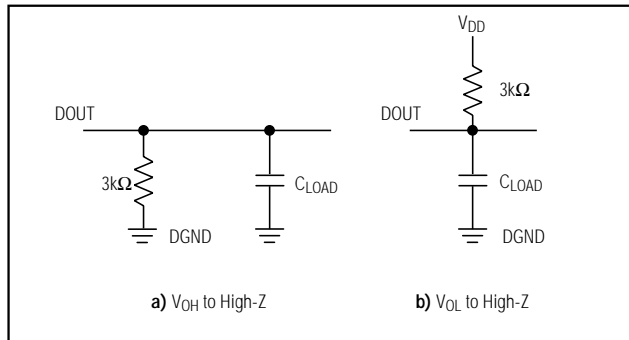


図2. ディセーブル時の負荷回路

詳細

MAX1108/MAX1109アナログデジタルコンバータ(ADC)は、逐次比較型変換技法及び入力トラック/ホールド(T/H)回路を使用し、アナログ信号を8ビットのデジタル出力に変換します。フレキシブルなシリアルインタフェースがマイクロプロセッサ(μP)とのインタフェースを容易にします。特に外付けのホールドコンデンサなどを必要としません。MAX1108/MAX1109のすべての動作モードがソフトウェアで設定でき、それらのモードは、内部または外部リファレンス、内部または外部変換クロック、シングルエンドユニポーラまたは疑似差動のユニポーラ/バイポーラ変換、さらにパワーダウンです(表1)。

アナログ入力

トラック/ホールド

ADCの入力部は図4の入力等価回路に示すように、T/H、入力マルチプレクサ、入力コンパレータ、スイッチトキャパシタDAC、リファレンス、及びオートゼロレールから構成されます。

アナログ入力の設定は表2に示すように、制御バイトがシリアルインタフェースを通して定義します(動作モードの項目と表1を参照してください)。シングルエンド、疑似差動、ユニポーラ/バイポーラ、及びV_{DD}監視モードを含めて8つの動作モードを備えています。アキュイジションと変換の期間は、図4のスイッチのうち1個のみが適宜、閉になります。

T/Hは、制御バイトのビット4(SEL0)がシフトインされた後の立下りクロックエッジでトラッキングモードに入ります。また、制御バイトのビット2(I/EREF)がシフトインされた後の立下りエッジでホールドモードに入ります。

例として、変換のためにCH0とCOMを選択すると(SEL2=SEL1=SEL0=1)、CH0はサンプリング入力(SI)として、またCOMはリファレンス入力(RI)として定義されます。アキュイジションモードの期間に、CH0

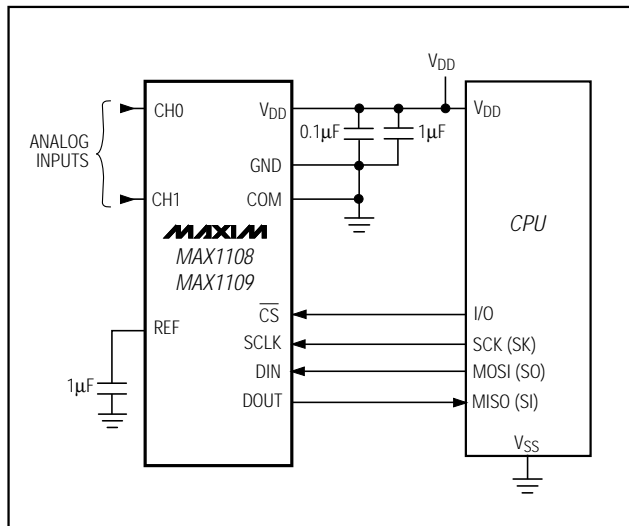


図3. 標準動作回路

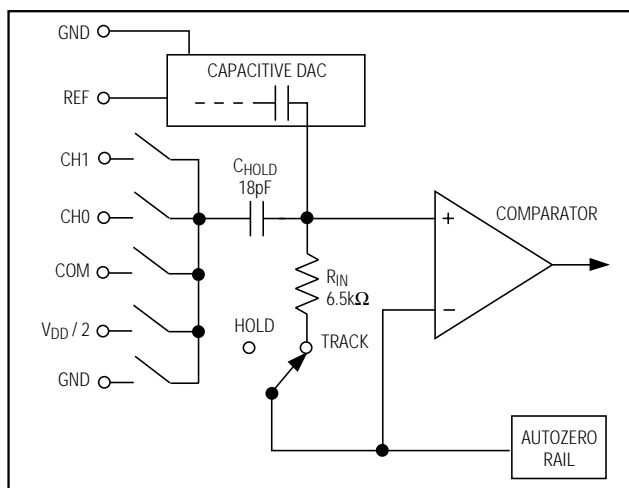


図4. 入力等価回路

スイッチとT/Hスイッチが閉になり、R_{IN}を通りホールドコンデンサC_{HOLD}を充電します。アキュイジションの終了時にT/Hスイッチが開き、C_{HOLD}がCOMに接続されます。CH0の信号をサンプルしたC_{HOLD}の電荷が保存されていて、CH0とCOMの差が変換される信号です。

単一電源、低消費電力、 2チャンネル、シリアル8ビットADC

変換がいったん完了すると、T/Hはすぐに、本来のトラッキングモードに戻ります。表2に要約されるように、異なる組み合わせのときもこの手順が実行されます。

T/Hが入力信号を取込むのに要する時間(t_{ACQ})はクロック周波数により決まり、最高2MHzのクロック周波数のとき1 μ sです。また、アキュイジション時間は信号を取込むのに必要な最小の時間でもあります。この時間は以下の式で計算できます。

$$t_{ACQ} = 6(R_S + R_{IN})18pF$$

ここで $R_{IN}=6.5k$ 、 R_S は入力信号のソースインピーダンスで、 t_{ACQ} は1 μ s以上必要です。ソースインピーダンスが2.7k以下なら、最高クロック速度でもADCのAC性能に大きく影響しないことに注意してください。もし、入力ソースインピーダンスが3kよりも高いなら、クロック速度を下げなければなりません。

疑似差動入力

MAX1108/MAX1109の入力は、入力(SI)における信号のみがホールドコンデンサ(C_{HOLD})の中に蓄積されるときは疑似差動動作です。変換の間、GNDに対してリファレンスの入力(RI)は ± 0.5 LSB(最良の結果を得るには ± 0.1 LSB)以内に、安定していなければなりません。サンプリング入力とリファレンス入力の設定は、制御バイト(表2)のビット6~ビット4(SEL2~SEL0)により定義されます。

もし、変動する信号が選択されたリファレンス入力に印加されるのであれば、その振幅と周波数を制限しなければなりません。以下の方程式が ± 0.5 LSBの精度を維持する最大の信号振幅とその周波数との関係を定義します。

リファレンスの入力が正弦波信号であると仮定し、

$$V_{RI} = V_{RI} \sin(2\pi ft)$$

最大の電圧変動は以下のように定義され、

$$\max \frac{dv_{RI}}{dt} = 2\pi f \cdot V_{RI} \leq \frac{1 \text{ LSB}}{t_{CONV}} = \frac{V_{REF}}{2^8 t_{CONV}}$$

1.2Vの振幅をもつ60HzのRI信号は、 ± 0.5 LSBの誤差を発生させます。これは35 μ sの変換時間(内部変換モードにおける最大の t_{CONV})及び+4.096Vのリファレンス電圧のときです。DCリファレンス電圧がRIで使用されるとき、入力のノイズを最小にするために、GNDとの間に0.1 μ Fのコンデンサを接続してください。

また、入力設定の選択で、ユニポーラまたはバイポーラ変換モードを定義します。CH0、CH1、及びCOMの共通モード入力範囲は、0から+ V_{DD} までです。ユニポーラモードの場合、 $(SI-RI)=V_{REF}$ のときフルスケールに達し、バイポーラモードの場合、 $|(SI-RI)|=V_{REF}/2$

のときフルスケールに達します。ユニポーラモードの場合、SIはRIよりも高くなければなりません。バイポーラモードの場合、共通モードレンジ内ならば、SIは準備されたRIのレベルの上にも下にもスイングできます。

変換手順

コンパレータの負の入力はオートゼロレールに接続します。このICは単一電源のみを必要とするので、コンパレータの入力のノード ZEROは $V_{DD}/2$ に等しくなります。容量性のDACは、8ビットの分解能の範囲で、コンパレータ入力の差が0VになるようにノードZEROを調節します。この動作は、18pF($V_{IN+} - V_{IN-}$)の電荷を C_{HOLD} からバイナリ重み付けの容量性DACへ移すことと等価で、この結果、DACはアナログ入力信号のデジタル表示化を行います。

入力電圧範囲

内部の保護ダイオードがアナログ入力信号を V_{DD} とAGNDへクランプするので、(AGND-0.3V)から($V_{DD}+0.3V$)まで、各チャンネルの入力ピン(CH0、CH1、及びCOM)が、損傷を起こすこともなくスイングできます。しかし正確な変換のために入力は($V_{DD}+50mV$)を超えてはならず、また(GND-50mV)を下回ってはなりません。

「off」チャンネル上のアナログ入力電圧が電源電圧を50mV以上超過することがあるとしても、「on」チャンネル上の変換精度を維持するために、超過による電流を2mA以下に制限しなければなりません。

MAX1108/MAX1109の入力レンジは0~ V_{DD} で、ユニポーラあるいはバイポーラ変換が可能です。ユニポーラモードの場合、負の入力電圧(または、負の差動入力電圧)が印加されたとき、出力コードは無効(コードゼロ)です。REFへのリファレンス入力電圧範囲は、1Vから($V_{DD}+50mV$)までです。

入力帯域幅

ADCの入力トラッキング回路の小信号帯域幅は1.5MHzなので、高速なトランジェント現象をデジタル化することができ、さらにアンダーサンプリング技法を使用すると、帯域幅がADCのサンプリングレートを上回る周期的な信号の測定も可能です。測定しようとする周波数帯域に高周波信号が侵入するのを防ぐため、アンチエイリアシングフィルタリングをお勧めします。

シリアルインタフェース

MAX1108/MAX1109は4線のシリアルインタフェースの機能を備えます。 \overline{CS} 、DIN、及びSCLK入力はICを制御するために使用され、一方、スリーステートのDOUTピンは、変換の結果をアクセスするために使用されます。

シリアルインタフェースは、最大2MHzのクロックレートで、SPI、QSPI、あるいはMICROWIREシリアルインタ

単一電源、低消費電力、 2チャンネル、シリアル8ビットADC

MAX1108/MAX1109

フェースを行うマイクロコントローラとの接続を容易にします。SPIまたはQSPIのとき、マイクロコントローラのスPI制御レジスタの中にCPOL=CPHA=0を設定してください。MAX1108/MAX1109に共通なシリアルインタフェース接続を図5に示します。

デジタル入力

電源の供給電圧に関わらず、MAX1108/MAX1109のデジタル入力のロジックレベルは、+3V及び+5Vシステムの両方の電圧レベルを受付るように設定できます。DINピンの入力データ(制御バイト)は、シリアルクロック(SCLK)の立上りエッジでクロックインされます。 \overline{CS} は装置とのコミュニケーションをイネーブにする標準のチップセレクト信号です。SCLKは、シリアルインタフェースの入出力データをクロック同期させるために使用します。また、外部クロックモードでは、SCLKが変換速度を設定します。

デジタル出力

DOUTの出力データは、SCLKの立上りエッジで読取られ、MSBが最初(D7)です。ユニポーラ入力モードのとき、出力はストレートなバイナリです。バイポーラ入力モードのとき、出力は2の補数です(伝達関数の項目を参照してください)。DOUTは、 \overline{CS} がローのときにアクティブで、 \overline{CS} がハイのときはハイインピーダンス

になります。DOUTは V_{DD} よりも高い外部の電圧を受付ません。外部クロックモードの場合、変換の処理中に最高500kHzのクロックレートでデータがクロックアウトされます。内部クロックモードの場合、最大2MHzのクロックレートでデータがクロックアウトできます。

動作モード

MAX1108/MAX1109は、ユニポーラ又はバイポーラモードで、シングルエンド又は疑似差動モードで動作する機能を備えています。本製品はシリアルインタフェースのDINピンに入力する制御バイトでプログラムします(表1)。ユニポーラ又はバイポーラの設定をするとき、表2にアナログ入力設定方法を、表3に入力電圧範囲を示しますので参照してください。

変換開始方法

DINへ制御バイトをクロックインすると変換を開始します。 \overline{CS} がローのとき、SCLKの各立上りエッジが、各ビットをDINからMAX1108/MAX1109の内部のシフトレジスタにクロックインします。 \overline{CS} がローに落ちた後に、DINに到着した最初のロジックビット「1」が制御バイトのMSBを定義します。この最初のスタートビットが到着するまで、数多くのビット「0」がDINにクロックインされますがそれらは無効です。表1は制御バイトのフォーマットを示します。

標準動作回路(図3)を使用するのは最も基本的なソフトウェアインタフェースで、変換を実行するのに8ビットの転送を2回必要とします(最初の8ビットの転送はADCのプログラミングのためで、次の8ビットの転送は8ビットの変換結果をクロックアウトさせるためです)。図6に外部クロックモードを使用する単一変換のタイミングを示します。

クロックモード

MAX1108/MAX1109は逐次比較型変換を実行するとき、外部シリアルクロックまたは内部クロックのいずれかを使用します。どちらのクロックモードでも、外部クロックがこのICにデータのシフトインまたはシフトアウトをします。制御バイトのビット3(I/ECLK)がクロックモードをプログラムします。図8は両方のモードに共通なタイミング特性です。

外部クロック

外部クロックモードのとき、外部クロックは入出力データを移動させるだけでなく、アナログデジタル変換のステップを進めます。このモードのとき、クロック周波数は50kHz ~ 500kHzの間になければなりません。外部クロックを使用するとき、単一変換のタイミングは \overline{CS} の立下りエッジで始まります。これが発生すると、DOUTはハイインピーダンス状態を維持し、その後ロー

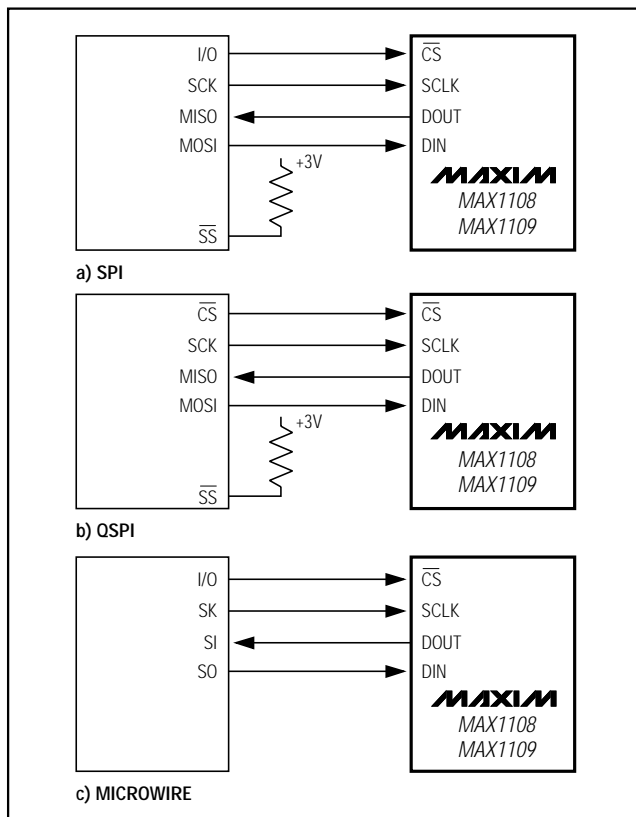


図5. 共通なシリアルインタフェース接続

単一電源、低消費電力、 2チャンネル、シリアル8ビットADC

MAX1108/MAX1109

表1. 制御バイトフォーマット

BIT 7 (MSB)	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0 (LSB)
START	SEL2	SEL1	SEL0	I/ECLK	I/REF	REFSHDN	SHDN

ビット	名称	説明
7 (MSB)	START	\overline{CS} がローになった後の最初のロジックビット「1」が制御バイトの開始を定義します。
6 5 4	SEL2 SEL1 SEL0	動作モードを選択します(表2)。
3	I/ECLK	1=外部クロック、0=内部クロック。SARは内部の発振器、あるいはSCLK信号で駆動されます。
2	I/REF	1=内部リファレンス、0=外部リファレンス。内部リファレンスの選択は+2.048V(MAX1108)又は+4.096V(MAX1109)で、外部リファレンスはREFピンに印加します。
1	REFSHDN	1=動作(I/REF=1のとき)、0=リファレンスのシャットダウン。外部リファレンスで動作させるとき、内部リファレンスを別途パワーダウンするため(I/REF=0)、電力の消費は最小になります。SHDN=0のとき、REFSHDNは0に設定されなければなりません。
0 (LSB)	SHDN	1=動作、0=パワーダウン。完全なパワーダウンの設定は、REFSHDN = SHDN = 0です(パワーダウンモードの項目を参照してください)。

表2. 変換プログラム

SEL2	SEL1	SEL0	サンプリング入力 (SI)	リファレンス入力 (RI)	変換モード
1	1	1	CH0	COM	Unipolar
1	1	0	CH1	COM	Unipolar
1	0	1	CH0	GND	Unipolar
1	0	0	CH1	GND	Unipolar
0	1	1	CH0	COM	Bipolar
0	1	0	CH1	COM	Bipolar
0	0	1	CH0	CH1	Bipolar
0	0	0	VDD / 2	GND	Unipolar

表3. フルスケールとゼロスケール電圧

ユニポーラモード		バイポーラモード		
ゼロスケール	フルスケール	負のフルスケール	ゼロスケール	正のフルスケール
RI*	RI + VREF	RI - VREF / 2	RI	RI + VREF / 2

*RI=リファレンス入力(表2)

単一電源、低消費電力、 2チャンネル、シリアル8ビットADC

になります。 \overline{CS} がローにセットされた後に、SCLKによりDINに最初の「1」がクロックインされたとき、スタートビットとして認識されます。さらに7個のクロックが制御バイトの残りをラッチします。4番目のクロックの立下りエッジでトラックモードがイネーブルになり、6番目のクロックの立下りエッジでアキュイジションが完了して変換を開始します。逐次比較によるMSBビットの決定がSCLKの7番目の立上りエッジで実行されます。8番目SCLKの立下りエッジでMSBがDOUTピンにクロックアウトされ、それぞれ次の7個のSCLK立下りエッジで、変換された残りのビットがクロックアウトされます。LSBがクロックアウトされた後、 \overline{CS} がディセーブルされるまで、ゼロがDOUTからクロックアウトされます。次に、DOUTはハイインピーダンスになり、ICは以降の変換のために準備完了状態になります(図6)。変換は1ms以内に完了しなければならず、そうでないとサンプルアンドホールドコンデンサの中の電圧低下で変換結果が劣化します。シリアルクロック周波数が50kHz未満なら、あるいは変換間隔がシリアルクロック

中断によって1msを超えるようなら、内部クロックモードで動作させてください。

内部クロック

内部クロックモードは、SAR変換クロックを発生させる μ Pの負担を軽減します。これでプロセッサは都合のよいときに、最大2MHzまでのクロックレートで変換結果を読取ることができます。

変換の処理中は、内部のレジスタがデータを保管します。4番目のSCLKの立下りエッジでトラックモードがイネーブルになり、8番目のSCLKの立下りエッジでアキュイジションが完了し、内部で変換を開始します。内部の400kHzのクロックは20 μ s typ(35 μ s max)で変換を完了し、その時に変換結果のMSBがDOUTピンに出力されます。変換が完了次第、SCLKの立下りエッジで随時、このレジスタから残りのデータをクロックアウトできます(図8)。

いったん変換を開始すると、 \overline{CS} をローに維持する必要はありません。 \overline{CS} をプルアップしてハイにすると、

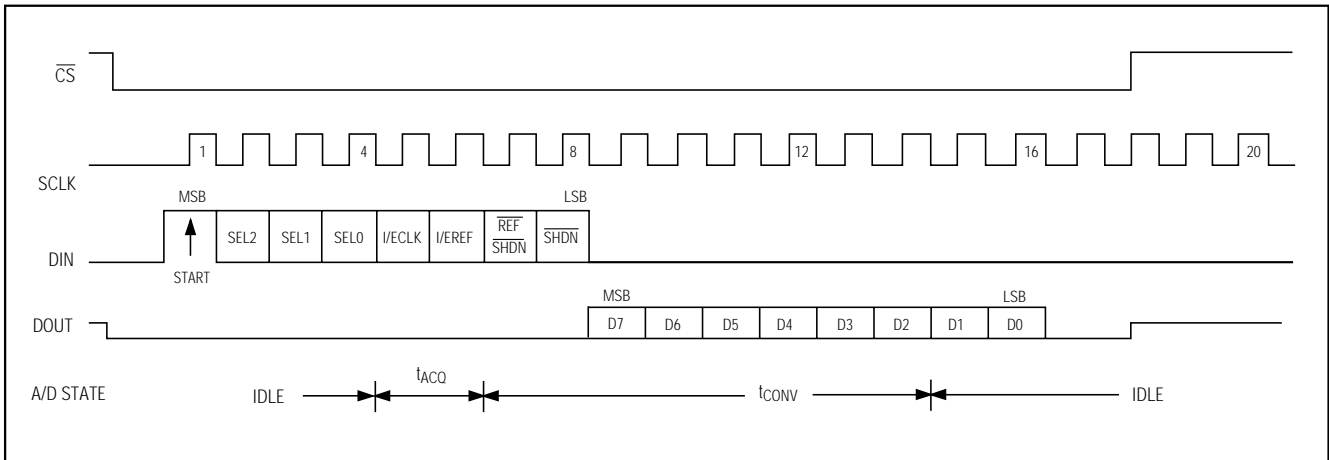


図6. 単一変換のタイミング、外部クロックモード

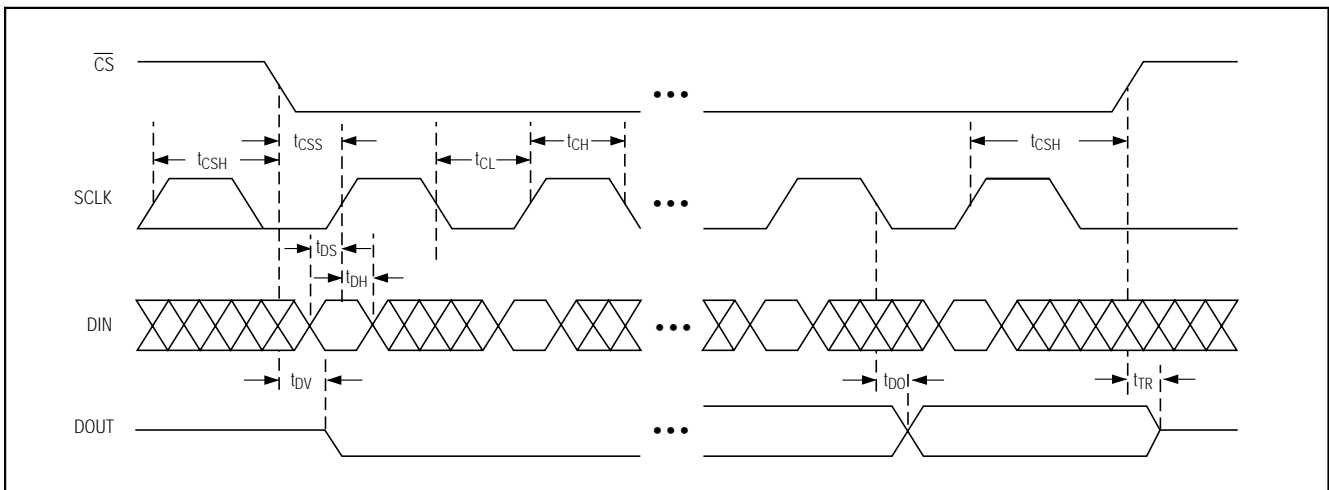


図7. シリアルインタフェースのタイミングの詳細

単一電源、低消費電力、 2チャンネル、シリアル8ビットADC

MAX1108/MAX1109

MAX1108/MAX1109にクロックインを阻止し、DOUTをスリーステートにしますが、内部クロックモードによる処理中の変換に影響はありません。このモードで、MAX1108/MAX1109にデータがシフトイン及びシフトアウトするデータのクロックレートは2MHzまで可能で、1 μ s以上の最短アキュイジション時間(t_{ACQ})が確保できます。

クイックルック

MAX1108/MAX1109のアナログ性能を端的に評価したいとき、図9の回路の実施を推奨します。このICは各変換に先立ち、DINに制御バイトの書込みが必要です。 \overline{CS} をGNDへ、さらにDINを V_{DD} に接続することは、FFHの制御バイトを供給することに相当します。すなわち、これはシングルエンド、CH0でユニポーラ変換、

COMに関しては外部クロックモード、ただし変換と変換の間にパワーダウンしない指定になります。50kHzから500kHzの外部クロックをSCLKピンに印加してください。アナログ入力を変化させると、DOUTピンにクロックアウトされる変換の結果も変わります。合計10クロックサイクルが変換毎に必要です。

データフレーミング

\overline{CS} の立下りエッジで、変換は開始されません。DINにクロックインされる最初のロジックハイは、スタートビットとして解釈され、これにより制御バイトの最初のビットが定義されます。アキュイジションは、4番目のSCLKの立下りエッジで開始し、外部クロックモードの場合はSCLKSの2周期の期間、内部クロックモードの場合はSCLKSの4周期の期間、持続します。アキュイ

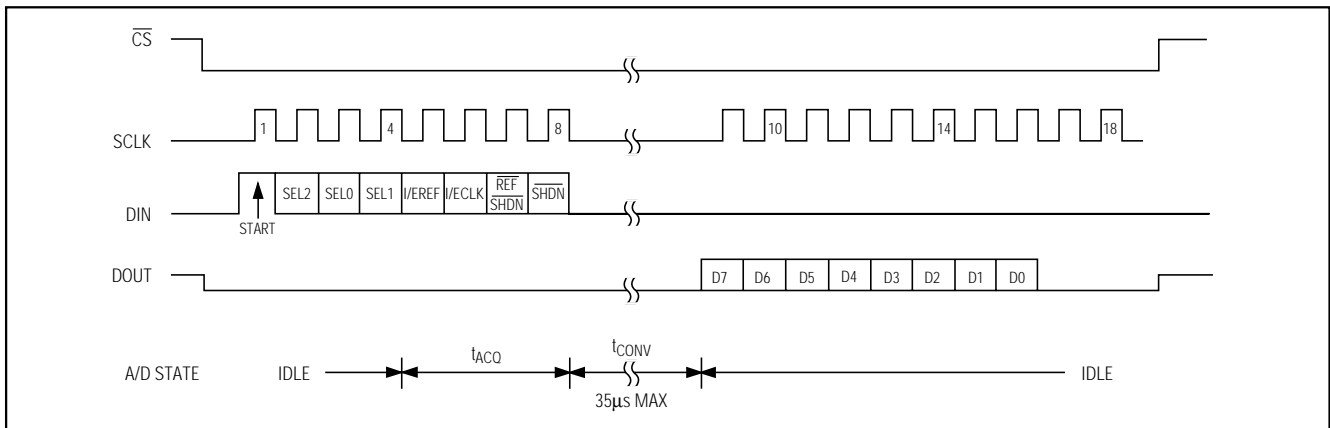


図8. 単一変換のタイミング、内部クロックモード

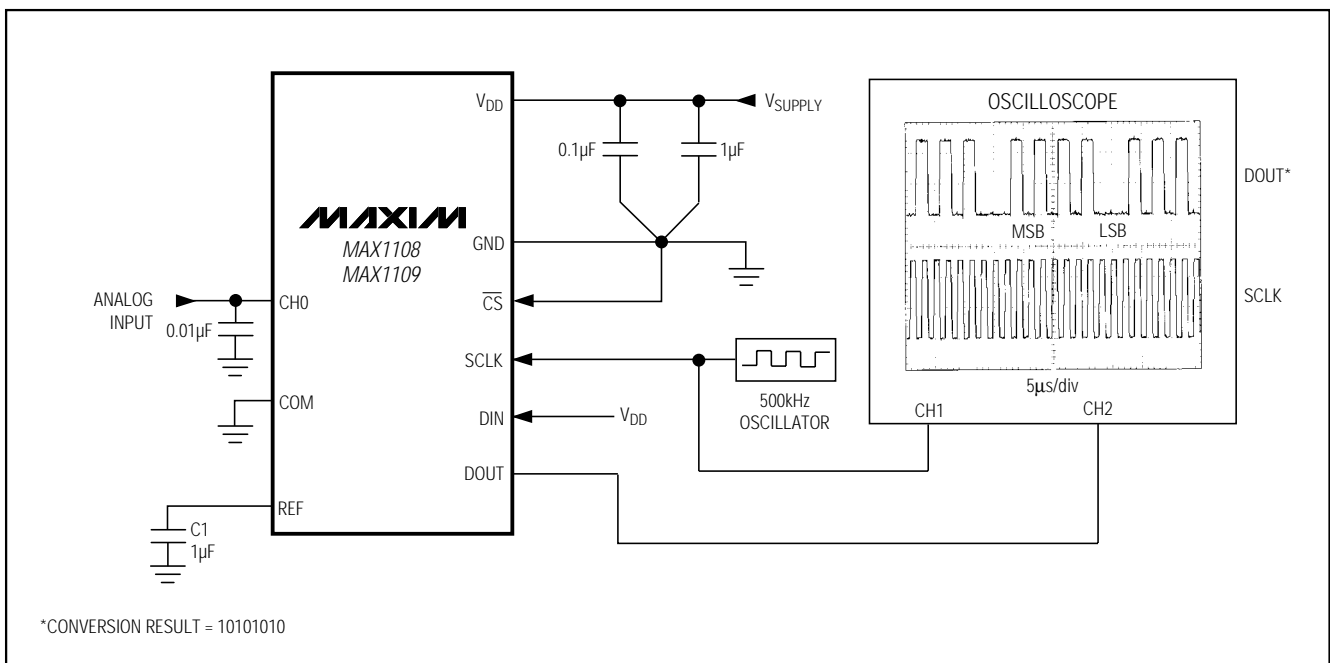


図9. クイックルック回路図

単一電源、低消費電力、 2チャンネル、シリアル8ビットADC

ションの完了後すぐに変換を開始します。スタートビットは以下のように定義されます。

コンバータがアイドル状態である任意の時間、例えば V_{DD} が印加された後に、 \overline{CS} がローの状態ではDINにクロックインされてきた最初のハイビット。

又は

外部クロックモードの場合、変換処理中のビット5(D5)がDOOUTピンにクロックアウトされた後に、DINへクロックインされてきた最初のハイビット。

又は

内部クロックモードの場合、変換処理中のビット4(D4)がDOOUTピンにクロックアウトされた後に、DINへクロックインされてきた最初のハイビット。

MAX1108/MAX1109は、変換あたり10個のクロックで動作させたときに最高速度となります。図10は外部クロックモードのとき、SCLKの10周期で変換を実行するのに必要なシリアルインタフェースタイミングを示します。

多くのマイクロコントローラは、変換を8個のSCLKクロックの整数倍で実行することを要求します。マイクロコントローラがMAX1108/MAX1109を駆動するときの最高速度は、通常、変換あたり16個のクロックのとき得られます。図11は外部クロックモードのとき、SCLKの16周期で変換を実行するのに必要なシリアルインタフェースタイミングを示します。

外部クロックモードのとき、現在の変換が完了する前に \overline{CS} が切り換わると、処理中の変換は中止され、DINにクロックインされた次のハイビットが新しいスタートビットとして認識されます。このことは2回目の制御バイト(二重クロックモード)で、同一チャンネルに対する変換を設定してアキュイジション時間を延長することが可能で、実質的にSCLKの6周期分だけアキュイジションを延長することになります。アナログ入力ソースがハイインピーダンスのとき、またはリファレンスの整定に $1\mu\text{s}$ 以上を必要とするとき、この技法は理想的です。またパワーダウンモードの使用中でも、このICとリファレンスの整定のために利用できます(パワーダウンモードの項目を参照してください)。

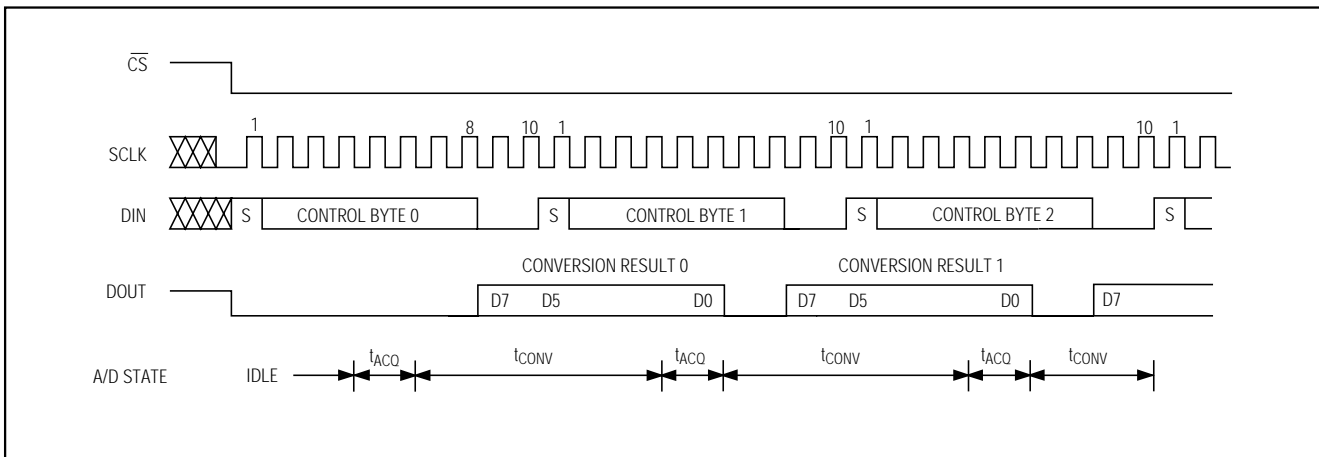


図10. 連続変換、外部クロックモード、10クロック/変換タイミング

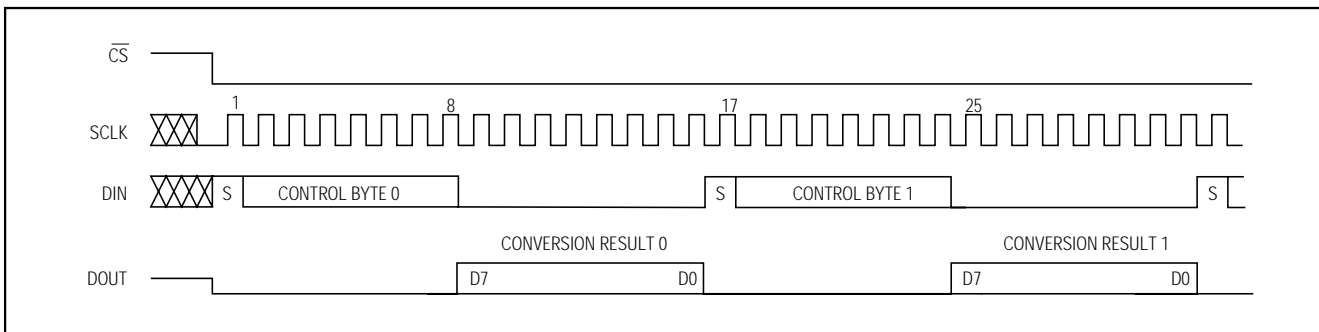


図11. 連続変換、外部クロックモード、16クロック/変換タイミング

単一電源、低消費電力、 2チャンネル、シリアル8ビットADC

アプリケーション情報

バッテリー監視モード

この動作モードは、内部で生成する供給電圧の中間値 $V_{DD}/2$ をサンプリングして変換します。この機能を選択するとき、制御バイトの中を $SEL2=SEL1=SEL0=0$ に設定してください。これにより、バッテリーから供給する V_{DD} の状態をユーザが監視できるようにします。この動作モードが適切に動作するためには、リファレンス電圧が $V_{DD}/2$ よりも高くなければなりません。変換の結果から (CODE)、 V_{DD} は以下のように定義されます。

$$V_{DD} = \text{CODE} \cdot V_{REF} / 128$$

パワーオン設定

パワーが最初に投入されるとき、MAX1108/MAX1109のリファレンスはパワーダウン状態で、 \overline{SHDN} はイネーブルではありません。 \overline{CS} をローにセットし、制御バイトを書込み、ICの設定をする必要があります。外部リファレンスを使用すると、20 μ s以内に交換が開始できます。内部リファレンスを使用する場合、リファレンスの整定のために12msを見込んでください。この期間中に、リファレンスをパワーアップするプログラムの解読を最初に行い、さらに2回目の交換はリファレンスが整定されてから実行します。(内部または外部の)リファレンス電圧が安定するまで、変換結果が正確であるとはいえません。

パワーダウンモード

電力を節約するには、変換と変換の間にコンバータを低電流のパワーダウンモードにしてください。入力制御バイトの中で、 $\overline{REFSHDN}=0$ 及び \overline{SHDN} をプログラムすると、最小のパワー消費が達成できます(表4)。ソフトウェアパワーダウンが発生したとき、それは変換後のみ有効になります。制御バイトに $\overline{REFSHDN}=0$ が含まれると、リファレンスは変換の最後に遮断されます。もし $\overline{SHDN}=0$ であれば、変換の最後にこのチップはパワーダウンされます(このモードでは、 I/REF または $\overline{REFSHDN}$ がゼロに設定されます)。表4にMAX1108/MAX1109のパワーダウンモードを示します。

\overline{CS} がローに落ちた後、 DIN にクロックインされた最初のロジック1はMAX1108/MAX1109をパワーアップします(ICがパワーアップするまでに20 μ sが必要です)。前回の交換のときに内部リファレンスが選択されたときのみ、リファレンスに電力を供給します。ディセーブルした後にリファレンスをパワーアップするとき、変換結果を利用することよりもセトリングタイムに配慮してください。放電状況にもよりますが、通常は12msが必要です。シャットダウンから復帰したとき、外部のコンデンサが完全に放電していないのであれば、それ

表4. MAX1108/MAX1109の
パワーダウンモード

制御バイトの ビット2~ビット0			動作モード
I/REF	REFSHDN	SHDN	
1	1	1	ICはアクティブ/内部リファレンスはアクティブ
1	0	1	ICはアクティブ; 内部リファレンスは変換の後にパワーダウンし、次のスタートビットでパワーアップします。
0	X	1	ICはアクティブ/外部リファレンスモード
1	0	0	ICと内部リファレンスは変換の後にパワーダウンし、次のスタートビットでパワーアップします。
0	X	0	ICは各変換の後にパワーダウンし、次のスタートビットでパワーアップします。外部リファレンスモード。
1	1	0	メーカー確保。使用しないでください。

X = 任意

より短縮することも検討します。全てのパワーダウンモードで、インターフェースはアクティブのままに変換結果を読み出します。変換を開始する以前のパワーダウンが短時間なのに、それを越えるセトリングタイムが予測されるようなとき、データフレーミングの項目に記載した二重クロック技法を導入してください。

電圧リファレンス

MAX1108/MAX1109は単一電源で動作し、ソフトウェアで制御する+2.048V(MAX1108)あるいは+4.096V(MAX1109)の内部リファレンス機能を備えています。このICは、内部リファレンスあるいはREFピンに印加する外部リファレンスのいずれかで動作します。リファレンス構成の詳細に関しては、パワーダウンモードと動作モードの項目を参照してください。

リファレンス電圧がフルスケールの範囲を定義し、ユニポーラモードの入力レンジは $0 \sim V_{REF}$ までで、バイポーラモードの入力レンジは、 $RI = V_{REF}/2$ のとき $RI = \pm V_{REF}/2$ になります。

外部リファレンス

外部リファレンスで動作させる場合、制御バイトのビット2(I/REF)とビット1(REFSHDN)を0に設定し、外部リファレンス(1Vと V_{DD} の間の V_{REF})をREFピンに直接接続します。REFのDC入力インピーダンスは極度に高く、漏洩電流は僅か10nA(typ)です。変換の間、リファレンスは最大20 μ Aまでの平均負荷電流を供給でき、変換クロック周波数で1k あるいはそれ以下の出力インピーダンスを備えていなければなりません。

単一電源、低消費電力、 2チャンネル、シリアル8ビットADC

リファレンスの出力インピーダンスがそれ以上に高いか、あるいはノイズを含む場合、REFピンに近い所を0.1μFのコンデンサでバイパスしてください。MAX1109の内部リファレンスは+4.096Vです。このICを4.5V以下の供給電圧で使用するとき、外部リファレンスモードでの動作が必要です。

REFの外部リファレンス電圧が+2.048V(MAX1108)あるいは+4.096V(MAX1109)より低いと、LSBの値(FS/256)に対するRMSノイズの増加が性能を劣化させ、ダイナミックレンジを狭くします。

内部リファレンス

内部リファレンスで動作させる場合、制御バイトのビット2(I/EREF)とビット1(REFSHDN)を1に設定し、REFとグランド間を1μFのコンデンサでバイパスしてください。内部リファレンスは、制御バイトのビット1(REFSHDN)を0に設定すると、変換の後にパワーダウンされます。内部リファレンスを使用するとき、MAX1108の供給電圧は4.5V以下、MAX1109の供給電圧は4.5V以上で使用してください。

伝達関数

表4にユニポーラとバイポーラモードのフルスケール電圧範囲を示します。図12aは通常の、ユニポーラの入力対出力伝達関数で、図12bはバイポーラの入力対出力伝達関数を示します。ゼロスケールは入力選択設定により定義され、COM、GND、あるいはCH1のいずれかにします。

コード遷移は、隣接する整数倍のLSB値の相互間で発生します。出力の符号化はユニポーラ動作のときストレートなバイナリで、バイポーラ動作のときは2の補数形式のバイナリです。リファレンスが+2.048Vのとき、1LSB = 8mV($V_{REF}/256$)になります。

レイアウト、グランド、及びバイパス

最高の性能を得るため、プリント回路基板を使用してください。ワイアラップボードはお勧めできません。デジタルとアナログの信号線が互いに離れるように、基板レイアウトの配置をしてください。アナログとデジタル(特にクロック)ラインが互いに平行にならないように、あるいはADCパッケージの下をデジタルラインが通らないようにしてください。

図13に、推奨できるシステムグランドの接続方法を示します。一点アナロググランド(スターグランドポイント)をA/Dグランドに設定します。すべてのアナログのグランドをスターグランドへ接続してください。他の

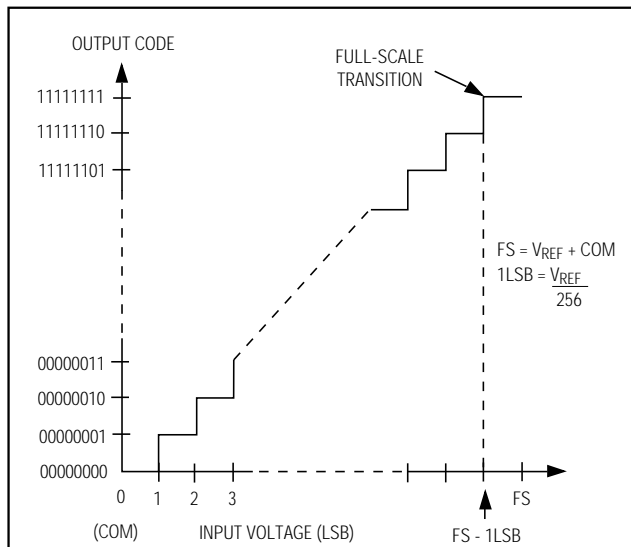


図12a. ユニポーラ伝達関数

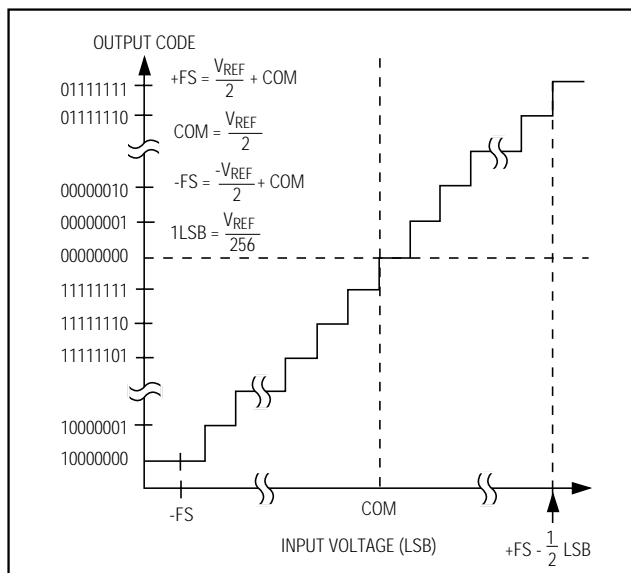
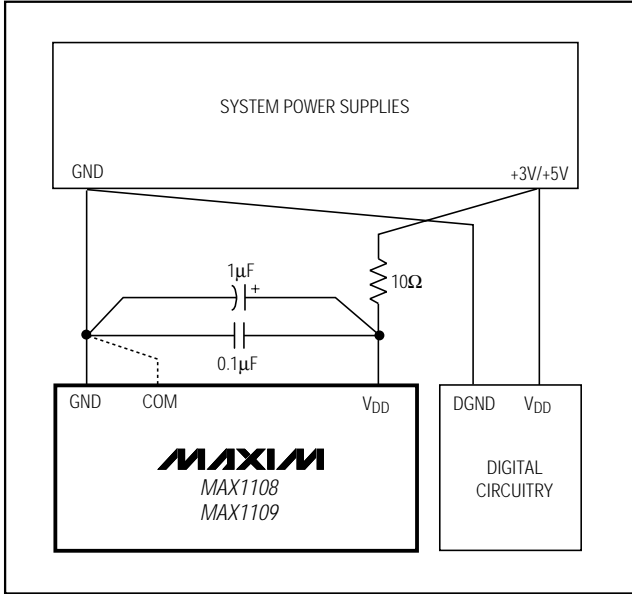


図12b. バイポーラ伝達関数

デジタルシステムグランドをこの点に接続しないでください。ノイズを排除するため、スターグランドから電源へのグランドリターンはできるだけ短くすると共に、低インピーダンスにしてください。

V_{DD} 電源内の高周波ノイズがADC内のコンパレータに影響する可能性があります。この電源は、MAX1108/MAX1109の V_{DD} ピンの近いところで、0.1μFと1μFコンデンサを使用してスターグランドへバイパスしてください。最高の電源ノイズ除去比を得るために、コンデンサのリード線をできるだけ短くしてください。電源のノイズが特に大きい場合は、10 の抵抗をローパスフィルタとして接続できます。

単一電源、低消費電力、 2チャンネル、シリアル8ビットADC



チップ情報 _____

TRANSISTOR COUNT: 2373

MAX1108/MAX1109

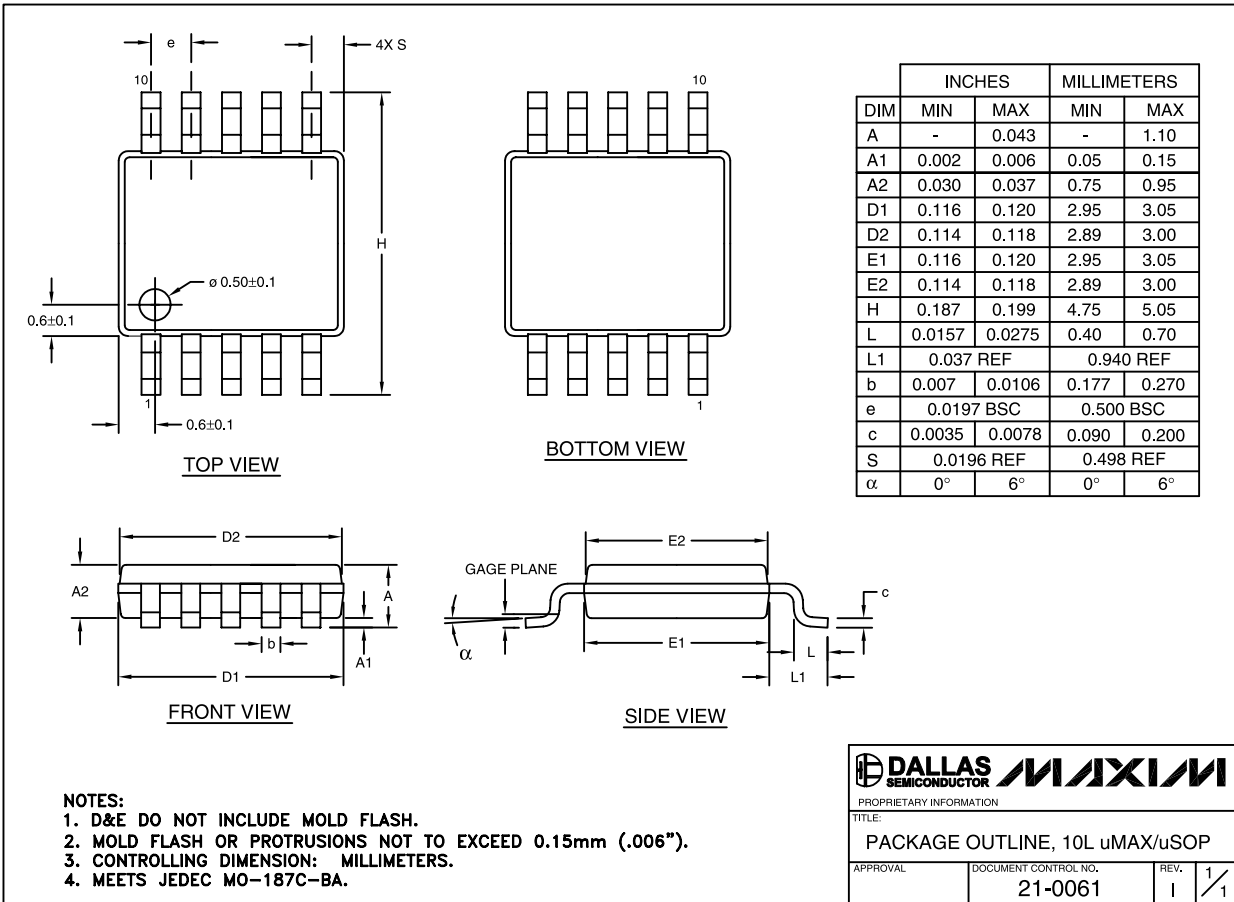
図13. 電源グランド接続図

単一電源、低消費電力、 2チャンネル、シリアル8ビットADC

MAX1108/MAX1109

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、<http://japan.maxim-ic.com/packages>をご参照下さい。)



10LUMAX.EPS

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

20 _____ Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600