

# 150kps、10ビット、SOT23/TDFN、2チャンネル シングルエンド、および1チャンネル完全差動ADC

## 概要

MAX1086~MAX1089は、小型8ピンSOT23パッケージに収められた低コスト、低消費電力のシリアル出力10ビットアナログ-デジタルコンバータ(ADC)です。MAX1086/MAX1088は、+5Vの単一電源で動作します。MAX1087/MAX1089は、+3Vの単一電源で動作します。これらのデバイスは、逐次比較ADC、自動シャットダウン、高速ウェイクアップ(1.4 $\mu$ s)、高速3線式インタフェースを特長とします。電力消費は、最高150kpsのサンプリング速度でわずか0.5mW ( $V_{DD} = +2.7V$ )です。各変換の間をAutoShutdown™ (0.1 $\mu$ A)とすることによって、スループットが低いほど電力消費が低減されます。

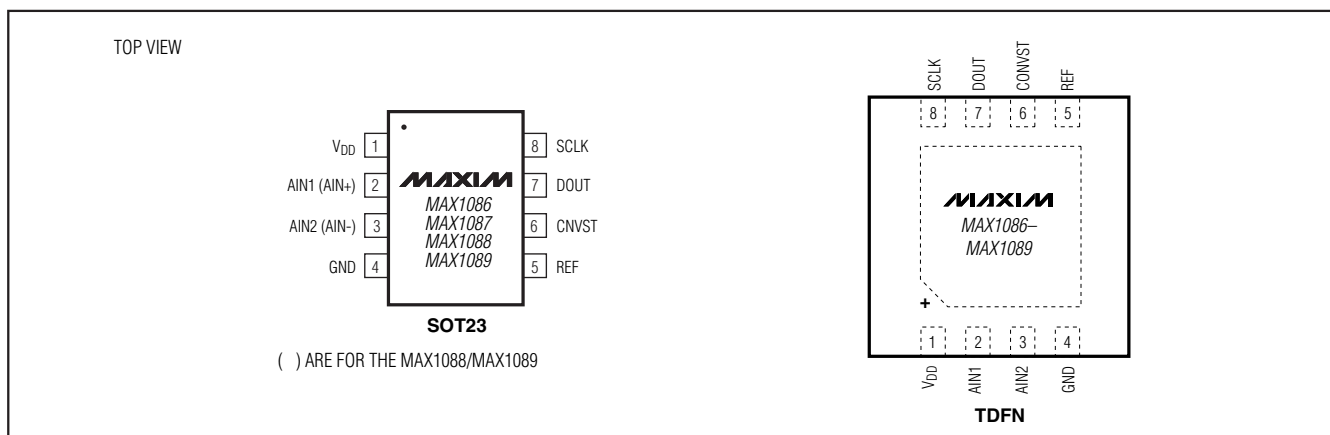
MAX1086/MAX1087は、2チャンネルのシングルエンド動作を行ない、0~ $V_{REF}$ の入力信号が可能です。MAX1088/MAX1089は、0~ $V_{REF}$ の範囲の完全差動入力が可能です。データは、3線式SPI™、QSPI™、およびMICROWIRE™対応のシリアルインタフェースによって外部クロックを用いてアクセスされます。ダイナミック性能が優れ、低電力で使い易く、小型パッケージであることから、これらのコンバータは携帯型バッテリー給電のデータ収集アプリケーションや低電力消費と最小のスペースが要求されるアプリケーションに最適です。

## アプリケーション

- 低電力データ収集
- 携帯型温度モニタ
- 流量計
- タッチスクリーン

AutoShutdownはMaxim Integrated Products, Inc.の商標です。SPIおよびQSPIは、Motorola Inc.の商標です。MICROWIREはNational Semiconductor Corp.の商標です。

## ピン配置



## 特長

- ◆ 単一電源動作
  - +3V (MAX1087/MAX1089)
  - +5V (MAX1086/MAX1088)
- ◆ 各変換の間のAutoShutdown
- ◆ 低電力
  - 200 $\mu$ A (150kpsの場合)
  - 130 $\mu$ A (100kpsの場合)
  - 65 $\mu$ A (50kpsの場合)
  - 13 $\mu$ A (10kpsの場合)
  - 1.5 $\mu$ A (1kpsの場合)
  - 0.2 $\mu$ A (シャットダウン時)
- ◆ 完全差動トラック/ホールド、サンプリング速度 150kHz
- ◆ ソフトウェア設定可能なユニポーラ/バイポーラ変換 (MAX1088/MAX1089のみ)
- ◆ SPI、QSPI、MICROWIRE対応のDSPおよびプロセッサ用インタフェース
- ◆ 内部変換クロック
- ◆ 8ピンSOT23および8ピンTDFNパッケージ

## 型番

PART	TEMP RANGE	PIN-PACKAGE	TOP MARK
MAX1086EKA-T	-40°C to +85°C	8 SOT23	AAEZ
MAX1086ETA+T	-40°C to +85°C	8 TDFN-EP*	AFQ
MAX1087EKA-T	-40°C to +85°C	8 SOT23	AAEV
MAX1087ETA+T	-40°C to +85°C	8 TDFN-EP*	AFM
MAX1088EKA-T	-40°C to +85°C	8 SOT23	AAFB
MAX1088ETA+T	-40°C to +85°C	8 TDFN-EP*	AFS
MAX1089EKA-T	-40°C to +85°C	8 SOT23	AAEX
MAX1089ETA+T	-40°C to +85°C	8 TDFN-EP*	AFO

\*EP=エクスポーズドパッド

+は鉛(Pb)フリー/RoHS準拠パッケージを表します。

T=テープ&リール

# 150ksps、10ビット、SOT23/TDFN、2チャンネル シングルエンド、および1チャンネル完全差動ADC

MAX1086-MAX1089

## ABSOLUTE MAXIMUM RATINGS

V<sub>DD</sub> to GND .....-0.3V to +6V  
 CNVST, SCLK, DOUT to GND .....-0.3V to (V<sub>DD</sub>+0.3V)  
 REF, AIN1(AIN+), AIN2(AIN-) to GND .....-0.3V to (V<sub>DD</sub>+0.3V)  
 Maximum Current Into Any Pin .....50mA  
 Continuous Power Dissipation (T<sub>A</sub> = +70°C)  
   8-Pin SOT23 (derate 9.70mW/°C above T<sub>A</sub> = +70°C).....777mW  
   8-Pin TDFN (derate 18.2mW/°C above T<sub>A</sub> = +70°C)...1454.5mW

Operating Temperature Ranges.....-40°C to +85°C  
 Storage Temperature Range .....-60°C to +150°C  
 Lead Temperature (soldering, 10s) .....+300°C  
 Soldering Temperature (reflow)  
   SOT23 .....+240°C  
   TDFN .....+260°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(V<sub>DD</sub> = +2.7V to +3.6V, V<sub>REF</sub> = +2.5V for MAX1087/MAX1089, or V<sub>DD</sub> = +4.75V to +5.25V, V<sub>REF</sub> = +4.096V for MAX1086/MAX1088, 0.1μF capacitor at REF, f<sub>SCLK</sub> = 8MHz (50% duty cycle), AIN- = GND for MAX1088/MAX1089. T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted. Typical values at T<sub>A</sub> = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>DC ACCURACY</b> (Note 1)						
Resolution			10			Bits
Relative Accuracy (Note 2)	INL				±1.0	LSB
Differential Nonlinearity	DNL	No missing codes over temperature			±1.0	LSB
Offset Error				±0.5	±1.0	LSB
Gain Error (Note 3)				±1.0	±2.0	LSB
Gain Temperature Coefficient				±0.8		ppm/°C
Channel-to-Channel Offset				±0.1		LSB
Channel-to-Channel Gain Matching				±0.1		LSB
Input Common-Mode Rejection	CMR	V <sub>CM</sub> = 0V to V <sub>DD</sub> ; zero scale input		±0.1		mV
<b>DYNAMIC SPECIFICATIONS:</b> (f <sub>IN</sub> (sine-wave) = 10kHz, V <sub>IN</sub> = 4.096Vp-p for MAX1086/MAX1088 or V <sub>IN</sub> = 2.5V <sub>PP</sub> for MAX1087/MAX1089, 150ksps, f <sub>SCLK</sub> = 8MHz, AIN- = GND for MAX1088/MAX1089)						
Signal to Noise Plus Distortion	SINAD			61		dB
Total Harmonic Distortion (up to the 5 <sup>th</sup> harmonic)	THD			-70		dB
Spurious-Free Dynamic Range	SFDR			70		dB
Full-Power Bandwidth		-3dB point		1		MHz
Full-Linear Bandwidth		SINAD > 56dB		100		kHz
<b>CONVERSION RATE</b>						
Conversion Time	t <sub>CONV</sub>			3.7		μs
T/H Acquisition Time	t <sub>ACQ</sub>			1.4		μs
Aperture Delay				30		ns
Aperture Jitter				<50		ps
Maximum Serial Clock Frequency	f <sub>SCLK</sub>		8			MHz
Duty Cycle			30		70	%

# 150ksps、10ビット、SOT23/TDFN、2チャンネル シングルエンド、および1チャンネル完全差動ADC

MAX1086-MAX1089

## ELECTRICAL CHARACTERISTICS (continued)

(V<sub>DD</sub> = +2.7V to +3.6V, V<sub>REF</sub> = +2.5V for MAX1087/MAX1089, or V<sub>DD</sub> = +4.75V to +5.25V, V<sub>REF</sub> = +4.096V for MAX1086/MAX1088, 0.1μF capacitor at REF, f<sub>SCLK</sub> = 8MHz (50% duty cycle), AIN- = GND for MAX1088/MAX1089. T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted. Typical values at T<sub>A</sub> = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
<b>ANALOG INPUT</b>							
Input Voltage Range (Note 4)		Unipolar	0		V <sub>REF</sub>	V	
		Bipolar	-V <sub>REF</sub> / 2		V <sub>REF</sub> / 2		
Input Leakage Current		Channel not selected or conversion stopped		±0.01	±1	μA	
Input Capacitance				34		pF	
<b>EXTERNAL REFERENCE INPUT</b>							
Input Voltage Range	V <sub>REF</sub>		1.0		V <sub>DD</sub> + 50mV	V	
Input Current	I <sub>REF</sub>	V <sub>REF</sub> = +2.5V at 150ksps		16	30	μA	
		V <sub>REF</sub> = +4.096V at 150ksps		26	45		
		Acquisition/Between conversions		±0.01	±1		
<b>DIGITAL INPUTS/OUTPUTS (SCLK, CNVST, DOUT)</b>							
Input Low Voltage	V <sub>IL</sub>				0.8	V	
Input High Voltage	V <sub>IH</sub>		V <sub>DD</sub> - 1			V	
Input Leakage Current	I <sub>L</sub>				±0.1	μA	
Input Capacitance	C <sub>IN</sub>			15		pF	
Output Low Voltage	V <sub>OL</sub>	I <sub>SINK</sub> = 2mA			0.4	V	
		I <sub>SINK</sub> = 4mA			0.8	V	
Output High Voltage	V <sub>OH</sub>	I <sub>SOURCE</sub> = 1.5mA	V <sub>DD</sub> - 0.5			V	
Three-State Leakage Current		CNVST = GND			±10	μA	
Three-State Output Capacitance	C <sub>OUT</sub>	CNVST = GND		15		pF	
<b>POWER REQUIREMENTS</b>							
Positive Supply Voltage	V <sub>DD</sub>	MAX1086/MAX1088	4.75	5.0	5.25	V	
		MAX1087/MAX1089	2.7	3.0	3.6		
Positive Supply Current	I <sub>DD</sub>	V <sub>DD</sub> = +3V	f <sub>SAMPLE</sub> = 150ksps		245	350	μA
			f <sub>SAMPLE</sub> = 100ksps		150		
			f <sub>SAMPLE</sub> = 10ksps		15		
			f <sub>SAMPLE</sub> = 1ksps		2		
		V <sub>DD</sub> = +5V	f <sub>SAMPLE</sub> = 150ksps		320	400	
			f <sub>SAMPLE</sub> = 100ksps		215		
			f <sub>SAMPLE</sub> = 10ksps		22		
			f <sub>SAMPLE</sub> = 1ksps		2.5		
Shutdown				0.2	5		
Positive Supply Rejection	PSR	V <sub>DD</sub> = 5V ±5%; full-scale input		±0.1	1.0	mV	
		V <sub>DD</sub> = +2.7V to +3.6V; full-scale input		±0.1	±1.2		

# 150ksps、10ビット、SOT23/TDFN、2チャンネルシングルエンド、および1チャンネル完全差動ADC

MAX1086-MAX1089

## TIMING CHARACTERISTICS (Figures 1 and 2)

( $V_{DD} = +2.7V$  to  $+3.6V$ ,  $V_{REF} = +2.5V$  for MAX1087/MAX1089, or  $V_{DD} = +4.75V$  to  $+5.25V$ ,  $V_{REF} = +4.096V$  for MAX1086/MAX1088,  $0.1\mu F$  capacitor at REF,  $f_{SCLK} = 8MHz$  (50% duty cycle);  $A_{IN-} = GND$  for MAX1088/MAX1089.  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values at  $T_A = +25^\circ C$ .)

PARAMETERS	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCLK Pulse Width High	$t_{CH}$		38			ns
SCLK Pulse Width Low	$t_{CL}$		38			ns
SCLK Fall to DOUT Transition	$t_{DOT}$	$C_{LOAD} = 30pF$			60	ns
SCLK Rise to DOUT Disable	$t_{DOD}$	$C_{LOAD} = 30pF$	100		500	ns
CNVST Rise to DOUT Enable	$t_{DOE}$	$C_{LOAD} = 30pF$			80	ns
CNVST Fall to MSB Valid	$t_{DOV}$	$C_{LOAD} = 30pF$			3.7	$\mu s$
CNVST Pulse Width	$t_{CSW}$		30			ns

**Note 1:** Unipolar input.

**Note 2:** Relative accuracy is the deviation of the analog value at any code from its theoretical value after offset and gain errors have been removed.

**Note 3:** Offset nulled.

**Note 4:** The absolute input range for the analog inputs is from GND to  $V_{DD}$ .

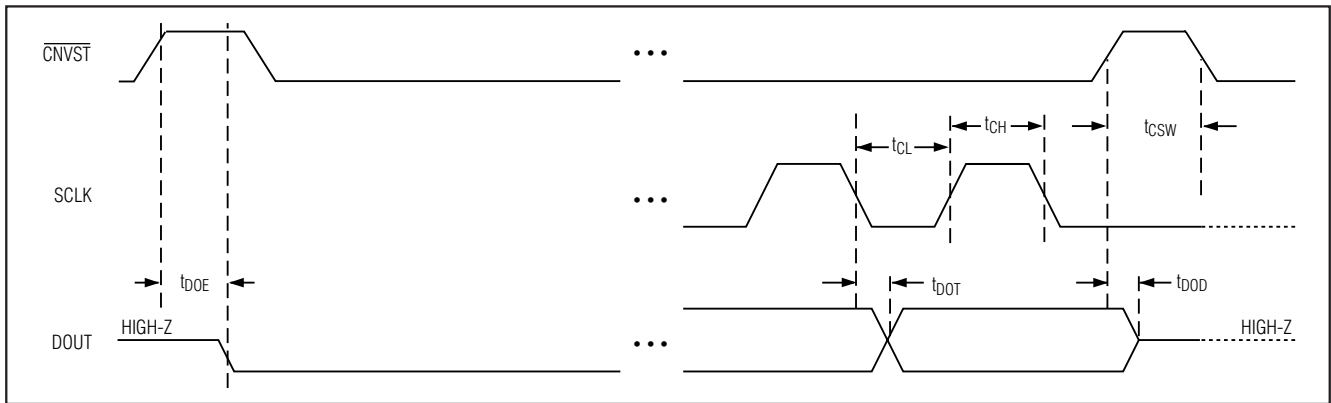


図1. シリアルインタフェースの詳細タイミングシーケンス

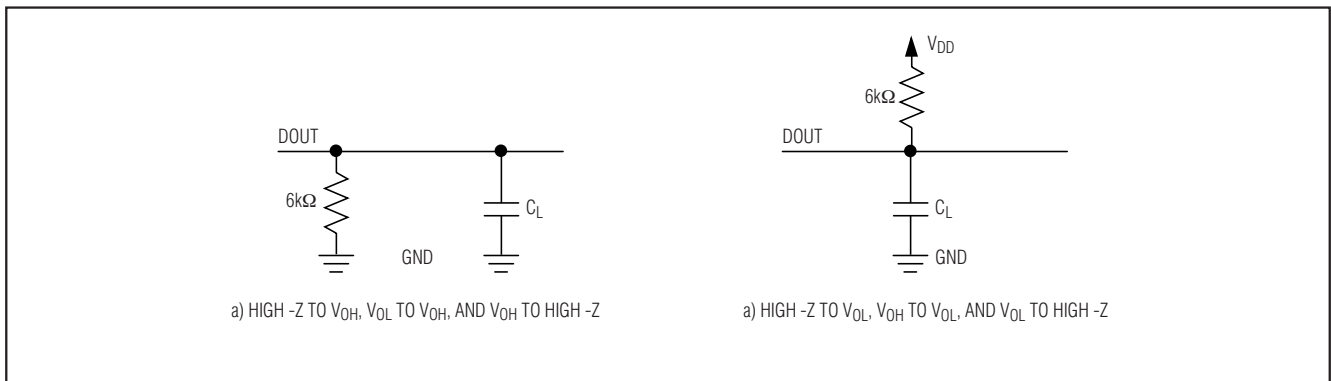


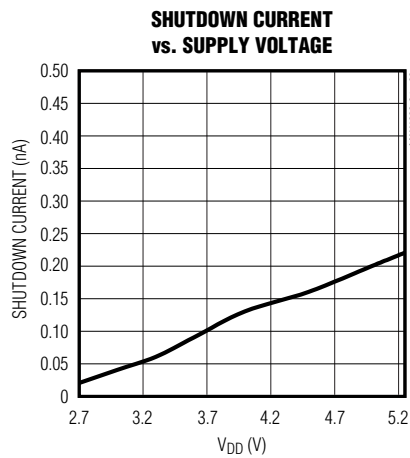
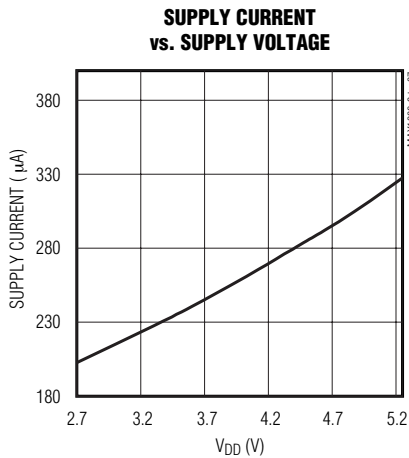
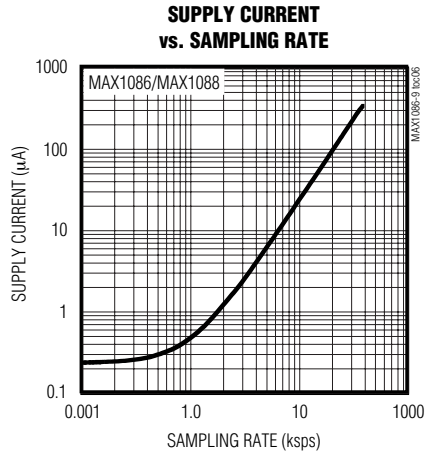
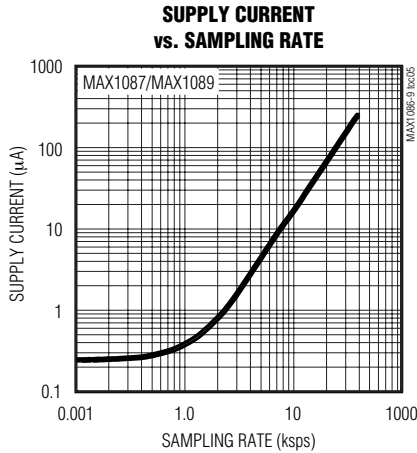
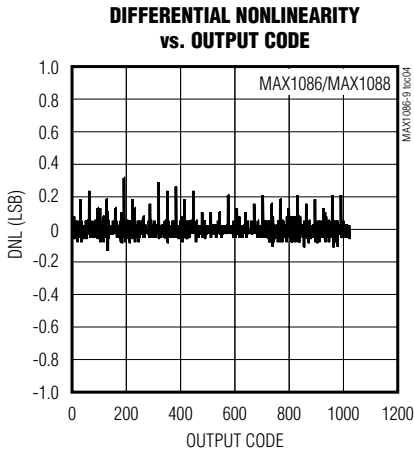
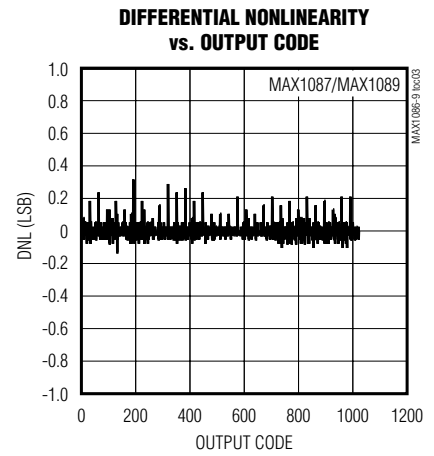
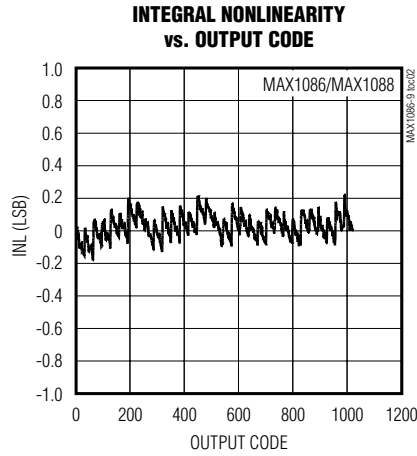
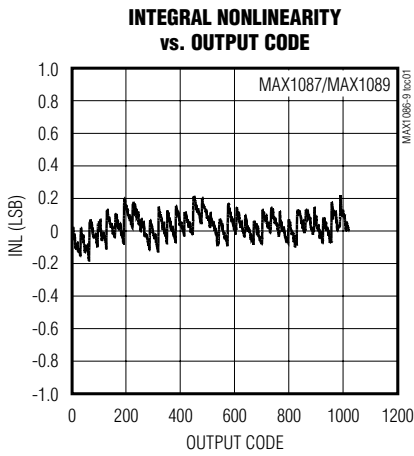
図2. イネーブル/ディセーブル時の負荷回路

# 150kps、10ビット、SOT23/TDFN、2チャンネル シングルエンド、および1チャンネル完全差動ADC

MAX1086-MAX1089

## 標準動作特性

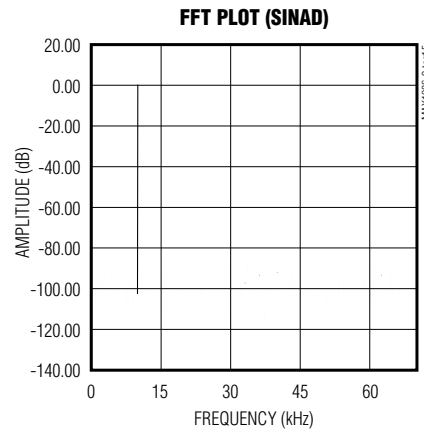
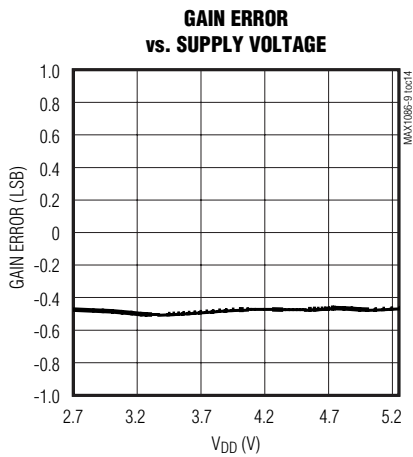
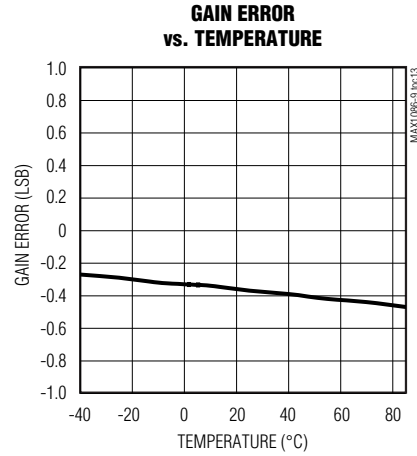
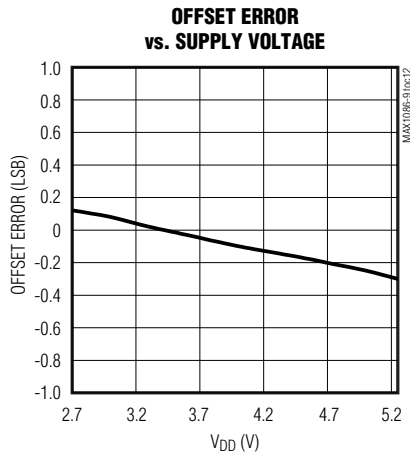
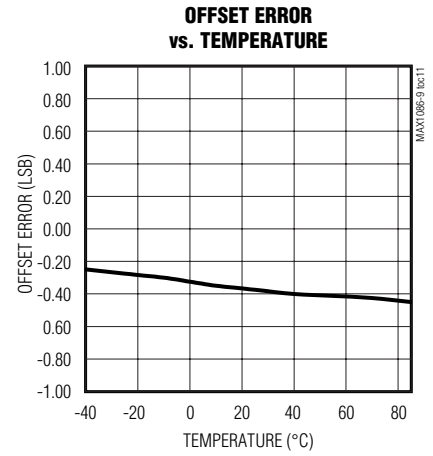
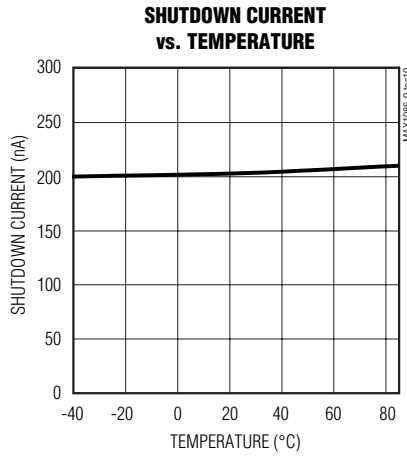
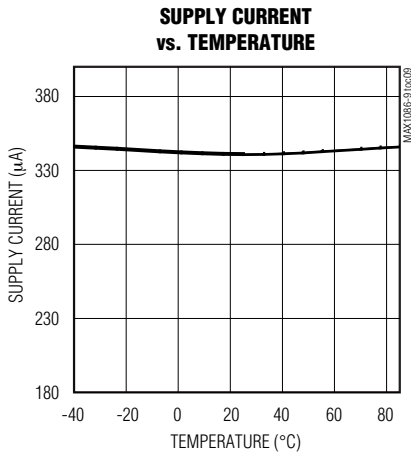
( $V_{DD} = +3.0V$ ,  $V_{REF} = +2.5V$  for MAX1087/MAX1089 or  $V_{DD} = +5.0V$ ,  $V_{REF} = +4.096V$  for MAX1086/MAX1088, 0.1 $\mu F$  capacitor at REF,  $f_{SCLK} = 8MHz$ , (50% Duty Cycle),  $A_{IN-} = GND$  for MAX1088/1089,  $T_A = +25^{\circ}C$ , unless otherwise noted.)



# 150ksp/s、10ビット、SOT23/TDFN、2チャンネル シングルエンド、および1チャンネル完全差動ADC

## 標準動作特性(続き)

( $V_{DD} = 3.0V$ ,  $V_{REF} = 2.5V$  for MAX1087/MAX1089 or  $V_{DD} = 5.0V$ ,  $V_{REF} = +4.096V$  for MAX1086/MAX1088,  $0.1\mu F$  capacitor at REF,  $f_{SCLK} = 8MHz$ , (50% Duty Cycle),  $A_{IN-} = GND$  for MAX1088/89,  $T_A = +25^\circ C$ , unless otherwise noted.)



# 150kpsps、10ビット、SOT23/TDFN、2チャンネル シングルエンド、および1チャンネル完全差動ADC

## 端子説明

端子	名称		機能
	MAX1086 MAX1087	MAX1088 MAX1089	
1	V <sub>DD</sub>	V <sub>DD</sub>	正電源。+2.7V~+3.6V (MAX1087/MAX1089)、+4.75V~+5.25V (MAX1086/MAX1088)。0.1μFのコンデンサでGNDにバイパスしてください。
2	AIN1	AIN+	アナログ入力チャンネル1 (MAX1086/MAX1087)、または正アナログ入力(MAX1088/MAX1089)
3	AIN2	AIN-	アナログ入力チャンネル2 (MAX1086/MAX1087)、または負アナログ入力(MAX1088/MAX1089)
4	GND	GND	グラウンド
5	REF	REF	外部リファレンス電圧入力。アナログ電圧範囲を設定します。0.1μFのコンデンサでGNDにバイパスしてください。
6	CNVST	CNVST	変換スタート。立上りエッジでICをパワーアップし、トラックモードにします。デバイスは、CNVSTの立下りエッジでホールドモードに入り変換を開始します。また、CNVSTによって、入力チャンネル(MAX1086/MAX1087)、または入力極性(MAX1088/MAX1089)を選択します。
7	DOUT	DOUT	シリアルデータ出力。DOUTは、SCLKの立下りエッジで遷移します。DOUTは、変換開始時にローになり、変換終了時にMSBを出力します。データが完全にクロックアウトされると、DOUTはハイインピーダンスになります。
8	SCLK	SCLK	シリアルクロック入力。MSBを先頭としてデータをDOUTにクロックアウトします。
—	EP	—	エクスポーズパッド(TDFNのみ)。エクスポーズパッドをグラウンドに接続するか、または無接続にしてください。

## 詳細

アナログ-デジタルコンバータ(ADC)のMAX1086~MAX1089は、逐次比較変換(SAR)方式と内蔵のトラックホールド(T/H)回路を用いてアナログ信号を10ビットのデジタルデータに変換します。

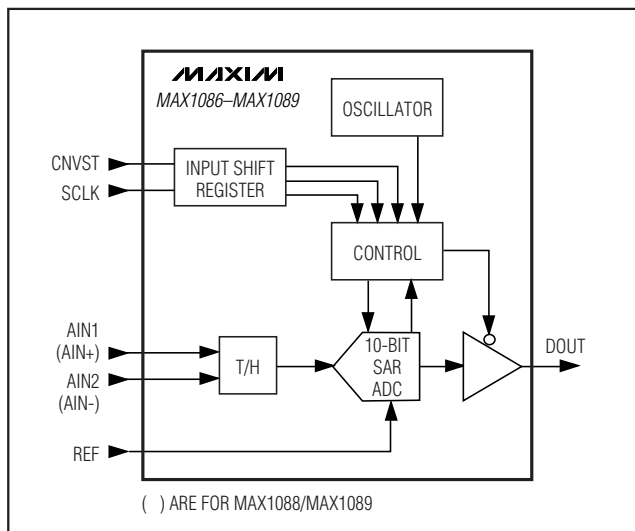


図3. 簡略ファンクションダイアグラム

シリアルインタフェースを用いると、マイクロプロセッサ(μP)へのインタフェースが容易になります。図3は、MAX1086/MAX1087 (2チャンネル、シングルエンド)とMAX1088/MAX1089 (1チャンネル、完全差動)の簡略化した内部構造を示しています。

### 完全差動アナログ入力トラック/ホールド

図4の等価回路は、T/H、入力マルチプレクサ、コンパレータ、スイッチドキャパシタ型DACで構成されたMAX1086~MAX1089の入力方式を示します。T/Hは、CNVSTの立上りエッジでトラックモードに入ります。正の入力コンデンサは、AIN1またはAIN2 (MAX1086/MAX1087)、またはAIN+ (MAX1088/MAX1089)に接続されます。負の入力コンデンサは、GND (MAX1086/MAX1087)、またはAIN- (MAX1088/MAX1089)に接続されます。T/Hは、CNVSTの立下りエッジでホールドモードに入り、サンプリングされた正と負の入力電圧差が変換されます。T/Hが入力信号を獲得するのに必要な時間は、入力容量の充電速度で決まります。入力信号のソースインピーダンスが大きいと獲得時間が長くなるため、CNVSTをより長い時間ハイに保つ必要があります。獲得時間 $t_{ACQ}$ は、信号の獲得に必要な最大時間とパワーアップ時間の和になります。これは、次式から計算されます。

$$t_{ACQ} = 7 \times (R_s + R_{IN}) \times 24pF + t_{PWR}$$

# 150ksps、10ビット、SOT23/TDFN、2チャンネルシングルエンド、および1チャンネル完全差動ADC

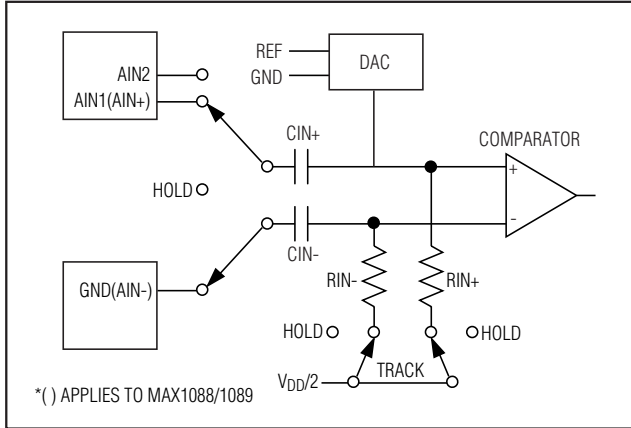


図4. 等価入力回路

ここで、 $R_{IN} = 1.5k\Omega$ 、 $R_S$ は入力信号のソースインピーダンス、および $t_{pWR} = 1\mu s$ はデバイスのパワーアップ時間です。

注記： $t_{ACQ}$ は、 $1.4\mu s$ よりも短くなることはなく、ソースインピーダンスが $300\Omega$ 以下であればADCのAC性能に大きな影響を与えません。ハイインピーダンスソースは、 $t_{ACQ}$ を長くするか、正と負のアナログ入力間に $1\mu F$ のコンデンサを接続することで対応することができます。

## AIN1またはAIN2の選択 (MAX1086/MAX1087)

CNVSTピンを用いて、MAX1086/MAX1087の2つの正入力チャンネルから一方を選択します。AIN1を所望する場合は(図5a)、CNVSTをハイに駆動してADCをパワーアップし、AIN1を正の入力コンデンサに接続した状態でT/Hをトラックモードにします。 $t_{ACQ}$ の間CNVSTをハイに保持して信号を完全に獲得します。CNVSTをローに駆動してT/Hをホールドモードにします。その後、ADCは変換を行なって自動的にシャットダウンします。3.7 $\mu s$ 後にDOUTにMSBが出力されます。その後、データはSCLKによってクロックアウトすることができます。必ず12ビットのデータ(10データビット+2サブビット)をすべてクロックアウトしてから次の変換でCNVSTをハイに駆動してください。CNVSTをハイに駆動する前に12ビットのデータをすべてクロックアウトしない場合は、次の変換ではAIN2が選択されます。

AIN2を所望する場合は(図5b)、30ns以上CNVSTをハイに駆動します。次に、これを30ns以上ローに駆動し、さらにもう一度ハイにします。これによってADCがパワーアップしAIN2が正の入力コンデンサに接続された状態でT/Hをトラックモードにします。ここで、CNVSTを $t_{ACQ}$ の間ハイに保持して信号を完全に獲得します。CNVSTをローに駆動してT/Hをホールドモードにします。その後、ADCは変換を行なって自動的にシャットダウンします。3.7 $\mu s$ 後にDOUTにMSBが出力されます。その後、データはSCLKによってクロックアウトすることができます。CNVSTをハイに駆動する前に12ビットの

データをすべてをクロックアウトしない場合は、次の変換ではAIN2が選択されます。

## ユニポーラまたはバイポーラ変換の選択 (MAX1088/MAX1089)

CNVSTピンを用いて、MAX1088/MAX1089のユニポーラおよびバイポーラモードで完全差動変換を開始します。AIN+とAIN-はCNVSTの立下りエッジでサンプリングされます。ユニポーラモードでは、AIN+がAIN-を最大 $V_{REF}$ までは超えることができます。出力形式は、ストレートバイナリです。バイポーラモードでは、いずれの入力も他の入力を最大 $V_{REF}/2$ までは超えることができます。出力形式は2の補数です。

注記：いずれのモードにおいても、AIN+とAIN-が $V_{DD}$ を50mV以上超えたり、GNDを50mV以上下回ったりしないでください。

ユニポーラモードを所望する場合は(図5a)、CNVSTをハイに駆動するとADCがパワーアップし、AIN+とAIN-を入力コンデンサに接続した状態でT/Hがトラックモードになります。CNVSTを $t_{ACQ}$ の間ハイに保持して信号を完全に獲得します。CNVSTをローに駆動すると、T/Hがホールドモードになります。この後、ADCは変換を行なって自動的にシャットダウンします。3.7 $\mu s$ 後にDOUTにMSBが出力されます。その後、データはSCLKによってクロックアウトすることができます。必ず12ビットのデータ(10データビット+2サブビット)をすべてクロックアウトしてから次の変換でCNVSTをハイに駆動してください。CNVSTをハイに駆動する前に12ビットのデータをすべてをクロックアウトしない場合は、次の変換ではバイポーラモードが選択されます。

バイポーラモードを所望する場合は(図5b)、30ns以上CNVSTをハイに駆動します。次に、これを30ns以上ローに駆動し、さらにもう一度ハイにします。このことによって、AIN+とAIN-が入力コンデンサに接続された状態でT/Hがトラックモードになります。この場合、CNVSTを $t_{ACQ}$ の間ハイに保持すると信号が完全に獲得されます。CNVSTをローに駆動すると、T/Hがホールドモードになります。この後、ADCは変換を行なって自動的にシャットダウンします。3.7 $\mu s$ 後にDOUTにMSBが出力されます。その後、データはSCLKによってクロックアウトすることができます。CNVSTをハイに駆動する前に12ビットのデータをすべてをクロックアウトしない場合は、次の変換ではバイポーラモードが選択されます。

## 入力帯域幅

ADCの入力トラッキング回路の小信号帯域幅は1MHzです。そのため、高速の過渡現象をデジタル化し、アンダーサンプリング技術を用いてADCのサンプリング速度を超える帯域幅の周期信号を測定することが可能です。高周波信号が計測する周波数帯にエイリアスするのを防ぐには、アンチエイリアスフィルタ処理を推奨します。



# 150kpsps、10ビット、SOT23/TDFN、2チャンネル シングルエンド、および1チャンネル完全差動ADC

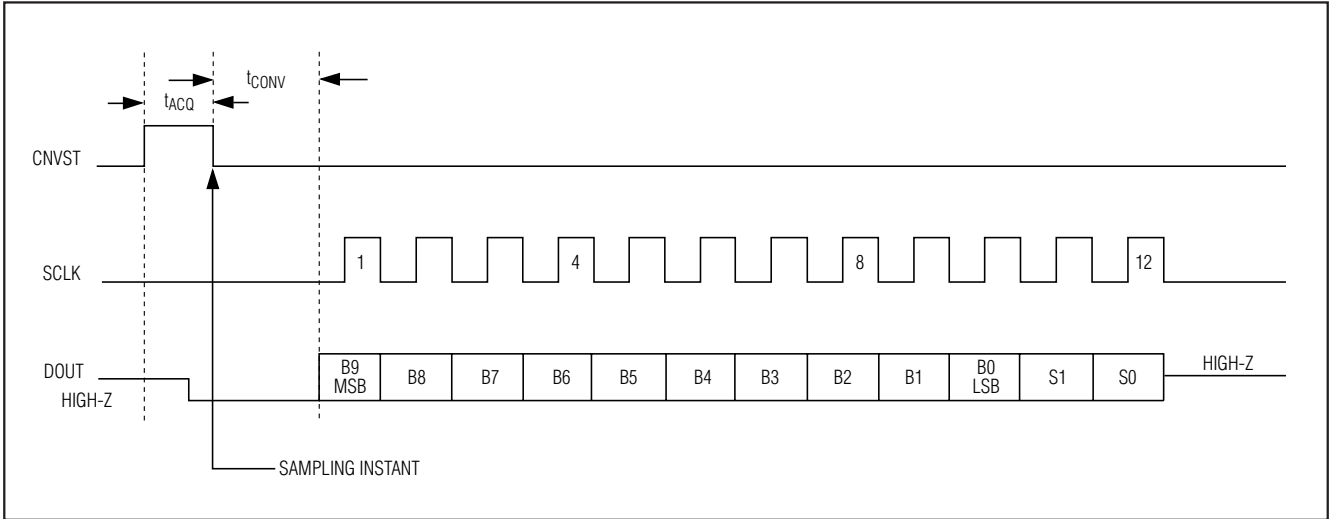


図5a. 単一変換AIN1/GND (MAX1086/MAX1087)、ユニポーラモードAIN+/AIN- (MAX1088/MAX1089)

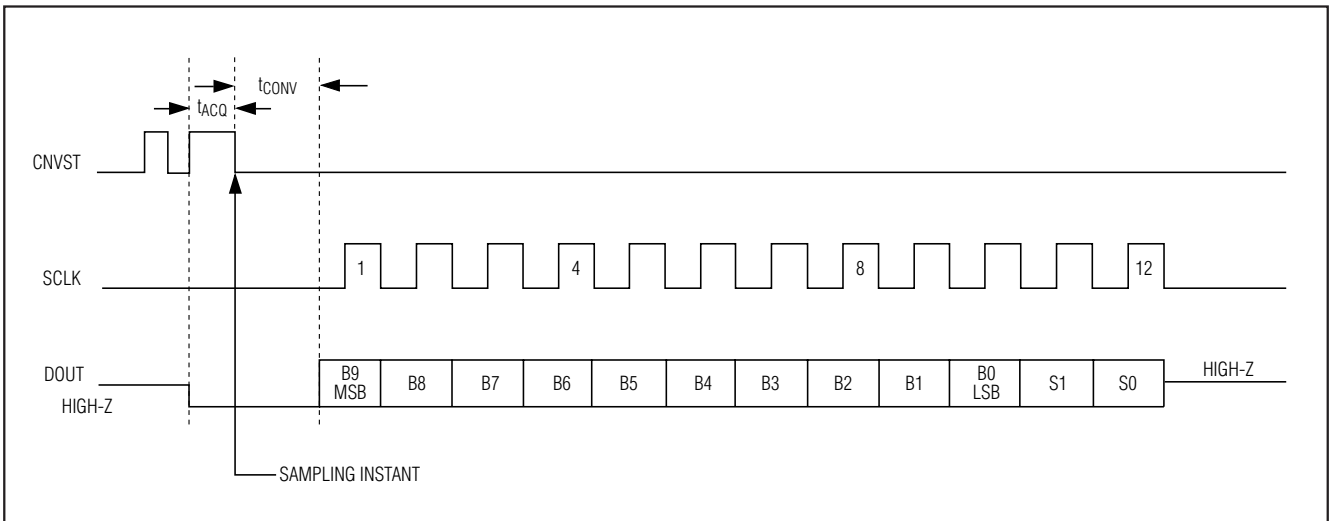


図5b. 単一変換AIN2/GND (MAX1086/MAX1087)、バイポーラモードAIN+/AIN- (MAX1088/MAX1089)

## アナログ入力保護

内部保護ダイオードは、アナログ入力を $V_{DD}$ およびGNDにクランプすることによって、アナログ入力ピンは $(GND - 0.3V) \sim (V_{DD} + 0.3V)$ の範囲で損傷することなくスイングすることができます。正確に変換を行うには、いずれの入力も $V_{DD}$ を50mV以上超えたり、GNDを50mV以上下回ったりしないでください。オフチャネルのアナログ入力電圧が電源電圧を超える場合には、入力電流を2mAに制限してください。

## 内部クロック

MAX1086~MAX1089は、内部発振器(4MHzの仕様のクロックレートの10%以内の精度)で動作します。このため、ワーストケースの変換時間は $3.7\mu s$ になります。内部クロックであるため、システムマイクロプロセッサをSAR変換クロック動作から解放し、0~8MHzの任意のクロックレートでマイクロプロセッサの都合の良いときに変換データをリードバックすることができます。

# 150ksps、10ビット、SOT23/TDFN、2チャンネルシングルエンド、および1チャンネル完全差動ADC

## 出力データ形式

図5aと5bは、MAX1086~MAX1089の変換タイミングを示します。10ビットの変換データは、MSBを先頭として、これに2サブビット(S1とS0)が続く形式で出力されます。DOUTのデータは、SCLKの立下りエッジで遷移します。CNVSTが次に遷移する前に12ビットすべてをクロックアウトする必要があります。MAX1088/MAX1089の場合、ユニポーラモードのデータはストレートバイナリで、バイポーラモードのデータは2の補数形式です。MAX1086/MAX1087の場合、データは常にストレートバイナリです。

## アプリケーション情報

### 自動シャットダウンモード

CNVSTがローの場合、MAX1086~MAX1089は、パワーアップ後と各変換の間、AutoShutdown状態(<0.2μA)がデフォルトになっています。CNVSTの立上りエッジを検出すると、デバイスはパワーアップしてDOUTをローに設定し、トラックモードに入ります。CNVSTの立下りエッジを検出すると、デバイスはホールドモードに入り変換を開始します。デバイスは最大3.7μs後に変換を終了してシャットダウンに入り、MSBがDOUTに出力されます。

### 外部リファレンス

MAX1086~MAX1089には外部リファレンスが必要です。最良の性能を得るには、0.1μFのバイパスコンデンサを使用します。リファレンスの入力回路は、+1V ~ V<sub>DD</sub> + 50mVの電圧範囲が可能です。

## 伝達関数

図6は、MAX1086~MAX1089のユニポーラ伝達関数を示します。図7は、MAX1088/MAX1089のバイポーラ伝達関数を示します。コード遷移は、連続する整数のLSB値の中間で起こります。

### 標準インターフェースへの接続

MAX1086~MAX1089は、SPI、QSPI、MICROWIRE完全対応のシリアルインターフェースを備えています。シリアルインターフェースを利用する場合は、CPUのシリアルインターフェースをマスターとして設定することによって、CPUはADCのシリアルクロックを発生します。最高8MHzまでのクロック周波数を選択してください。

### 変換の実施方法

- 1) CPUの汎用I/Oラインを用いて、各変換の間CNVSTをローに保持します。
- 2) CNVSTをハイに駆動するとAIN1 (MAX1086/MAX1087)またはユニポーラモード(MAX1088/MAX1089)が獲得されます。AIN2 (MAX1086/MAX1087)またはバイポーラモード(MAX1088/MAX1089)を獲得するには、CNVSTをローに駆動してからハイに戻します。
- 3) CNVSTを1.4μsの間ハイに保持します。
- 4) CNVSTをローに駆動し、変換が終了するまで約3.7μsの間待ちます。3.7μs後、MSBがDOUTに出力されます。
- 5) 少なくとも12個のクロックの立上りエッジの間SCLKをアクティブにします。DOUTがSCLKの立下りエッジ

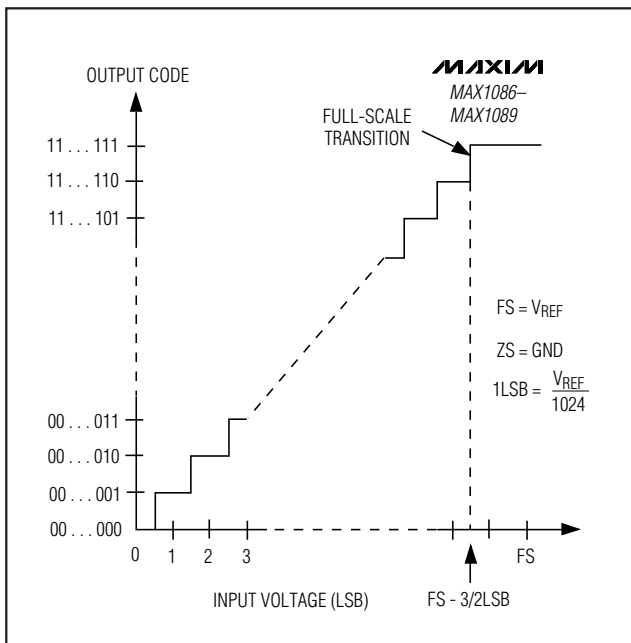


図6. ユニポーラ伝達関数

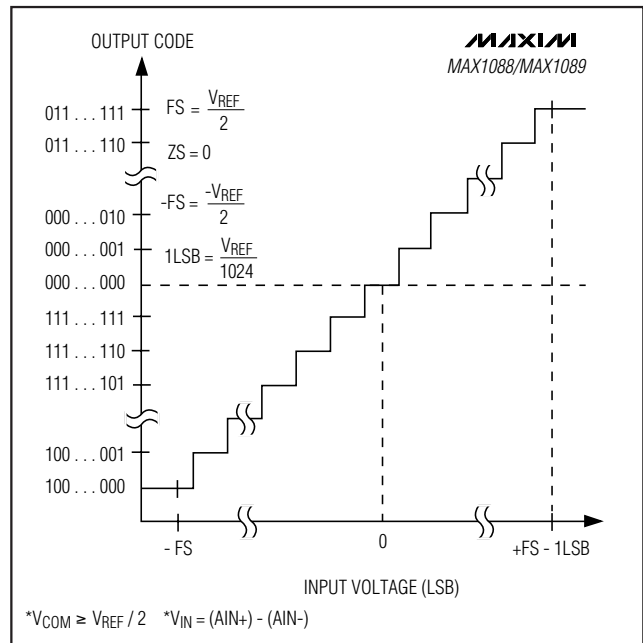


図7. バイポーラ伝達関数

# 150kpsps、10ビット、SOT23/TDFN、2チャンネルシングルエンド、および1チャンネル完全差動ADC

MAX1086-MAX1089

で遷移し、データはMSB先頭の形式で出力されます。SCLKのDOUTに対する正しいタイミング特性を守ってください。SCLKの立上りエッジでデータをμPにクロックインします。

クインされます。最初の10ビットはデータで、次の2ビットはサブビット(S1、S0)です。その後、DOUTはハイインピーダンスになります(図9b)。

## SPIとMICROWIREインタフェース

SPIインタフェース(図8a)またはMICROWIRE (図8aと8b)を使用するときは、CPOL = CPHA = 0に設定します。ADCから全10ビットのデータを得るには、2回の8ビット読取りが必要です。DOUTデータは、シリアルクロックの立下りエッジで遷移し、SCLKの立上りエッジでμPにクロックインされます。最初の8ビットのデータストリームには、DOUTからのMSBで始まる最初の8ビットが含まれています。2番目の8ビットのデータストリームには、残りの2つのデータビット(B1、B0)と2つの後続サブビット(S1、S0)が含まれています。その後、DOUTはハイインピーダンスになります。

## PIC16とSSPモジュールとPIC17インタフェース

同期シリアルポート(SSP)モジュールを使用すると、MAX1086~MAX1089はPIC16/PIC17マイクロコントローラ(μC)に対応します。

SPI通信を確立するには、図10aに示すようにコントローラを接続し、PIC16/PIC17をシステムマスターとして構成します。これは、その同期シリアルポートの制御レジスタ(SSPCON)と同期シリアルポートのステータスレジスタ(SSPSTAT)をビットパターン(表1および2に示す)に初期化することによって実現します。

## QSPIインタフェース

CPOL = 0およびCPHA = 0として高速QSPIインタフェース(図9a)を使用する場合、MAX1086~MAX1089は最高8MHzのf<sub>SCLK</sub>をサポートします。ADCから全10ビットのデータを得るには、1回の8~16ビット読取りが必要です。DOUTデータは、シリアルクロックの立下りエッジで遷移し、SCLKの立上りエッジでμPにクロック

SPIモードでは、μCのPIC16/PIC17によって、8ビットのデータを同期させて同時に送受信することができます。ADCから全10ビットのデータを得るには、2つの連続した8ビットの読取り(図10b)が必要です。DOUTデータは、シリアルクロックの立下りエッジで遷移し、SCLKの立上りエッジでμCにクロックインされます。最初の8ビットデータストリームには、MSBで始まる最初の8データビットが含まれています。2番目の8ビットデータストリームには、残りのビットのB1~B0および2つのサブビットS1とS0が含まれています。

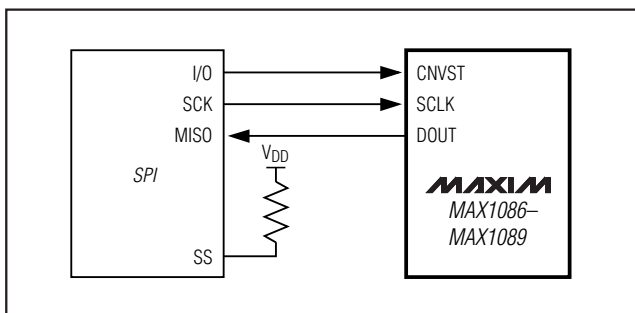


図8a. SPIの接続

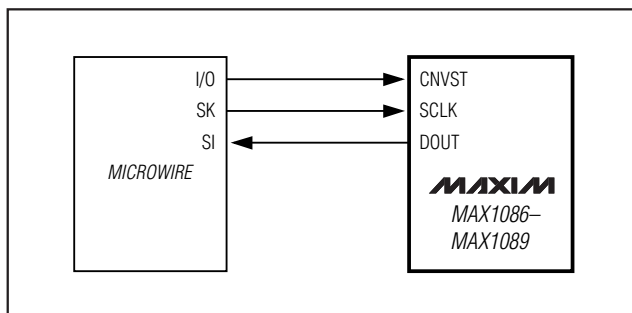


図8b. MICROWIREの接続

表1. 詳細なSSPCONレジスタ内容

CONTROL BIT		MAX1086-MAX1089 SETTINGS	SYNCHRONOUS SERIAL PORT CONTROL REGISTER (SSPCON)
WCOL	Bit 7	X	Write Collision Detection Bit
SSPOV	Bit 6	X	Receive Overflow Detect Bit
SSPEN	Bit 5	1	Synchronous Serial Port Enable Bit. 0: Disables serial port and configures these pins as I/O port pins. 1: Enables serial port and configures SCK, SDO and SCI pins as serial port pins.
CKP	Bit 4	0	Clock Polarity Select Bit. CKP = 0 for SPI master mode selection.
SSPM3	Bit 3	0	Synchronous Serial Port Mode Select Bit. Sets SPI master mode and selects f <sub>CLK</sub> = f <sub>OSC</sub> / 16.
SSPM2	Bit 2	0	
SSPM1	Bit 1	0	
SSPM0	Bit 0	1	

X = 任意

# 150ksps、10ビット、SOT23/TDFN、2チャンネル シングルエンド、および1チャンネル完全差動ADC

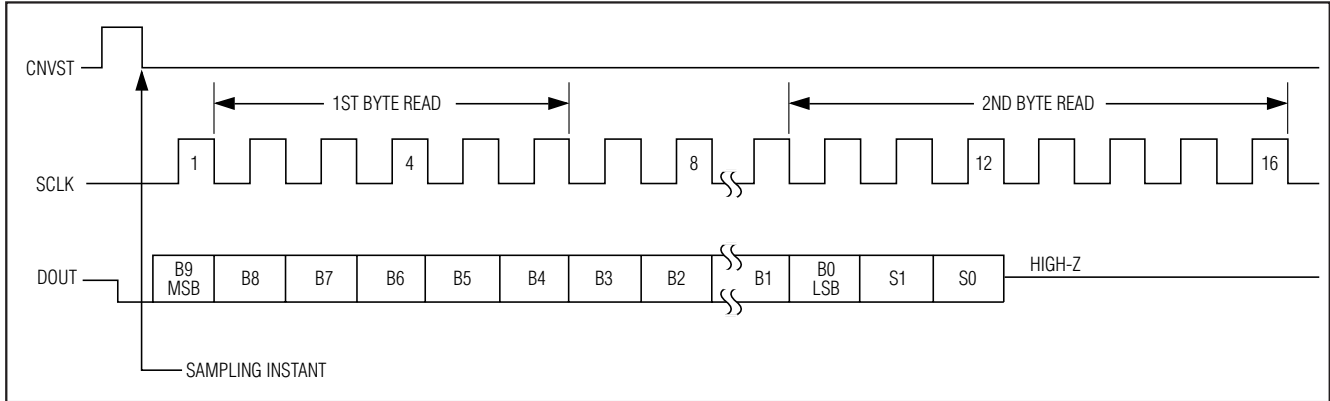


図8c. SPI/MICROWIREインタフェースのタイミングシーケンス(CPOL = CPHA = 0)

## レイアウト、接地、バイパス処理

最良の性能を得るには、プリント(PC)基板を使用します。レイアウトではアナログとデジタルのトレースを適切に分離する必要があるため、ワイヤラップ接続は推奨しません。アナログラインとデジタルラインは互いに平行に走らせないでください。また、ADCパッケージ

の下にデジタル信号経路を配置しないでください。プリント基板のアナログとデジタルのグラウンド部分は分離し、スターポイントを1点だけ設け(図11)、ここで2つ(アナログとデジタル)のグラウンドシステムを接続します。ノイズを最小限に抑制するには、スターグラウンドの電源へのグラウンドリターンはローインピーダンスとし、可能な限り短くします。デジタル信号経路は、敏感なアナログおよびリファレンス入力から遠ざけてください。

電源( $V_{DD}$ )に含まれる高周波ノイズは、ADCの高速コンパレータの性能を低下させるおそれがあります。0.1 $\mu$ Fのコンデンサを用いて、MAX1086~MAX1089の電源ピンの可能な限り近くに配置し、 $V_{DD}$ からスターグラウンドにバイパスしてください。最良の電源ノイズの低減のためには、コンデンサのリード長は可能な限り短くしてください。電源ノイズが非常に大きい場合は減衰抵抗(5 $\Omega$ )を追加してください。

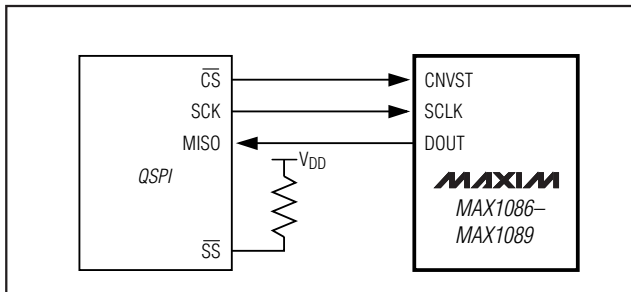


図9a. QSPIの接続

## 表2. 詳細なSSPSTATレジスタ内容

CONTROL BIT		MAX1086-MAX1089 SETTINGS	SYNCHRONOUS SERIAL STATUS REGISTER (SSPSTAT)
SMP	Bit 7	0	SPI Data Input Sample Phase. Input data is sampled at the middle of the data output time.
CKE	Bit 6	1	SPI Clock Edge Select Bit. Data will be transmitted on the rising edge of the serial clock.
D/A	Bit 5	X	Data Address Bit
P	Bit 4	X	Stop Bit
S	Bit 3	X	Start Bit
R/W	Bit 2	X	Read/Write Bit Information
UA	Bit 1	X	Update Address
BF	Bit 0	X	Buffer Full Status Bit

X = 任意

# 150kps、10ビット、SOT23/TDFN、2チャンネル シングルエンド、および1チャンネル完全差動ADC

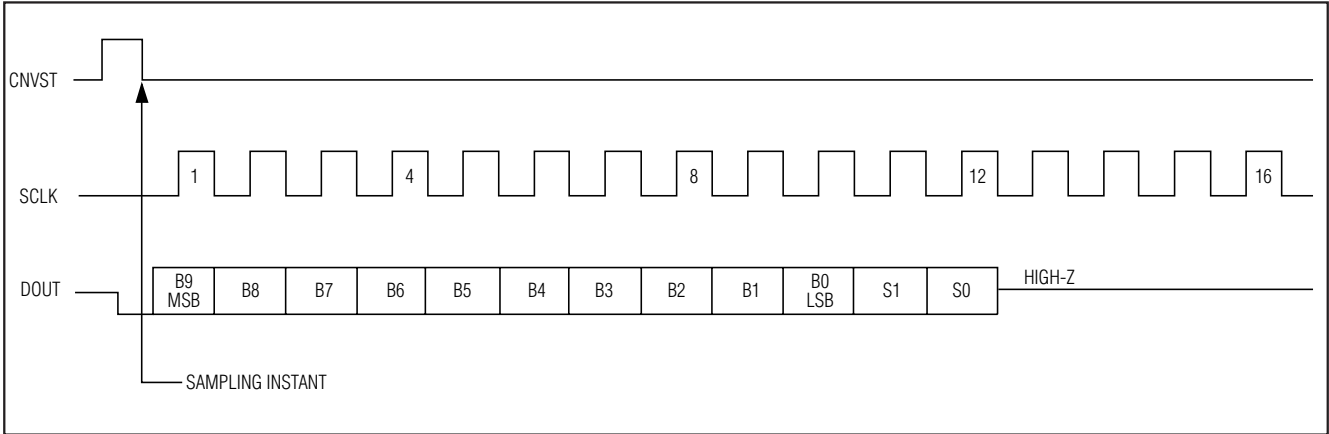


図9b. QSPIインタフェースのタイミングシーケンス(CPOL = CPHA = 0)

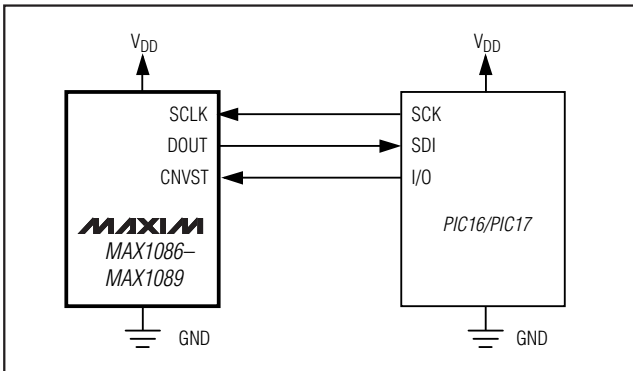


図10a. PIC16/PIC17コントローラ用のSPIインタフェース接続

## 定義

### 積分非直線性

積分非直線性(INL)は、実際の伝達関数上の値の直線からのずれです。この直線は、オフセットとゲインエラーをゼロにした後の最適な直線、または伝達関数の両終点を結んだ直線のいずれかです。MAX1086~MAX1089の静的直線性パラメータは、終点法を用いて測定します。

### 微分非直線性

微分非直線性(DNL)は、実際のステップ幅と1 LSBの理想値の差です。1 LSB以下のDNL誤差の仕様は、ミッシングコードのない単調伝達関数を保証するものです。

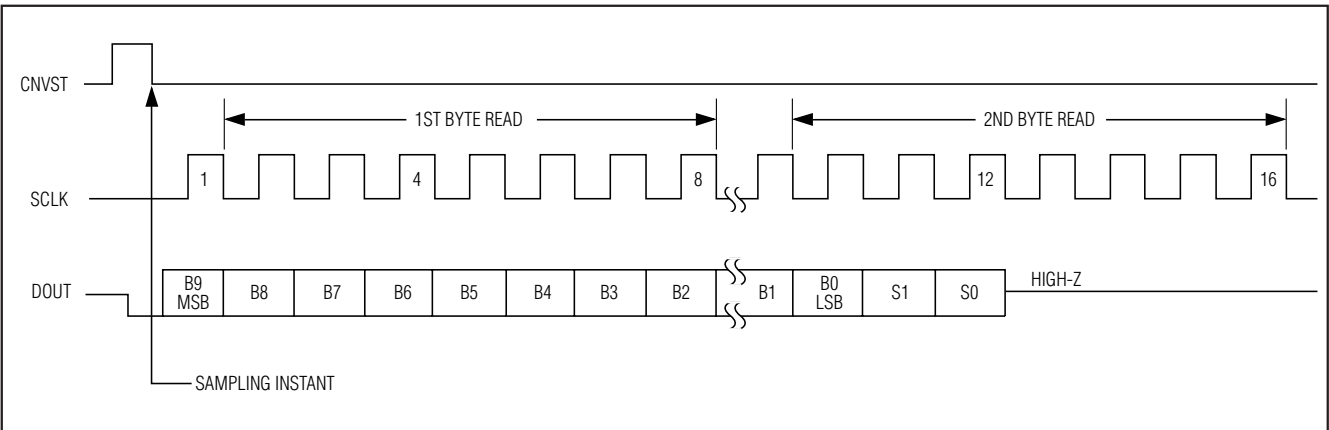


図10b. マスターモードにおけるPIC16/PIC17のSPIインタフェースのタイミング(CKE = 1、CKP = 0、SMP = 0、SSPM3~SSPM0 = 0001)

# 150ksps、10ビット、SOT23/TDFN、2チャンネル シングルエンド、および1チャンネル完全差動ADC

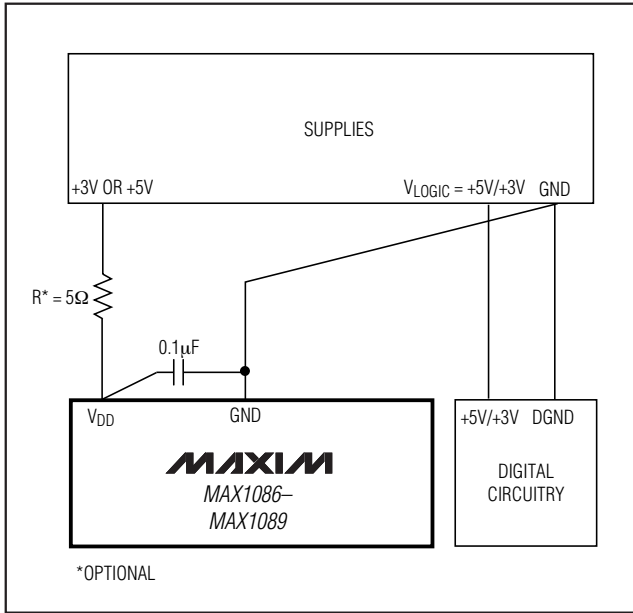


図11. 電源と接地の接続

## アパーチャの定義

アパーチャジッタ( $t_{AJ}$ )は、サンプル間の時間間隔の変動です。アパーチャ遅延( $t_{AD}$ )は、サンプリングクロックの立上りエッジから実際のサンプリングが行なわれる瞬間までの時間です。

## 信号対雑音比

デジタルサンプルから完全に復元された波形の場合、信号対雑音比(SNR)はフルスケールアナログ入力(RMS値)の、RMS量子化誤差(残留誤差)に対する比です。理想的な理論的最小アナログ対デジタル雑音は量子化誤差のみによって生じるもので、次式によってADCの分解能(Nビット)から直接求められます。

$$\text{SNR} = (6.02 \times N + 1.76) \text{dB}$$

実際には、量子化雑音以外に、熱雑音、リファレンス雑音、クロックジッタなどの雑音源があります。SNRは、RMS信号の、RMS雑音に対する比を取ることで計算されます。RMS雑音には、全スペクトル成分から基本波を差し引いた成分、最初の5つの高調波成分、DCオフセットが含まれます。

## 信号対雑音 + 歪み比

信号対雑音+歪み比(SINAD)は、基本波入力周波数のRMS振幅の、その他すべてのADC出力信号のRMS振幅に対する比です。

$$\text{SINAD (dB)} = 20 \times \log (\text{Signal}_{\text{RMS}} / \text{Noise}_{\text{RMS}})$$

## 有効ビット数

有効ビット数(ENOB)は、特定入力周波数とサンプリング速度におけるADCの総合的な精度を表わします。理想的なADC誤差は、量子化雑音のみからなります。ADCのフルスケールレンジに等しい入力範囲で、有効ビット数を次式によって計算します。

$$\text{ENOB} = (\text{SINAD} - 1.76) / 6.02$$

## 全高調波歪み

全高調波歪み(THD)は、入力信号に含まれる最初の5つの高調波のRMS和の、基本波そのものに対する比です。これは、次式で表されます。

$$\text{THD} = 20 \cdot \log \left( \sqrt{(V_2^2 + V_3^2 + V_4^2 + V_5^2)} / V_1 \right)$$

ここで、 $V_1$ は基本波の振幅、 $V_2 \sim V_5$ は第2から第5高調波の振幅です。

## スプリアスフリーダイナミックレンジ

スプリアスフリーダイナミックレンジ(SFDR)は、基本波(最大信号成分)のRMS振幅の、2番目に大きい歪み成分のRMS値に対する比です。

## チップ情報

PROCESS: BiCMOS

## パッケージ

最新のパッケージ図面情報およびランドパターンは、[japan.maxim-ic.com/packages](http://japan.maxim-ic.com/packages)を参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なる点がある点に注意してください。

パッケージタイプ	パッケージコード	外形図No.	ランドパターンNo.
8 SOT23	K8F-4	<b>21-0078</b>	<b>90-0176</b>
8 TDFN	T833+2	<b>21-0137</b>	<b>90-0059</b>

# 150ksps、10ビット、SOT23/TDFN、2チャンネル シングルエンド、および1チャンネル完全差動ADC

MAX1086-MAX1089

## 改訂履歴

版数	改訂日	説明	改訂ページ
1	8/07	TDFNパッケージ追加	1, 2, 7, 15, 16, 17
2	6/08	ETAパッケージ追加	1, 7
3	8/10	鉛フリー品とはんだ付け温度を追加	1, 2

マキシム・ジャパン株式会社 〒141-0032 東京都品川区大崎1-6-4 大崎ニューシティ 4号館 20F TEL: 03-6893-6600

Maximは完全にMaxim製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maximは随時予告なく回路及び仕様を変更する権利を留保します。

**Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600** \_\_\_\_\_ 15