

# ±5V、600MSPS、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

## 概要

MAX106は、2.2GHzまでの帯域幅でアナログ信号の正確な数値化が可能なPECLコンパチブルの600MSPS、8ビットアナログデジタルコンバータ(ADC)です。マキシム社独自の高度GST-2バイポーラプロセスで製造されたMAX106は、高性能トラック/ホールド(T/H)アンプ及びディジタイザを単一のモノリシックチップに集積化しています。

フルパワー入力帯域幅が2.2GHzと非常に広い内部T/Hは、革新的な設計により、ナイキスト周波数において高性能(有効ビット数7.6)を実現しています。完全差動コンバータ設計とディコード回路により、アウトオブシーケンス・コードエラー(温度計気泡又はスパークルコード)を低減し、 $10^{27}$ クロックサイクルに1エラーという優れた準安定性能を提供しています。エラーによりフル又はゼロスケール出力が生じ得る他のADCとは異なり、MAX106はエラーの大きさが1LSBに制限されています。

アナログ入力は差動又はシングルエンド用に設計されており、入力電圧範囲は±250mVです。デュアル差動PECLコンパチブル出力経路により、インタフェースが容易になり、また、出力データ速度をサンプリングクロック速度の半分に低減する8:16デマルチプレクサを備えています。PECL出力は+3V~+5Vの範囲の任意の電源で動作できるため、+3.3V又は+5V基準の機器とコンパチブルです。他のMAX106をインタリーブして実行システムサンプリング速度を増加させるための、制御入力も提供されています。

MAX106のパッケージは、25mm x 25mm、192コンタクトのエンハンスドスーパーボールグリッドアレイ(ESBGA™)です。温度範囲は民生用(0 ~ +70)のものが用意されています。さらに高速のピンコンパチブルのアップグレード製品としては、MAX104(1Gsps)及びMAX108(1.5Gsps)を参照して下さい。

## アプリケーション

- デジタルRF/IF信号処理
- ダイレクトRFダウン変換
- 高速データ収集
- デジタルオシロスコープ
- 高エネルギー物理
- レーダ/ECM機器
- ATE機器

標準動作回路はデータシートの最後に記載されています。

ESBGAはAmkor/Anamの商標です。

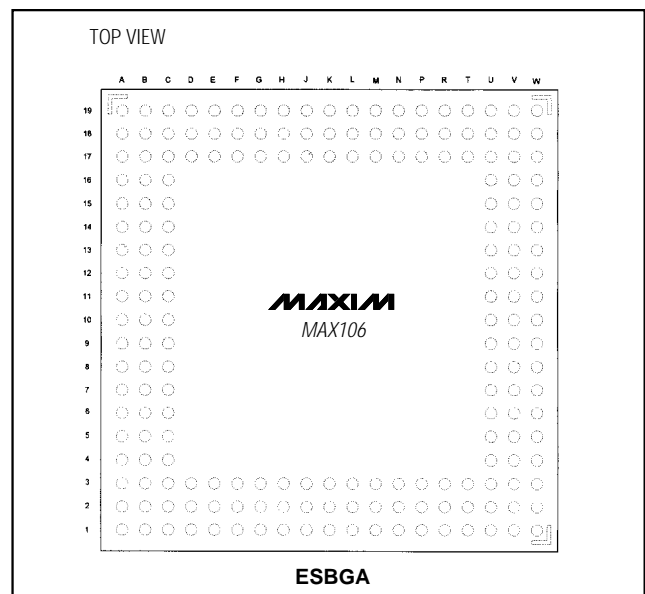
## 特長

- ◆ 変換速度：600MSPS
- ◆ フルパワーアナログ入力帯域幅：2.2GHz
- ◆ 有効ビット数： $f_{IN} = 300\text{MHz}$   
(ナイキスト周波数)において7.6
- ◆ INL及びDNL： $\pm 0.25\text{LSB}$
- ◆ 50 の差動アナログ入力
- ◆ 入力信号範囲： $\pm 250\text{mV}$
- ◆ 内蔵+2.5V高精度バンドギャップ電圧リファレンス
- ◆ ラッチ付差動PECLデジタル出力
- ◆ 低エラーレート：準安定状態は $10^{-27}$
- ◆ 選択可能な8:16デマルチプレクサ
- ◆ 内部デマルチプレクサリセット入力(リセット出力付)
- ◆ パッケージ：192コンタクトのESBGA
- ◆ より高速なMAX104/MAX108とピンコンパチブル

## 型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX106CHC	0°C to +70°C	192 ESBGA

## 192コンタクトのESBGA ボール割当マトリックス



# ±5V、600Msps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

MAX106

## ABSOLUTE MAXIMUM RATINGS

V <sub>CCA</sub> to G <sub>NDA</sub> .....	-0.3V to +6V	V <sub>OS</sub> ADJ Adjust Input .....	-0.3V to (V <sub>CC1</sub> + 0.3V)
V <sub>CCD</sub> to G <sub>NDD</sub> .....	-0.3V to +6V	CLK+ to CLK- Voltage Difference .....	±3V
V <sub>CC1</sub> to G <sub>ND1</sub> .....	-0.3V to +6V	CLK+, CLK- .....	(V <sub>EE</sub> - 0.3V) to (G <sub>NDD</sub> + 1V)
V <sub>CCO</sub> to G <sub>NDD</sub> .....	-0.3V to (V <sub>CCD</sub> + 0.3V)	CLKCOM .....	(V <sub>EE</sub> - 0.3V) to (G <sub>NDD</sub> + 1V)
AUXEN1, AUXEN2 to G <sub>ND</sub> .....	-0.3V to (V <sub>CCD</sub> + 0.3V)	VIN+ to VIN- Voltage Difference .....	±2V
V <sub>EE</sub> to G <sub>ND1</sub> .....	-6V to +0.3V	VIN+, VIN- to G <sub>ND1</sub> .....	±2V
Between G <sub>NDs</sub> .....	-0.3V to +0.3V	Continuous Power Dissipation (T <sub>A</sub> = +70°C)	
V <sub>CCA</sub> to V <sub>CCD</sub> .....	-0.3V to +0.3V	192-Contact ESBGA (derate 61mW/°C above +70°C) ...	4.88W
V <sub>CCA</sub> to V <sub>CC1</sub> .....	-0.3V to +0.3V	(with heatsink and 200LFM airflow,	
PECL Digital Output Current .....	50mA	derate 106mW/°C above +70°C) .....	8.48W
REFIN to G <sub>NDR</sub> .....	-0.3V to (V <sub>CC1</sub> + 0.3V)	Operating Temperature Range	
REFOUT Current .....	+100μA to -5mA	MAX106CHC .....	0°C to +70°C
ICONST, IPTAT to G <sub>ND1</sub> .....	-0.3V to +1.0V	Operating Junction Temperature .....	+150°C
TTL/CMOS Control Inputs		Storage Temperature Range .....	-65°C to +150°C
(DEMUXEN, DIVSELECT) .....	-0.3V to (V <sub>CCD</sub> + 0.3V)		
RSTIN+, RSTIN- .....	-0.3V to (V <sub>CCO</sub> + 0.3V)		

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## DC ELECTRICAL CHARACTERISTICS

(V<sub>CCA</sub> = V<sub>CC1</sub> = V<sub>CCD</sub> = +5.0V ±5%, V<sub>EE</sub> = -5.0V ±5%, V<sub>CCO</sub> = +3.0V to V<sub>CCD</sub>, REFIN connected to REFOUT, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>ACCURACY</b>						
Resolution	RES		8			Bits
Integral Nonlinearity (Note 1)	INL	T <sub>A</sub> = +25°C	-0.5	±0.25	0.5	LSB
Differential Nonlinearity (Note 1)	DNL	T <sub>A</sub> = +25°C	-0.5	±0.25	0.5	LSB
Missing Codes		No missing codes guaranteed			None	Codes
<b>ANALOG INPUTS</b>						
Full-Scale Input Range (Note 1)	V <sub>FSR</sub>		475	500	525	mVp-p
Common-Mode Input Range	V <sub>CM</sub>	Signal + offset w.r.t. G <sub>ND1</sub>		±0.8		V
Input Resistance	R <sub>IN</sub>	VIN+ and VIN- to G <sub>ND1</sub> , T <sub>A</sub> = +25°C	49	50	51	Ω
Input Resistance Temperature Coefficient	T <sub>CR</sub>			150		ppm/°C
<b>V<sub>OS</sub> ADJUST CONTROL INPUT</b>						
Input Resistance (Note 2)	R <sub>VOS</sub>		14	25		kΩ
Input V <sub>OS</sub> Adjust Range		V <sub>OS</sub> ADJ = 0 to 2.5V	±4	±5.5		LSB
<b>REFERENCE INPUT AND OUTPUT</b>						
Reference Output Voltage	REFOUT	Driving REFIN input only	2.475	2.50	2.525	V
Reference Output Load Regulation	ΔREFOUT	0 < I <sub>SOURCE</sub> < 2.5mA			5	mV
Reference Input Resistance	R <sub>REF</sub>	Referenced to G <sub>NDR</sub>	4	5		kΩ

# ±5V、600Msps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

MAX106

## DC ELECTRICAL CHARACTERISTICS (continued)

( $V_{CCA} = V_{CCI} = V_{CCD} = +5.0V \pm 5\%$ ,  $V_{EE} = -5.0V \pm 5\%$ ,  $V_{CCO} = +3.0V$  to  $V_{CCD}$ , REFIN connected to REFOUT,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>CLOCK INPUTS</b> (Note 3)						
Clock Input Resistance	R <sub>CLK</sub>	CLK+ and CLK- to CLKCOM, $T_A = +25^\circ C$	48	50	52	$\Omega$
Input Resistance Temperature Coefficient	T <sub>CR</sub>			150		ppm/ $^\circ C$
<b>TTL/CMOS CONTROL INPUTS</b> (DEMUXEN, DIVSELECT)						
High-Level Input Voltage	V <sub>IH</sub>		2.0			V
Low-Level Input Voltage	V <sub>IL</sub>				0.8	V
High-Level Input Current	I <sub>IH</sub>	V <sub>IH</sub> = 2.4V			50	$\mu A$
Low-Level Input Current	I <sub>IL</sub>	V <sub>IL</sub> = 0	-1		1	$\mu A$
<b>DEMUX RESET INPUT</b> (Note 4)						
Digital Input High Voltage	V <sub>IH</sub>		-1.165			V
Digital Input Low Voltage	V <sub>IL</sub>				-1.475	V
<b>PECL DIGITAL OUTPUTS</b> (Note 5)						
Digital Output High Voltage	V <sub>OH</sub>		-1.025		-0.880	V
Digital Output Low Voltage	V <sub>OL</sub>		-1.810		-1.620	V
<b>POWER REQUIREMENTS</b>						
Positive Analog Supply Current	I <sub>CCA</sub>			480	780	mA
Positive Input Supply Current	I <sub>CCI</sub>			108	150	mA
Negative Input Supply Current	I <sub>EE</sub>		-290	-210		mA
Digital Supply Current	I <sub>CCD</sub>			205	340	mA
Output Supply Current (Note 6)	I <sub>CCO</sub>			75	115	mA
Power Dissipation (Note 6)	P <sub>DISS</sub>			5.25		W
Common-Mode Rejection Ratio (Note 7)	CMRR	V <sub>IN+</sub> = V <sub>IN-</sub> = $\pm 0.1V$	40	68		dB
Positive Power-Supply Rejection Ratio (Note 8)	PSRR+	(Note 9)	40	73		dB
Negative Power-Supply Rejection Ratio (Note 8)	PSRR-	(Note 10)	40	68		dB

# ±5V、600Msps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

MAX106

## AC ELECTRICAL CHARACTERISTICS

( $V_{CCA} = V_{CC1} = V_{CCD} = +5.0V$ ,  $V_{EE} = -5.0V$ ,  $V_{CCO} = +3.3V$ , REFIN connected to REFOUT,  $f_S = 600Msps$ ,  $f_{IN}$  at -1dBFS,  $T_A = +25^\circ C$ , unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
<b>ANALOG INPUT</b>							
Analog Input Full-Power Bandwidth	BW <sub>-3dB</sub>				2.2		GHz
Analog Input VSWR	VSWR	$f_{IN} = 500MHz$			1.1:1		V/V
Transfer Curve Offset	V <sub>OS</sub>	VOSADJ control input open		-1.5	0	1.5	LSB
<b>DYNAMIC SPECIFICATIONS</b>							
Effective Number of Bits (Note 11)	ENOB <sub>600</sub>	$f_{IN} = 600MHz$	Differential			7.63	Bits
			Single-ended			7.62	
	ENOB <sub>300</sub>	$f_{IN} = 300MHz$	Differential	7.3	7.65		
			Single-ended			7.65	
	ENOB <sub>125</sub>	$f_{IN} = 125MHz$	Differential	7.4	7.74		
			Single-ended			7.74	
Signal-to-Noise Ratio (No Harmonics)	SNR <sub>600</sub>	$f_{IN} = 600MHz$	Differential			46.8	dB
			Single-ended			46.8	
	SNR <sub>300</sub>	$f_{IN} = 300MHz$	Differential	43.8	47.1		
			Single-ended			47.1	
	SNR <sub>125</sub>	$f_{IN} = 125MHz$	Differential	44.2	47.4		
			Single-ended			47.4	
Total Harmonic Distortion (Note 12)	THD <sub>600</sub>	$f_{IN} = 600MHz$	Differential			-57.0	dB
			Single-ended			-56.1	
	THD <sub>300</sub>	$f_{IN} = 300MHz$	Differential	-52.0	-56.5		
			Single-ended			-56.5	
	THD <sub>125</sub>	$f_{IN} = 125MHz$	Differential	-63.0	-67.5		
			Single-ended			-67.5	
Spurious-Free Dynamic Range	SFDR <sub>600</sub>	$f_{IN} = 600MHz$	Differential			57.4	dB
			Single-ended			56.7	
	SFDR <sub>300</sub>	$f_{IN} = 300MHz$	Differential	52.0	57.5		
			Single-ended			57.4	
	SFDR <sub>125</sub>	$f_{IN} = 125MHz$	Differential	63.0	69.9		
			Single-ended			69.9	
Signal-to-Noise Ratio and Distortion (Note 11)	SINAD <sub>600</sub>	$f_{IN} = 600MHz$	Differential			47.7	dB
			Single-ended			47.6	
	SINAD <sub>300</sub>	$f_{IN} = 300MHz$	Differential	45.7	47.8		
			Single-ended			47.8	
	SINAD <sub>125</sub>	$f_{IN} = 125MHz$	Differential	46.3	48.4		
			Single-ended			48.4	
Two-Tone Intermodulation	IMD	$f_{IN1} = 124MHz$ , $f_{IN2} = 126MHz$ , at -7dB below full scale			-61.8		dB

# ±5V、600Msps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

MAX106

## AC ELECTRICAL CHARACTERISTICS (continued)

( $V_{CCA} = V_{CC1} = V_{CCD} = +5.0V$ ,  $V_{EE} = -5.0V$ ,  $V_{CCO} = +3.3V$ , REFIN connected to REFOUT,  $f_S = 600Msps$ ,  $f_{IN}$  at -1dBFS,  $T_A = +25^\circ C$ , unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
<b>TIMING CHARACTERISTICS</b>							
Maximum Sample Rate	$f_{MAX}$			600			MspS
Clock Pulse Width Low	$t_{PLW}$	Figure 17		0.75			ns
Clock Pulse Width High	$t_{PWH}$	Figure 17		0.75		5	ns
Aperture Delay	$t_{AD}$	Figure 17			100		ps
Aperture Jitter	$t_{AJ}$	Figure 4			< 0.5		ps
Reset Input Data Setup Time (Note 13)	$t_{SU}$	Figure 15		0			ps
Reset Input Data Hold Time (Note 13)	$t_{HD}$	Figure 15		0			ps
CLK to DREADY Propagation Delay	$t_{PD1}$	Figure 17			2.2		ns
DREADY to DATA Propagation Delay (Note 14)	$t_{PD2}$	Figure 17		-50	150	350	ps
DATA Rise Time	$t_{RDATA}$	20% to 80%, $C_L = 3pF$			420		ps
DATA Fall Time	$t_{FDATA}$	20% to 80%, $C_L = 3pF$			360		ps
DREADY Rise Time	$t_{RDREADY}$	20% to 80%, $C_L = 3pF$			220		ps
DREADY Fall Time	$t_{FDREADY}$	20% to 80%, $C_L = 3pF$			180		ps
Primary Port Pipeline Delay	$t_{PDP}$	Figures 6, 7, 8	DIV1, DIV2 modes		7.5		Clock Cycles
			DIV4 mode		7.5		
Auxiliary Port Pipeline Delay	$t_{PDA}$	Figures 6, 7, 8	DIV1, DIV2 modes		8.5		Clock Cycles
			DIV4 mode		9.5		

- Note 1:** Static linearity parameters are computed from a “best-fit” straight line through the code transition points. The full-scale range (FSR) is defined as  $256 \cdot \text{slope of the line}$ .
- Note 2:** The offset control input is a self-biased voltage divider from the internal +2.5V reference voltage. The nominal open-circuit voltage is +1.25V. It may be driven from an external potentiometer connected between REFOUT and GNDI.
- Note 3:** The clock input’s termination voltage can be operated between -2.0V and GNDI. Observe the absolute maximum ratings on the CLK+ and CLK- inputs.
- Note 4:** Input logic levels are measured with respect to the  $V_{CCO}$  power-supply voltage.
- Note 5:** All PECL digital outputs are loaded with  $50\Omega$  to  $V_{CCO} - 2.0V$ . Measurements are made with respect to the  $V_{CCO}$  power-supply voltage.
- Note 6:** The current in the  $V_{CCO}$  power supply does not include the current in the digital output’s emitter followers, which is a function of the load resistance and the  $V_{TT}$  termination voltage.
- Note 7:** Common-mode rejection ratio is defined as the ratio of the change in the transfer-curve offset voltage to the change in the common-mode voltage, expressed in dB.
- Note 8:** Measured with the positive supplies tied to the same potential,  $V_{CCA} = V_{CCD} = V_{CC1}$ .  $V_{CC}$  varies from +4.75V to +5.25V.
- Note 9:**  $V_{EE}$  varies from -5.25V to -4.75V.
- Note 10:** Power-supply rejection ratio is defined as the ratio of the change in the transfer-curve offset voltage to the change in power supply voltage, expressed in dB.
- Note 11:** Effective number of bits (ENOB) and signal-to-noise plus distortion (SINAD) are computed from a curve fit referenced to the theoretical full-scale range.

# ±5V、600Mps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

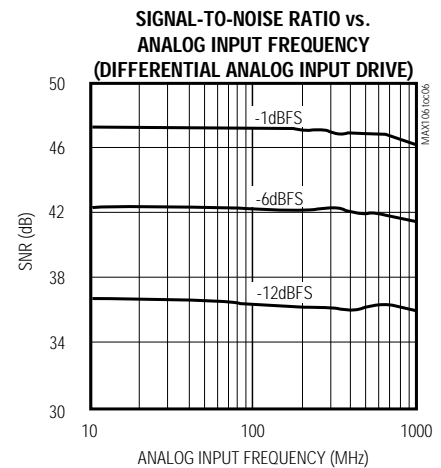
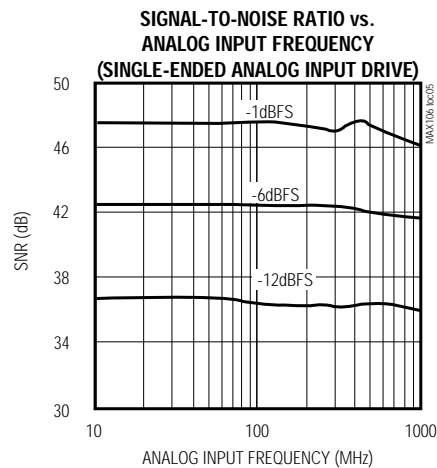
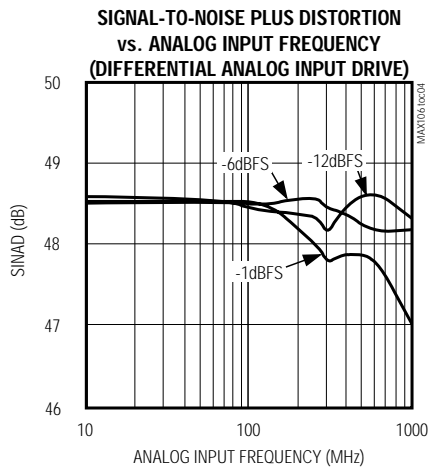
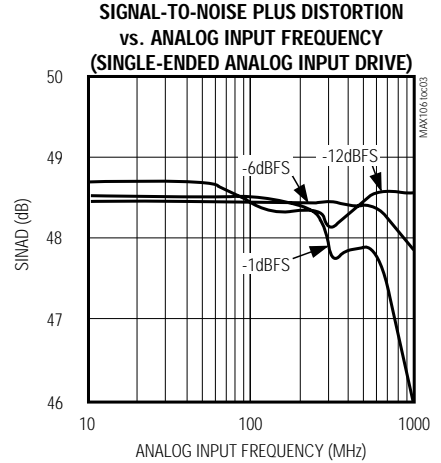
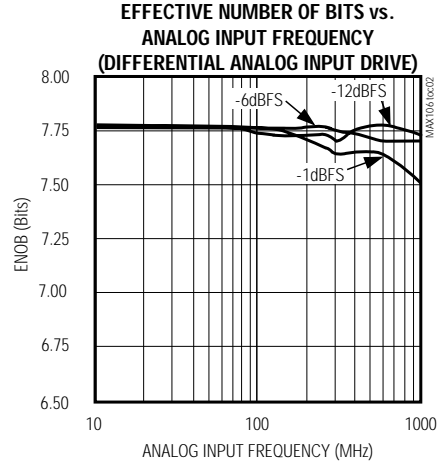
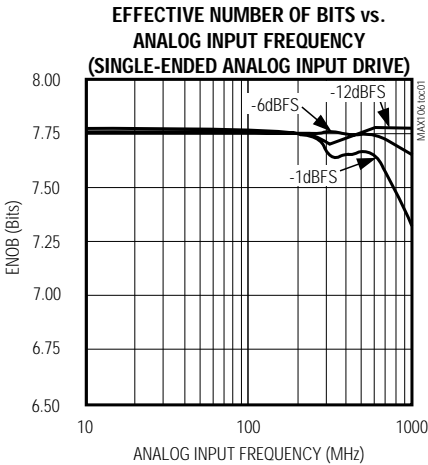
**Note 12:** Total harmonic distortion (THD) is computed from the first five harmonics.

**Note 13:** Guaranteed by design with a reset pulse width of one clock period or longer.

**Note 14:** The DREADY to DATA propagation delay is measured from the 50% point on the rising edge of the DREADY signal (when the output data changes) to the 50% point on a data output bit. This places the falling edge of the DREADY signal in the middle of the data output valid window, within the differences between the DREADY and DATA rise and fall times, which gives maximum setup and hold time for latching external data latches.

## 標準動作特性

( $V_{CCA} = V_{CC1} = V_{CCD} = +5.0V$ ,  $V_{EE} = -5.0V$ ,  $V_{CCO} = +3.3V$ , REFIN connected to REFOUT,  $f_s = 600Mps$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)

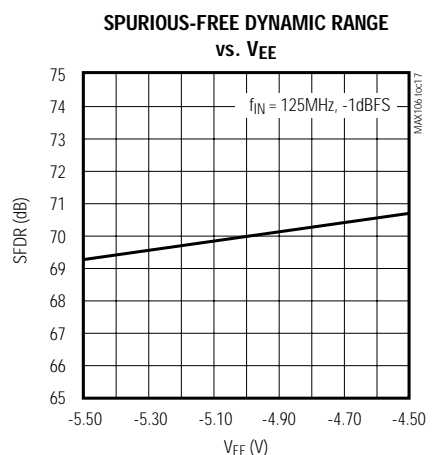
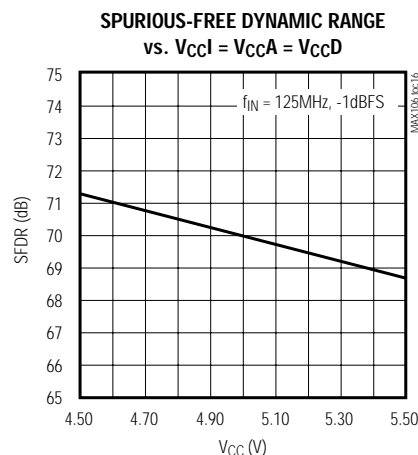
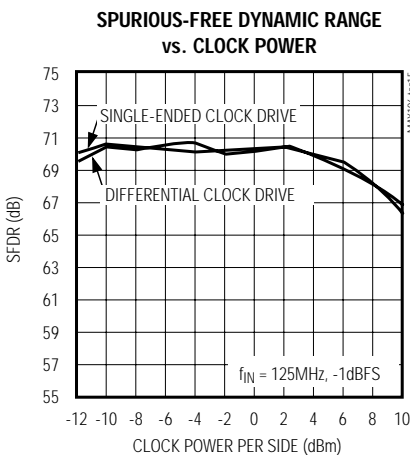
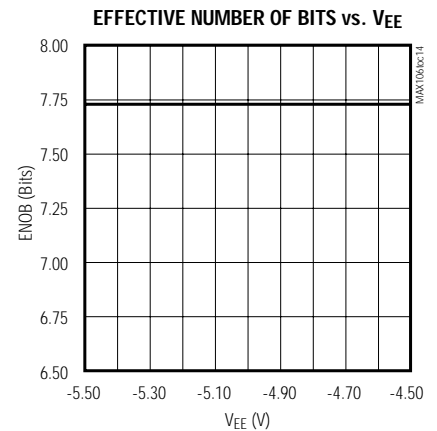
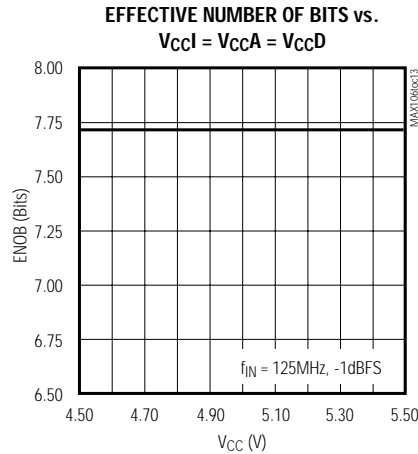
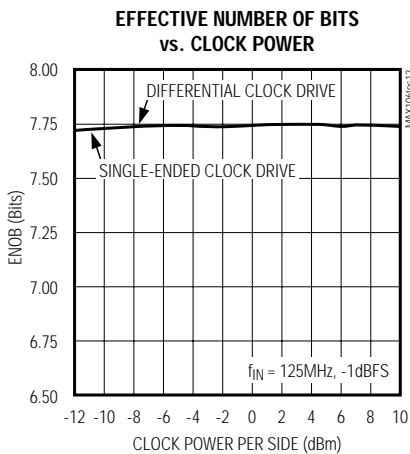
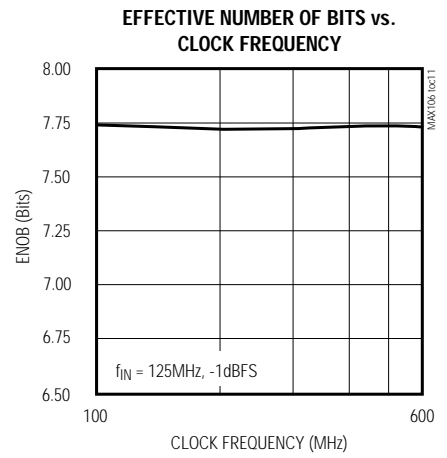
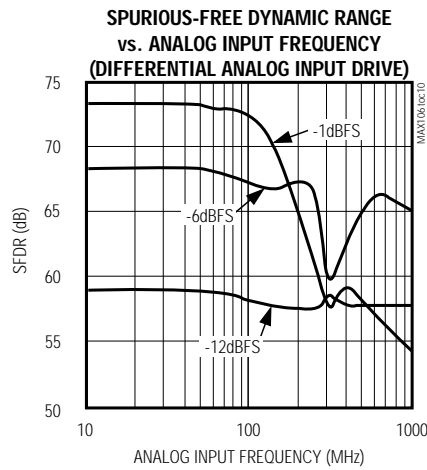
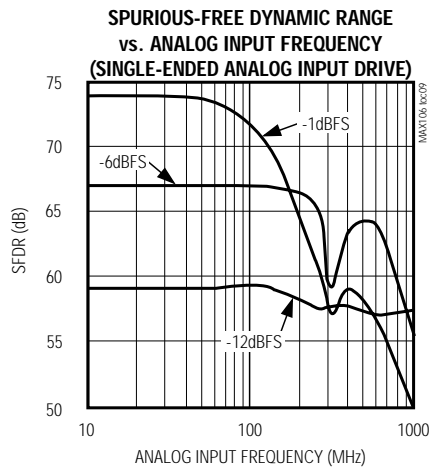


# ±5V、600Msps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

MAX106

## 標準動作特性(続き)

( $V_{CCA} = V_{CC1} = V_{CCD} = +5.0V$ ,  $V_{EE} = -5.0V$ ,  $V_{CCO} = +3.3V$ , REFIN connected to REFOUT,  $f_s = 600Msps$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)

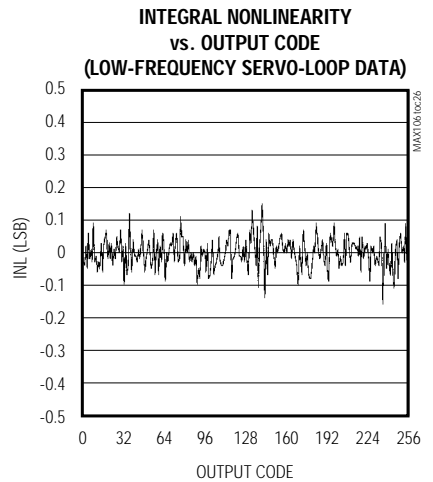
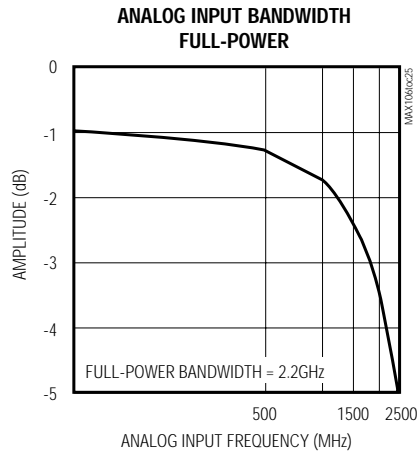
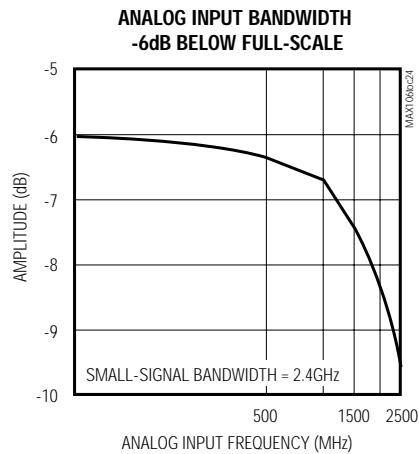
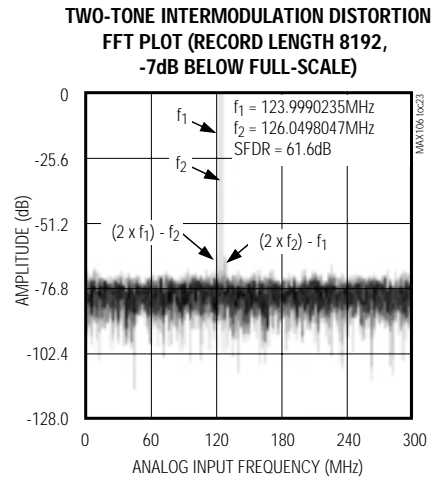
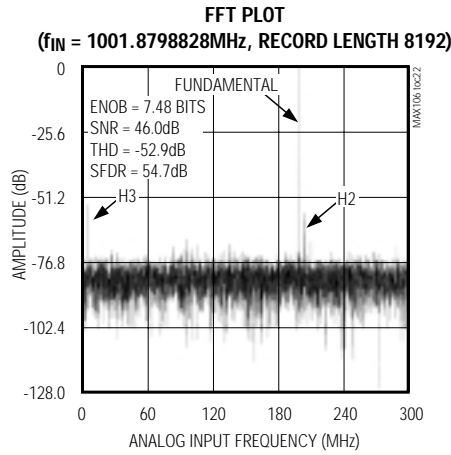
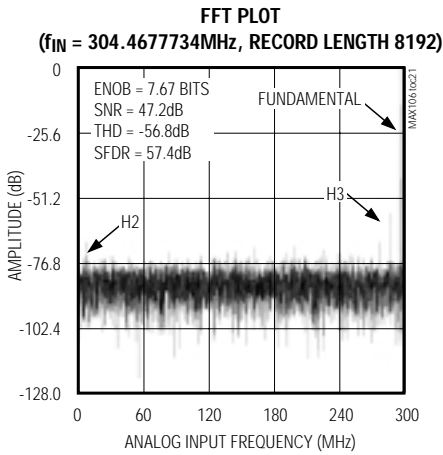
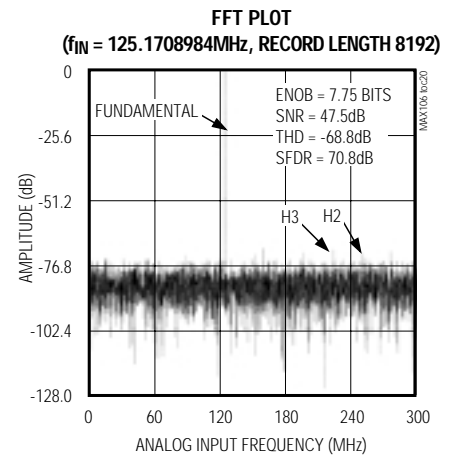
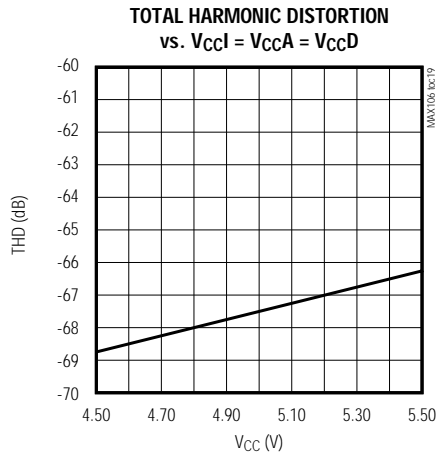
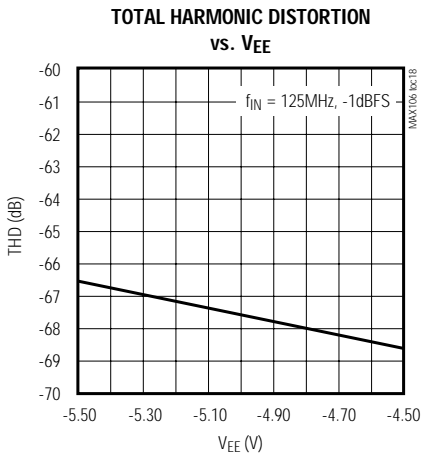


# ±5V、600Mps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

MAX106

## 標準動作特性(続き)

( $V_{CCA} = V_{CC1} = V_{CCD} = +5.0V$ ,  $V_{EE} = -5.0V$ ,  $V_{CCO} = +3.3V$ , REFIN connected to REFOUT,  $f_S = 600Mps$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)



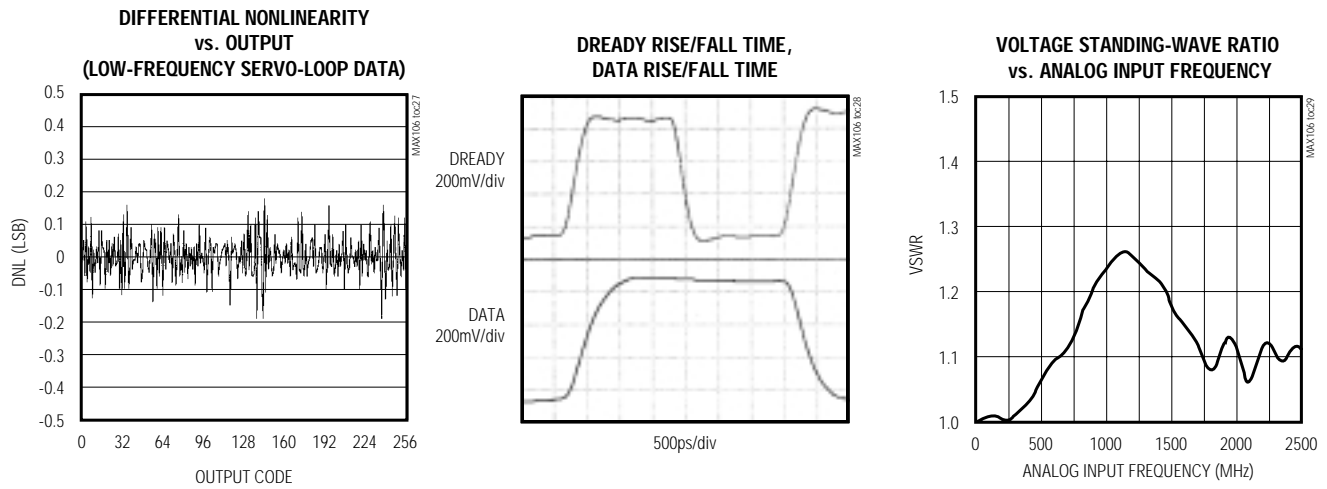


# ±5V、600Mpsps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

MAX106

## 標準動作特性(続き)

( $V_{CCA} = V_{CC1} = V_{CCD} = +5.0V$ ,  $V_{EE} = -5.0V$ ,  $V_{CCO} = +3.3V$ , REFIN connected to REFOUT,  $f_s = 600Mpsps$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)



## 端子説明

コンタクト	名称	機能
A1-A4, A6, A7, B1, B2, C1, C2, D1, D2, D3, G1, H1, J2, J3, K1, K2, K3, L2, L3, M1, N1, T2, T3, U1, V1, V2, W1-W4	GNDI	アナロググランド。T/Hアンプ、クロック分配、バンドギャップリファレンス及びリファレンスアンプ用。
A5, B5, C5, H2, H3, M2, M3, U5, V5, W5	V <sub>CC1</sub>	アナログ電源電圧(+5V)。T/Hアンプ、クロック分配、バンドギャップリファレンス及びリファレンスアンプに電源を供給します。
A8, B8, C8, U6, V6, W6	GNDA	アナロググランド。コンパレータアレイ用。
A9, B9, C9, U7, V7, W7	V <sub>CCA</sub>	アナログ電源電圧(+5V)。アナログコンパレータアレイに電源を供給します。
A10, E17, F2, P3, R17, R18	TESTPOINT (T.P.)	テストポイント。接続しないで下さい。
A11, B11, B16, B17, C11, C16, U9, U17, V9, V17, V18, W9	GNDD	デジタルグランド
A12-A19, B19, C19, D19, E19, F19, G19, H19, J19, K19, L19, M19, N19, P19, T19, U19, V19, W10-W19	V <sub>CCO</sub>	PECL電源電圧(+3V ~ +5V)

# ±5V、600Msps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

MAX106

端子説明(続き)

コンタクト	名称	機能
B3, B4, C3, C4, E3, F3, G2, G3, N2, N3, U2, U3, U4, V3, V4	V <sub>EE</sub>	アナログ電源電圧(-5V)。T/Hアンプ、クロック分配、バンドギャブリファレンス及びリファレンスアンプに電源を供給します。
B6, B7	GNDR	リファレンスグランド。GNDIに接続する必要があります。
B10, B18, C10, C17, C18, T17, T18, U8, U18, V8, W8	V <sub>CCD</sub>	デジタル電源電圧(+5V)
B12	P0+	主出力データビット0(LSB)
B13	A0+	補助出力データビット0(LSB)
B14	P1+	主出力データビット1
B15	A1+	補助出力データビット1
C6	REFIN	リファレンス入力
C7	REFOUT	リファレンス出力
C12	P0-	コンプリメンタリ主出力データビット0(LSB)
C13	A0-	コンプリメンタリ補助出力データビット0(LSB)
C14	P1-	コンプリメンタリ主出力データビット1
C15	A1-	コンプリメンタリ補助出力データビット1
D17	DIVSELECT	TTL/CMOSデマルチプレクサ分割選択入力 1: デシメーションDIV4モード 0: デマルチプレクスDIV2モード
D18	AUXEN2	V <sub>CCO</sub> に接続すると補助ポートに電源が供給されます。GNDDに接続するとパワーダウンします。
E1	ICONST	チップ温度測定テストポイント。「チップ温度測定」を参照。
E2	IPTAT	チップ温度測定テストポイント。「チップ温度測定」を参照。
E18	DEMUXEN	TTL/CMOSデマルチプレクサイネーブル制御 1: デマルチプレクサをイネーブル 0: デマルチプレクサをディセーブル
F1	VOSADJ	オフセット調整入力
F17	P2-	コンプリメンタリ主出力データビット2
F18	P2+	主出力データビット2
G17	A2-	コンプリメンタリ補助出力データビット2
G18	A2+	補助出力データビット2
H17	P3-	コンプリメンタリ主出力データビット3
H18	P3+	主出力データビット3

# ±5V、600Mpsps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

MAX106

## 端子説明(続き)

コンタクト	名称	機能
J1	VIN-	差動入力電圧(-)
J17	A3-	コンプリメンタリ補助出力データビット3
J18	A3+	補助出力データビット3
K17	DREADY-	コンプリメンタリデータレディックロック
K18	DREADY+	データレディックロック
L1	VIN+	差動入力電圧(+)
L17	P4-	コンプリメンタリ主出力データビット4
L18	P4+	主出力データビット4
M17	A4-	コンプリメンタリ補助出力データビット4
M18	A4+	補助出力データビット4
N17	P5-	コンプリメンタリ主出力データビット5
N18	P5+	主出力データビット5
P1	CLK-	コンプリメンタリサンプリングクロック入力
P2	TESTPOINT (T.P.)	このコンタクトはGNDIIに接続する必要があります。
P17	A5-	コンプリメンタリ補助出力データビット5
P18	A5+	補助出力データビット5
R1, R2, R3	CLKCOM	50 クロック終端処理リターン
R19	AUXEN1	V <sub>CCO</sub> に接続すると補助ポートに電源が供給されます。GNDDに接続するとパワーダウンします。
T1	CLK+	サンプリングクロック入力
U10	RSTIN-	コンプリメンタリPECLデマルチプレクサリセット入力
U11	RSTOUT-	コンプリメンタリPECLリセット出力
U12	OR-	コンプリメンタリPECLオーバレンジビット
U13	A7-	コンプリメンタリ補助出力データビット7(MSB)
U14	P7-	コンプリメンタリ主出力データビット7(MSB)
U15	A6-	コンプリメンタリ補助出力データビット6
U16	P6-	コンプリメンタリ主出力データビット6
V10	RSTIN+	PECLデマルチプレクサリセット入力
V11	RSTOUT+	PECLリセット出力
V12	OR+	PECLオーバレンジビット
V13	A7+	補助出力データビット7(MSB)
V14	P7+	主出力データビット7(MSB)
V15	A6+	補助出力データビット6
V16	P6+	主出力データビット6

# ±5V、600MSPS、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

MAX106

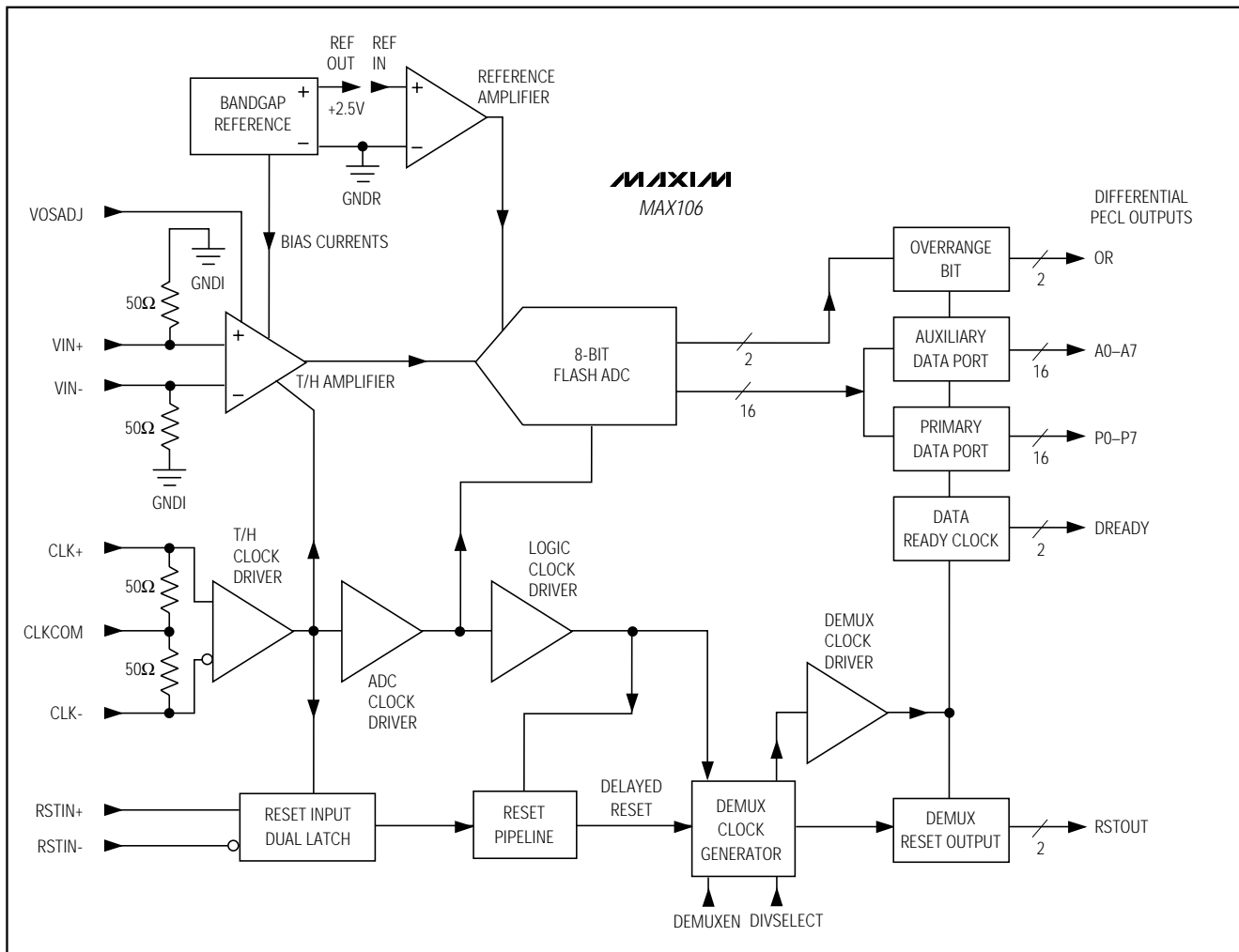


図1. 簡略化ファンクションダイアグラム

## 詳細

MAX106は、内蔵トラック/ホールド(T/H)アンプ及び差動PECLコンパチブル出力付の8ビット600MSPSフラッシュ・アナログデジタルコンバータ(ADC)です。本ADC(図1)は、完全差動8ビットディジタイザ及びユニークなエンコード方式を採用することにより、準安定状態を $10^{27}$ クロックサイクル当たり1エラーにまで制限し、しかも1LSB(max)を超えるエラーが生じません。集積化8:16出力デマルチプレクサは、出力データ速度をサンプリングクロック速度の半分に低減することにより、本製品へのインタフェースを簡易化しています。

このデマルチプレクサは内部リセット能力を持っているため、複数のMAX106のタイムインタリーブによってさらに高い実効サンプリング速度を実現できます。

600MSPSクロックで駆動した場合、MAX106はアナログ入力周波数300MHzにおいて標準有効ビット数(ENOB)7.6を提供します。MAX106のアナログ入力は差動又はシングルエンド用に設計されており、フルスケール入力範囲は±250mVとなっています。さらに、この高速性ADCは+2.5V高精度バンドギャップリファレンスを内蔵しています。必要に応じて、外部リファレンスを使用することも可能です。

# ±5V、600Msps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

## 動作原理

MAX106のフラッシュ又はパラレル構造は、全ての一般的な集積化ADC設計の中で最も速いマルチビット変換を提供します。この高速フラッシュ構造の要は、革新的な高性能コンパレータ設計です。フラッシュコンバータ及びダウンストリームロジックがコンパレータ出力をパラレル8ビットコードに変換し、このバイナリコードをオプションの8:16デマルチプレクサに送ります。ここで、主及び補助ポートが、ポート当たり最大300Mspsまでの速度(MAX106のデマルチプレクサ部の設定に依存)でPECLコンパチブルのデータを出します。図2に理想的な伝達関数を示します。

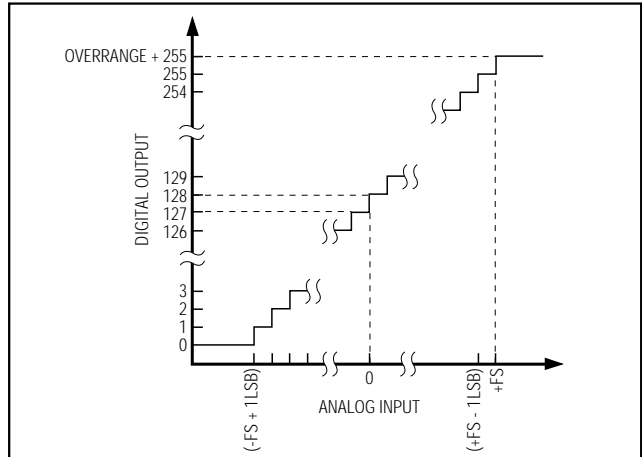


図2. 伝達関数

## 内蔵トラック/ホールドアンプ

どのようなADCでも、変換中に入力波形が急速に変化すると、有効ビット数(ENOB)及び信号対雑音比(SNR)の仕様が劣化します。MAX106の内蔵広帯域幅(2.2GHz)T/Hアンプはこの影響を低減し、ENOB性能を著しく改善するため、高変換速度で高速アナログデータを高精度捕捉することができます。

T/Hアンプは入力信号をバッファし、フルスケール信号入力範囲として±250mVを受け付けます。T/Hアンプは差動50Ω入力終端処理が施されているため、インピーダンスが調整されたラインでMAX106にインタフェースしやすくなっています。図3に、MAX106の内部T/Hアンプ段の簡略化回路図を示します。

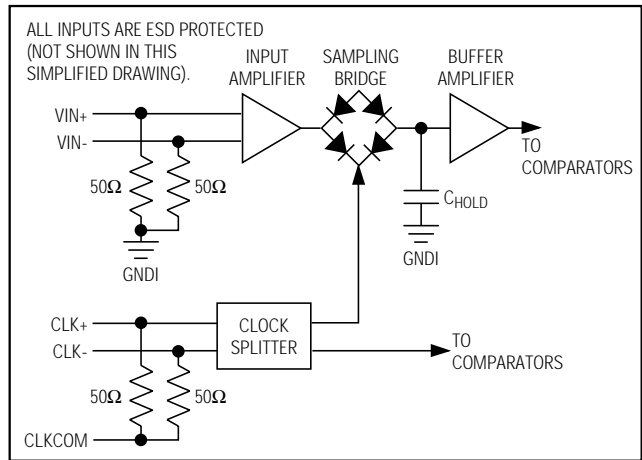


図3. 2.2GHz T/Hアンプの内部構造

アパーチャ幅、遅延及びジッタ(又は不確定性)は、高速コンバータの動的性能に影響するパラメータです。特にアパーチャジッタは、SNRに直接影響し、大きな誤差を発生せずに数値化できる最大スルーレート(dV/dt)を制限します。MAX106は革新的なT/Hアンプ設計によって、アパーチャジッタを0.5ps以下(typ)に抑えています。

## アパーチャ幅

アパーチャ幅( $t_{AW}$ )は、(例えば、サンプリングブリッジをターンオフしてT/Hユニットをホールドモードにするために)T/H回路がホールドコンデンサを入力回路から切り離すために要する時間(図4)です。

## アパーチャジッタ

アパーチャジッタ( $t_{AJ}$ )は、サンプル同士の時間間隔のばらつき(図4)です。

## アパーチャ遅延

アパーチャ遅延( $t_{AD}$ )は、サンプリングクロックの立上がりでサンプルが実際にとられる時点の間の時間です(図4)。

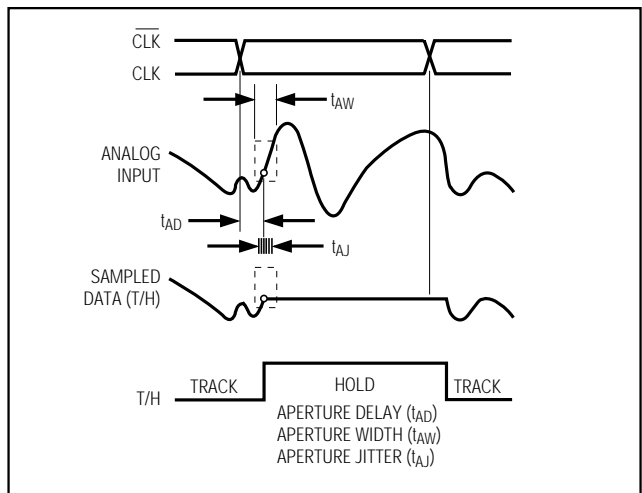


図4. T/Hアパーチャのタイミング

# ±5V、600Msps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

MAX106

## 内部リファレンス

MAX106は+2.5V高精度バンドギャップリファレンスを内蔵しています。このリファレンスは、REFOUTをREFINに接続することにより使用できます。これにより、リファレンス出力がリファレンスバッファの正入力に接続されます。このバッファの負入力には内部でGNDRに接続されています。GNDRは、ユーザのアプリケーション基板上でGNDIに接続されていなければなりません。必要に応じて、REFOUTは外部機器を駆動するために最大2.5mAの電流ソースとして使用できます。

ADCのフルスケール範囲は、可変外部リファレンスによっても調整できます。外部リファレンス電源を使用するには、高精度リファレンスをREFINに接続し、REFOUTピンをフローティングのままにしてください。この構成においては、2つのリファレンスの競合が発生するため、REFOUTを同時に接続しないでください。REFINの標準入力抵抗は5k で、+2.5V±200mVの入力電圧を受け付けます。最高の性能を得るために、MAX106の内部リファレンスを使用することを推奨します。

## デジタル出力

MAX106は、オフセットバイナリフォーマットでデータを差動PECL出力に提供します。図5にPECL出力セルの簡略化回路図を示します。全てのPECL出力はV<sub>CCO</sub>によって駆動されます。V<sub>CCO</sub>として+3.0V~V<sub>CCD</sub>間の任意の電圧が可能であるため、+3.3V又は+5Vのいずれの機器とでもフレキシブルなインタフェースが可能です。公称V<sub>CCO</sub>電源電圧は+3.3Vです。

MAX106の全てのPECL出力はオープンエミッタ式であるため、各伝送ラインの末端でV<sub>CCO</sub> - 2Vに対して50 Ωで終端処理する必要があります。表1に、MAX106の全PECL出力とその機能を示します。

表1. PECL出力の機能

PECL出力信号	機能説明
P0+ to P7+, P0- to P7-	LSBからMSBまでの主ポート差動出力。"+"は真の値を示し、"- "は補数出力を意味します。
A0+ to A7+, A0- to A7-	LSBからMSBまでの補助ポート差動出力。"+"は真の値を示し、"- "は補数出力を意味します。
DREADY+, DREADY-	データレディックロック、真及び補の出力。これらの信号は主から補助への出力データのラッチに使用します。
OR+, OR-	オーバレンジ、真及び補の出力
RSTOUT+, RSTOUT-	リセット出力、真及び補の出力

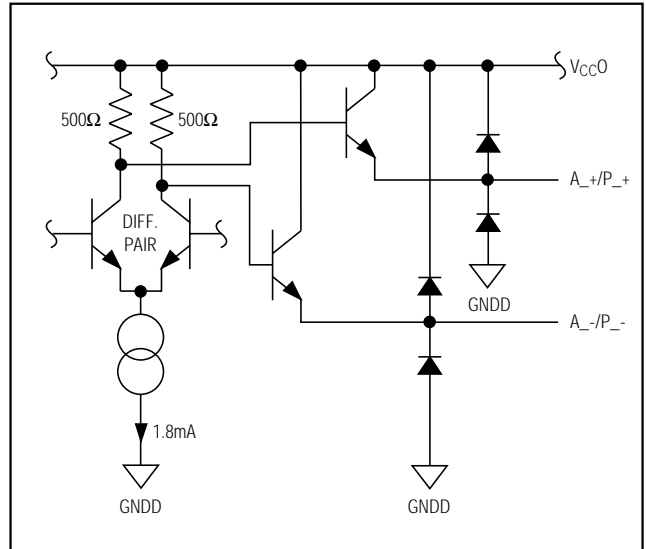


図5. 簡略化PECL出力構造

## デマルチプレクサの動作

MAX106のデータデマルチプレクサは、2つのTTL/CMOSコンパチブル入力(DEMUXEN、DIVSELECT)によって制御される3つの異なる動作モードを提供します(以下に説明する「デマルチプレックスDIV2モード」、「非デマルチプレックスDIV1モード」及び「デシメーションDIV4モード」を参照)。

DEMUXENは、内部1:2デマルチプレクサの動作をイネーブル/ディセーブルします。DEMUXENがロジックハイになると、内部デマルチプレクサがアクティブになり、ロジックローになると非アクティブになります。内部デマルチプレクサがイネーブルされた状態で、DIVSELECTは動作モードの選択を制御します。DIVSELECTがローの時にデマルチプレックスDIV2モードになり、DIVSELECTがハイの時にデシメーションDIV4モードになります(表2)。

# ±5V、600Mps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

## 非デマルチプレックスDIV1モード

MAX106は、非デマルチプレックスDIV1モードにおいて最大サンプリングレート(600Mps)まで動作可能です(表2)。このモードにおいては、内部デマルチプレクサがディセーブルされ、サンプリングされたデータは主ポートのみに提示されます。補助ポートにはそのデータが1クロックサイクル遅れて現れます(図6)。補助出力ポートは主出力ポートと同じデータストリームが含まれるため、AUXEN1及びAUXEN2をデジタルグランド(GNDD)に接続することにより、補助ポートをシャットダウンして電力を節約することができます。これにより、内部バイアスセルがパワーダウンして、補助ポートの両方の出力(真及びコンプリメンタリ)がロジックハイレベルにプルアップされます。全ての補助出力ポート

からPECL終端電源( $V_{CCO} - 2V$ )に接続されている外部50Ω終端抵抗を取り外すことにより、さらに電力を節約することもできます。

## デマルチプレックスDIV2モード

MAX106は、内部で選択可能なDIV2モードを備えています(表2)。このモードは出力データ速度をサンプルクロック速度の半分に低減します。デマルチプレックスされた出力はデュアル8ビットフォーマットの形になり、主及び補助出力ポートに2つの連続するサンプルがデータレディクロックの立上がりエッジで提示されます(図7)。補助データポートに前のサンプルが含まれ、主出力には最新のデータサンプルが含まれます。補助ポートPECL出力ドライバをパワーアップするには、AUXEN1及びAUXEN2が $V_{CCO}$ に接続されていなければなりません。

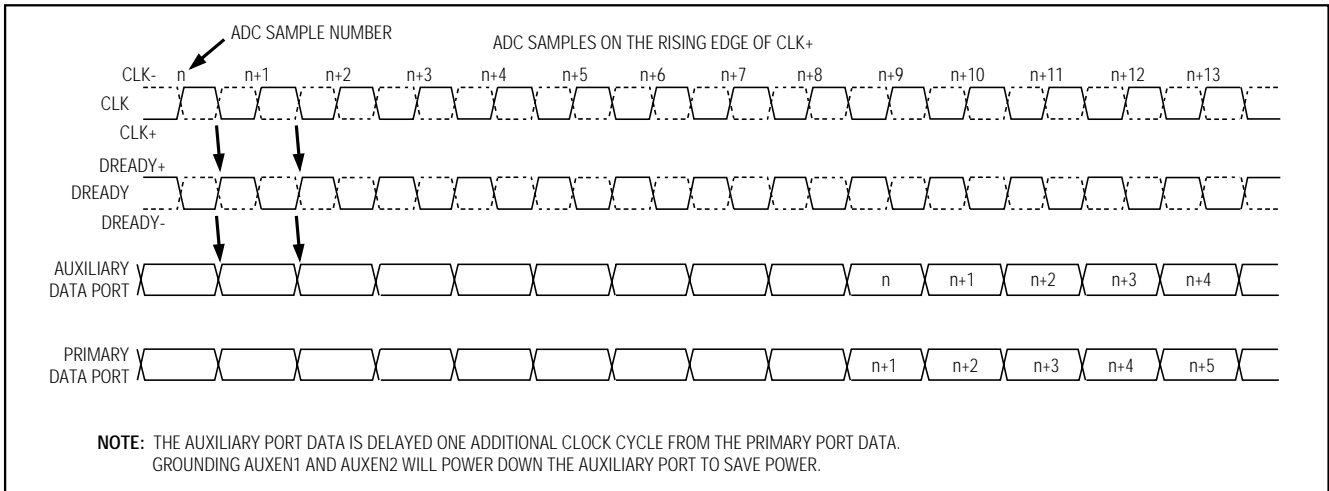


図6. 非デマルチプレックスDIV1モードのタイミング図

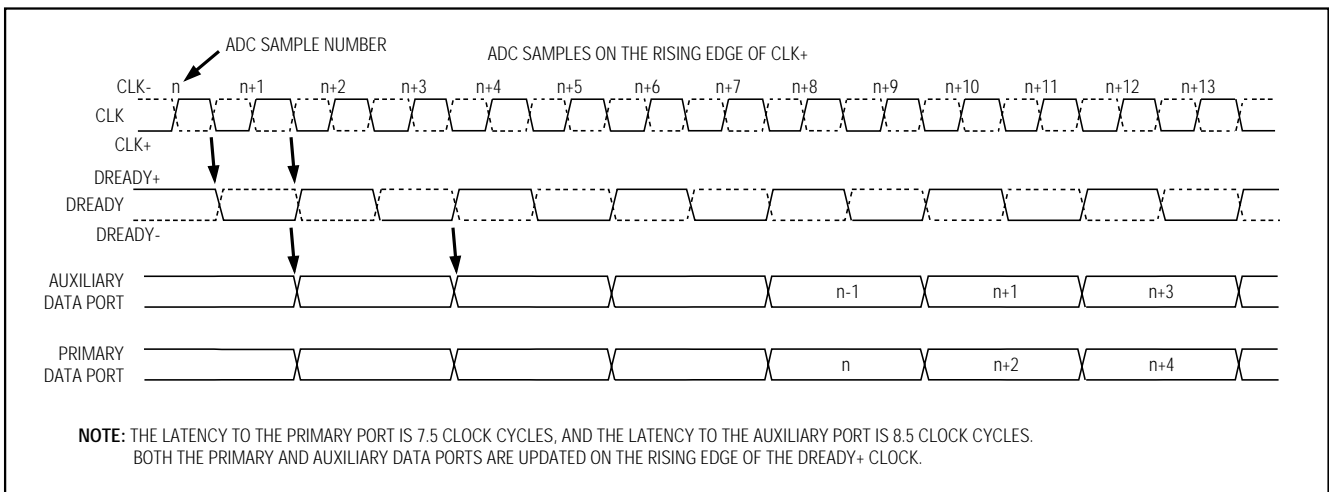


図7. デマルチプレックスDIV2モードのタイミング図

# ±5V、600Msps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

MAX106

## デシメーションDIV4モード

MAX106は、特殊なデシメーションされたデマルチプレックス出力(図8)を備えています。このモードにおいては、ADCが入力サンプルを1つおきに捨てて、入力サンプリング速度の1/4の速度でデータを出力します。このモードは出力データ速度が遅くなるため、システムデバッグに便利です。入力クロックが600MHzの場合、DIV4モードの出力データ速度は出力ポート当たり150MHzに低減されます(表2)。入力のサンプルが1つおきに捨てられるため、コンバータの実効サンプル速度は300MHzとなります。

## オーバーレンジ動作

主及び補助デマルチプレックス出力の両方について、単一の差動PECLオーバーレンジ出力ビット(OR+、OR-)が提供されています。オーバーレンジビットの動作は、

内部デマルチプレクサの状態に依存します。ORビットは、デマルチプレックスDIV2モード及びデシメーションDIV4モードにおいて、主又は補助ポートにオーバーレンジのサンプルが含まれている場合にフラグを発生します(表2)。ORポートは、非デマルチプレックスDIV1モードにおいて、主出力ポートにオーバーレンジサンプルが含まれている場合にのみフラグを発生します。

## アプリケーション情報

### シングルエンドのアナログ入力

MAX106のT/Hアンプは、シングルエンド及び差動の両アナログ入力においてフルスピードで動作するように設計されています(図9)。入力VIN+及びVIN-はレーザートリミングの50Ω終端抵抗を内蔵しており、優れた電圧定波比(VSWR)性能を提供します。

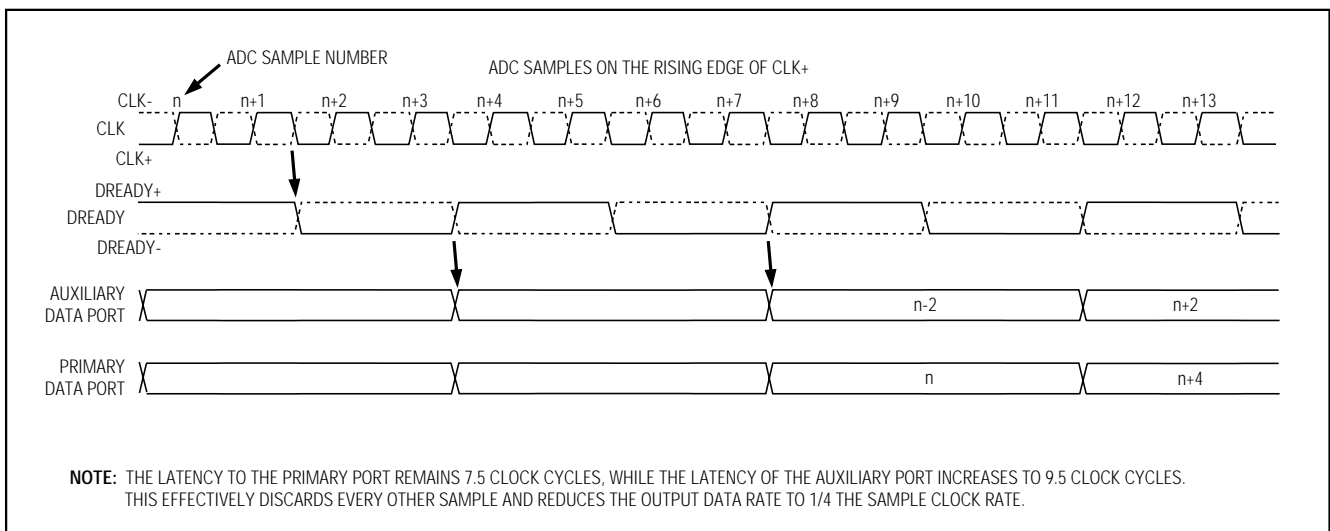


図8. デシメーションDIV4モードのタイミング図

表2. デマルチプレクサの動作

DEMUXEN	DIVSELECT	DEMUX MODE	OVERRANGE-BIT OPERATION
Low	X	DIV1 600Msps/port	Flags overrange data appearing in the primary port only.
High	Low	DIV2 300Msps/port	Flags overrange data appearing in either the primary or auxiliary port.
High	High	DIV4 150Msps/port	

X= 任意



# ±5V、600Msps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

MAX106

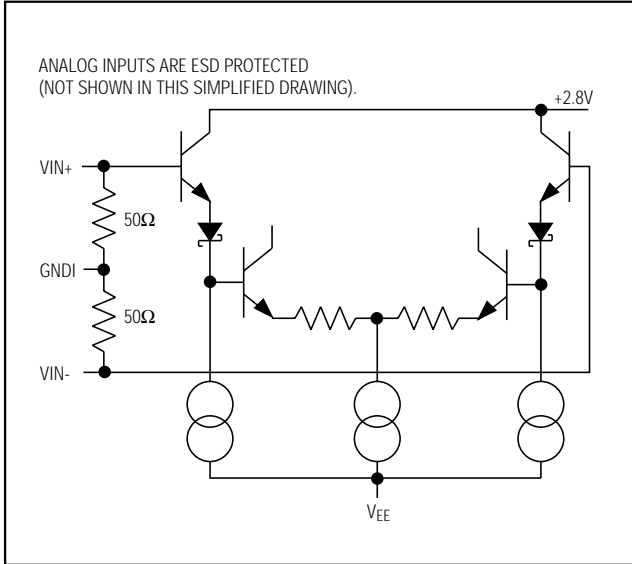


図9. 簡略化アナログ入力構造(シングルエンド/差動)

標準的なシングルエンド構成においては、アナログ入力信号(図10a)が同相入力(VIN+)でT/Hアンプ段に入り、逆相入力(VIN-)は外部50ΩでGNDIに逆終端処理されています。シングルエンド動作においては、入力振幅±250mVが可能です。表3に、シングルエンド動作における入力電圧及び対応する出力コードを示します。

### 差動アナログ入力

差動入力駆動(図10b)でフルスケールデジタル出力を得るには、VIN+とVIN-の間に250mVp-pを印加する必要があります(VIN+ = +125mV、VIN- = -125mV)。ミッドスケールのデジタル出力コード(01111111又は10000000)は、VIN+とVIN-の間に電圧差がないときに生じます。ゼロスケールのデジタル出力コード

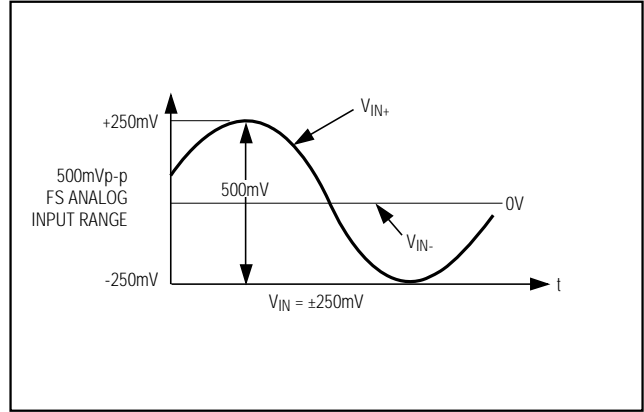


図10a. シングルエンドアナログ入力信号

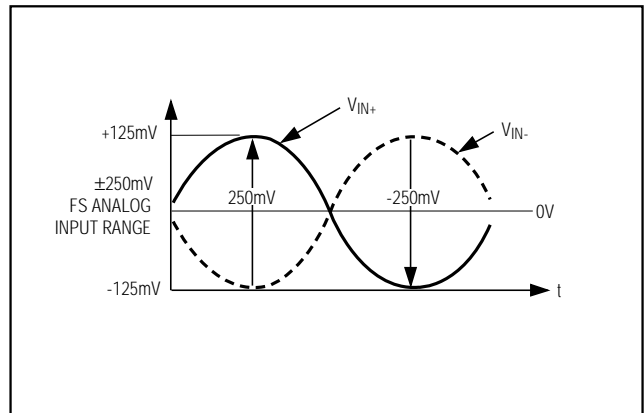


図10b. 差動アナログ入力信号

を得るには、同相(VIN+)入力が-125mV、逆相入力(VIN-)が+125mVであることが必要です。最高の性能を得るために、差動入力駆動を推奨します。表4に、差動入力電圧と対応する出力コードを示します。

表3. シングルエンド動作の理想的な入力電圧と出力コードの関係

VIN+	VIN-	OVERRANGE BIT	OUTPUT CODE
+250mV	0V	1	11111111 (full scale)
+250mV - 1LSB	0V	0	11111111
0V	0V	0	01111111 toggles 10000000
-250mV + 1LSB	0V	0	00000001
-250mV	0V	0	00000000 (zero scale)

# ±5V、600Msps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

表4. 差動動作の理想的な入力電圧と出力コードの関係

VIN+	VIN-	OVERRANGE BIT	OUTPUT CODE
+125mV	-125mV	1	11111111 (full scale)
+125mV - 0.5LSB	-125mV + 0.5LSB	0	11111111
0V	0V	0	01111111 toggles 10000000
-125mV + 0.5LSB	+125mV - 0.5LSB	0	00000001
-125mV	+125mV	0	00000000 (zero scale)

## オフセット調整

これらのデバイスは、システムオフセットを補償するための制御入力(VOSADJ)を提供しています。オフセット調整入力は、内部+2.5高精度リファレンスからの自己バイアス分圧器です。公称開回路電圧はリファレンス電圧の半分です。標準的な入力抵抗が25k のこのピンをREFOUTとGNDIの間に接続された外部10k ポテンショメータで駆動することにより、オフセットエラーを補正できます(図11)。この制御機能によるオフセット調整範囲は±5.5LSB(typ)です。

## クロック動作

MAX106は、シングルエンドと差動の両動作用に設計されたクロック入力を備えているため(図12)、入力駆動の必要条件がフレキシブルになっています。各クロック入力はチップ上のレーザトリミングされた50Ω抵抗でCLKCOM(クロック終端リターン)に対して終端処理されています。CLKCOM終端電圧は、グラウンド~-2V間の任意の電圧に接続することにより、標準ECL駆動レベルとコンパチブルにすることができます。

クロック入力は内部のプリアンプでバッファされているため、小振幅のサイン波ソースでもデータコンバータが適正に動作します。MAX106は、振幅が僅か100mV (-10dBm)のシングルエンド低位相ノイズサイン波クロック信号で動作するように設計されています。これにより、外部ECLクロックバッファ及びそれに伴うジッタを排除できます。

## シングルエンドクロック入力(サイン波ドライブ)

低位相ノイズのサイン波信号をシングルクロック入力にAC又はDCカップリングすることにより、優れた性能を得ることができます(図13a、表5)。適正なDCバランスを得るには、駆動されていないクロック入力を外部でGNDIに対して50Ω 逆終端処理して下さい。

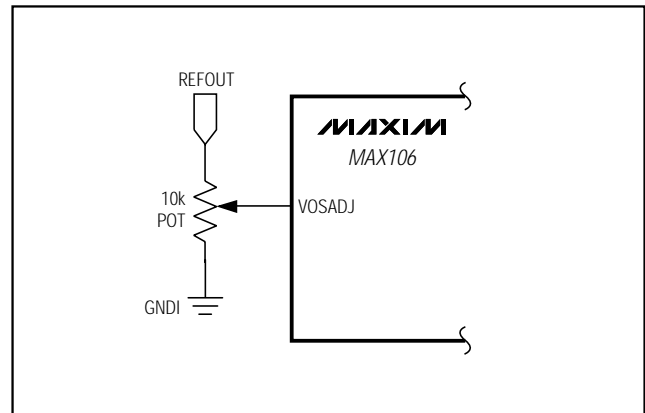


図11. 外部10k ポテンショメータによるオフセット調整

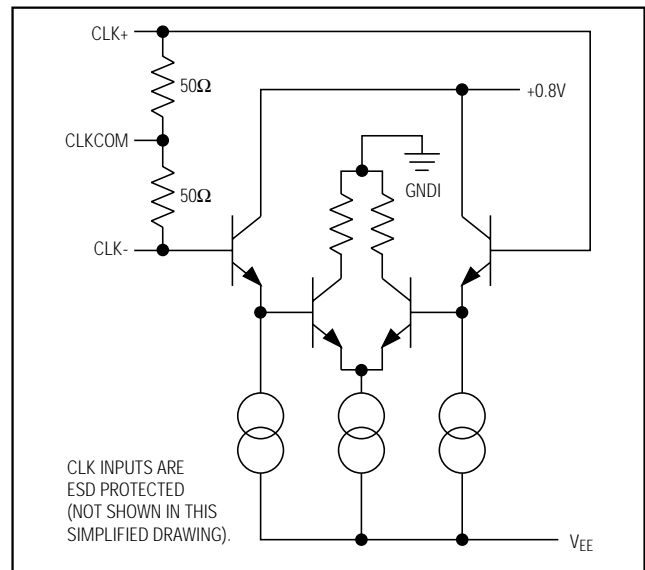


図12. 簡略化クロック入力構造(シングルエンド/差動)

# ±5V、600Mpsps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

データコンバータの動的性能は、クロックドライブパワーレベルが-10dBm ~ +10dBm(クロック信号振幅100mV ~ 1V)の範囲であれば、ほとんど影響を受けません。MAX106の動的性能の仕様は、+4dBm(クロック信号振幅500mV)のシングルエンドクロックドライブによって測定されています。入力アンプ段の飽和を防ぐため、クロックパワーレベルを最大+10dBmに制限して下さい。

## 差動クロック入力(サイン波ドライブ)

適切な平衡不平衡変成器又はトランスを使用してシングルエンドのサイン波信号を差動ドライブに変換すると、差動クロックドライブ(図13b、表5)の利点を活用できます。高精度の内蔵レーザトリミングされた50クロック終端抵抗が、優れた振幅マッチングを保証します。適正な入力振幅条件については、「シングルエンドクロック入力(サイン波ドライブ)」を参照して下さい。

## シングルエンドクロック入力(ECLドライブ)

MAX106をシングルエンドECLクロックドライブ用に設定するには、クロック入力を図13cに示す方法で接続して下さい(表5)。駆動されていないクロック入力にノイズがカップリングして動的性能を劣化させるのを防ぐため、良好なバイパスを備えた $V_{BB}$ 電源(-1.3V)が必須です。

## 差動クロック入力(ECLドライブ)

MAX106は、CLKCOMにおけるクロック終端電圧を-2Vに設定することにより、標準的な差動(図13d、表5)ECLクロックソースで駆動できます。クロック終端リターン(CLKCOM)は、ADCにできるだけ近いところで0.01 $\mu$ Fのコンデンサを使用してGNDIIにバイパスして下さい。

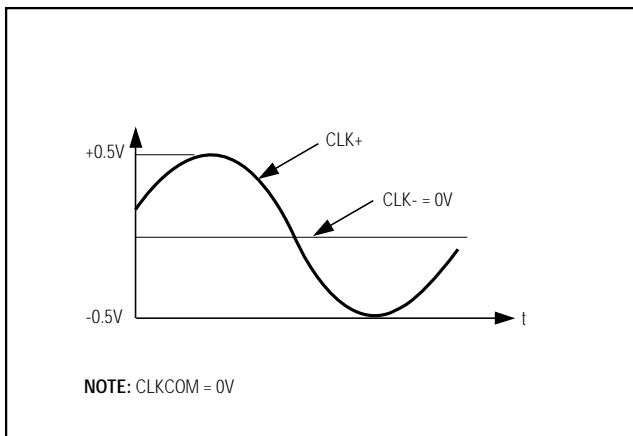


図13a. シングルエンドのクロック入力信号

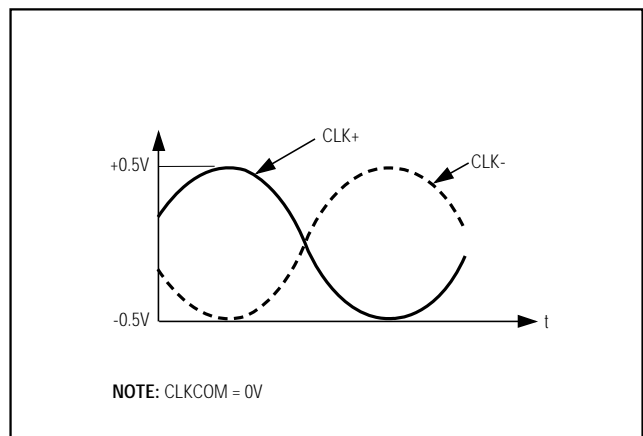


図13b. 差動クロック入力信号

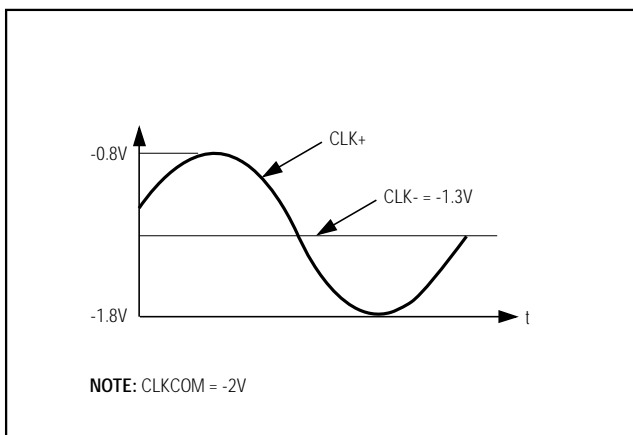


図13c. シングルエンドのECLクロックドライブ

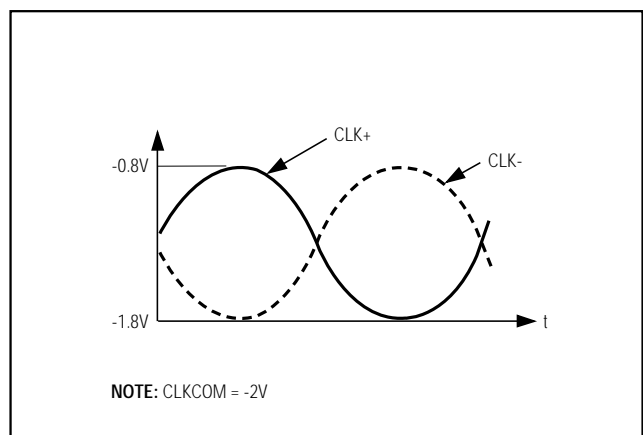


図13d. 差動ECLクロックドライブ

# ±5V、600Mps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

表5. DCカップリングのクロック駆動オプション

CLOCK DRIVE	CLK+	CLK-	CLKCOM	REFERENCE
Single-Ended Sine Wave	-10dBm to +4dBm	External 50Ω to GNDI	GNDI	Figure 13a
Differential Sine Wave	-10dBm to +4dBm	-10dBm to +4dBm	GNDI	Figure 13b
Single-Ended ECL	ECL Drive	-1.3V	-2V	Figure 13c
Differential ECL	ECL Drive	ECL Drive	-2V	Figure 13d

## クロック入力のACカップリング

クロック入力にACカップリングされている場合、正を基準とするECL(PECL)でクロック入力CLK+及びCLK-を駆動することもできます。この条件においては、CLKCOMをGNDIに接続して下さい。駆動されていないクロック入力、駆動されている入力のカップリングに使用されているものと同じ値のコンデンサと50Ω抵抗を直列に接続したものでGNDIに対して逆終端処理する場合には、シングルエンドのECL/PECL/サイン波駆動も可能です。

## デマルチプレクサのリセット動作

MAX106は、出力デジタルデータのデータ速度をサンプルクロックデータの半分に低減する内部1:2デマルチプレクサを備えています。デマルチプレクサのリセットは、複数のMAX106をインタリーブする時や外部デマルチプレクサを同期させる時に必要となります。図1の簡略化ブロックダイアグラムには、4つの主回路ブロックからなるデマルチプレクサリセット信号経路が示されています。入力から出力に向かって、リセット入力デュアルラッチ、リセットパイプライン、デマルチプレクサクロック発生器及びリセット出力があります。デマルチプレクサリセット動作及びこのセクションの制御に関する信号は、表6に記載されています。

## リセット入力デュアルラッチ

リセット入力デュアルラッチ回路ブロックは、MAX106のPECL出力を駆動するものと同じV<sub>CC0</sub>電源を基準とする差動PECLリセット入力を受け付けます。リセットを同期させる必要のないアプリケーションにおいては、リセット入力をオープンにしておいてかまいません。この場合、リセット入力は内部50kΩ抵抗及び20μA電流ソースによって適正なレベルに自己バイアスされます。この組み合わせがRSTIN+とRSTIN-の間に-1Vの差を生成して、内部リセット回路をディセーブルします。50Ωで(V<sub>CC0</sub> - 2V)に終端処理されたPECLロジックレベルで駆動された場合、内部バイアスネットワークは容易にオーバドライブされます。図14にリセット入力構造の略図を示します。

リセット入力データを適正にラッチするためには、サンプルクロックの立上がりエッジから見たセットアップ

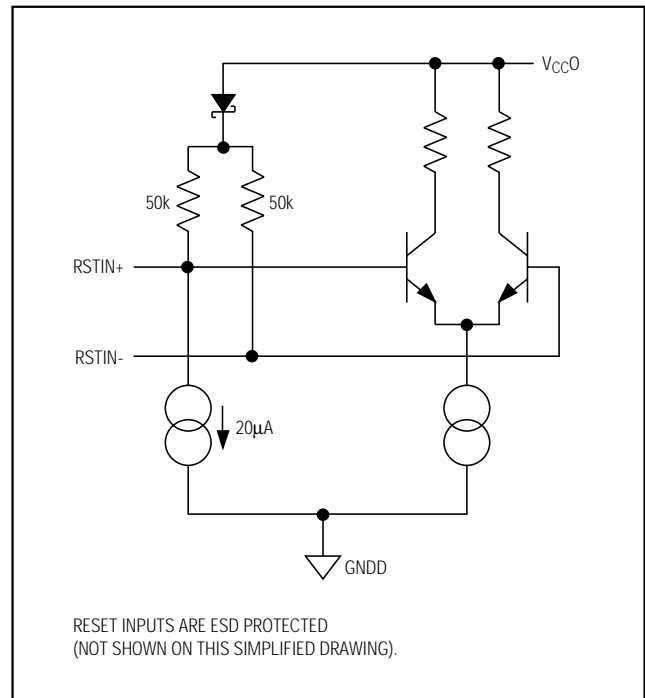


図14. リセット入力構造の略図

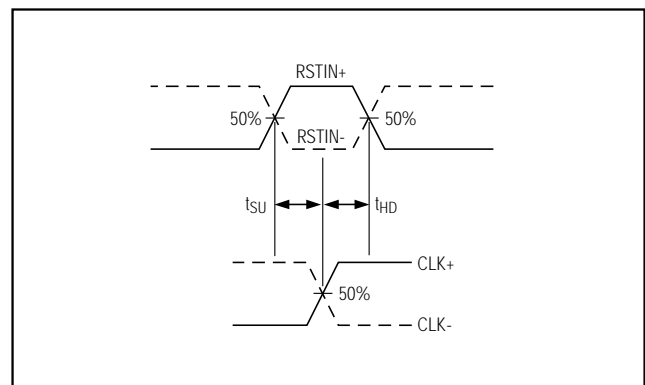


図15. リセット入力タイミングの定義

時間(t<sub>SU</sub>)及びデータホールド時間(t<sub>HD</sub>)の仕様が満たされている必要があります。図15のタイミング図に、リセット入力とサンプリングクロックの間のタイミング関係を示します。

# ±5V、600Mpsps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

表6. デマルチプレクサ動作及びリセット制御信号

SIGNAL NAME	TYPE	FUNCTION
CLK+, CLK-	Sampling clock inputs	Master ADC Timing Signal. The ADC samples on the rising edge of CLK+.
DREADY+, DREADY-	Differential PECL outputs	Data-Ready PECL Output. Output data changes on the rising edge of DREADY+.
RSTIN+, RSTIN-	Differential PECL inputs	Demux Reset Input Signals. Resets the internal demux when asserted.
RSTOUT+, RSTOUT-	Differential PECL outputs	Reset Outputs—for resetting additional external demux devices.

### リセットパイプライン

リセット信号経路における次のセクションはリセットパイプラインです。このブロックは、変換されたアナログデータがADCを通り抜ける待ち時間と一致するように、クロックサイクルの待ち時間を付加します。これによって、リセットデータがRSTOUT+/RSTOUT-PECL出力に到達した時に、RSTIN+/RSTIN-でリセット入力の発生が停止された時点で主及び補助ポートに存在するアナログデータと時間的に調整されます。

### デマルチプレクサクロック発生器

デマルチプレクサクロック発生器は、デマルチプレクス及び非デマルチプレクス動作の様々なモードに必要とされるDIV1、DIV2又はDIV4クロックを発生します。TTL/CMOS制御入力DEMUXEN及びDIVSELECTは、デマルチプレクスモードの選択を制御します(表2を参照)。図16と図17のタイミング図は、それぞれDIV1、DIV2及びDIV4モードにおける出力タイミング及びデータアラインメントを示しています。

デバイスのパワーアップ時には、CLK+/CLK-入力におけるサンプリングクロックとDREADY+/DREADY-出力におけるデータレディクロックの間の位相関係はランダムになります。全ての2分周回路について言えることですが、これらのクロックの間は2通りの位相関係があり得ます。これらの位相差は、DIV2-DREADYクロックの反転です。この関係は、図16のタイミング図に示されています。

インタリーブ等、2つ以上のMAX106を使用して実効サンプリング速度を高めるアプリケーションにおいては、最初のパワーアップ時に全てのMAX106を既知のDREADY位相にリセットして下さい。この同期操作は、デバイス間の出力サンプルの順番を設定するために必要です。この同期操作は、コンバータをリセットすることによって実現します。リセット信号は、デマルチプレクサクロック発生器ブロックの内部カウンタを強制的に既知の位相状態にするために使用されます。

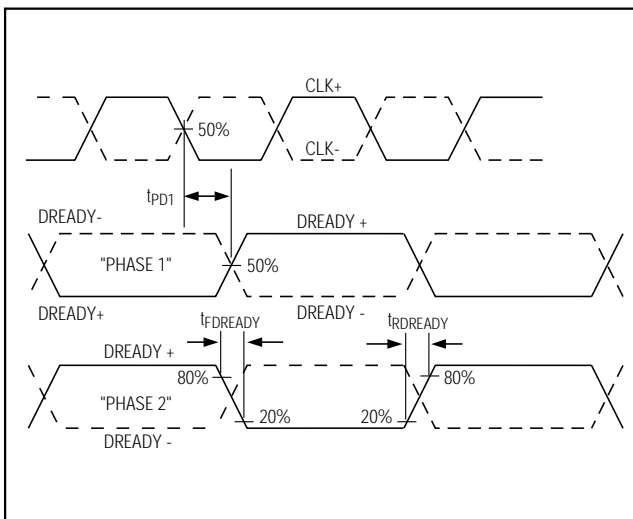


図16. デマルチプレクスDIV2モードにおけるCLK及びDREADYタイミング(2通りのDREADY位相を図示)

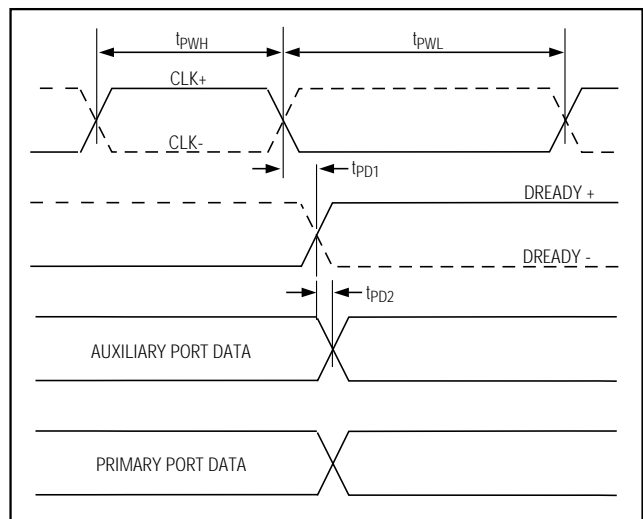


図17. 全てのモード(DIV1、DIV2、DIV4)の出力タイミング

# ±5V、600MSPS、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

## リセット出力

最後に、リセット信号経路の最後のブロックにリセット信号が差動PECLフォーマットで提示されます。RSTOUT+/RSTOUT-は、出力データ速度をさらに低減する必要のあるアプリケーションにおいて、追加の外部デマルチプレクサのリセットに使用される時間調整済みリセット信号を出力します。多くのデマルチプレクサデバイスは、クロックで駆動されている間にリセット信号がいくつかのクロックサイクルの間、発生し続けることを必要とします。これを達成するため、MAX106のDREADYクロックはRSTOUTが発生している間トグルし続けます。

単一のデバイスの場合、同期リセットは必要ありません。これは、出力ポートにおけるサンプルの順番がDREADYクロックの位相に依らず不変であるためです。DIV2モードにおいては、補助ポートのデータは8.5クロックサイクル遅延され、主ポートのデータは7.5クロックサイクル遅延されます。古い方のデータは、DREADYクロックの位相に関係なく常に補助ポートにあります。

リセット出力信号RSTOUTの遅延(6.5クロックサイクル)は、主ポートの遅延よりも1クロックサイクルだけ少なくなっています。このようにRSTOUTは待ち時間が減らされているため、主及び補助ポートの同期データの開始を印付けることができます。RSTOUT信号がゼロに戻る時、DREADYクロック位相がリセットされます。

DREADYクロックの入力クロックに対する位相は2通りがあり得るため、考慮すべきタイミング図が2つあります。最初のタイミング図(図18)は、DREADYクロック位相がすでにリセットされている時の、RSTOUTタイミングと補助及び主出力ポートのデータ相関を示しています。この例においては、RSTINパルスの長さは2クロックサイクルです。この条件下ではDREADYクロックは中断されずに続き、補助及び主ポートのデータストリームも中断されずに続きます。

2番目のタイミング図(図19)は、DREADY位相がリセット位相と反対である場合の結果を示しています。この場合、DREADYクロックはサンプルクロックの1サイクルを「飲み込んで」、リセット位相に再び同期します。補助及び主ポートのデータストリームが逆転していることに注意して下さい。リセットが発生する前には、補助

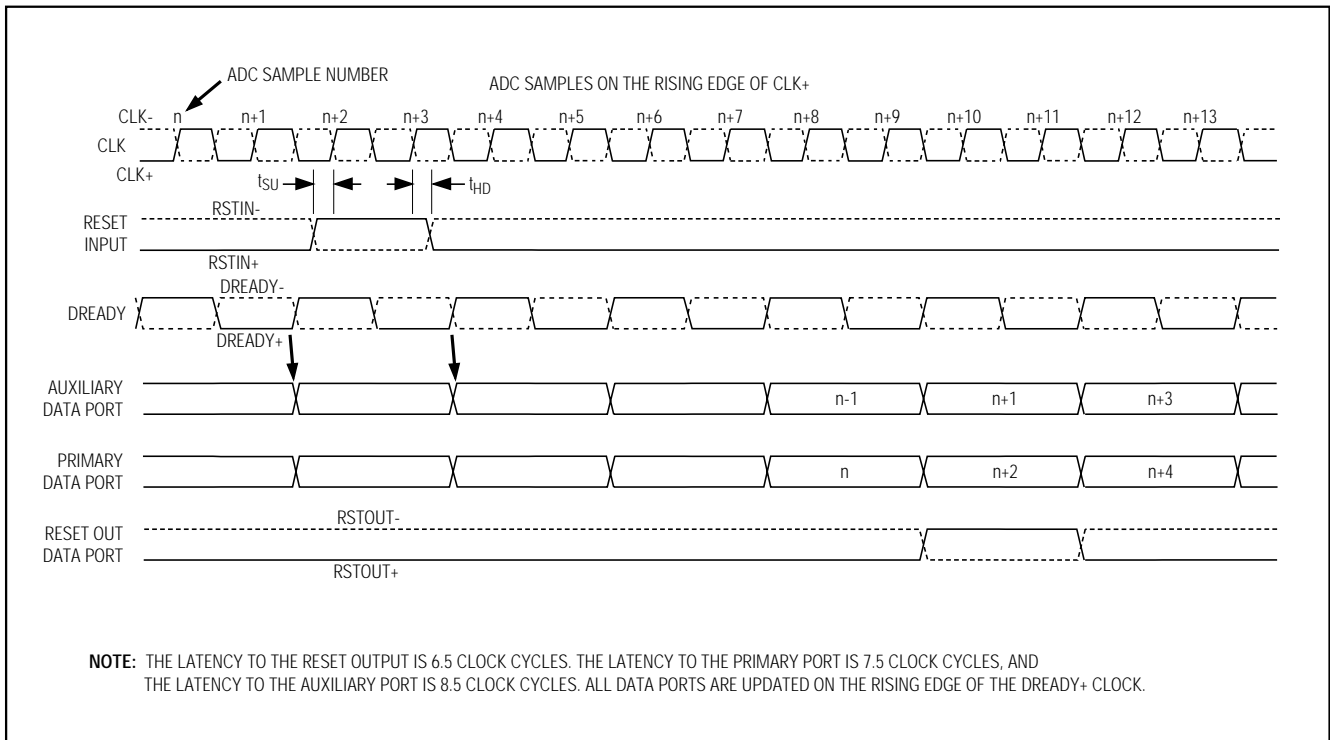


図18. デマルチプレクスDIV2モードにおけるリセット出力のタイミング (DREADYがアラインメントされている場合)

# ±5V、600Msps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

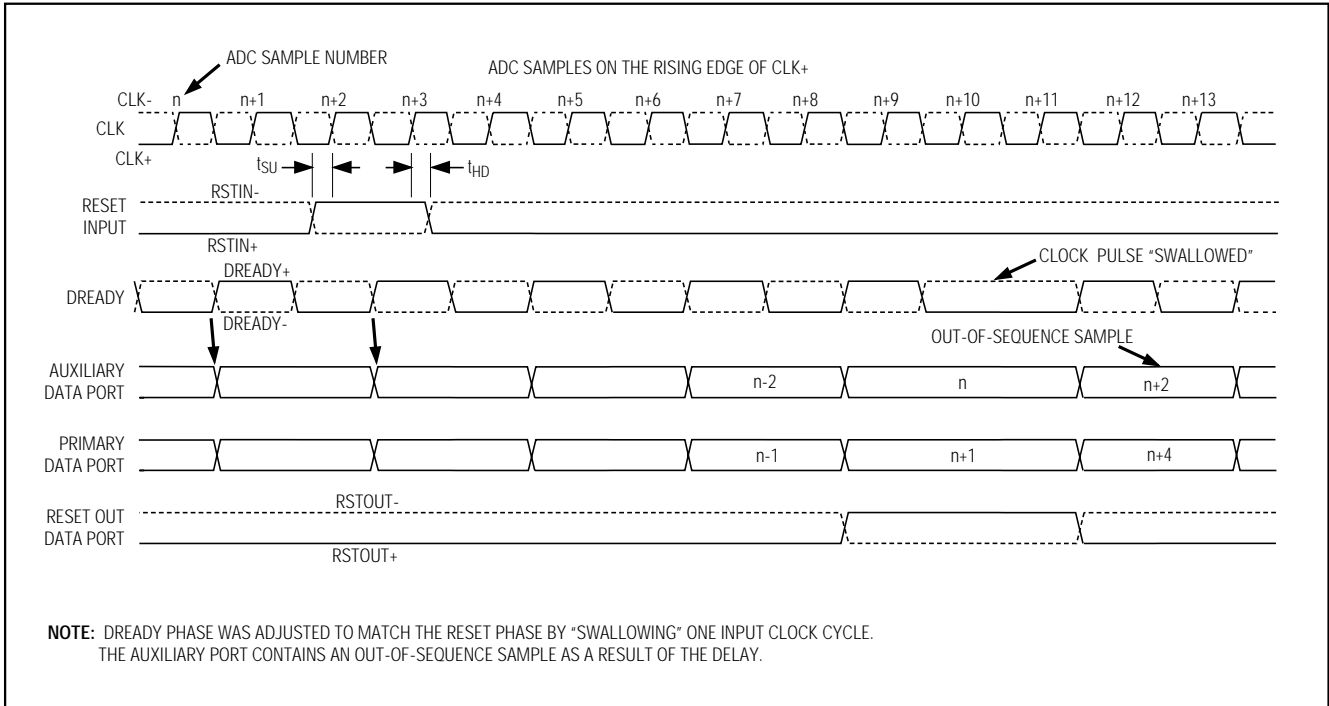


図19. デマルチプレクサDIV2モードにおけるリセット出力のタイミング (DREADYが再アラインメントされた場合)

ポートは「偶数」サンプルを含んでおり、主ポートは「奇数」サンプルを含んでいました。RSTOUTの発生が停止した後(これがDREADYクロックのリセット位相の開始を印付けます)、これらのポート中のサンプルの順番が逆転していることに注意して下さい。補助ポートにはアウトオブシーケンスのサンプルも含まれています。これはDREADYをリセット位相に再び同期させるために必要だったクロックサイクルの「飲み込み」の結果です。また、DREADY位相に関係なく、古い方のサンプルは常に補助ポートにあることに注意して下さい。

これらの例は、2クロックサイクルの長さのリセット入力信号の結果生じる組み合わせを图示しています。サンプルクロックに対するセットアップ時間及びホールド時間の必要条件が満たされている場合は、内部MAX106デマルチプレクサを長さ1クロックサイクルだけのリセットパルスでリセットすることも可能です。しかし、これはその他に外部デマルチプレクサを使用している場合には推奨できません。

多くのデマルチプレクサデバイスでは、クロックで駆動されている間にリセット信号が発生している必要があること、また、1クロックサイクルよりも長いリセットを要する可能性があることに注意して下さい。さらに重要なことは、DREADYクロックの位相が再同期のため

に1クロックサイクルが「飲み込まれる」ような位相であった場合、リセット出力は全く生じなくなります。結果として、RSTOUT信号がクロックパルスと共に「飲み込まれる」こととなります。完全なシステムリセットを補償する最善の方法は、外部デマルチプレクサの完全なリセットに必要な数のDREADYクロックサイクルの間、RSTINを発生し続けることです。

## チップ温度の測定

チップ温度の測定を必要とするアプリケーションにおいては、 $I_{CONST}$ 及び $I_{PTAT}$ (コンタクト $I_{CONST}$ 及び $I_{PTAT}$ )の電流を測定することにより、通常動作条件におけるMAX106のチップ温度を求めることができます。これらは公称100 $\mu$ Aの電流で、27 $^{\circ}$ Cで互いに等しくなるように設計されています。これらの電流は、MAX106の内部高精度+2.5Vバンドギャップリファレンスから得ています。 $I_{CONST}$ は温度に依存しないように設計されているのに対して、 $I_{PTAT}$ は絶対温度に直接比例します。これらの電流は、 $V_{CC1}$ を基準とするPNP電流ソースから供給され、GNDIIに接続された2つの直列ダイオードに流れ込みます。コンタクト $I_{CONST}$ 及び $I_{PTAT}$ はオープンのままにしておかれません。これは、内部キャッチダイオードが電流ソースの飽和を防ぐ

# ±5V、600Msps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

MAX106

ためです。チップ温度は、GNDIを基準とする電流計で各電流を測定することによって簡単に測定できます(この電流計がキャッチダイオードをシャットオフします)。摂氏のチップ温度は次式で計算されます。

$$T_{DIE} = 300 \left[ \frac{I_{PTAT}}{I_{CONST}} \right] - 273$$

チップ温度を測定するもう1つの方法では、図20に示すオペアンプ回路を使用します。この回路はチップ温度に比例する電圧を生成します。この信号を採用したアプリケーションとしては、MAX106のチップ温度を一定に保つための冷却ファンの速度制御が挙げられます。この回路は、 $I_{CONST}$ 及び $I_{PTAT}$ 電流を電圧 $V_{CONST}$ 及び $V_{PTAT}$ に変換することによって動作します(この時これらが+27で同じ値になることを考慮に入れてスケールリングします)。この電圧差が、可変利得の計測器アンプとして構成された2つのアンプによって増幅されます。回路利得の公称値は4.5092V/Vです。計測器アンプの利得は次式で与えられます。

$$A_V = \frac{V_{TEMP}}{V_{CONST} - V_{PTAT}}$$

$$A_V = 1 + \frac{R1}{R2} + 2 \frac{R1}{R3}$$

この回路のキャリブレーションを行うには、まずJU1のピン2~3を接続してPTAT経路の入力をゼロにしてください。MAX106がパワーアップした状態で、 $V_{TEMP}$ 出力が-2.728VになるまでポテンショメータR3を調整してください。キャリブレーションが完了した後、JU1のピン1~2を接続すると回路の通常動作が回復します。このようにすると、 $V_{TEMP}$ ノードにおける電圧は次式に従って実際のMAX106のチップ温度に比例します。

$$T_{DIE} (^\circ\text{C}) = 100 \cdot V_{TEMP}$$

オペアンプスケールリング回路を採用したチップ温度測定の全体的な精度は、主に回路内の抵抗の精度及びマッチングによって制限されます。

## 熱管理

アプリケーション環境によっては、ESBGAパッケージのMAX106の基板実装後に外部ヒートシンクをパッケージに取り付けることが必要になることもあります。既存のオープンツールのヒートシンクは、標準的なヒートシンクメーカから入手可能です(「ヒートシンクメーカ」を参照)。ヒートシンクにはすでに接着剤が付いているため、パッケージへの取付は簡単です。

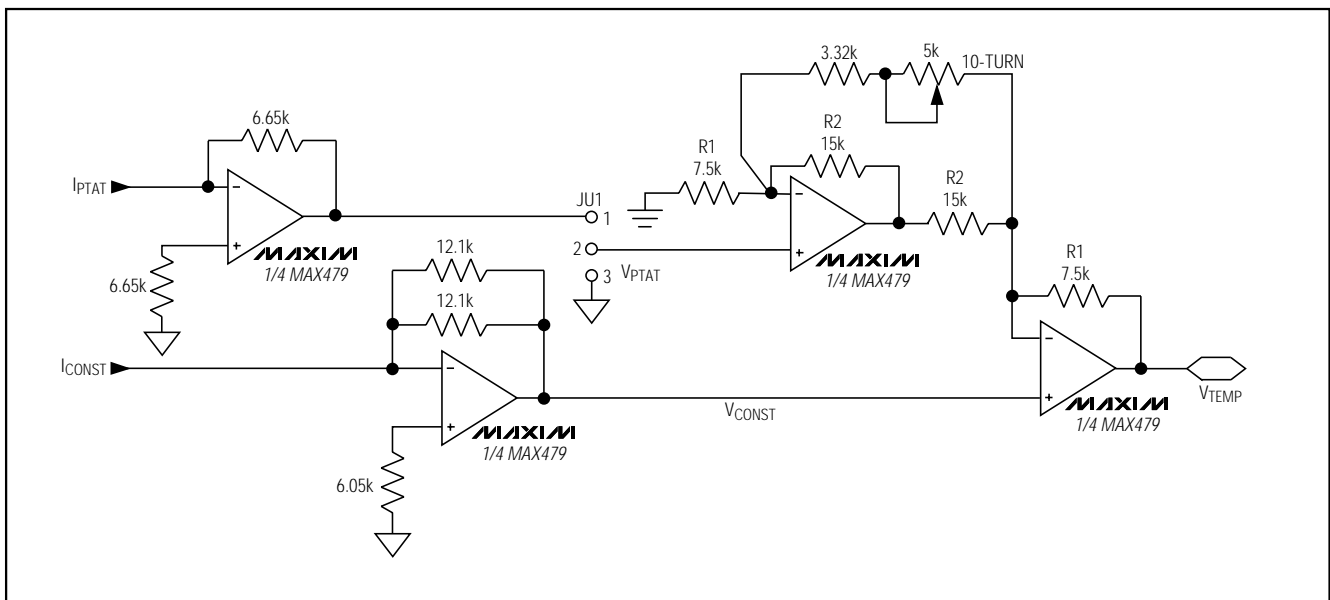


図20. MAX479を使用したチップ温度収集回路



# ±5V、600Mps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

表7. ヒートシンクがある場合とない場合の  
MAX106の熱的性能

AIRFLOW (linear ft./min)	MAX106 $\theta_{JA}$ ( $^{\circ}\text{C}/\text{W}$ )	
	WITHOUT HEATSINK	WITH HEATSINK
0	16.5	12.5
200	14.3	9.4
400	13	8.3
800	12.5	7.4

## 熱的性能

MAX106は、ジャンクションから周囲環境への熱抵抗を求めるためにモデル化されています。表7に、本ADCの熱的性能パラメータを示します。

周囲温度： $T_A = +70$   
 ヒートシンク寸法： $25\text{mm} \times 25\text{mm} \times 10\text{mm}$   
 基板サイズ及びレイアウト： $4\text{インチ} \times 4\text{インチ}$   
 2信号層  
 2電源層

## ヒートシンクメーカー

Aavid Engineering社及びIERC社が、 $25\text{mm} \times 25\text{mm}$  ESBGAパッケージに合うオープンツールの薄型ヒートシンクを提供しています。

Aavid Engineering, Inc.  
 電話：714-556-2665  
 ヒートシンクカタログ番号：335224B00032  
 ヒートシンク寸法： $25\text{mm} \times 25\text{mm} \times 10\text{mm}$

International Electronic Research Corporation (IERC)  
 電話：818-842-7277  
 ヒートシンクカタログ番号：BDN09-3CB/A01  
 ヒートシンク寸法： $23.1\text{mm} \times 23.1\text{mm} \times 9\text{mm}$

## バイパス/レイアウト/電源

グランド接続及び電源デカップリングは、MAX106の性能に強く影響します。クロック周波数が600MHzで分解能が8ビットである場合、望ましくないデジタルクロストークが入力、リファレンス、電源及びグランド接続部を通じてカップリングし、ADCの動的性能に悪影響を与えます。このため、グランド接続及び電源デカップリングのガイドラインに忠実に従うことが重要です(図22)。

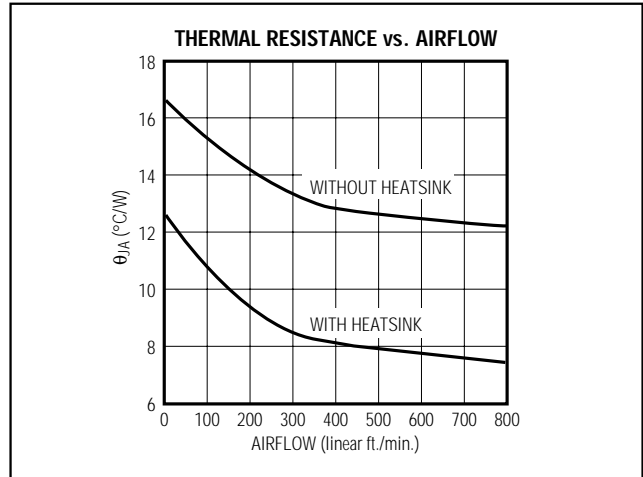


図21. MAX106の熱的性能

マキシム社では、グランドプレーンと電源プレーンが別々になった多層プリント基板(PCB)の使用を強く推奨しています。MAX106はアナログとデジタルのグランド接続部が個別になっているため(それぞれGNDA、GNDI、GNDR及びGNDD)、プリント基板はアナログとデジタルのグランド部を別々にし、一点のみ(電源での星型グランド)で接続されるようにして下さい。デジタル信号はデジタルグランドプレーンの上に引き、アナログ信号はアナロググランドプレーンの上に引いて下さい。デジタル信号は、敏感なアナログ入力、リファレンス入力及びクロック入力から遠ざけて下さい。クロック、アナログ入力及びデジタル出力等の高速信号は、MAX106EVKITで使用されているような50 マイクロストリップラインを使って配線して下さい。

MAX106は、アナログとデジタルの電源入力が別々になっています。 $V_{EE}$ (-5Vアナログ及びサブストレート電源)及び $V_{CC1}$ (+5V)は、T/Hアンプ、クロック分配、バンドギャップリファレンス及びリファレンスアンプを駆動します。 $V_{CCA}$ (+5V)はADCのコンパレータアレイに電源を供給します。 $V_{CCO}$ (+3V~ $V_{CCD}$ )は全てのPECLベースの回路セクションに電源を供給し、 $V_{CCD}$ (+5V)がデータコンバータの全てのロジック回路に電源を供給しています。

パワーアップ中に、MAX106の $V_{EE}$ 電源コンタクトがオープン状態になることは許されません。この状態を避けるため、 $V_{EE}$ とGNDIの間に高速ショットキダイオード(Motorola 1N5817等)を付加して下さい。このダイオードは、デバイスのサブストレートが順方向バイアスしてラッチアップの原因になるのを防ぎます。

# ±5V、600Mps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

全ての電源は、プリント基板に入るところで大きなタンタル又は電解コンデンサを使用することによりデカップリングして下さい。最高の性能を得るために、全ての電源を適切なグラウンドにバイパスして下さい。このバイパスには、電源ノイズを除去するための10 $\mu$ Fタンタルコンデンサと、非常に周波数の高いノイズを除去するためにMAX106の直近に配置された0.01 $\mu$ Fコンデンサ及び高品質の47pFセラミックチップコンデンサを並列にしたものを使用して下さい。

## 静的パラメータの定義

### 積分非直線性(INL)

積分非直線性(INL)は、実際の伝達関数値の直線からの偏差です。この直線は、最良の直線フィット(実際の

伝達曲線に最も近い近似)あるいはオフセット及び利得誤差をヌル(ゼロ)にした後に伝達関数の終点間を結んだ線です。MAX106の静的直線性パラメータは、最良直線フィット法によって測定されています。

### 微分非直線性(DNL)

微分非直線性(DNL)は、実際のステップの高さと1LSBの理想的な値の間の差です。DNLの大きさが1LSB未満の場合、ミッシングコードがないこと及び伝達関数が単調性であることが保証されます。

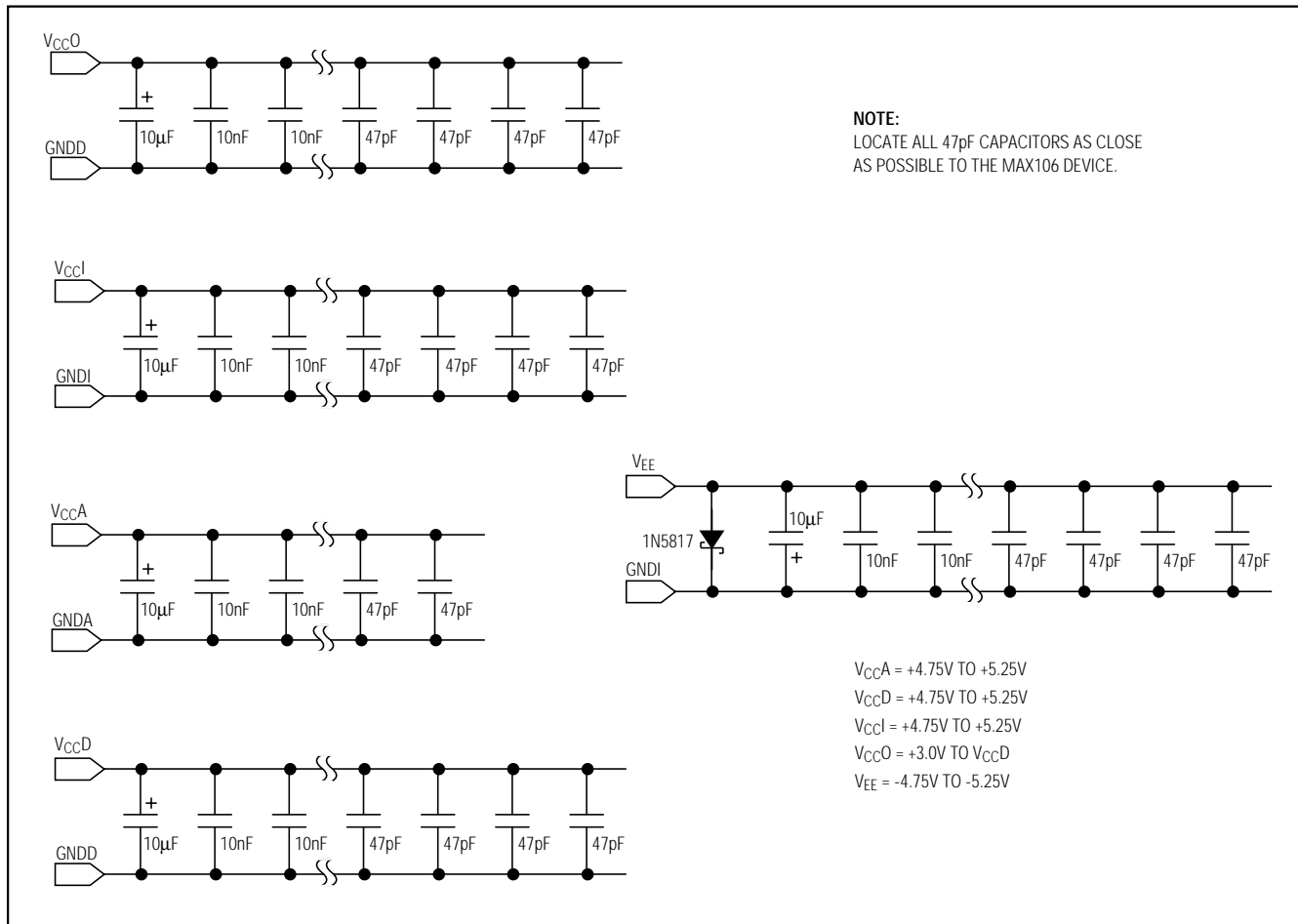


図22. MAX106のバイパスとグラウンド接続

# ±5V、600Msps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

MAX106

## ビットエラーレート(BER)

(サンプルが取られた時の)アナログ入力電圧がある入力コンパレータの決定点の近くになっていると、準安定状態に起因するエラーが起こり得ます。このエラーの大きさは、コンパレータネットワーク内のそのコンパレータの位置に依存します。MSBのコンパレータであった場合、このエラーはフルスケールに達します。MAX106はユニークなエンコード方式でこれらのエラーを実質的に排除することにより、この問題を解決しています。

## 動的パラメータの定義

### 信号対雑音比(SNR)

デジタルサンプルから完璧に再構築された波形の場合、理論的最大SNRはフルスケールアナログ入力(RMS値)のRMS数値化エラー(残留エラー)に対する比です。理想的な最小アナログデジタルノイズは数値化エラーのみに起因し、ADCの分解能(Nビット)によって直接決まります。

$$\text{SNR (max)} = (6.02 \cdot N + 1.76) \text{ dB}$$

現実には、数値化ノイズの他にもサーマルノイズ、リファレンスノイズ、クロックジッタ等のノイズ源があります。このため、SNRを計算する時はRMS信号とRMSノイズの比をとります。RMSノイズは、全てのスペクトル成分から基本波、最初の5つの高調波及びDCオフセットを差し引いたものです。

### 実効ビット数(ENOB)

ENOBは、特定の入力周波数及びサンプリング速度におけるADCの全体的な精度を示します。理想的なADCのエラーは、数値化エラーのみに起因します。ENOBは、理想的なフルスケール範囲を基準とする曲線フィットから計算されます。

## 信号対雑音+歪み(SINAD)

SINADは、実効ビット数(ENOB)から次式で計算されます。

$$\text{SINAD} = (6.02 \cdot \text{ENOB}) + 1.76$$

## 全高調波歪み(THD)

THDは、入力信号の最初の5つの高調波RMS和と基本波そのものの比です。これは次式で表されます。

$$\text{THD} = 20 \cdot \log \left( \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2}}{V_1} \right)$$

ここで、 $V_1$ は基本波の振幅、 $V_2 \sim V_5$ は2次～5次高調波の振幅です。

## スプリアスフリーダイナミックレンジ(SFDR)

SFDRは、基本波(最大信号成分)と次に大きなスプリアス成分(DCオフセットを除く)のRMS値の比をデシベル単位で表したものです。

## 相互変調歪み(IMD)

2信号相互変調歪みは、いずれかの入力トーンと最悪の3次(以上)相互変調積の比をデシベル単位で表したものです。入力信号レベルは-7dBフルスケールです。

## チップ情報

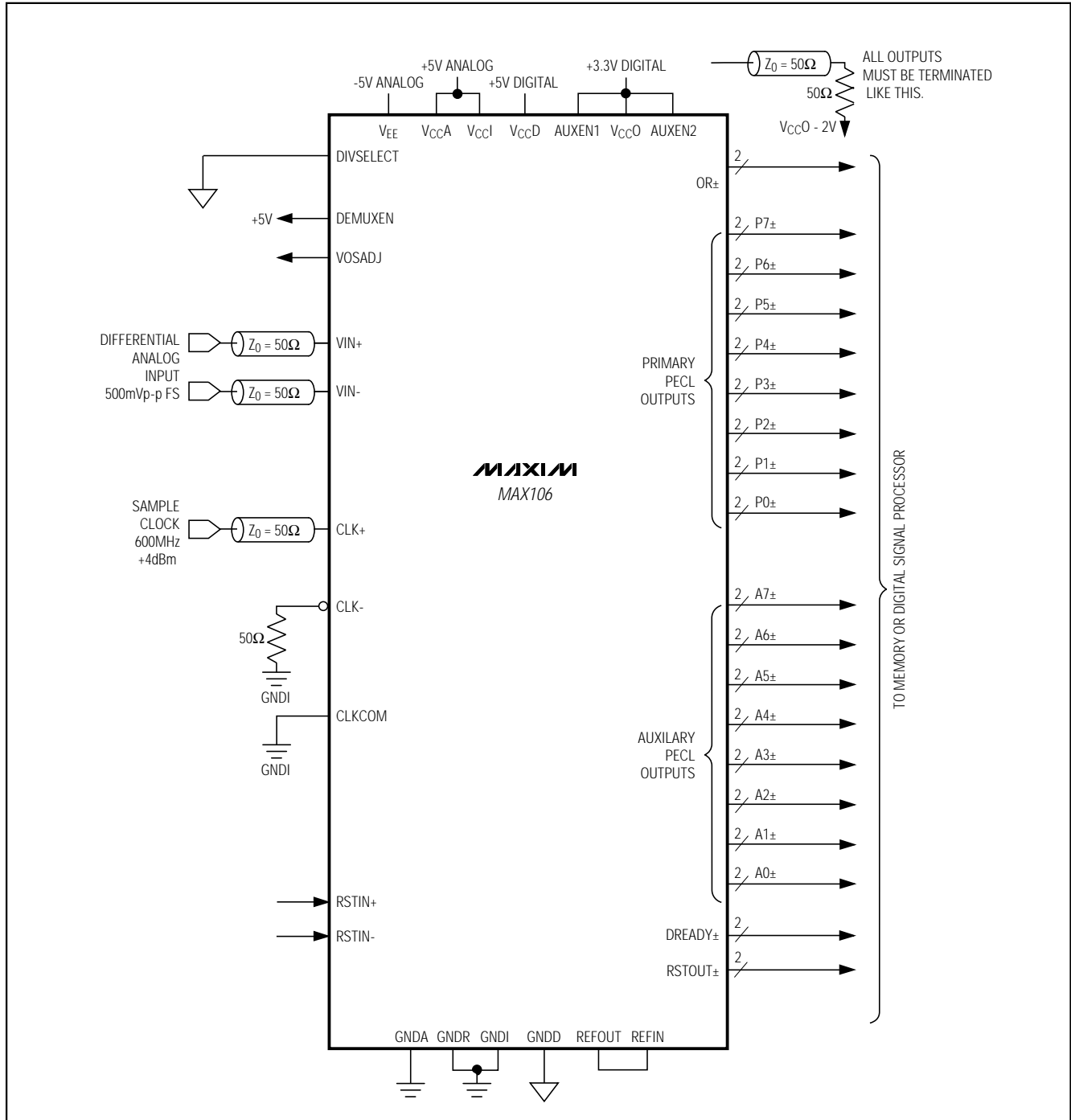
TRANSISTOR COUNT: 20,486

SUBSTRATE CONNECTED TO  $V_{EE}$

# ±5V、600MSPS、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

MAX106

標準動作回路



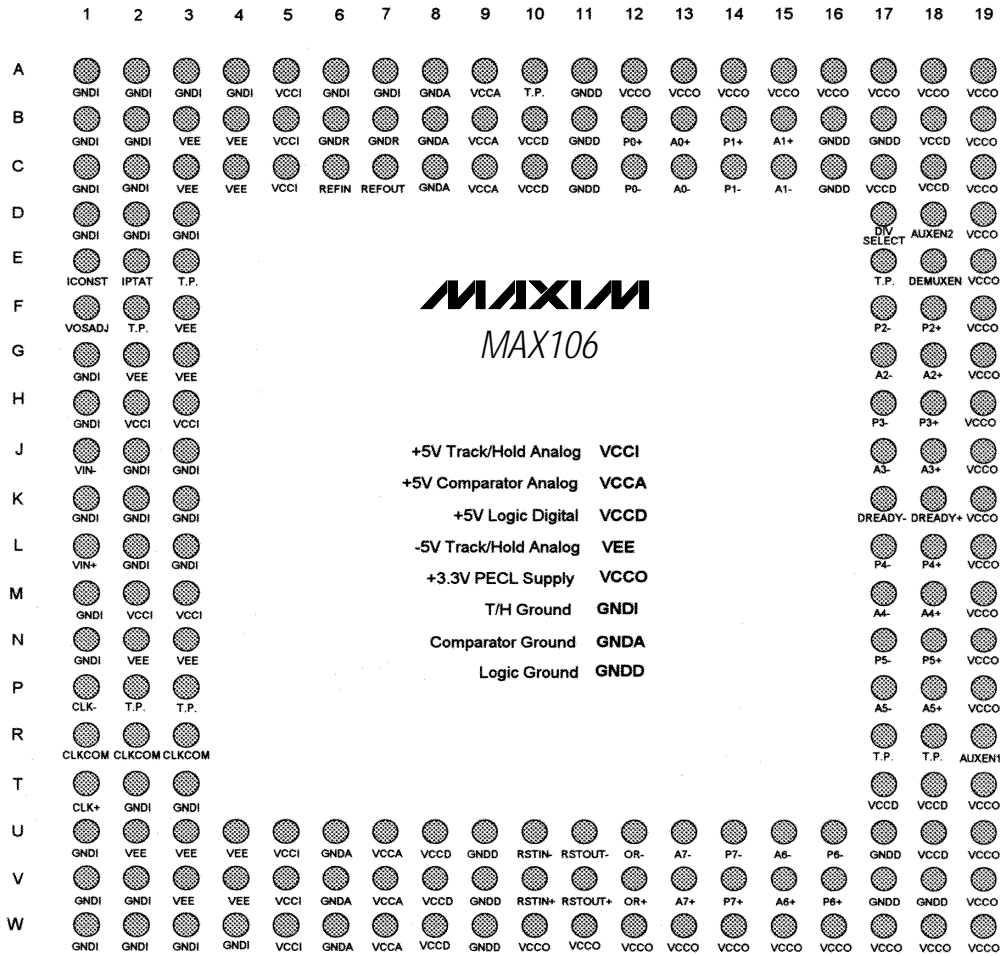
# ±5V、600Msps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

192コンタクトのESBGAプリント基板ランドパターン

MAX106

TOP VIEW

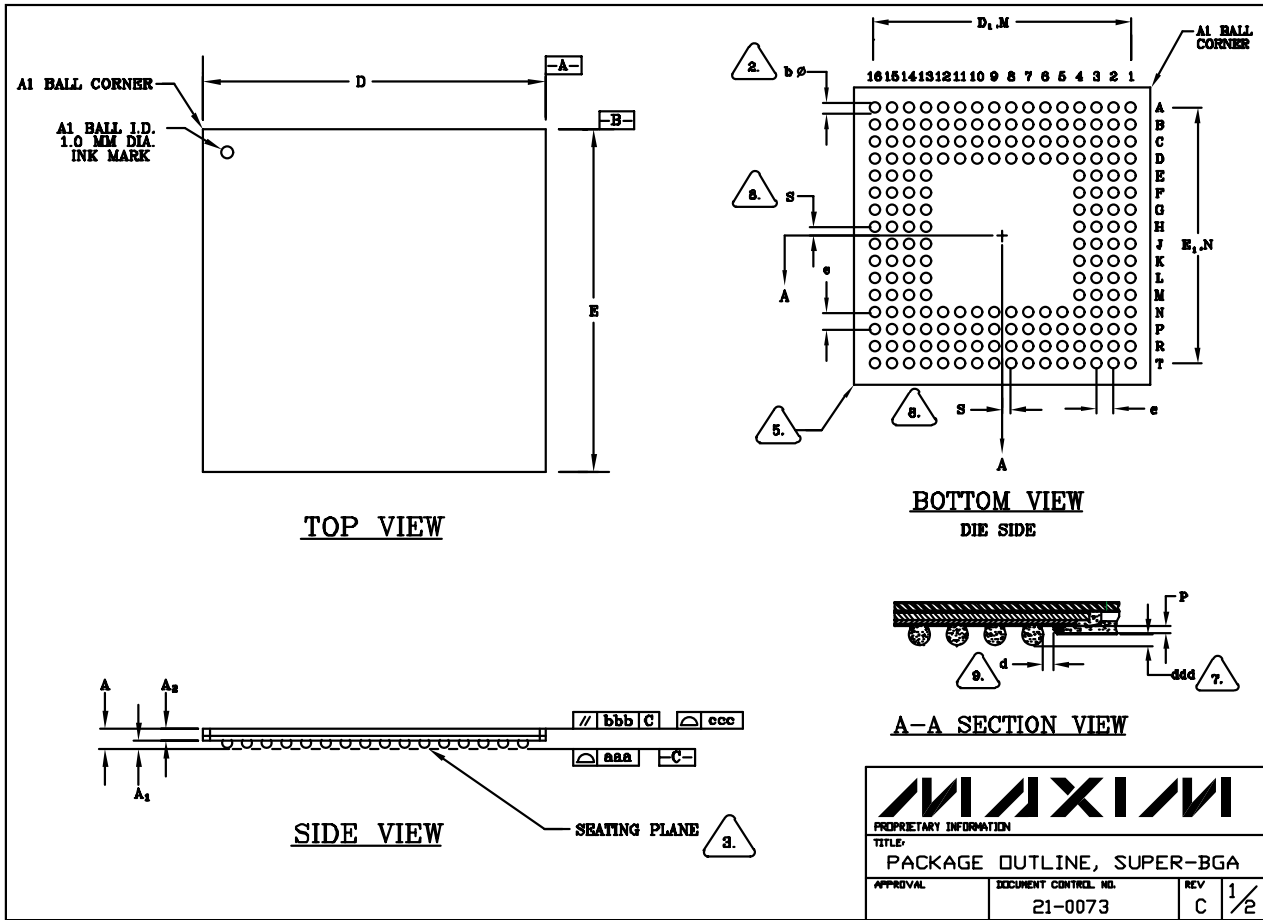
## MAX106 192 Ball ESBGA Printed Circuit Board (PCB) Land Pattern



# ±5V、600Msps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

MAX106

パッケージ



SUPER BGA, EPS

**MAXIM**

PROPRIETARY INFORMATION

TITLE:  
PACKAGE OUTLINE, SUPER-BGA

APPROVAL	DOCUMENT CONTROL NO. 21-0073	REV C	1/2
----------	---------------------------------	----------	-----


# ±5V、600Msps、8ビットADC 2.2GHzトラック/ホールドアンプ内蔵

MAX106

パッケージ(続き)

**NOTES: UNLESS OTHERWISE SPECIFIED**

1. ALL DIMENSIONS AND TOLERANCES CONFORM TO ANSI Y14.5M-1982.
2. DIMENSION "b" IS MEASURED AT THE MAXIMUM SOLDER BALL DIAMETER, PARALLEL TO PRIMARY DATUM -C-.
3. PRIMARY DATUM -C- AND SEATING PLANE ARE DEFINED BY THE SPHERICAL CROWNS OF THE SOLDER BALLS.
4. THE 192 BALL 25 X 25 MM SBGA HAS 3 ROWS OF BALLS. THE 256 BALL 27 X 27 MM SBGA HAS 4 ROWS OF BALLS.
5. SHAPE AT CORNER.
 



SINGLE FORM
6. ALL DIMENSIONS ARE IN MILLIMETERS.
7. HEIGHT FROM BALL SEATING PLANE TO PLANE OF ENCAPSULANT.
8. "S" IS MEASURED WITH RESPECT TO -A- AND -B- AND DEFINES THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW. WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW "S"=.000; WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW THE VALUE "S"= $e/2$ . "S" MAY BE EITHER .000 OR  $e/2$  FOR EACH VARIATION.
9. THE DIMENSION FROM THE OUTER EDGE OF THE RESIN DAM TO THE EDGE OF THE INNERMOST ROW OF SOLDER BALL PADS IS TO BE A MINIMUM OF 0.50mm.
10. "SUPER BGA" IS A REGISTERED TRADEMARK OF AMKOR TECHNOLOGIES.

**STANDARD BODY SIZE DIMENSION TABLE**

BODY SIZE SYMBOL	25.0 X 25.0MM PACKAGE			27.0 X 27.0MM PACKAGE			BODY SIZE NOTE
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	
A	1.41	1.54	1.67	1.41	1.54	1.67	OVERALL THICKNESS
A1	0.56	0.63	0.70	0.56	0.63	0.70	BALL HEIGHT
A2	0.85	0.91	0.97	0.85	0.91	0.97	BODY THICKNESS
D	24.90	25.00	25.10	26.90	27.00	27.10	BODY SIZE
D1	22.76	22.86	22.96	24.03	24.13	24.23	BALL FOOTPRINT
E	24.90	25.00	25.10	26.90	27.00	27.10	BODY SIZE
E1	22.76	22.86	22.96	24.03	24.13	24.23	BALL FOOTPRINT
M,N	19 x 19			20 x 20			BALL MATRIX
b	0.60	0.75	0.90	0.60	0.75	0.90	BALL DIAMETER
d	0.6			0.6			MIN DISTANCE ENCAP TO BALLS
e	1.27			1.27			BALL PITCH
aaa	0.15			0.15			COPLANARITY
bbb	0.15			0.15			PARALLEL
ccc	0.20			0.20			TOP FLATNESS
ddd <sup>△</sup>	0.15	0.33	0.50	0.15	0.33	0.50	SEATING PLANE CLEARANCE
P	0.20	0.30	0.35	0.20	0.30	0.35	ENCAPSULATION HEIGHT
S	—	—	0.00	—	—	0.635	SOLDER BALL PLACEMENT

MAXIM

PROPRIETARY INFORMATION

TITLE:  
PACKAGE OUTLINE, SUPER-BGA

APPROVAL	DOCUMENT CONTROL NO 21-0073	REV C <span style="border: 1px solid black; padding: 0 2px;">2/2</span>
----------	--------------------------------	--

±5V、600Msps、8ビットADC  
2.2GHzトラック/ホールドアンプ内蔵

---

MAX106

NOTES

販売代理店

**マキシム・ジャパン株式会社**

〒169-0051東京都新宿区西早稲田3-30-16(ホリゾン1ビル)  
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

32 \_\_\_\_\_ Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600

© 1999 Maxim Integrated Products

**MAXIM** is a registered trademark of Maxim Integrated Products.