

14ビット、+5V、200ksps ADC 10 μ Aシャットダウン

概要

MAX1062低電力14ビットアナログ-デジタルコンバータ(ADC)は、逐次比較型ADCで、自動パワーダウン、高速1.1 μ sウェイクアップ、高SPI™/QSPI™/MICROWIRE™対応インタフェースの各機能を備えています。MAX1062は、単一+5Vアナログ電源で動作し、これとは別のデジタル電源を備えており2.7V~5.25Vのデジタルロジック回路と直接インタフェースできます。

MAX1062は、200kspsの最大サンプリング速度において消費電流は標準で2.75mAです。電力消費は、200ksps(最大)のサンプリング速度で標準で13.75mW ($AV_{DD} = DV_{DD} = 5V$)です。AutoShutdown™では、10kspsにおける消費電流は140 μ Aに減少し、低サンプリング速度においては10 μ A未満に減少します。

優れたダイナミック性能、低電力、使い易さおよび小型パッケージ(10ピン μ MAX®)により、MAX1062はバッテリー駆動およびデータ収集のアプリケーションや電力消費およびスペースに対する要求が厳しい各回路に最適です。

アプリケーション

- モータ制御
- 産業用プロセス制御
- 産業用I/Oモジュール
- データ収集システム
- 熱電対測定
- 加速度計測定
- 携帯およびバッテリー駆動機器

ファンクションダイアグラムはデータシートの最後に記載されています。

SPIおよびQSPIはMotorola, Inc.の商標です。
MICROWIREはNational Semiconductor Corp.の商標です。
AutoShutdownはMaxim Integrated Products, Inc.の商標です。
 μ MAXはMaxim Integrated Products, Inc.の登録商標です。

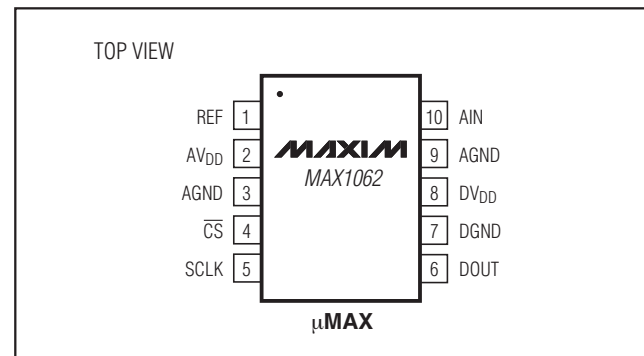
特長

- ◆ 分解能：14ビット、1LSB DNL
- ◆ +5Vの単一電源動作
- ◆ 可変ロジックレベル(2.7V~5.25V)
- ◆ 入力電圧範囲：0~ V_{REF}
- ◆ 内部トラック/ホールド、入力帯域幅：4MHz
- ◆ SPI/QSPI/MICROWIRE対応シリアルインタフェース
- ◆ 小型10ピン μ MAXパッケージ
- ◆ 低電力
 - 2.75mA (200ksps)
 - 140 μ A (10ksps)
 - 0.1 μ A (パワーダウンモード)

型番

PART	TEMP. RANGE	PIN-PACKAGE	INL (LSB)
MAX1062ACUB	0°C to 70°C	10 μ MAX	± 1
MAX1062BCUB	0°C to 70°C	10 μ MAX	± 2
MAX1062CCUB	0°C to 70°C	10 μ MAX	± 3
MAX1062AEUB	-40°C to 85°C	10 μ MAX	± 1
MAX1062BEUB	-40°C to 85°C	10 μ MAX	± 2
MAX1062CEUB	-40°C to 85°C	10 μ MAX	± 3

ピン配置



14ビット、+5V、200ksps ADC 10μAシャットダウン

MAX1062

ABSOLUTE MAXIMUM RATINGS

AV _{DD} to AGND	-0.3V to +6V
DV _{DD} to DGND	-0.3V to +6V
DGND to AGND	-0.3V to +0.3V
AIN, REF to AGND	-0.3V to (AV _{DD} + 0.3V)
SCLK, CS to DGND	-0.3V to +6V
DOUT to DGND	-0.3V to (DV _{DD} + 0.3V)
Maximum Current Into Any Pin	50mA

Continuous Power Dissipation (T _A = +70°C)	
10-Pin μMAX (derate 5.6mW/°C above +70°C)	444mW
Operating Temperature Ranges	
MAX1062_CUB	0°C to +70°C
MAX1062_EUB	-40°C to +85°C
Maximum Junction Temperature	+150°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(AV_{DD} = DV_{DD} = +4.75V to +5.25V, f_{SCLK} = 4.8MHz (50% duty cycle), 24 clocks/conversion (200ksps), V_{REF} = +4.096V, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY (NOTE 1)						
Resolution			14			Bits
Relative Accuracy (Note 2)	INL	MAX1062A			±1	LSB
		MAX1062B			±2	
		MAX1062C			±3	
Differential Nonlinearity	DNL	No missing codes over temperature		±0.5	±1	LSB
Transition Noise		RMS noise		±0.32		LSB _{RMS}
Offset Error				0.2	1	mV
Gain Error (Note 3)				±0.002	±0.01	%FSR
Offset Drift				0.4		ppm/°C
Gain Drift (Note 3)				0.2		ppm/°C
DYNAMIC SPECIFICATIONS (1kHz sine wave, 4.096Vp-p) (Note 1)						
Signal-to-Noise Plus Distortion	SINAD		81	84		dB
Signal-to-Noise Ratio	SNR		82	84		dB
Total Harmonic Distortion	THD			-99	-86	dB
Spurious-Free Dynamic Range	SFDR		87	101		dB
Full-Power Bandwidth		-3dB point		4		MHz
Full-Linear Bandwidth		SINAD > 81dB		20		kHz
CONVERSION RATE						
Conversion Time (Note 4)	t _{CONV}		5		240	μs
Serial Clock Frequency	f _{SCLK}		0.1		4.8	MHz
Aperture Delay				15		ns
Aperture Jitter				<50		ps
Sample Rate	f _s	f _{SCLK} /24			200	ksps
Track/Hold Acquisition Time	t _{ACQ}		1.1			μs

14ビット、+5V、200ksps ADC 10 μ Aシャットダウン

MAX1062

ELECTRICAL CHARACTERISTICS (continued)

(AVDD = DVDD = +4.75V to +5.25V, fSCLK = 4.8MHz (50% duty cycle), 24 clocks/conversion (200ksps), VREF = +4.096V, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ANALOG INPUT (AIN)						
Input Range	VAIN		0		VREF	V
Input Capacitance	CAIN			40		pF
EXTERNAL REFERENCE						
Input Voltage Range	VREF		3.8		AVDD	V
Input Current	IREF	VREF = 4.096V, fSCLK = 4.8MHz		100		μ A
		VREF = 4.096V, SCLK idle		0.01		
		\overline{CS} = DVDD, SCLK idle		0.01		
DIGITAL INPUTS (SCLK, \overline{CS})						
Input High Voltage	VIH	DVDD = +2.7V to +5.25V	0.7 x DVDD			V
Input Low Voltage	VIL	DVDD = +2.7V to +5.25V			0.3 x DVDD	V
Input Leakage Current	IIN	VIN = 0 to DVDD		\pm 0.1	\pm 1	μ A
Input Hysteresis	VHYST			0.2		V
Input Capacitance	CIN			15		pF
DIGITAL OUTPUT (DOUT)						
Output High Voltage	VOH	ISOURCE = 0.5mA, DVDD = +2.7V to +5.25V	DVDD - 0.25V			V
Output Low Voltage	VOL	ISINK = 10mA, DVDD = +4.75V to +5.25V		0.7		V
		ISINK = 1.6mA, DVDD = +2.7V to +5.25V		0.4		
Three-State Output Leakage Current	IL	\overline{CS} = DVDD		\pm 0.1	\pm 10	μ A
Three-State Output Capacitance	COUT	\overline{CS} = DVDD		15		pF
POWER SUPPLIES						
Analog Supply	AVDD		4.75		5.25	V
Digital Supply	DVDD		2.7		5.25	V
Analog Supply Current	IAVDD	\overline{CS} = DGND	200ksps	2.75	3.25	mA
			100ksps	1.4		
			10ksps	0.14		
			1ksps	0.014		
Digital Supply Current	IDVDD	\overline{CS} = DGND, DOUT = all zeros	200ksps	0.6	1.0	mA
			100ksps	0.3		
			10ksps	0.03		
			1ksps	0.003		

14ビット、+5V、200ksps ADC 10 μ Aシャットダウン

MAX1062

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = DV_{DD} = +4.75V$ to $+5.25V$, $f_{SCLK} = 4.8MHz$ (50% duty cycle), 24 clocks/conversion (200ksps), $V_{REF} = +4.096V$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Shutdown Supply Current	$I_{AVDD} + I_{DVDD}$	$\overline{CS} = DV_{DD}$, SCLK = idle		0.1	10	μA
Power-Supply Rejection Ratio (Note 5)	PSRR	$V_{DD} = DV_{DD} = +4.75V$ to $+5.25V$, full-scale input		68		dB

MAX1062 TIMING CHARACTERISTICS (Figures 1, 2, 3, and 6)

($V_{DD} = DV_{DD} = +4.75V$ to $+5.25V$, $f_{SCLK} = 4.8MHz$ (50% duty cycle), 24 clocks/conversion (200ksps), $V_{REF} = +4.096V$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Acquisition Time	t_{ACQ}		1.1			μs
SCLK to DOUT Valid	t_{DO}	$C_{DOUT} = 50pF$			50	ns
\overline{CS} Fall to DOUT Enable	t_{DV}	$C_{DOUT} = 50pF$			80	ns
\overline{CS} Rise to DOUT Disable	t_{TR}	$C_{DOUT} = 50pF$			80	ns
\overline{CS} Pulse Width	t_{CSW}		50			ns
\overline{CS} Fall to SCLK Rise Setup	t_{CSS}		100			ns
\overline{CS} Rise to SCLK Rise Hold	t_{CSH}				0	ns
SCLK High Pulse Width	t_{CH}		65			ns
SCLK Low Pulse Width	t_{CL}		65			ns
SCLK Period	t_{CP}		208			ns

($V_{DD} = +4.75V$ to $+5.25V$, $DV_{DD} = +2.7V$ to $+5.25V$, $f_{SCLK} = 4.8MHz$ (50% duty cycle), 24 clocks/conversion (200ksps), $V_{REF} = +4.096V$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Acquisition Time	t_{ACQ}		1.1			μs
SCLK to DOUT Valid	t_{DO}	$C_{DOUT} = 50pF$			100	ns
\overline{CS} Fall to DOUT Enable	t_{DV}	$C_{DOUT} = 50pF$			100	ns
\overline{CS} Rise to DOUT Disable	t_{TR}	$C_{DOUT} = 50pF$			80	ns
\overline{CS} Pulse Width	t_{CSW}		50			ns
\overline{CS} Fall to SCLK Rise Setup	t_{CSS}		100			ns
\overline{CS} Rise to SCLK Rise Hold	t_{CSH}				0	ns
SCLK High Pulse Width	t_{CH}		65			ns
SCLK Low Pulse Width	t_{CL}		65			ns
SCLK Period	t_{CP}		208			ns

Note 1: $V_{DD} = DV_{DD} = +5V$.

Note 2: Relative accuracy is the deviation of the analog value at any code from its theoretical value after the full-scale range has been calibrated.

Note 3: Offset and reference errors nulled.

Note 4: Conversion time is defined as the number of clock cycles multiplied by the clock period; clock has 50% duty cycle.

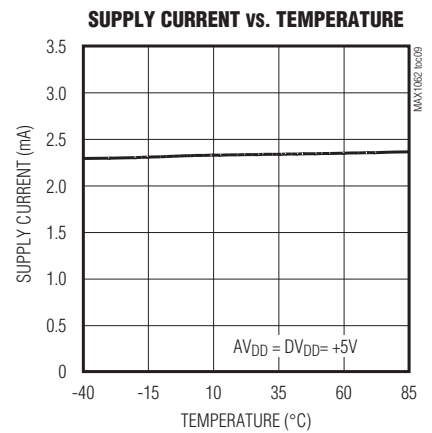
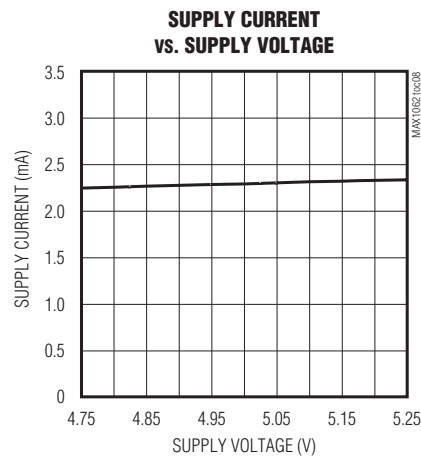
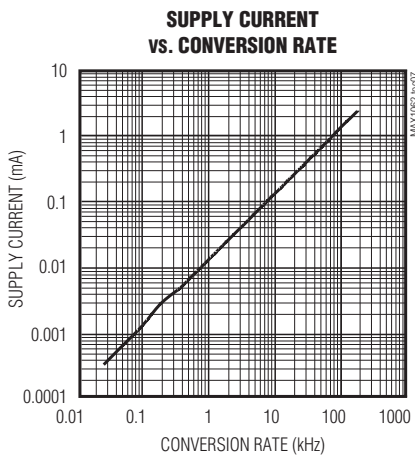
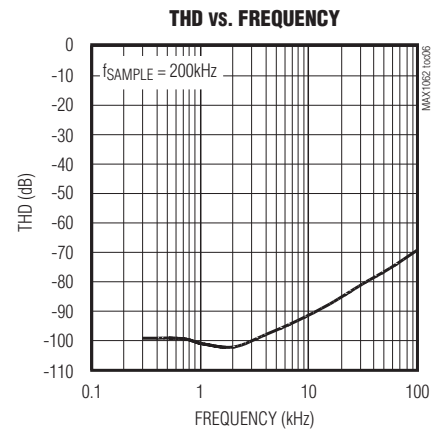
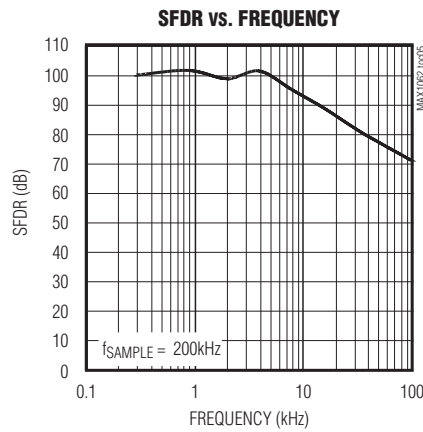
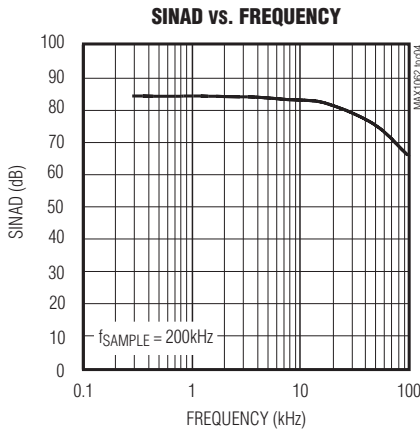
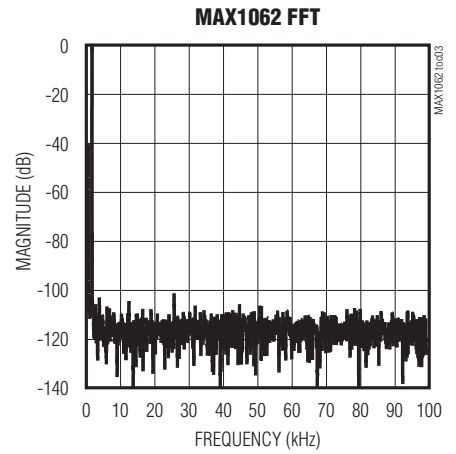
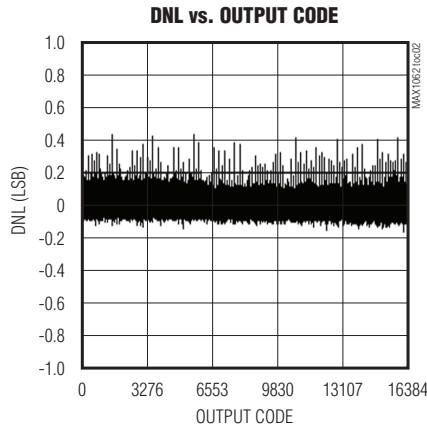
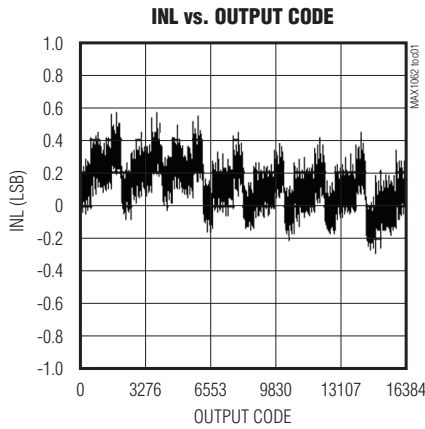
Note 5: Defined as the change in positive full scale caused by a $\pm 5\%$ variation in the nominal supply voltage.

14ビット、+5V、200ksps ADC 10 μ Aシャットダウン

MAX1062

標準動作特性

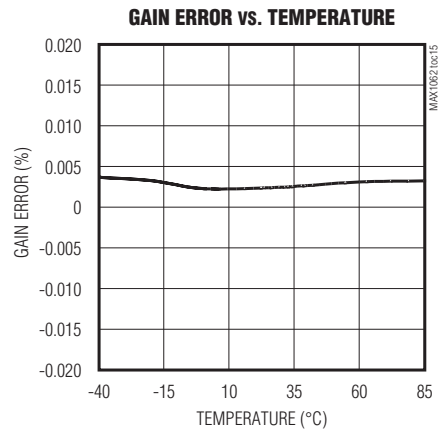
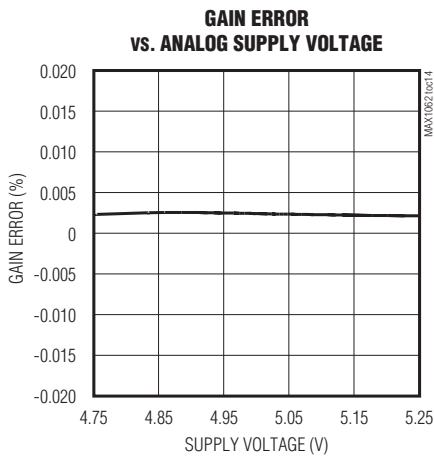
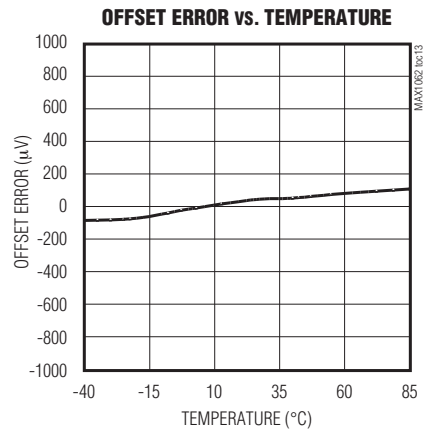
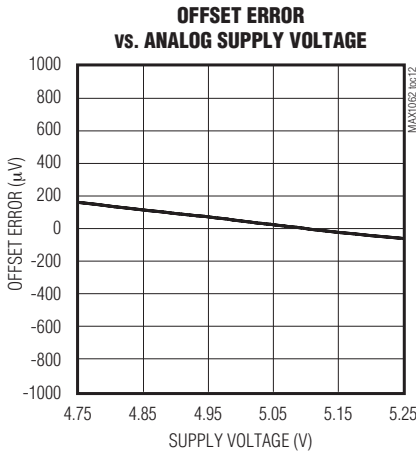
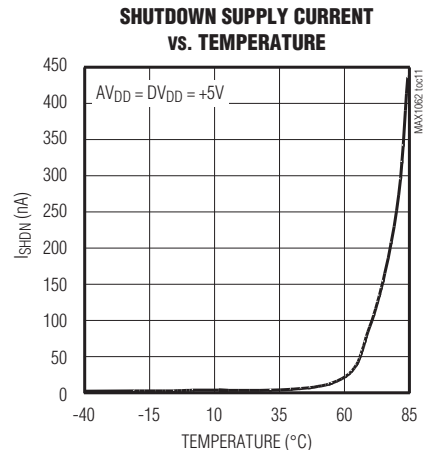
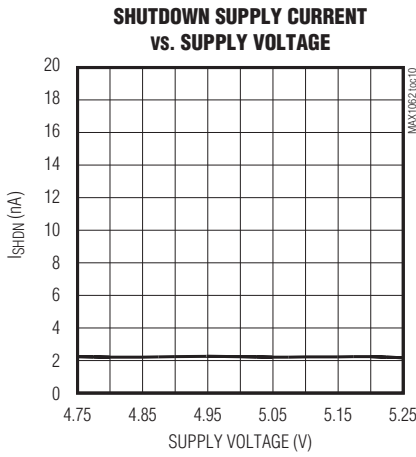
(AVDD = DVDD = +5V, fSCLK = 4.8MHz, CLOAD = 50pF, VREF = +4.096V, TA = 25°C, unless otherwise noted.)



14ビット、+5V、200ksp/s ADC 10 μ Aシャットダウン

標準動作特性(続き)

(AV_{DD} = DV_{DD} = +5V, f_{SCLK} = 4.8MHz, C_{LOAD} = 50pF, V_{REF} = +4.096V, T_A = 25°C, unless otherwise noted.)



14ビット、+5V、200ksps ADC 10 μ Aシャットダウン

MAX1062

端子説明

端子	名称	機能
1	REF	外部リファレンス電圧入力。アナログ電圧範囲を設定します。4.7 μ FのコンデンサでAGNDにバイパスして下さい。
2	AVDD	アナログ+5V電源電圧。0.1 μ FのコンデンサでAGND (ピン3)にバイパスして下さい。
3, 9	AGND	アナロググランド。ピン3とピン9を一緒に接続して下さい。ピン3でスターグランドに接続して下さい。
4	\overline{CS}	アクティブローチップ選択入力。 \overline{CS} を強制的にハイにすると、MAX1062は消費電流0.1 μ A (typ)のシャットダウン状態になります。 \overline{CS} がハイからローに遷移すると、通常動作モードになり、変換が始まります。
5	SCLK	シリアルクロック入力。SCLKは、変換プロセスを開始し最大4.8MHzのデータ転送速度でデータをクロックアウトします。
6	DOUT	シリアルデータ出力。データは、SCLKの立下りエッジで状態が変化します。 \overline{CS} がハイの時、DOUTはハイインピーダンスです。
7	DGND	デジタルグランド
8	DVDD	デジタル電源電圧。0.1 μ FのコンデンサでDGNDにバイパスして下さい。
10	AIN	アナログ入力

詳細

MAX1062は、入力トラック&ホールド(T/H)とアナログ入力信号をデジタル14ビット出力に変換する逐次比較型(SAR)回路を内蔵しています。図4は、最も単純な構成のMAX1062を示します。シリアルインタフェースは、3つのデジタルライン(SCLK、 \overline{CS} 、DOUT)のみを必要とし、マイクロプロセッサ(μ P)へのインタフェースが容易です。

MAX1062は、通常とシャットダウンの2つのパワーモードを備えています。 \overline{CS} をハイに駆動すると、MAX1062はシャットダウン状態になり消費電流が0.1 μ A (typ)に減少しますが、 \overline{CS} をローにするとMAX1062は通常動作モードになります。 \overline{CS} の立下りエッジでは、SCLKの駆動により変換が開始します。変換結果はDOUTにユニポーラシリアル形式で出力されます。シリアルデータストリームは、8つのゼロ列とそれに続くデータビット(MSB先行)で構成されます。図3はインタフェースのタイミング図を示します。

アナログ入力

図5は、ADCの入力サンプリング構成を示します。REFに印加される電圧で、フルスケール入力電圧が設定されます。

トラック&ホールド(T/H)

トラックモードでは、アナログ信号が内部のホールドコンデンサに収集されます。ホールドモードでは、T/Hスイッチが開いて、容量性のDACがアナログ入力をサンプリングします。

収集中に、アナログ入力(AIN)がコンデンサ C_{DAC} を充電します。収集期間は6番目のクロックサイクルの立下りエッジで終了します(図6)。終了の瞬間にT/Hスイッチが開きます。 C_{DAC} に蓄積された電荷が入力のサンプルを表します。

ホールドモードでは、容量性のデジタル-アナログコンバータ(DAC)は、変換サイクルの残りの期間に、14ビット分解能の限界内でノードZEROがゼロに戻るように調整されます。変換の終了時に、 \overline{CS} を強制的にハイにした後ローにし、 C_{DAC} スイッチの入力側をAINにリセットして C_{DAC} を入力信号まで再び充電します。

T/Hが入力信号の収集に要する時間は、入力容量がいかにか速く充電されるかにかかっています。入力信号源のインピーダンスが高ければ、収集時間が長くなり各変換の間に多くの時間が必要です。収集時間(t_{ACQ})は、デバイスが信号を収集するのにかかる最大時間です。次式を用いて収集時間を計算します。

$$t_{ACQ} = 11(R_S + R_{IN}) \times 35pF$$

ここで、 $R_{IN}=800\Omega$ 、 R_S =入力信号の信号源インピーダンス、 t_{ACQ} は常に1.1 μ s以上でなければなりません。信号源インピーダンスが1k Ω 未満であれば、ADCの性能に有意な影響を与えません。

AC条件のもとで、入力信号の帯域幅を改善するには、ADCの入力容量を駆動して素早く安定させることが可能な広帯域バッファ(>4MHz)を用いてAINを駆動します。

14ビット、+5V、200ksp/s ADC 10 μ Aシャットダウン

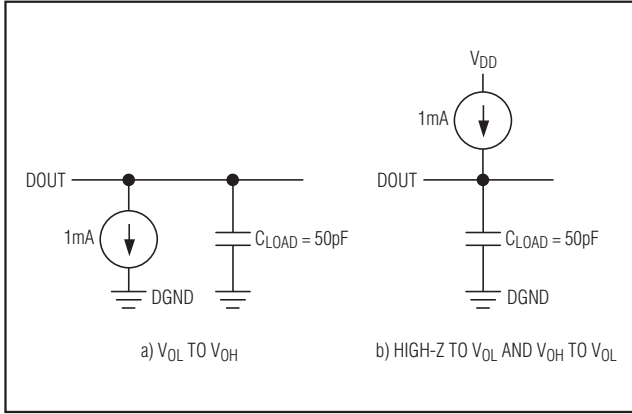


図1. DOUTイネーブル時間とSCLKからDOUTまでの遅延時間の負荷回路

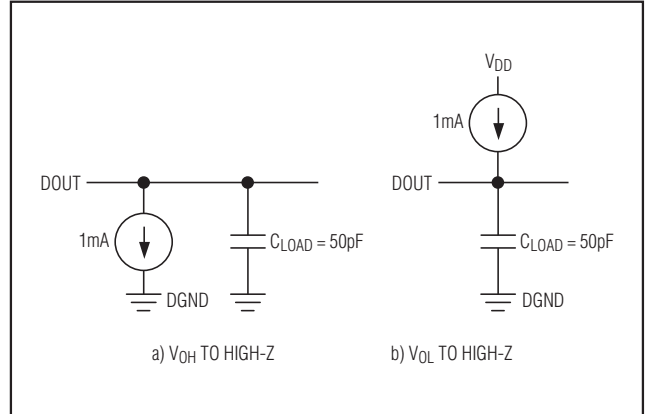


図2. DOUTディセーブル時間の負荷回路

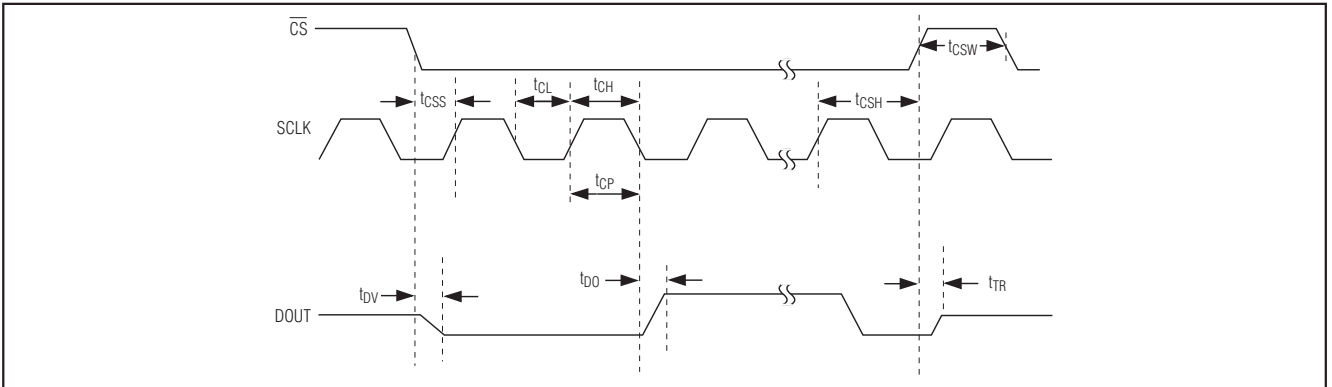


図3. シリアルインタフェースの詳細なタイミング

入力帯域幅

ADCの入カトラッキング回路は、4MHzの小信号帯域幅を持っているため、高速過渡現象をデジタル化し、アンダーサンプリングを行ってADCのサンプリング速度を超える帯域幅の周期信号を測定することが可能です。重要な周波数帯への不要な高周波信号のエイリアシングを避けるには、アンチエイリアスフィルタを使用します。

アナログ入力保護

内部保護ダイオードによりアナログ入力を AV_{DD} および/またはAGNDにクランプすると、入力を $AGND - 0.3V$ から $AV_{DD} + 0.3V$ までデバイスに損傷を与えることなくスイングさせることができます。

アナログ入力が電源電圧を300mV以上超える場合、入力電流を10mAに制限して下さい。

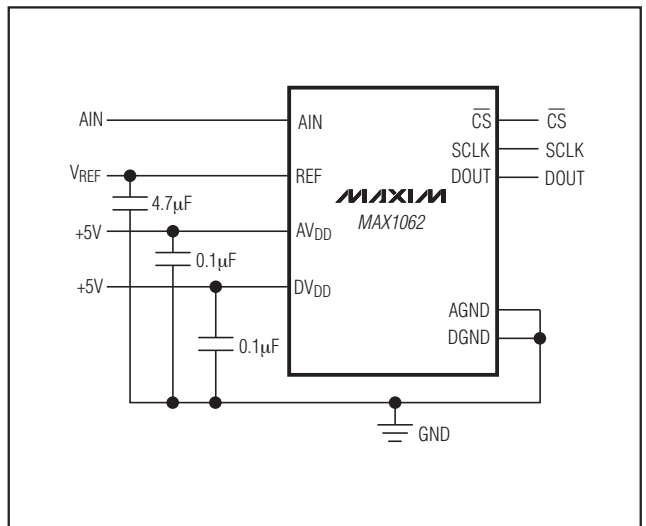


図4. 標準動作回路

14ビット、+5V、200ksps ADC 10 μ Aシャットダウン

MAX1062

デジタルインタフェース

パワーアップ後の初期化と変換の開始

デジタルインタフェースは、2つの入力、SCLK、 \overline{CS} 、1つの出力DOUTで構成されます。 \overline{CS} がロジックハイになると、MAX1062はシャットダウンし(オートシャットダウン)、DOUTがハイインピーダンス状態になります。 \overline{CS} がロジックローになると、MAX1062は完全な駆動モードになります。

変換を開始するには、 \overline{CS} をローにします。 \overline{CS} の立下りエッジで収集が開始されます。SCLKは、A/D変換を駆動し変換結果(MSB先行)をDOUTでシフトアウトします。

タイミングと制御

変換開始とデータ読み取り動作は、 \overline{CS} とSCLKデジタル入力により制御されます(図6および7)。SCLKのデューティサイクルは4.8MHz(最大クロック周波数)で40%~60%になるようにします。さらに低いクロック周波数では、ハイとローの最小時間が65ns以上になるようにします。100kHz未満のSCLKレートを用いて変換すると、リークのため精度が低下する場合があります。

注：SCLKとアナログ入力(AINとREF)の間にカップリングがあると、オフセットを生じるおそれがあります。周波数やデューティサイクル、またはクロック信号の形状に関するその他の様相が変動すると、オフセットが変化します。

\overline{CS} の立下りエッジで収集シーケンスが始まります。アナログ入力は容量性のDACに蓄えられ、DOUTはハイインピーダンスからロジックローに変わり、ADCが6クロックサイクル後に変換を開始します。SCLKは、変換プロセスを駆動し変換結果をDOUTにシフトアウトします。

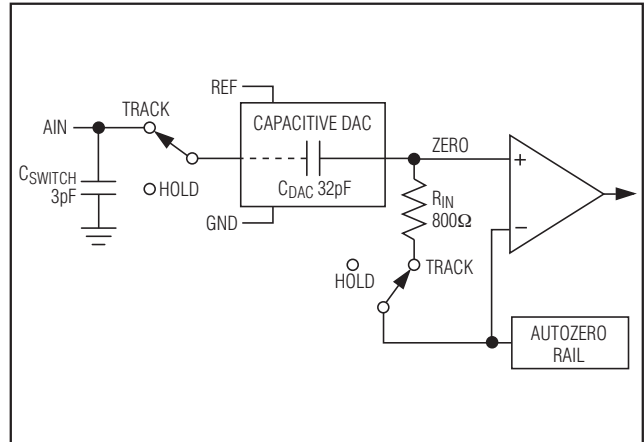


図5. 等価入力回路

8番目のSCLKパルスの立下りエッジの後、SCLKはデータをシフトアウトします(MSB先行)。8つの先行ゼロ列、14データビット、2サブビット(S0とS1)をシフトアウトするには、24の立下りクロックエッジが必要です。変換結果がクロックアウトされた後、 \overline{CS} の立上りエッジの前に発生する余剰クロックパルスは、DOUTに後続ゼロ列を生成し、コンバータの動作に影響を与えません。

変換のLSBを読み取った後 \overline{CS} を強制的にハイにし、内部レジスタをリセットしてMAX1062をシャットダウンして下さい。スループットを最大にするには、 \overline{CS} を強制的にローに戻し、指定された最小時間(t_{CSW})の直後に次の変換を開始して下さい。

注：変換の途中で \overline{CS} を強制的にハイにすると、変換が直ちに停止してMAX1062がシャットダウン状態になります。

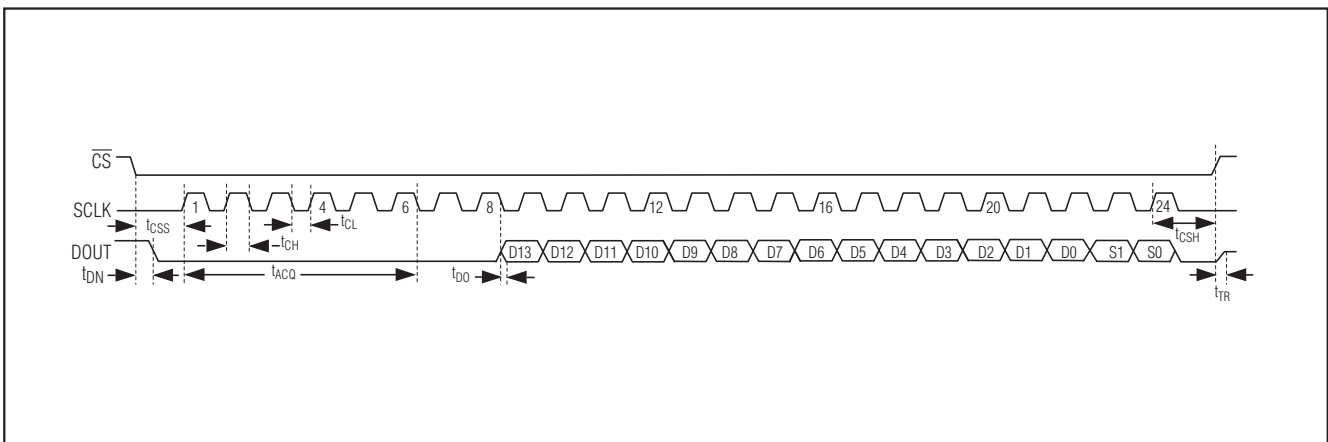


図6. 外部タイミング図

14ビット、+5V、200kps ADC 10 μ Aシャットダウン

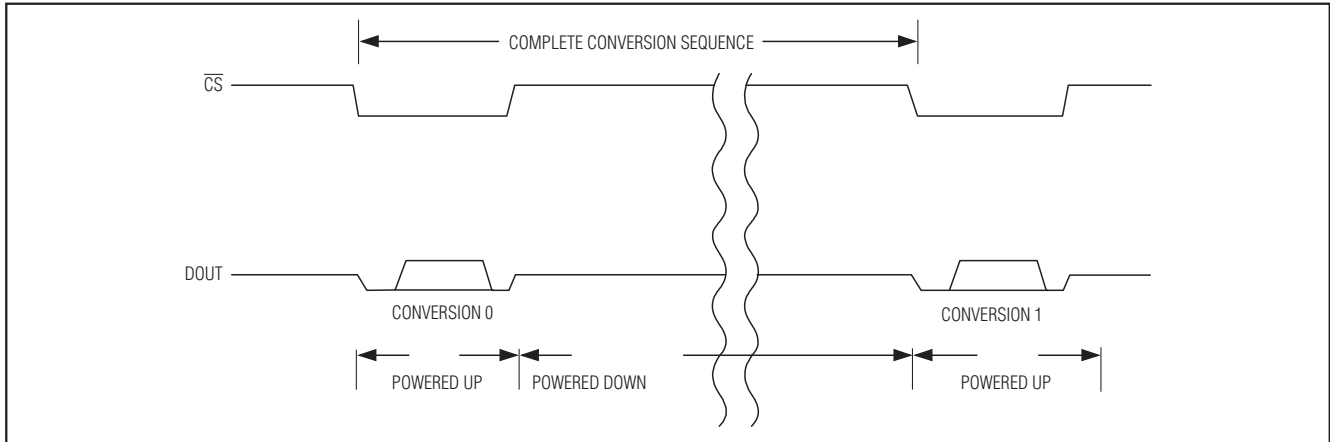


図7. シャットダウンシーケンス

出力コーディングと伝達関数

MAX1062のデータ出力はバイナリで、図8は公称伝達関数を表わします。コードは、連続する整数のLSB値同士の間で遷移します($V_{REF} = 4.096V$ と $1LSB = 250\mu V$ 、または $4.096V/16384$)。

アプリケーション情報

外部リファレンス

MAX1062は、電圧範囲が $3.8V \sim AV_{DD}$ の外部リファレンスを必要とします。外部リファレンスをREFに直接接続して下さい。4.7 μF のコンデンサでREFをAGND (ピン3)にバイパスして下さい。低ESRのバイパスコンデンサを使用しない時は、4.7 μF のコンデンサと並列に0.1 μF のセラミックコンデンサを使用して下さい。リファレン스에 ノイズが含まれていると、変換精度が低下します。

REFの入カインピーダンスは、DC電流に対して40k Ω です。変換中、REFの外部リファレンスは、100 μA のDC負荷電流を供給し出カインピーダンスが10 Ω 以下でなければなりません。

最適な性能を得るには、オペアンプを介在させてリファレンスをバッファし、REF入力をバイパスして下さい。リファレンスを選択する時は、MAX1062の等価入力ノイズ(80 μV_{RMS})を考慮して下さい。

入力バッファ

ほとんどのアプリケーションは、14ビットの精度を達成するために入力バッファアンプを必要とします。入力信号をマルチプレクスする場合、変換の終了間近や変換後でなく、収集直後に入力チャネルを切り替えて下さい(図9)。こうすると、入力信号の大きなステップ変化に対する入力バッファアンプの応答に最大限の時間をかけることができます。入力アンプのスルーレートは

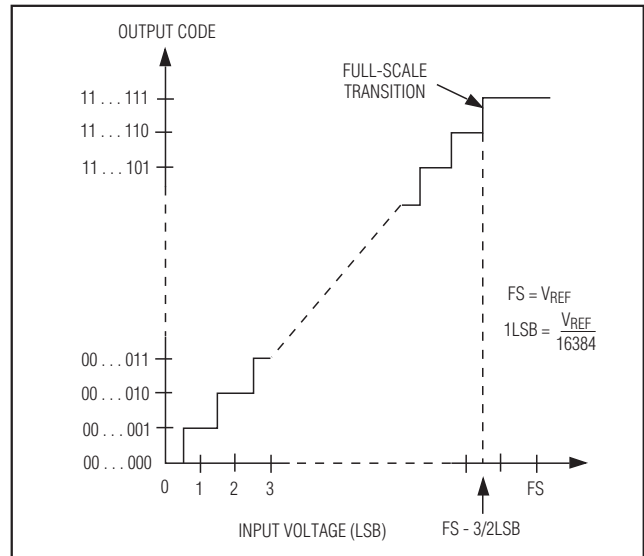


図8. ユニポーラ伝達関数、フルスケール(FS) = V_{REF} 、ゼロスケール(ZS) = GND

少なくとも2V/ μs として、収集時間の開始前に出力電圧の変化を終了させる必要があります。

収集の初めに、内部サンプリングコンデンサアレイがAIN (アンプ出力)に接続されるので、多少の出力の障害が起こります。サンプリングされた電圧が収集時間の終了前に安定するようにして下さい。

デジタルノイズ

デジタルノイズは、AINおよびREFと結合する可能性があります。入力の収集中にアクティブな変換クロック(SCLK)やその他のデジタル信号は、変換結果にノイズを発生させます。サンプリング間隔に同期したノイズ信号は、実効入力オフセットになります。非同期信号は入力にランダムノイズを発生し、その高周波成分により重要な周波数帯にエイリアシングが入る場合があります。

14ビット、+5V、200ksps ADC 10 μ Aシャットダウン

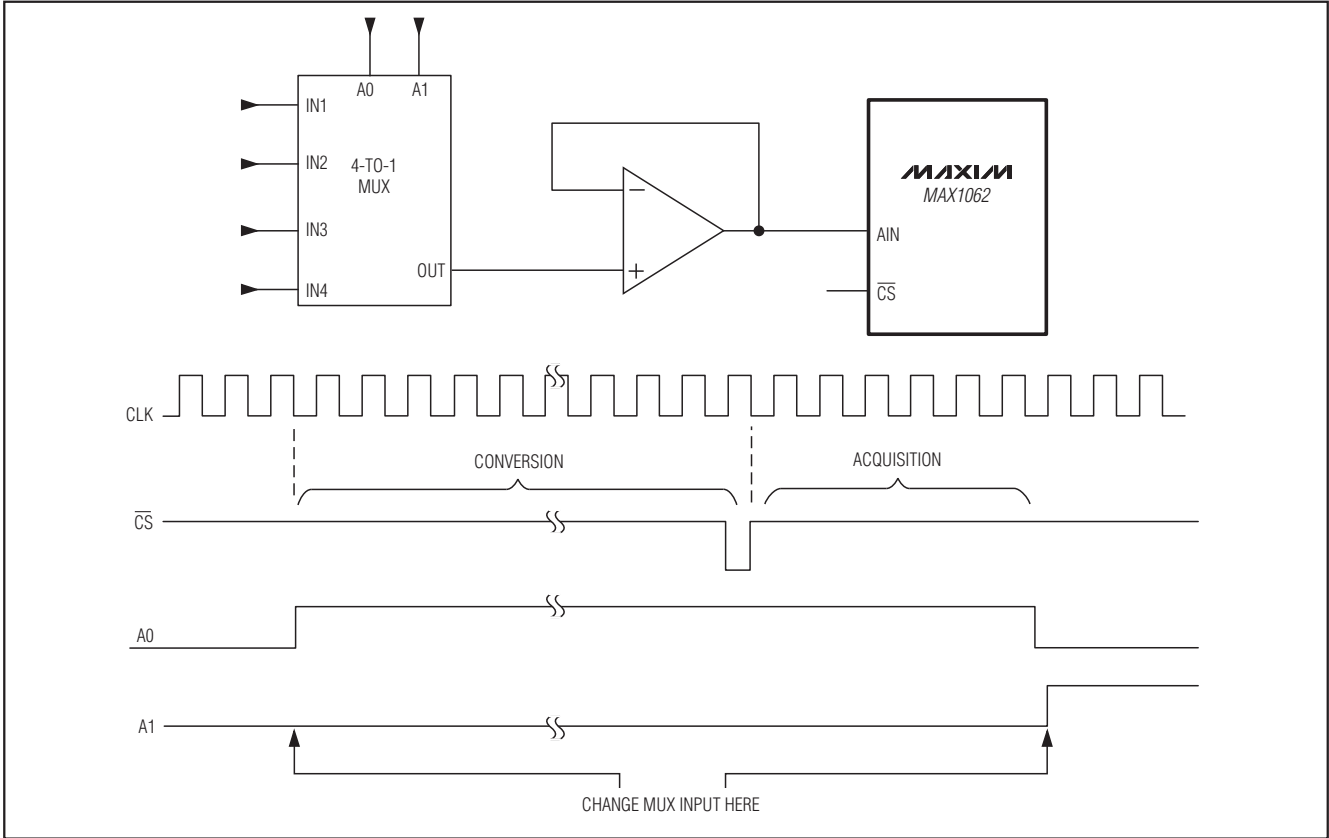


図9. スルーイングと安定の時間を設けるための変換開始間近のマルチプレクサ入力の変更

入力を低インピーダンス(ノイズ信号に含まれる周波数において)にしてノイズを最小限に抑えて下さい。そのためには、AINをAGNDにバイパスするか、小信号帯域幅が数MHzのアンプで入力をバッファする必要がありますが、できればこれら両方を実施して下さい。AINは、帯域幅が約4MHzです。

歪み

問題とする周波数においてMAX1062の全高調波歪み(THD = -99dB@1kHz)よりもはるかに歪みの少ないアンプを選定することにより、ダイナミック性能の低下を回避して下さい。選定したアンプのコモンモード除去が不十分なためTHD性能が低下する場合は、反転構成(正入力をグランドに接続)を用いてこの信号源の誤差を取り除いて下さい。温度係数の小さいゲイン設定抵抗器を使用すると、自己発熱による抵抗変化で生じる直線性誤差が減少します。アンプのゲインが有限であることによる直線性誤差を低減するには、問題となる周波数におけるループゲインが十分に大きいアンプを使用して下さい。

DC精度

DC精度を向上させるには、MAX1062のオフセット(+5V電源では1mV (max))よりもはるかに小さいオフ

セットを有するバッファを選定して下さい。もしくは、必要な温度範囲で安定性を維持したままオフセットをトリミングすることができるバッファを選定して下さい。

シリアルインタフェース

MAX1062のインタフェースは、SPI、QSPI、MICROWIREの各標準シリアルインタフェースに完全対応しています。

シリアルインタフェースを利用できる場合は、CPUのシリアルインタフェースをマスタとして設定して下さい。そうすれば、CPUはMAX1062用のシリアルクロックを発生します。クロック周波数を100kHz~4.8MHzの範囲で選択します。

- 1) CPUで汎用I/Oラインを使用して \overline{CS} をローにします。
- 2) 最小24クロックサイクルに対してSCLKをアクティブにします。8つの先行ゼロ列のシリアルデータストリームとこれに続く変換結果のMSBが、 \overline{CS} の立下りエッジで始まります。DOUTはSCLKの立下りエッジで遷移し、MSB先行形式の出力が得られます。DOUTに対するSCLKの有効なタイミング特性を観察します。SCLKの立上りエッジでデータを μ Pにクロックインします。

14ビット、+5V、200kps ADC 10 μ Aシャットダウン

- 3) 24番目の立下りクロックエッジ以後に \overline{CS} をハイにします。 \overline{CS} がローのままであれば、2サブビット、S1とS0の後、後続ゼロ列がクロックアウトされます。
- 4) \overline{CS} をハイにして、50ns (t_{CSW})以上待つてから \overline{CS} をローにして新しい変換を開始します。変換は、変換終了前に \overline{CS} をハイにすることにより停止できます。新しい変換を開始する前に少なくとも50ns待ちます。

データは、3つの8ビットシーケンスで出力されるか、連続的に出力されます。このバイトには、MSBの前に8つの先行ゼロ列が詰まった変換の結果が含まれます。シリアルクロックがサブビット(S1とS0)の後も使用されていて \overline{CS} がローに保たれている場合は、DOUTが後続ゼロ列を送出します。

SPIとMICROWIREインタフェース

SPI (図10a)またはMICROWIRE (図10b)インタフェースを使用する時、CPOL = 0とCPHA = 0に設定します。変換は \overline{CS} の立下りエッジで開始します(図10c)。ADCから全14ビットの結果を得るには、3つの連続した8ビットの読取り値が必要です。DOUTデータは、シリアルクロックの立下りエッジで遷移します。最初の8ビットのデータストリームは、すべての先行ゼロ列を含んでいます。第2の8ビットのデータストリームは、MSB~D6を含んでいます。第3の8ビットのデータストリームは、D5~D0とこれに続くS1とS0を含んでいます。

QSPIインタフェース

CPOL = 0とCPHA = 0の高速QSPIインタフェースを用いたMAX1062は、最大4.8MHzの f_{SCLK} をサポートします。図11aはQSPIマスタに接続したMAX1062を示し、図11bはこれに対応するインタフェースのタイミングを示します。

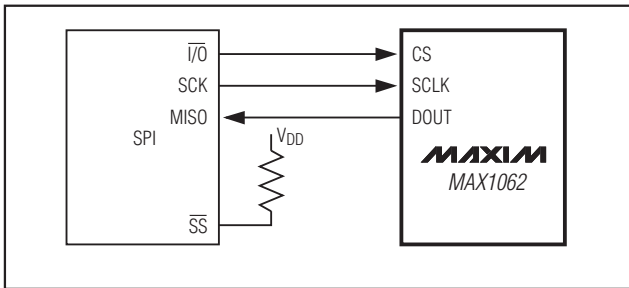


図10a. SPIの接続

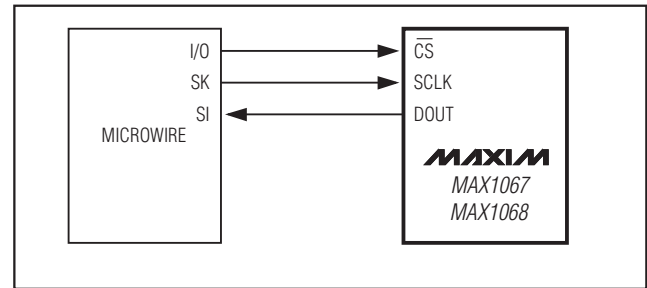


図10b. MICROWIREの接続

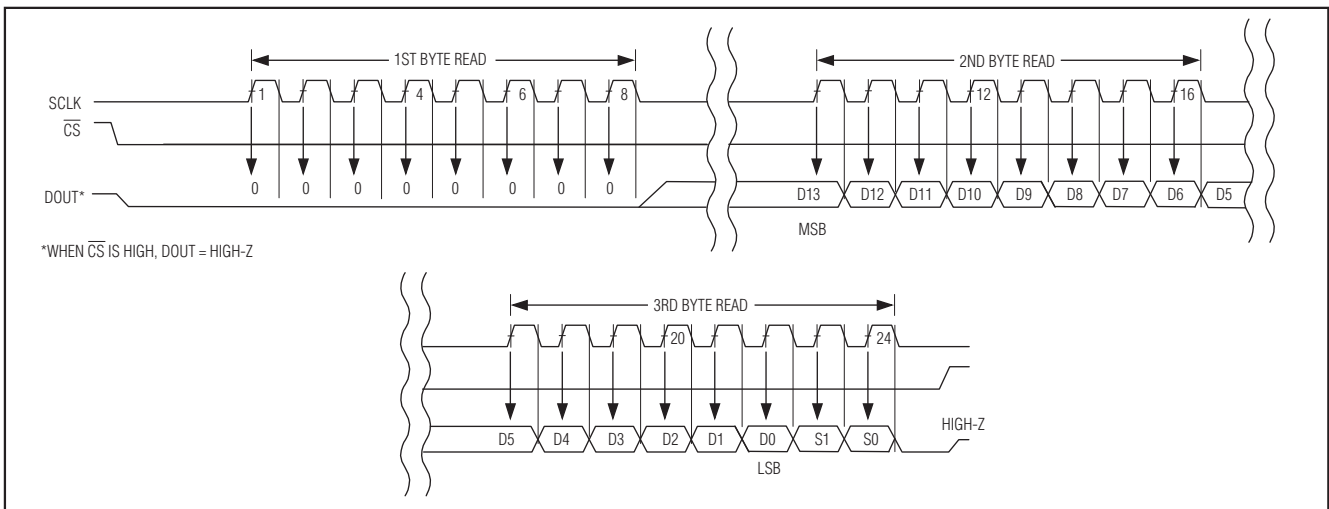


図10c. SPI/MICROWIREインタフェースのタイミングシーケンス(CPOL = CPHA = 0)

14ビット、+5V、200ksps ADC 10 μ Aシャットダウン

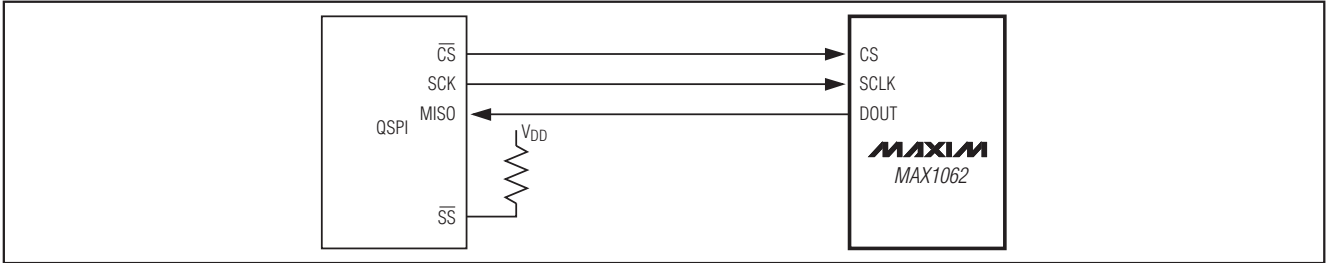


図11a. QSPIの接続

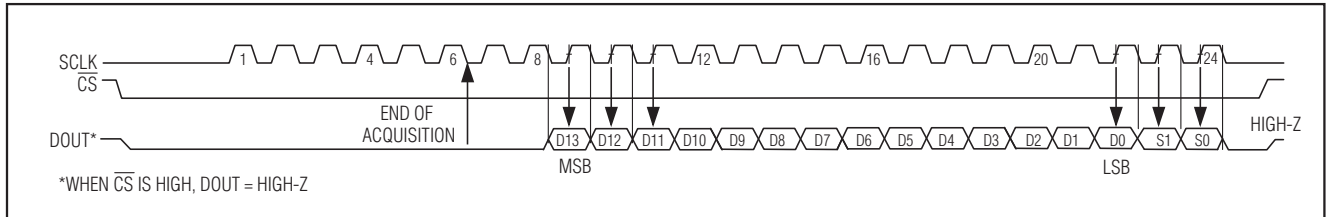


図11b. QSPIインタフェースのタイミングシーケンス(CPOL = CPHA = 0)

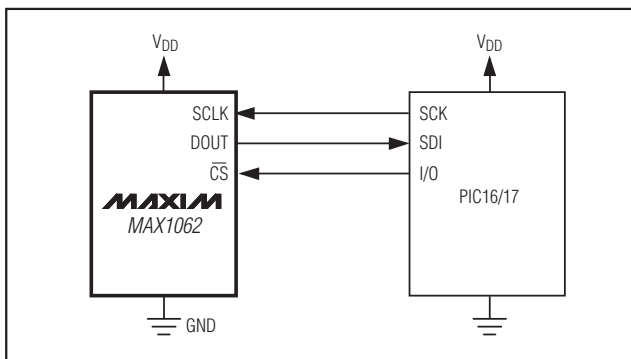


図12a. PIC16/PIC17に対するSPIインタフェースの接続

SSPモジュールとPIC17インタフェースを 備えたPIC16

MAX1062は、同期シリアルポート(SSP)モジュールとともにPIC16/PIC17マイクロコントローラ(μ C)と組み合わせて使用できます。

SPI通信機能を確認するには、図12aに示すようにコントローラを接続します。PIC16/PIC17の同期シリアルポート制御レジスタ(SSPCON)と同期シリアルポートステータスレジスタ(SSPSTAT)を表1と2に示すビットパターンに初期化することにより、PIC16/PIC17をシステムマスタとして構成します。

表1. SSPCONレジスタの詳細な内容

CONTROL BIT		MAX1062 SETTINGS	SYNCHRONOUS SERIAL-PORT CONTROL REGISTER (SSPCON)
WCOL	BIT7	X	Write Collision Detect Bit
SSPOV	BIT6	X	Receive Overflow Detect Bit
SSPEN	BIT5	1	Synchronous Serial-Port Enable Bit: 0: Disables serial port and configures these pins as I/O port pins. 1: Enables serial port and configures SCK, SDO, and SCI pins as serial port pins.
CKP	BIT4	0	Clock Polarity Select Bit. CKP = 0 for SPI master mode selection.
SSPM3	BIT3	0	Synchronous Serial-Port Mode Select Bit. Sets SPI master mode and selects fCLK = fosc/16.
SSPM2	BIT2	0	
SSPM1	BIT1	0	
SSPM0	BIT0	1	

X = 任意

14ビット、+5V、200ksp/s ADC 10 μ Aシャットダウン

表2. SSPSTATレジスタの詳細な内容

CONTROL BIT		MAX1062 SETTINGS	SYNCHRONOUS SERIAL-PORT CONTROL REGISTER (SSPSTAT)
SMP	BIT7	0	SPI Data Input Sample Phase. Input data is sampled at the middle of the data output time.
CKE	BIT6	1	SPI Clock Edge Select Bit. Data will be transmitted on the rising edge of the serial clock.
D/A	BIT5	X	Data Address Bit
P	BIT4	X	Stop Bit
S	BIT3	X	Start Bit
R/W	BIT2	X	Read/Write Bit Information
UA	BIT1	X	Update Address
BF	BIT0	X	Buffer Full Status Bit

X = 任意

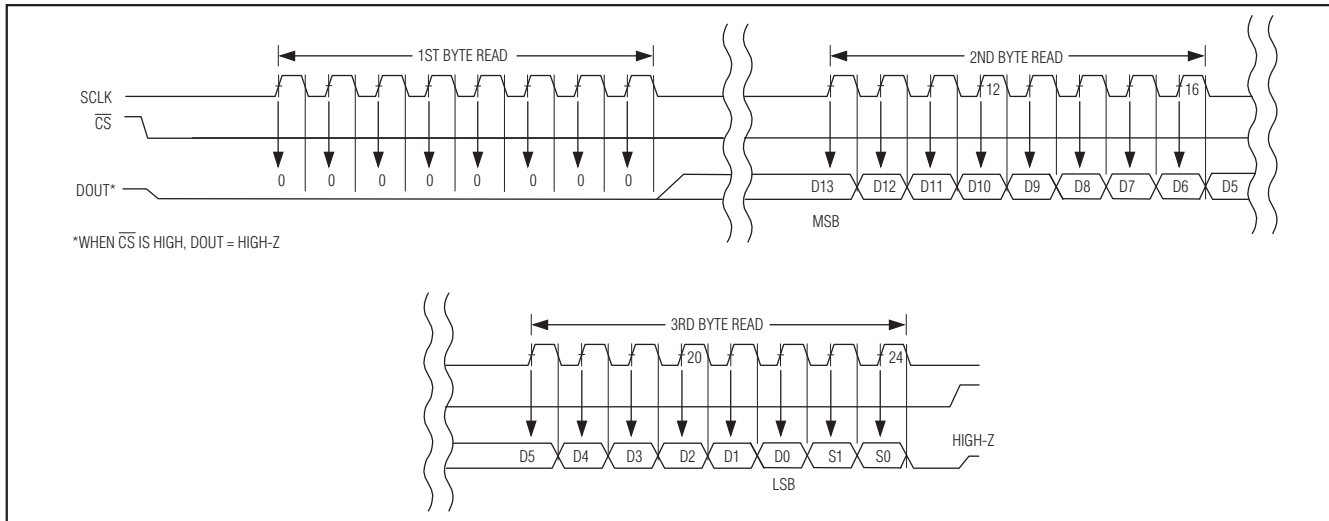


図12b. PIC16/PIC17をマスターモードとしたSPIインタフェースのタイミング(CKE = 1、CKP = 0、SMP = 0、SSPM3 - SSPM0 = 0001)

SPIモードでは、PIC16/PIC17 μ Cにより、8ビットのデータが同期転送され、同時に受信されます。ADCから全14ビットの結果を得るには、3つの連続した8ビットの読取り値(図12b)が必要です。DOUTデータは、シリアルクロックの立下りエッジで遷移し、SCLKの立上りエッジで μ Cにクロックインされます。最初の8ビットのデータストリームにはすべてのゼロ列が含まれます。第2の8ビットのデータストリームにはMSB~D6が含まれます。第3の8ビットのデータストリームにはビットD5~D0とこれに続くS1とS0が含まれます。

定義

積分非直線性

積分非直線性(INL)は、実際の伝達関数上の値の直線からのずれです。この直線は、ベストストレートライン

フィットまたはオフセットとゲインエラーをゼロにした後で伝達関数の両終点を結んだ線のいずれかになります。MAX1062の静的直線性パラメータは、終点法を用いて測定します。

微分非直線性

微分非直線性(DNL)は、実際のステップ幅と1LSBの理想値の差です。1LSBのDNL誤差の仕様は、ミッシングコードのない単調伝達関数を保証するものです。

アパーチャの定義

アパーチャジッタ(t_{AJ})は、サンプル間の時間間隔の変動です。アパーチャ遅延(t_{AD})は、サンプリングクロックの立上りエッジから実際のサンプリングが行われる瞬間までの時間です。

14ビット、+5V、200ksps ADC 10μAシャットダウン

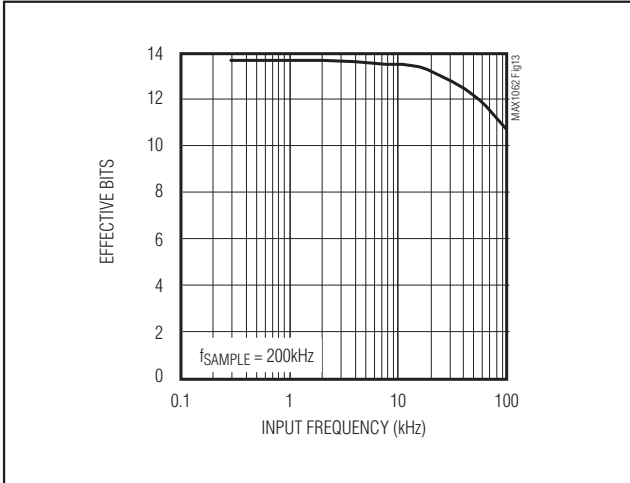


図13. 有効ビットと入力周波数

信号対雑音比

デジタルサンプルから完全に復元された波形の場合、信号対雑音比(SNR)はフルスケールアナログ入力(RMS値)のRMS量子化誤差(残留誤差)に対する比です。理想的な理論的最小アナログ対デジタルノイズは量子化ノイズ誤差のみにより生じるもので、次式によりADCの分解能(Nビット)から直接求められます。

$$SNR = (6.02 \times N + 1.76) \text{dB}$$

実際には、量子化ノイズ以外に、熱ノイズ、リファレンスノイズ、クロックジッタなどのノイズ源があります。SNRは、RMS信号とRMSノイズの比をとることにより計算されます。RMSノイズには、全スペクトル成分から基本波、最初の5つの高調波成分、およびDCオフセットを差し引いた成分が含まれます。

信号対雑音+歪み

信号対雑音+歪み(SINAD)は、基本波入力周波数のRMS振幅の、その他すべてのADC出力信号のRMS振幅に対する比です。

$$SINAD(\text{dB}) = 20 \times \log \left[\frac{\text{Signal}_{\text{RMS}}}{(\text{Noise} + \text{Distortion})_{\text{RMS}}} \right]$$

有効ビット数

有効ビット数(ENOB)は、特定の入力周波数とサンプリング速度におけるADCの包括的な精度を表わします。理想的なADC誤差は、量子化ノイズのみからなります。ADCのフルスケールレンジに等しい入力範囲で、有効ビット数を次式により計算します。

$$ENOB = (SINAD - 1.76)/6.02$$

図13は、有効ビット数をMAX1062の入力周波数に対して示します。

全高調波歪み

全高調波歪み(THD)は、入力信号に含まれる最初の5つの高調波のRMS合計の基本波そのものに対する比です。これは、次式で表わされます。

$$THD = 20 \times \log \left[\frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2}}{V_1} \right]$$

ここで、 V_1 は基本波の振幅で、 $V_2 \sim V_5$ は第2から第5調波の振幅です。

スプリアスフリーダイナミックレンジ

スプリアスフリーダイナミックレンジ(SFDR)は、2番目に大きい周波数成分のRMS値に対する基本波(最大信号成分)のRMS振幅の比です。

電源、レイアウト、グラウンディング、バイパス

アナログとデジタルグランドプレーンが分離されたプリント基板を使用します。ワイヤラップ基板は使用しないで下さい。これら2つのグランドプレーンをMAX1062(ピン3)で一緒に接続します。アナログとデジタルの電源を同じソースから取る時は、値の小さい抵抗器(10Ω)またはフェライトビーズを用いてデジタル電源をアナログ電源から分離して下さい(図14)。

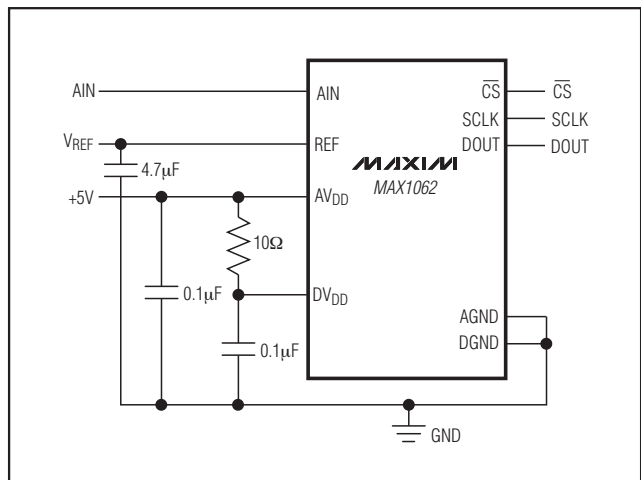


図14. 単一電源からAV_{DD}とDV_{DD}への給電

14ビット、+5V、200ksps ADC 10 μ Aシャットダウン

電源と入力のシーケンスに関する制約は以下の通りです。

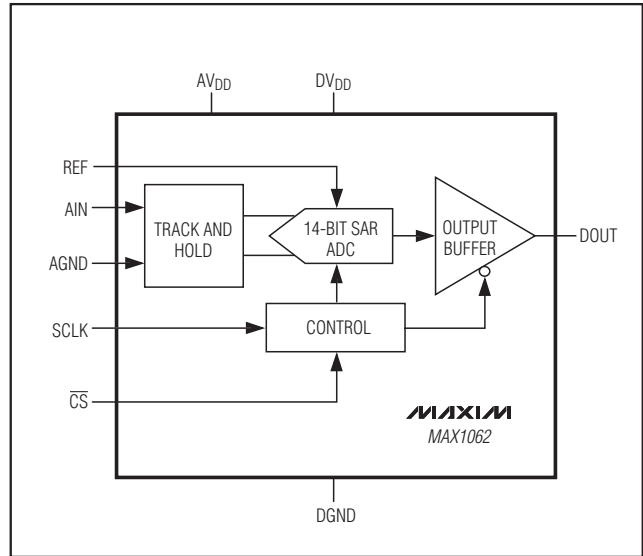
- AGNDを印加してからDGNDを印加して下さい。
- AV_{DD}とAGNDが印加されている状態でAINとREFを印加して下さい。
- DV_{DD}は電源シーケンスと無関係です。

デジタルリターン電流がアナロググランドを流れないようにし、リターン電流経路を低インピーダンスにしてください。プリント基板のわずか0.05 Ω のグランドトレースインピーダンスに5mAの電流が流れると、約250 μ Vの誤差電圧が発生します。これはフルスケールが4Vのシステムでは1LSBの誤差に相当します。

基板レイアウトでは、デジタルとアナログの信号ラインが分離されるようにします。アナログとデジタル(特にSCLKとDOUT)のラインを互いに平行に走らせないようにします。一方を他方にクロスさせる必要がある場合は、直角にしてください。

ADCの高速コンパレータは、AV_{DD}電源の高周波ノイズに敏感です。ノイズがきわめて大きい電源は、0.1 μ Fのコンデンサを1 μ F~10 μ Fの低ESRコンデンサと並列にしてアナロググランドプレーンにバイパスして下さい。電源ノイズをできる限り除去するために、コンデンサのリードを短くします。

ファンクションダイアグラム



14ビット、+5V、200ksps ADC 10 μ Aシャットダウン

チップ情報

TRANSISTOR COUNT: 12,100

PROCESS: BiCMOS

パッケージ

最新のパッケージ図面情報およびランドパターンは、japan.maxim-ic.com/packagesを参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なることがある点に注意してください。

パッケージタイプ	パッケージコード	ドキュメントNo.
10 μ MAX	U10-2	21-0061

MAX1062

14ビット、+5V、200ksps ADC 10 μ Aシャットダウン

改訂履歴

版数	改訂日	説明	改訂ページ
0	10/01	初版	—
1	5/09	いくつかの仕様を更新	1, 3

マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

Maximは完全にMaxim製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maximは随時予告なく回路及び仕様を変更する権利を留保します。

18 _____ **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**