

# MAX104/MAX106/MAX108 評価キット

## 概要

MAX104/MAX106/MAX108評価キット(EVキット)は、MAX104/MAX106/MAX108のアナログデジタルコンバータ(ADC)の評価作業を容易にするように設計されています。各EVキットは、これらの超高速コンバータの動的性能を評価するために必要な全ての回路(PECL終端電圧(PECLV<sub>TT</sub>)発生も含む)を備えています。高速アナログ及びデジタル回路の組み合わせであるため、基板レイアウトに特別な注意と設計上の工夫が必要となります。

電源(V<sub>CC</sub>A/V<sub>CC</sub>L、V<sub>CC</sub>D、V<sub>CC</sub>O、V<sub>EE</sub>)用コネクタ、アナログ及びクロック入力(VIN+、VIN-、CLK+、CLK-)用のSMAコネクタ及び全てのデジタルPECL出力は、本EVキットにただ接続するだけとなっています。4層基板レイアウト(GETek™材質)は、MAX104ファミリの動的性能を最大限に発揮するように最適化されています。

本EVキットは、MAX104/MAX106/MAX108を基板上に実装した状態で出荷されています。また、民生用(0 ~ +70 )温度範囲における動作を可能にするヒートシンクが付いています。

## 特長

- ◆ 50 クロック及びアナログ入力はSMA同軸コネクタを使用
- ◆ 入力信号範囲: ±250mV
- ◆ デマルチプレックスされた差動PECL出力
- ◆ PECL終端処理電圧(PECLV<sub>TT</sub>)を基板上で発生
- ◆ ECL終端処理電圧(ECLV<sub>TT</sub>)を基板上で発生
- ◆ アナログとデジタルの電源及びグランドが別々になった最適化4層プリント基板
- ◆ ロジックアナライザをデジタル出力に接続しやすくするためのスクエアピンヘッダ
- ◆ 完全実装済み、試験済み

## 型番

| PART         | TEMP. RANGE  | PIN-PACKAGE | SAMPLING RATE |
|--------------|--------------|-------------|---------------|
| MAX104EVKIT  | 0°C to +70°C | 192 ESBGA   | 1Gsps         |
| MAX106EVKIT  | 0°C to +70°C | 192 ESBGA   | 600Msps       |
| MAX108EVKIT* | 0°C to +70°C | 192 ESBGA   | 1.5Gsps       |

\*Future product—contact factory for availability.

## 部品リスト

| DESIGNATION   | QTY | DESCRIPTION   |
|---|-----|---|
| C1, C13, C20, C31, C40, C46, C48  | 7   | 10µF ±10%, 16V tantalum caps<br>AVX TAJD106D016                   |
| C2, C7–C12, C14, C17, C18, C19, C21, C26–C30, C32, C41, C47, C49, C51–C59 | 30  | 0.01µF ±10% ceramic capacitors<br>(0603)                          |
| C3–C6, C15, C16, C22–C25, C33–C37, C42–C45, C50                           | 20  | 47pF ±10% ceramic capacitors<br>(0402)                            |
| D1  | 1   | 1N5819 Schottky diode   |
| R2  | 1   | 10kΩ potentiometer  |
| R3, R4  | 2   | Not populated; see text for description of reset input operation. |

| DESIGNATION   | QTY | DESCRIPTION                   |
|---|-----|-------------------------------|
| R5–R38, R44–R47   | 38  | 49.9Ω ±1% resistors (0603)    |
| R51, R53  | 2   | 243Ω ±1% resistors (0603)     |
| R52, R54  | 2   | 158Ω ±1% resistors (0603)     |
| J1–J10  | 10  | SMA connectors (edge mounted) |
| JU3, JU6–JU9  | 5   | 3-pin headers                 |
| JU2, JU4, JU5, JUA0- to JUA7-, JUA0+ to JUA7+, JUP0- to JUP7-, JUP0+ to JUP7+, JUOR+, JUOR-, JUDR-, JUDR+, JURO-, JURO+ | 41  | 2-pin headers                 |

GETekはGE Electromaterial社の商標です。

# MAX104/MAX106/MAX108 評価キット

## 部品リスト(続き)

| DESIGNATION  | QTY | DESCRIPTION  |
|--|-----|--|
| None   | 4   | Protective feet  |
| V <sub>CCO</sub> , V <sub>CCD</sub> ,<br>GNDD, PECLV <sub>TT</sub> ,<br>GNDA, V <sub>CCA</sub> ,<br>V <sub>CC1</sub> , GNDI, V <sub>EE</sub> ,<br>ECLV <sub>TT</sub> | 24  | Test points  |
| None   | 7   | Shunts   |
| None   | 1   | Heatsink<br>International Electronic Research<br>Corp. BDN09-3CB/A01 |
| U1   | 1   | MAX104CHC, MAX106CHC, or<br>MAX108CHC (192-contact ESBGA™)           |
| U3, U4   | 2   | LM2991S, low-dropout adjustable<br>linear regulator                  |
| None   | 1   | MAX104EVKIT circuit board  |
| None   | 1   | MAX104, MAX106, or MAX108 data<br>sheet                              |

## クイックスタート

本EVキットは、完全実装済み、試験済みで、静電気防止バッグに密封されています。適性動作を保証するため、静電気防止バッグは静電気対策済みの作業場所でのみ開けるようにして下さい。EVキットへの全ての接続が完了するまで、電源を投入しないで下さい。図1に、差動アナログ入力及びシングルエンドサイン波(CLK-はGNDIに50Ωの逆終端処理)クロックドライブを使用した標準的な評価セットアップを示します。図2に、シングルエンドアナログ入力及びシングルエンドサイン波クロックドライブを使用した標準的な評価セットアップを示します。

- 1) -250mAの電流を供給できる-5V電源をV<sub>EE</sub>パッドに接続します。電源のグラウンドをGNDIパッドに接続します。電流リミットを500mA以下に設定します。
- 2) 600mAの電流を供給できる+5V電源をV<sub>CC1</sub>パッドに接続します。電源のグラウンドをGNDIパッドに接続します。
- 3) 250mAの電流を供給できる+5V電源をV<sub>CCD</sub>パッドに接続します。電源のグラウンドをGNDDパッドに接続します。
- 4) 約600mAの電流を供給できる+3.3V又は+5V電源をV<sub>CCO</sub>パッドに接続します。電源のグラウンドをGNDDパッドに接続します。
- 5) 電源のところで、GNDIをGNDDに接続します。
- 6) HP8662A(1.28GHzまで)やHP8663A(2.56GHzまで)等の低位相ジッタのRFソースをクロック入力CLK-及びCLK+に接続します。シングルエンドのクロック入力にする場合は、信号発生器から+4dBm(振幅500mV)のパワーレベルをCLK+入力に供給し、未使用のCLK-入力を50ΩでGNDIに終端処理して下さい。
- 7) +225mV(FSの約-1dB下)のサイン波試験信号をアナログ入力に接続します。試験信号が差動の場合は平衡非平衡変成器を通してVIN+とVIN-を使用し、信号がシングルエンドの場合はVIN+とVIN-のどちらかを使用します(デバイスのデータシートで「シングルエンドアナログ入力及び差動アナログ入力」を参照して下さい)。最良の結果を得るために、測定周波数用に設計された狭いバンドパスフィルタを使用し、信号発生器からの高調波歪みを低減して下さい。
- 8) HP16500C(HP16517Aプラグインカード付)等のロジックアナライザを接続します。これは、デバイスの16個の出力チャンネル全て(8チャンネルの主出力及び8チャンネルの補助出力)を監視するためです。
- 9) ロジックアナライザのクロックをEVキットのDREADY+出力に接続し、ロジックアナライザを、アキュイジションクロックの立下がりエッジでトリガするように設定します。ロジックアナライザのスレッシュホールド電圧をV<sub>CCO</sub>電源電圧-1.3Vに設定します。例えば、V<sub>CCO</sub>=+3.3Vである場合は、スレッシュホールド電圧を+2.0Vに設定して下さい。
- 10) 電源と信号ソースをターンオンします。ADCの数値化出力をロジックアナライザで捕捉し、ディジタル記録をPCに転送してデータ解析を行います。

ESBGAはAmkor/Anam社の商標です。

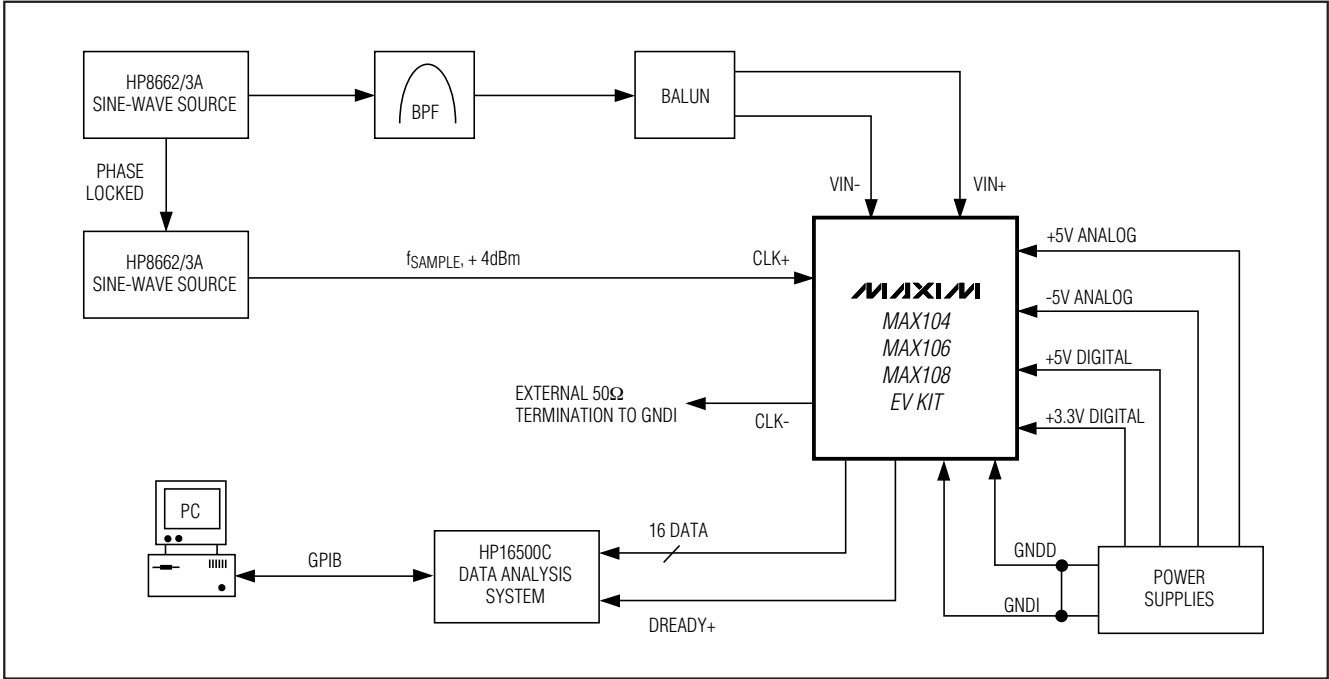


図1. 差動アナログ入力とシングルエンドクロックドライブによる標準評価セットアップ

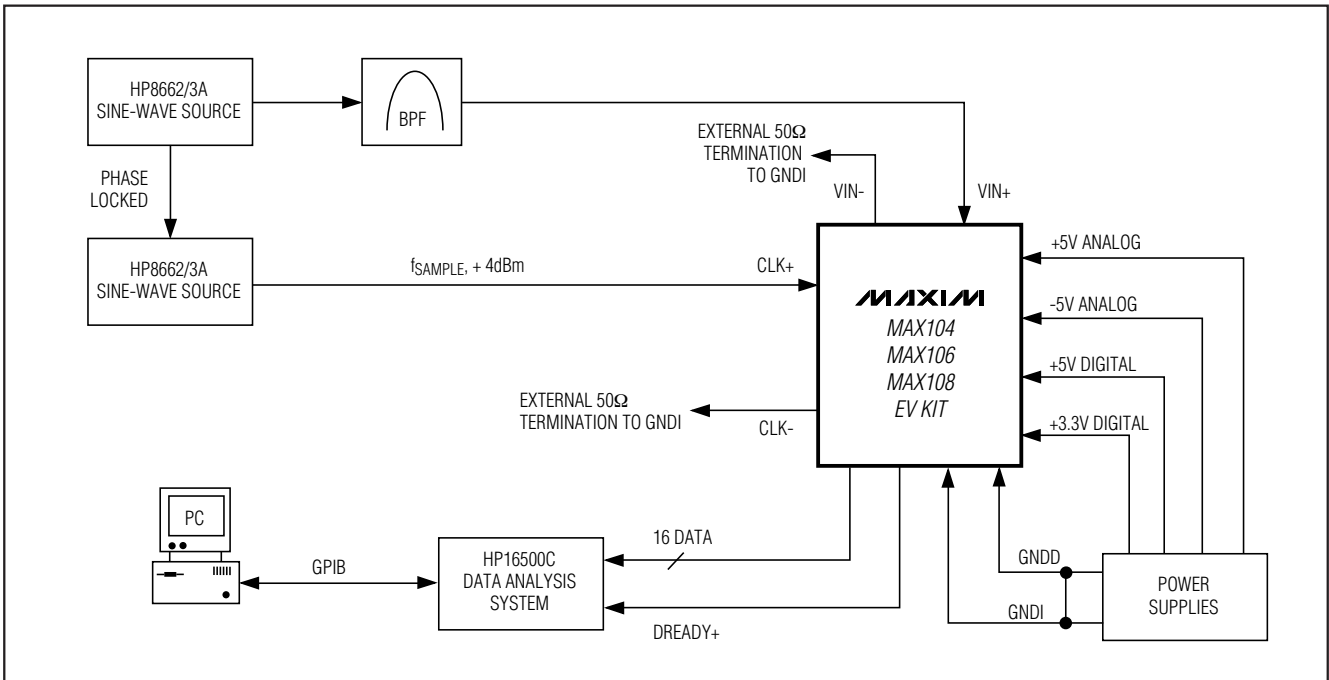


図2. シングルエンドアナログ入力とシングルエンドクロックドライブによる標準評価セットアップ

# MAX104/MAX106/MAX108 評価キット

## 詳細

### クロック入力の必要条件

MAX104/MAX106/MAX108は、シングルエンドと差動の両動作用に設計されたクロック入力を備えているため、入力駆動の必要条件が非常にフレキシブルになっています。各クロック入力は、チップ上のレーザトリミング50 Ω抵抗でCLKCOM(クロック終端リターン)に対して終端処理されています。SMA入力から高速データコンバータへのトレースは、50 μmマイクロストリップ伝送ラインです。

CLKCOM終端電圧は、グランド~-2Vの間の任意の電圧に接続することによって標準ECL駆動レベルとコンパチブルにすることができます。クロック信号用の横向きSMAコネクタはEV基板の左下の隅に位置しており、J3(CLK+)及びJ4(CLK-)とラベルが付いています。

アナログ入力とクロック入力の間にある基板上的バイアス発生器が、ECLクロックソースとの動作の-2V終端電圧(ECLV<sub>TT</sub>)を発生します。この電圧は、基板の-5V V<sub>EE</sub>電源で動作するLM2991電圧レギュレータによって生成されます。このECLV<sub>TT</sub>バイアス発生器をイネーブルするには、まず短絡ジャンパJU2を取り外し、次にジャンパJU3をON位置に動かして下さい。

この電圧レギュレータは、シャットダウンコントロールを備えています。シャットダウン状態にするには、TTLロジックハイレベルを必要とします。このロジックレベルは、+5Vアナログ電源(V<sub>CC1</sub>)から得ています。本EVキットは、ECLV<sub>TT</sub>バイアス発生器がターンオフされ、CLKCOMがGNDIIに接続された状態(JU2実装)で出荷されています。

注記：V<sub>EE</sub>電源がターンオンされる前にレギュレータのシャットダウンロジックレベル(V<sub>CC1</sub>オンが先)が存在しない場合、レギュレータはV<sub>CC1</sub>電源が通電するまでの間一時的にターンオンします。JU2が実装されていると、この時レギュレータの出力が一時的にグランドに短絡されます。レギュレータは短絡保護付であるため、損傷することはありません。レギュレータは、V<sub>EE</sub>の供給電流を500mAに制限することによりさらに保護されます。

### シングルエンドクロック入力(サイン波ドライブ)

超低ジッタでクロックを駆動するためには、低位相ノイズのサイン波ソースをシングルクロック入力にAC又はDCカップリングして下さい。CLKCOMがGNDIIに接続された状態で、最大1V(2V<sub>p-p</sub>、即ち+10dBm)のクロック振幅が使用できます。

クロックドライブパワーレベルが-10dBm~+10dBm(クロック信号振幅100mV~1V)の範囲であれば、データコンバータの動的性能にほとんど影響しません。動的性能の仕様は、+4dBm(クロック信号振幅+4dBm)のシングルエンドクロックドライブにより測定されています。入力アンプ段の飽和を防ぐため、クロックパワーレベルを最大+10dBmに制限して下さい。

### 差動クロック入力(ECLドライブ)

MAX104/MAX106/MAX108のクロック入力は、前記の基板上的ECLV<sub>TT</sub>-2Vバイアス発生器を使用して、標準的なグランド基準のECLロジックレベルで駆動することもできます。クロック入力ACカップリングである場合には、クロック入力を正電源基準の(PECL)レベルで駆動することもできます。クロック入力ACカップリングである場合には、CLKCOM終端電圧を接地して下さい。シングルエンドのDCカップリングECLドライブも可能です。この場合は、駆動されていないクロック入力をECL V<sub>BB</sub>電圧(公称-1.3V)に接続して下さい。

### アナログ入力の必要条件

EV基板上的ADCへのアナログ入力は、EVキットの中央左側にある2つの横向きSMAコネクタにより供給されます。これらのコネクタは、J1(VIN+)及びJ2(VIN-)というラベルが付いています。アナログ入力は、チップ上で高精度レーザトリミングの50 Ω NiCr抵抗を使用してGNDIIに対して終端処理されています。アナログ(及びクロック)入力は、ESD保護付ですが、ESDの注意事項は守るようにして下さい。SMA入力からデバイスへのトレースは、50 μmマイクロストリップ伝送ラインです。アナログ入力は、シングルエンド又は差動で駆動することができます。最適の性能は差動入力で見られます。これは、偶数次の高調波歪みが減少するためです。表1にシングルエンドドライブを、表2に差動入力ドライブを示します。

表1. シングルエンドアナログ入力用の入力セットアップ及び出力コードの結果

| VIN+          | VIN- | OVERRANGE BIT | OUTPUT CODE                  |
|---------------|------|---------------|------------------------------|
| +250mV        | 0V   | 1             | 11111111 (full scale)        |
| +250mV - 1LSB | 0V   | 0             | 11111111                     |
| 0V            | 0V   | 0             | 01111111<br>toggles 10000000 |
| -250mV + 1LSB | 0V   | 0             | 00000001                     |
| -250mV        | 0V   | 0             | 00000000 (zero scale)        |

表2. 差動アナログ入力用の入力セットアップ及び出力コードの結果

| VIN+            | VIN-            | OVERRANGE BIT | OUTPUT CODE                  |
|-----------------|-----------------|---------------|------------------------------|
| +125mV          | -125mV          | 1             | 11111111 (full scale)        |
| +125mV - 0.5LSB | -125mV + 0.5LSB | 0             | 11111111                     |
| 0V              | 0V              | 0             | 01111111<br>toggles 10000000 |
| -125mV + 0.5LSB | +125mV - 0.5LSB | 0             | 00000001                     |
| -125mV          | +125mV          | 0             | 00000000 (zero scale)        |

## 内部リファレンス

MAX104ファミリは、チップ上に+2.5V高精度バンドギャップリファレンスを備えています。このリファレンスは、ジャンパJU5を短絡してREFOUTをREFINに接続することにより使用できます。必要であれば、REFOUTは最大2.5mAの電流ソースとしてその他の周辺回路を駆動することもできます。

外部リファレンスを使用する場合は、JU5の短絡ジャンパを取り外し、新しいリファレンス電圧ソースをJU5のREFIN側に接続して下さい。JU5のREFOUT側はフローティングのままにして下さい。外部リファレンスのグランドをEVキットのGNDIに接続して下さい。REFINは、入力電圧範囲+2.3V ~ +2.7Vを受け付けます。

注意：外部リファレンスが接続された状態では、JU5を決して取り付けないで下さい。これは、外部リファレンス電源が内部リファレンスを損傷するのを防ぐためです。

## オフセット調節

これらのデバイスは、ADCを駆動する他のプリアンプからのオフセットを排除するための制御入力(VOSADJ)も提供しています。VOSADJ制御入力は、内部+2.5V高精度リファレンスからの自己バイアス分圧器です。通常の使用条件においては、制御入力はフローティングのままにします。

本EVキットには、ADCの+2.5Vリファレンスでバイアスされた10kポテンショメータが含まれています。このポテンショメータのワイパーはJU4を通じてVOSADJ制御入力に接続します。オフセット調節機能をイネーブルするには、JU4短絡ジャンパを取り付けて、再生されたデジタル出力に出てくるオフセットを観察しながらポテンショメータR2を調節して下さい。オフセット調節ポテンショメータの調節範囲は約±5.5LSBです。本EVキットは、JU4に短絡ジャンパが実装されていない状態で出荷されています。

## 主及び補助PECL出力

本EVキットの全てのPECL出力は、V<sub>CCO</sub>電源によって駆動されています。この電源としては、+3.3V又は

+5V機器とフレキシブルにインタフェースできるように、+3.0V ~ +5.0Vの範囲の任意の電圧のものが使用します。公称V<sub>CCO</sub>電源電圧は+3.3Vです。

PECL出力は標準オープンエミッタタイプで、適正なバイアスを得るためにPECLV<sub>TT</sub>電圧への外部50Ω終端抵抗を必要とします。終端抵抗は各50Ωマイクロストリップ伝送ラインの端、即ちロジックアナライザインタフェースのスクエアピンヘッダのすぐ近くに位置しています。各EV基板は、PECL終端抵抗を基板の裏側に実装した状態で出荷されています。各出力は、0.100インチのスクエア2ピンヘッダにリンクされています。これはヒューレットパッカード社のHP16500C等の高速ロジックアナライザとの接続を容易にするためです。

デバイスからのデジタルデータをデマルチプレックスされた1:2フォーマットで捕捉するために、ロジックアナライザからの16チャンネルの各々が8つの主(P0 ~ P7)及び8つの補助(A0 ~ A7)出力に接続されています。ADCは差動PECL出力を提供しますが、殆どのロジックアナライザ(例えばHP16500C)はシングルエンドのアクイジションポッドを備えています。全てのシングルエンドロジックアナライザポッドをPECL出力の同じ位相(" + "又は" - ")に接続して下さい。

## データレディ(DREADY)出力

ロジックアナライザのクロックポッドは、EVキットのJUDR+のDREADY+出力に接続して下さい。主出力と補助出力は、いずれもDREADY+の立上がりエッジで変化するため、ロジックアナライザは立下がりエッジでトリガするように設定して下さい。DREADY及びデータ出力は、内部でタイムアラインメントされています。これにより、DREADY+の立下がりエッジが有効データウィンドのほぼ中心に来るため、ロジックアナライザのセットアップ及びホールド時間が最大限になっています。ロジックアナライザのスレッシュホールド電圧をV<sub>CCO</sub> - 1.3Vに設定して下さい。例えば、V<sub>CCO</sub>が+3.3Vである場合、スレッシュホールドは+2.0Vに設定して下さい。これらの条件においては、ロジックアナライザのサンプルオフセット(トリガディレー)は0psに設定して下さい。

# MAX104/MAX106/MAX108 評価キット

表3. PECL出力及びその機能

| PECL OUTPUT SIGNALS       | EV KIT JUMPER LOCATION            | FUNCTION  |
|---------------------------|-----------------------------------|---|
| P0+ to P7+,<br>P0- to P7- | JUP0+ to JUP7+,<br>JUP0- to JUP7- | Primary Port Differential Outputs from LSB to MSB. A "+" indicates the true value; a "-" denotes the complementary outputs.   |
| A0+ to A7+,<br>A0- to A7- | JUA0+ to JUA7+,<br>JUA0- to JUA7- | Auxiliary Port Differential Outputs from LSB to MSB. A "+" indicates the true value; a "-" denotes the complementary outputs. |
| OR+, OR-                  | JUOR+, JUOR-                      | Overrange's True and Complementary Outputs.   |
| DREADY+, DREADY-          | JUDR+, JUDR-                      | Data-Ready PECL Output Latch Clock. Output data changes on the rising edge of DREADY+.  |
| RSTIN+, RSTIN-            | J5, J6 (SMA connectors)           | Demux Reset Input Signals. Resets the internal demux when asserted.   |
| RSTOUT+, RSTOUT-          | JURO+, JURO-                      | Reset Outputs—for resetting additional external demux devices.  |

アキュイジションクロックとしてDREADY-を使用することも可能です。この場合、ロジックアナライザがクロックの立上がりエッジでトリガするように設定して下さい。表3にデジタル出力及びその機能を示します。

## デマルチプレクサの設定

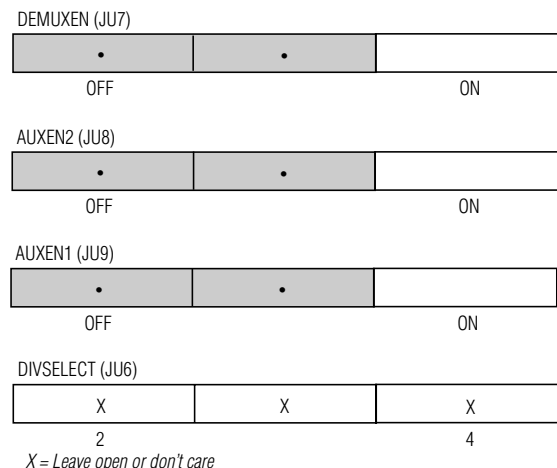
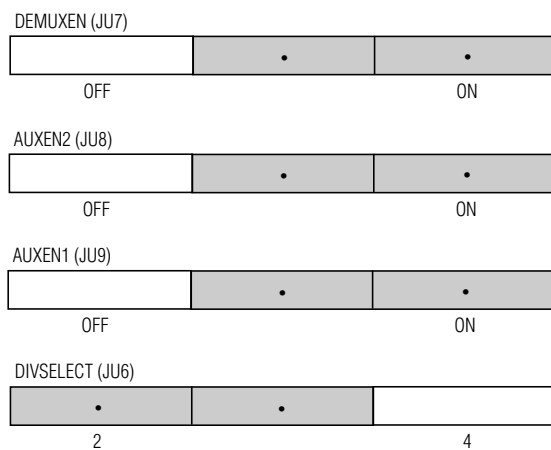
### デマルチプレクスDIV2モード

このモードは、出力データ速度をサンプルクロック速度の半分に減速します。デマルチプレクスされた出力はデュアル8ビットフォーマットの形になり、主及び補助出力ポートに2つの連続するサンプルがデータレディクロックの立上がりエッジで提示されます。このモードを起動するためには、ジャンパJU7 (DEMUXEN)、JU8 (AUXEN2)及びJU9 (AUXEN1)がON位置にあり、DIVSELECT (JU6)が2の位置になっている必要があります。

注意：各EVキットはジャンパJU7、JU8及びJU9がON位置に実装され、JU6が2に設定された状態で出荷されています。

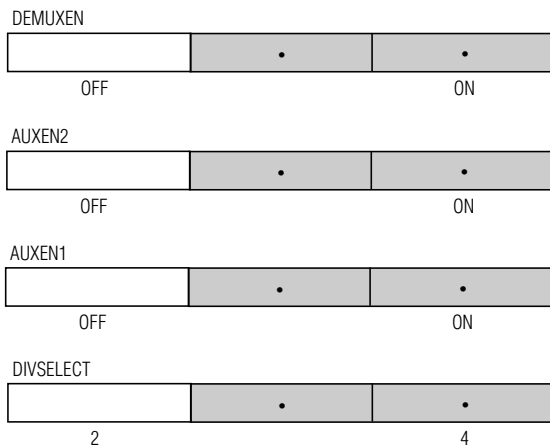
### 非デマルチプレクスDIV1モード

ADCをデマルチプレクスされないモードで動作させることも可能です。このモードにおいては、内部デマルチプレクサがディセーブルされ、サンプリングされたデータは主出力ポートのみに提示されます。消費電力を小さくするため、2つの別々の入力(AUXEN1及びAUXEN2)によって補助ポートをシャットダウンすることができます。このモードに入るには、ジャンパJU7 (DEMUXEN)、JU8 (AUXEN2)及びJU9 (AUXEN1)をOFF位置にして下さい。DIVSELECT (JU6)ジャンパの位置は任意です。補助出力ポートの50 Ωプルダウン抵抗(R5 ~ R20)を全て取り外すと、さらに電力を節約できます。これらの抵抗を取り外す必要はありません。しかし、真のPECL出力及びコンプリメンタリのPECL出力の両方がV<sub>OH</sub>レベルにプルアップされることとなります。



## デシメーションDIV4モード

この特殊なデシメーションされたデマルチプレックス出力モードにおいては、ADCが入力サンプルを1つおきに捨てて、入力サンプリング速度の1/4の速度でデータを出力します。このモードは出力データ速度が遅くなるため、システムデバッグに有用です。また、MAX108の試験の場合には、データを捕捉するためにこのモードが必要になることがあります。本EV基板のDIV4モードを起動するには、ジャンパJU7(DEMUXEN)、JU8(AUXEN2)及びJU9(AUXEN1)がON位置にあり、DIVSELECTが4の位置になっている必要があります。入力のサンプルが1つおきに捨てられるため、コンバータの実効サンプル速度は $f_{SAMPLE}/2$ になります。



## オーバーレンジ動作

主及び補助デマルチプレックス出力の両方について、単一の差動PECLオーバーレンジ出力ビット(OR+, OR-)が提供されています。オーバーレンジビットの動作は、内部デマルチプレクサの状態に依存します。デマルチプレックスDIV2モード及びデシメーションDIV4モードにおいて、ORビットは主又は補助ポートがオーバーレンジのサンプルを含んでいる場合にフラグを発生します(表4)。非デマルチプレックスDIV1モードにおいて、ORポートは主出力ポートがオーバーレンジサンプルを含んでいる場合にのみフラグを発生します。

## リセット動作の必要条件

各デバイスのデータシートに、リセット回路及びその動作の詳しい説明が記載されています。リセット入力機能を使用するには、EV基板の裏側のR3及びR4の位置に2つの50  $\Omega$  プルダウン抵抗を取り付けて下さい。

表4. デマルチプレクサ動作の選択表

| DEMUXEN | DIVSELECT | DEMUX MODE | OVERRANGE BIT OUTPUT MODE                     |
|---------|-----------|------------|---|
| OFF     | X         | DIV1       | Only primary port active (auxiliary port off) |
| ON      | 2         | DIV2       | Primary OR auxiliary port                     |
| ON      | 4         | DIV4       | Primary OR auxiliary port                     |

X = 任意

これらの抵抗は、基板上のPECLV<sub>TT</sub>終端発生器に接続されています。RSTINロジックレベルは、V<sub>CCO</sub>電源を基準とする標準PECLレベルとコンパチブルです。

デマルチプレクサリセット動作に関連しているこれらの信号及びこのセクションの制御機能は、表5に記載されています。デマルチプレクサリセット機能の詳細(タイミング図等)については、データシートを参照して下さい。

## リセット入力

リセット回路は、ADCのPECL出力を駆動しているものと同じV<sub>CCO</sub>を基準とする差動PECL入力を受け付けます。リセット入力の横向きSMAコネクタは、EVキットの左下側に位置しており、RSTIN+及びRSTIN-とラベルが付いています。

同期リセットを必要としないアプリケーションの場合、リセット入力をオープンのままにして、抵抗R3及びR4を取り外す必要があります。この場合、内部50k  $\Omega$  抵抗と20 $\mu$ A電流ソースによって正しいレベルに自己バイアスされます。この組み合わせにより、RSTIN+とRSTIN-の間に-1Vの電圧差が生じ、内部リセット回路がディセーブルされます。50  $\Omega$  でV<sub>CCO</sub>-2Vに対して終端処理されたPECLロジックレベルで駆動されている場合、内部バイアスネットワークは容易にオーバードライブされます。本EVキットは、これらの抵抗位置がオープンのみで、内部自己バイアス回路がリセット制御入力をディセーブルしている状態で出荷されています。

注記：RSTIN入力が有効なPECLロジックレベルで駆動されていない限り、50  $\Omega$  RSTIN終端抵抗R3及びR4は取り付けないで下さい。RSTIN入力がオープン回路の状態でも50  $\Omega$  抵抗を取り付けると、内部でマルチプレクサが間欠的にリセットされ、予想不能の動作が起こります。

# MAX104/MAX106/MAX108 評価キット

表5. デマルチプレクサ動作及びリセット制御信号

| SIGNAL NAME      | EV KIT JUMPER LOCATION | FUNCTION   |
|------------------|------------------------|--|
| CLK+, CLK-       | J3, J4                 | Master ADC Timing Signal. The ADC samples on the rising edge of CLK+.      |
| DREADY+, DREADY- | JUDR+, JUDR-           | Data-Ready PECL Output. Output data changes on the rising edge of DREADY+. |
| RSTIN+, RSTIN-   | J5, J6                 | Demux Reset Input Signal. Resets the internal demux when asserted.         |
| RSTOUT+, RSTOUT- | JURO+, JURO-           | Reset Output—for resetting additional external demux devices.              |

表6. 電源及びグラウンドの必要条件及び位置

| POWER SUPPLY               | EV KIT JUMPER LOCATION | GROUND REFERENCE | EV KIT JUMPER LOCATION |
|----------------------------|------------------------|------------------|------------------------|
| $V_{EE} = -5V$             | J17                    | GNDI             | J16                    |
| $V_{CCA} = V_{CC1} = +5V$  | J13, J15               | GNDA/GNDI        | J14, J16               |
| $V_{CCD} = +5V$            | J11                    | GNDD             | J12                    |
| $V_{CCO} = +3.0V$ to $+5V$ | J18                    | GNDD             | J12                    |

## リセット出力

単一のデバイスの場合、同期リセットは必要ありません。これは、(データシートで説明されているように)出力ポートにおけるサンプルの順番がDREADY(DREADY+, DREADY-)クロックの位相に依らず不変であるためです。DREADY+(ジャンパJUDR+)及びDREADY-(ジャンパJUDR-)は、EV基板の右中央のPECL出力円弧の中央にあります。

EVキット上で、RSTOUT+(ジャンパJURO+)及びRSTOUT-(ジャンパJURO-)リセット出力の2ピンヘッダは、基板の左下側のリセット入力SMAコネクタの上に位置しています。

## 電源

本EVキットは、動的性能を最適化するためにアナログとデジタルの電源及びグラウンドが別々になっています。電源コネクタは基板の一番上に位置しており、表6に示す電源を必要とします。

EVキットの使用を容易にし、EV基板を駆動するための必要電源数を少なくするため、 $V_{CCA}$ と $V_{CC1}$ 、及びGNDAとGNDIは短絡ストラップSP1及びSP2によってまとめて接続されています。これらの電源を別々にするには、SP1とSP2でトレースを切断して下さい。個別の電源を使用する場合は、絶対最大電圧差 $\pm 0.3V$ を必ず守って下さい。パワーアップ/ダウン時にこの絶対最大定格を破ることがないように、 $V_{CCA}$ と $V_{CC1}$ の間に2つ並べたショットキーダイオードが必要になります。

本EVキットは、 $V_{CCA}$ と $V_{CC1}$ 電源をSP1とSP2で短絡した状態で試験されています。これらの電源が個別であっても、製品の動的性能に測定可能な違いはありません。このため、マキシム社はこれらの電源をまとめて接続した状態にしておくことをお勧めします。

注意：EVキット上では、GNDA/GNDIとGNDDの間に接続がありません。これらのグラウンドは、基板への電源のところでまとめて接続して下さい。さもないとデバイスが損傷する恐れがあります。

アナロググラウンド(GNDA/GNDI)とデジタルグラウンド(GNDD)を一点でまとめて接続することにより、グラウンドループを避け、デジタル信号や電源ラインから入るノイズを低減できます。

アプリケーションを分解する時にラッチアップが起こるのを防ぐために、 $V_{EE}$ とGNDIの間に高速ショットキーダイオード(D1、1N5819)が付加されています。このダイオードは、 $V_{EE}$ コネクタがオープンの際に、サブストレート( $V_{EE}$ に接続)が順方向にバイアスしてラッチアップを引き起こす可能性を排除します。

## 基板レイアウト

各EVキットは4層基板設計で、高速信号用に最適化されています。基板は低損失GETekコア材でできています。この材質の比誘電率は3.9( $\epsilon_r = 3.9$ )です。本EV基板に使用されているGETek材質は、標準的なFR4基板材質に比べて高周波及び熱特性が改善されています。全ての高速信号は、50 マイクロストリップ伝送ラインで



表7. EVキットのプリント基板の各層

| LAYER                  | DESCRIPTION   |
|------------------------|---|
| Layer I, top layer     | Components, jumpers, connectors, test pads, V <sub>CCO</sub> , GNDD, GNDI, analog 50Ω microstrip lines, de-embedding fixtures |
| Layer II, ground plane | Ground for analog 50Ω microstrips, GNDA, GNDD, GNDI, V <sub>CCD</sub>   |
| Layer III, power plane | V <sub>EE</sub> , PECLV <sub>TT</sub> (V <sub>CCO</sub> - 2V), GNDD   |
| Layer IV, bottom layer | V <sub>CCA</sub> , V <sub>CCO</sub> , GNDI, digital 50Ω microstrip lines, 50Ω termination resistors                           |

配線されています。50 マイクロストリップのライン幅は0.46mm、グランドプレーンの厚さは0.25mm (標準GETekコア厚)です。図3に、EVキットの層プロファイルの断面を示します。

この基板には、さらにSMAコネクタJ9-10とJ7-8の間に接続された長さの異なる2つのマイクロストリップ伝送ラインで形成された脱埋込取り付け具(基板の右端)が付いています。2つの経路のラインの長さの差は3.81cmで、これはアナログ入力を接続するマイクロストリップのラインの長さに正確に一致しています。測定周波数における2つの経路の間のパワーロスの差を測定することにより、プリント基板の損失に起因するアナログ入力の減衰を推定することができます。図4に、アナログ入力を接続するマイクロストリップラインの実測減衰値対周波数のグラフを示します。

#### レイアウト上の特別な考慮点

基板のレイアウトは、回路のアナログ部分とデジタル部分を分離するように特別な工夫が施されています。アナログ及びクロック入力、そして高速PECLデジタル

出力には、50 マイクロストリップ伝送ラインが使用されています。アナログ及びクロック伝送ラインは基板の表側に形成されているのに対し、デジタル伝送ラインは基板の裏側に位置しています。これにより、高速デジタル出力のアナログ入力へのカップリングが減少します。アナログ及びクロック入力は、VSWRを改善するためにチップ上にレーザトリミングの50 終端抵抗を備えています。

大きなグランド又は電源プレーンが使用されているところでは、アナログプレーンがデジタルプレーンのどの部分とも重ならないように注意して下さい。これにより、デジタルノイズが回路基板を通じた容量性カップリングによって敏感なアナログ部分に影響する可能性を排除できます。

殆どのロジックアナライザはシングルエンドですが、本キットの全ての差動デジタル出力は出力の両位相において50 の終端抵抗で正しく終端処理されています。差動出力の両側を終端処理することにより、V<sub>CCO</sub>及びGNDD電源のAC電流が減少します。これにより、

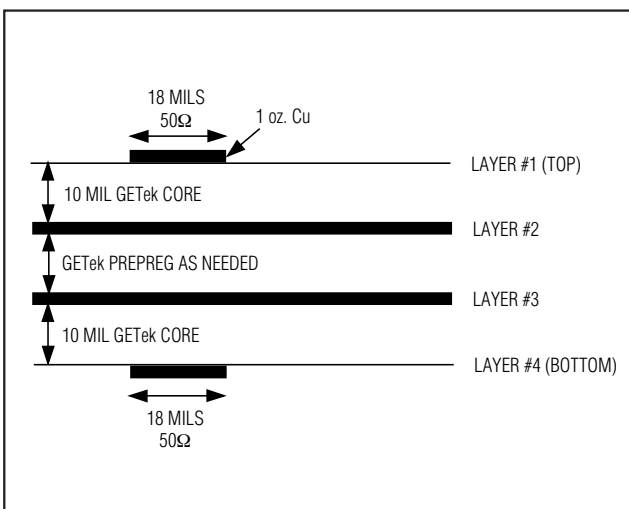


図3. 50 マイクロストリップ設計用のEVキットの層プロファイル

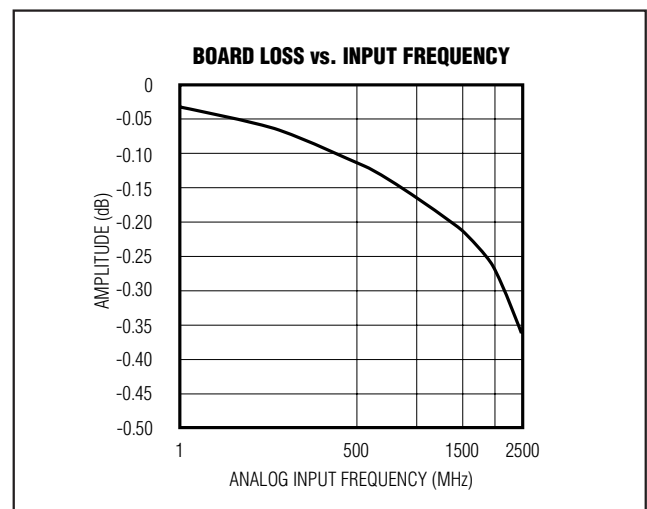


図4. プリント基板損失に起因するアナログ入力の減衰

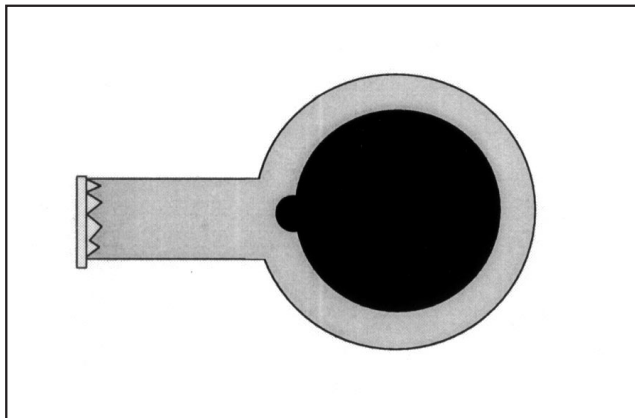


図5a. BGAプリント基板パッド設計(SMDパッド)

ADC出力のアナログ入力への逆戻りカップリングを減らし、コンバータの優れたSNR性能を保持することができます。

PECLデジタル出力は、ADC出力とロジックアナライザコネクタの間のラインの長さとはマッチングするために円弧状に配列されています。50 マイクロストリップラインの長さは、1.3mm以内までマッチングされていますが、これはビット間のレイアウト依存性データスキューを最小限に抑えるためです。EV基板上の伝播遅延は、2.54cm当たり約134psです。

#### ESBGAデバイスのパッド設計

BGAデバイスを搭載したプリント基板の組み立て及び設計の優れた参考文献として、「Application Notes on Surface Mount Assembly of Amkor/Anam BGA Packages (Amkor/Anam BGAパッケージの表面実装アセンブリのアプリケーションノート)」が挙げられます。この冊子はAmkor/Anam, 1900 S. Price Road, Chandler AX, 85248(電話602-821-5000)から入手できます。

上記のアプリケーションノートに記載されているように、BGAデバイスを実装するためのプリント基板パッドを定義する方法は2つあります。即ちハンダマスク定義(SMD)及び非ハンダマスク定義(非SMD、銅定義)です。本EVキットの設計は、非ハンダマスク定義のパッドを採用しています。図5にこれらのパッドタイプのレイアウトを示します。

非SMD(図5b)パッドは、ハンダマスク開口部が銅のランドエリアよりも大きくなっています。これは、実装パッドのサイズが銅のエッチングの品質管理によって

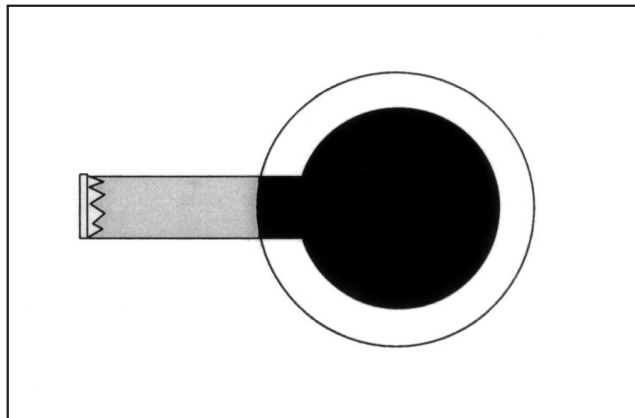


図5b. BGAプリント基板パッド設計(非SMDパッド)

制御されることを意味します。SMDパッド(図5a)は、銅のランドエリアよりも小さなハンダマスクの開口部を持っています。これは、ハンダマスクのアライメントとエッチングの品質がパッドの寸法を決定することを意味します。

SMDパッドの場合のように銅の端をハンダマスクの下にまで拡張する必要がないため、パッドを大きくするか、あるいは隣接するパッドの間にラインを配線するスペースを大きく取ることができます。本EVキットのBGA実装パッド同士の間には、単一の50 マイクロストリップトレース(0.46mm幅)を通せるだけの隙間があります。銅ランドの直径は0.64mm、ハンダマスクの開口部は0.076mmです。

#### チップ温度の測定

$I_{CONST}$ 及び $I_{PTAT}$ の電流を測定することにより、通常動作条件におけるADCのチップ温度を求めることができます。これらは公称100 $\mu$ Aの電流で、27 $^{\circ}$ Cで等しくなるように設計されています。これらの電流は、ADCの内部高精度+2.5Vバンドギャップリファレンスから来ています。これらの電流のテストパッド(J21及びJ22)は $I_{CONST}$ 及び $I_{PTAT}$ とラベルが付いており、アナログ入力のすぐ上に位置しています。

チップ温度を測定する最も単純な方法は、データシートに説明されているように、各電流をGNDIを基準にした電流計で測定することです。チップ温度(単位)は次式で計算されます。

$$T_{DIE} = 300 \cdot \left( \frac{I_{PTAT}}{I_{CONST}} \right) - 273$$

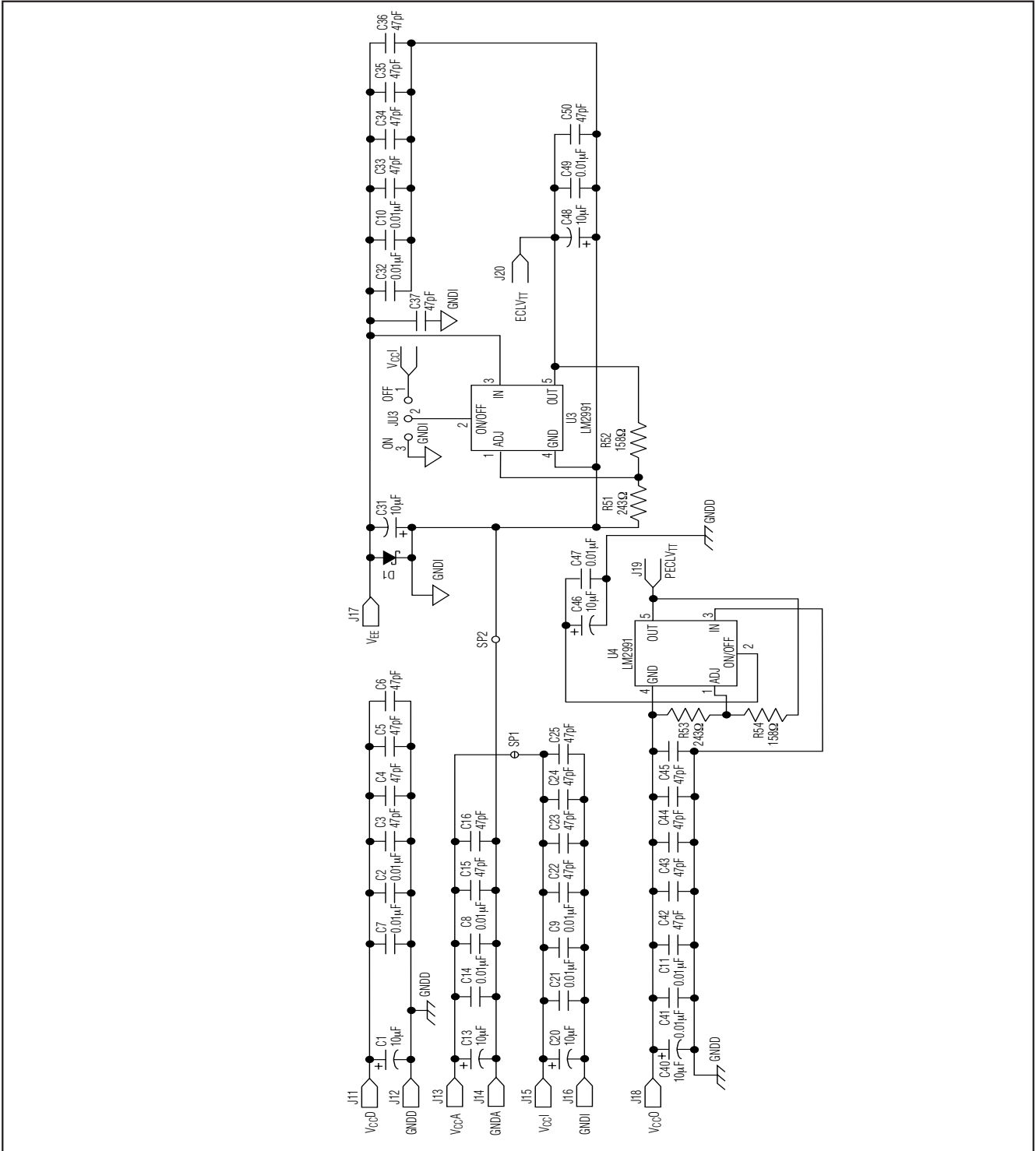


図6. MAX104/MAX106/MAX108 EVキットの回路図

# MAX104/MAX106/MAX108 評価キット

Evaluate: MAX104/MAX106/MAX108

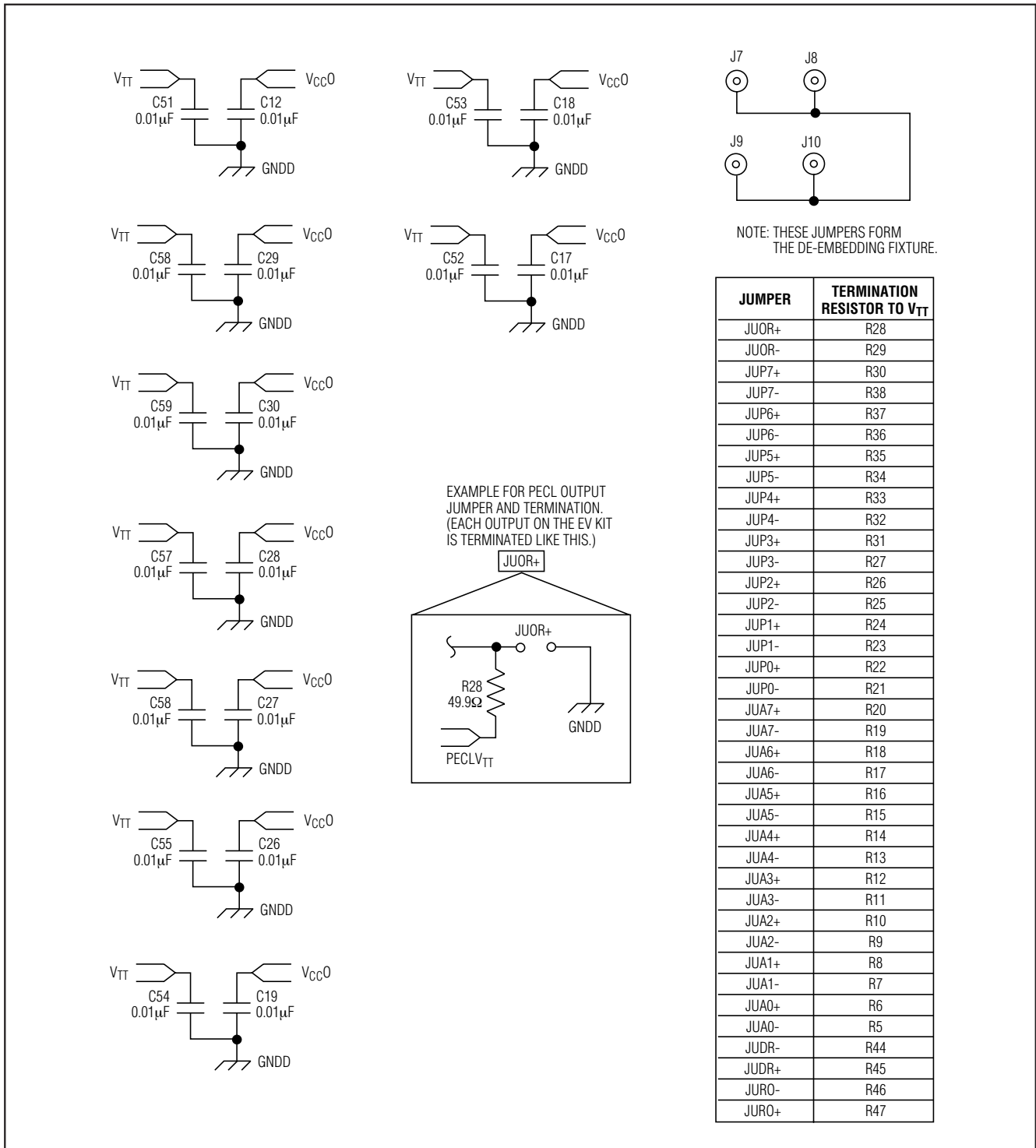


図6. MAX104/MAX106/MAX108 EVキットの回路図(続き)

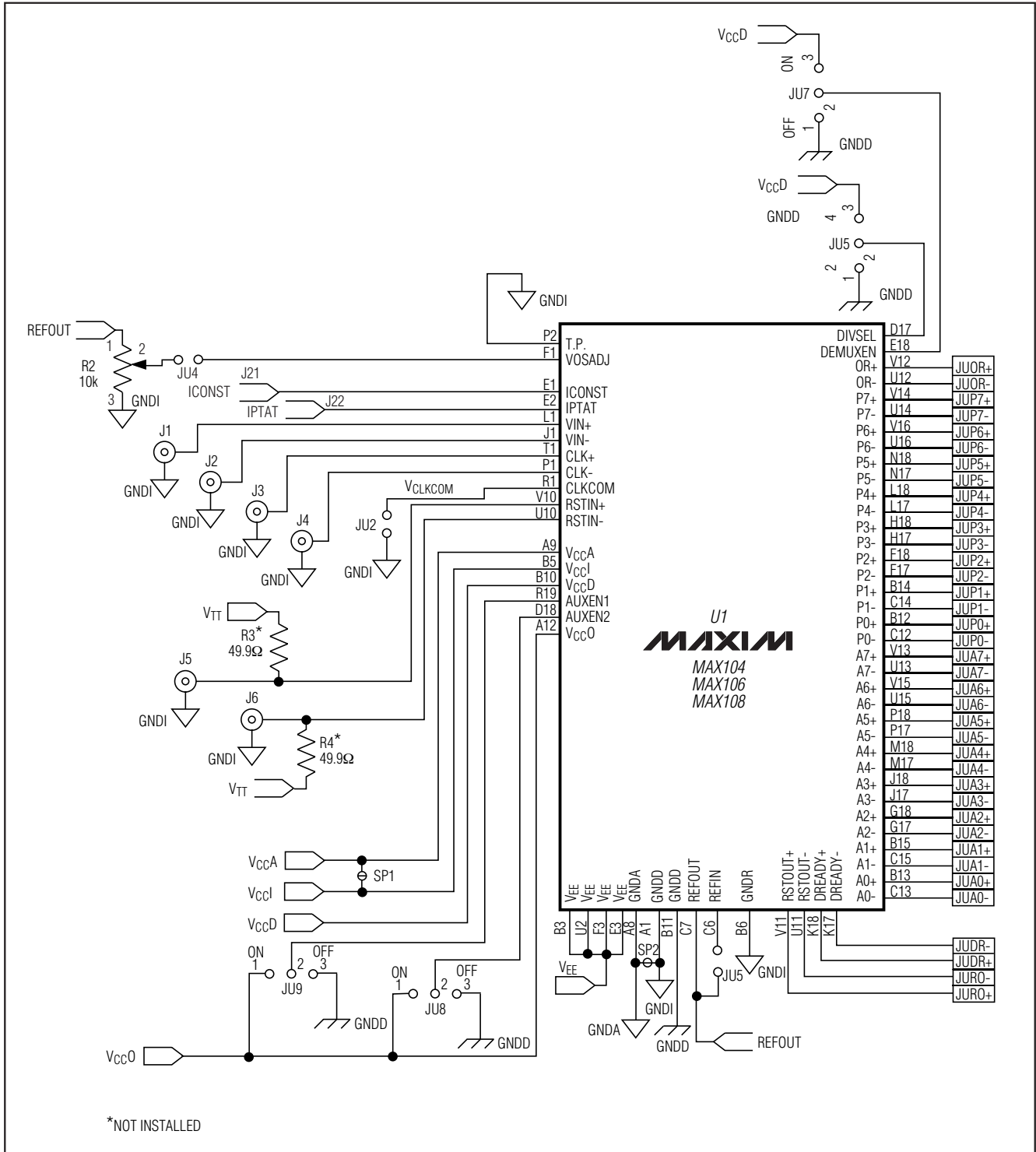


図6. MAX104/MAX106/MAX108 EVキットの回路図(続き)

# MAX104/MAX106/MAX108 評価キット

Evaluate: MAX104/MAX106/MAX108

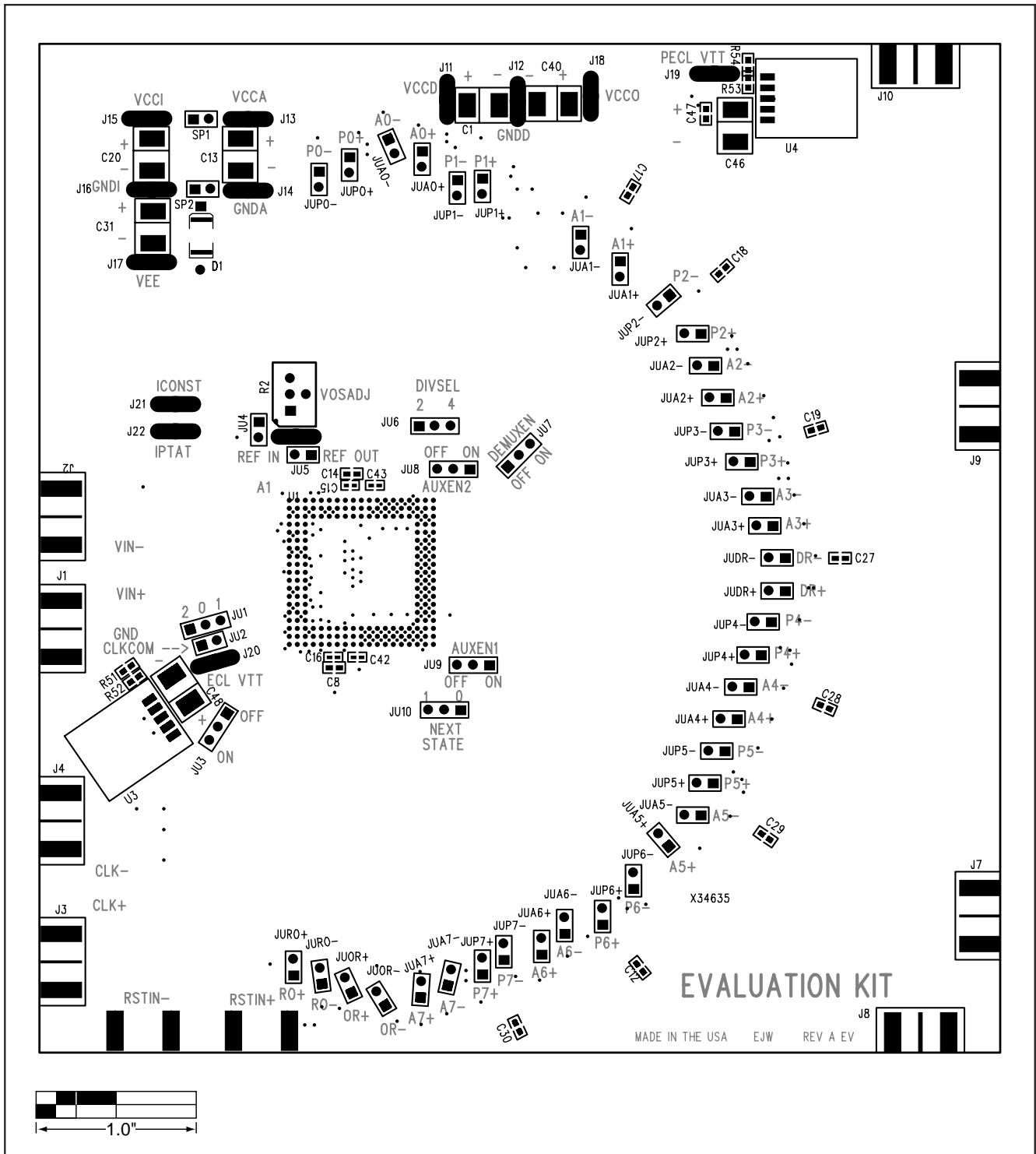


図7. MAX104/MAX106/MAX108 EVキットの部品配置図(第1層)

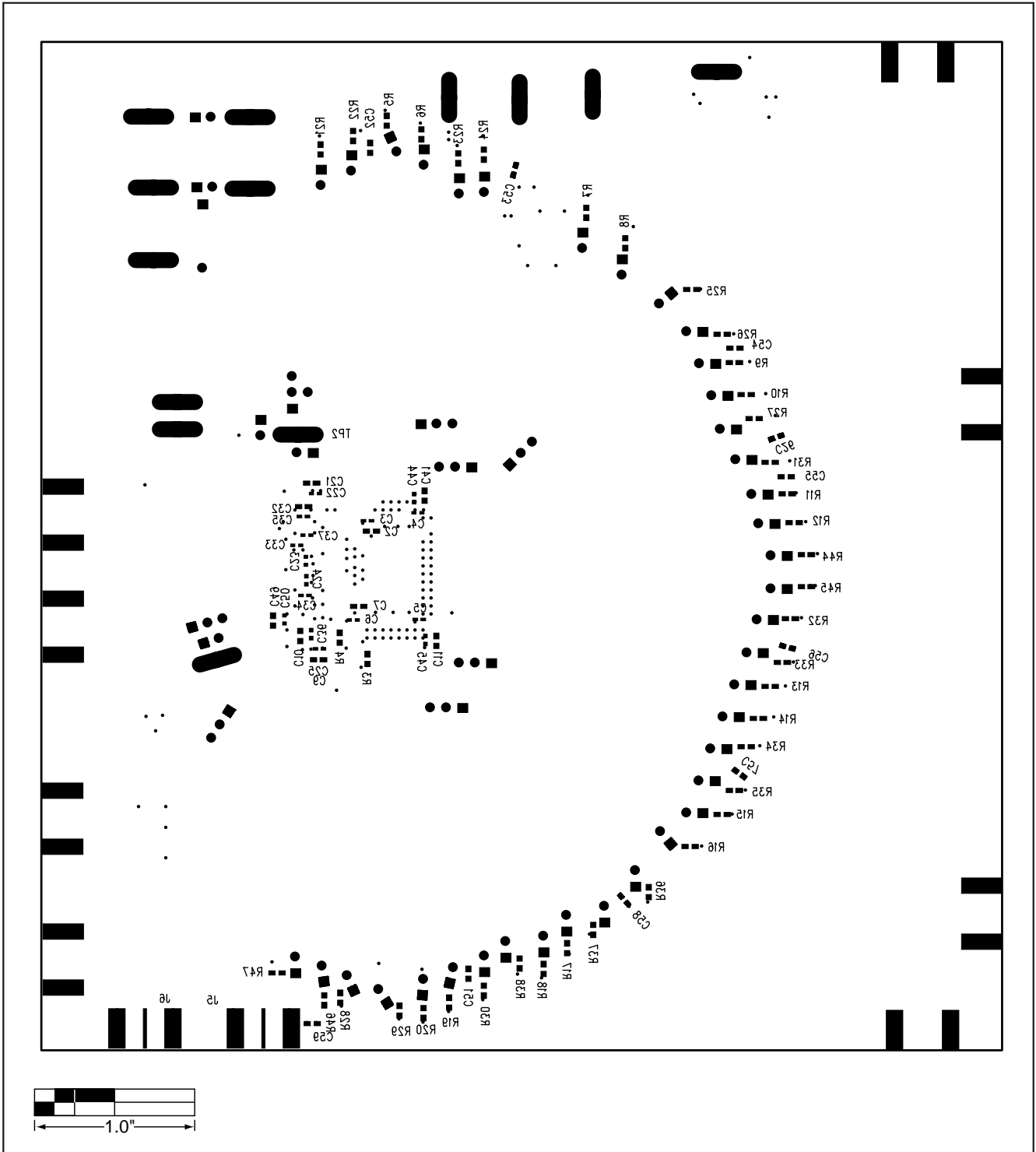


図8. MAX104/MAX106/MAX108 EVキットの部品配置図(第IV層)

Evaluate: MAX104/MAX106/MAX108

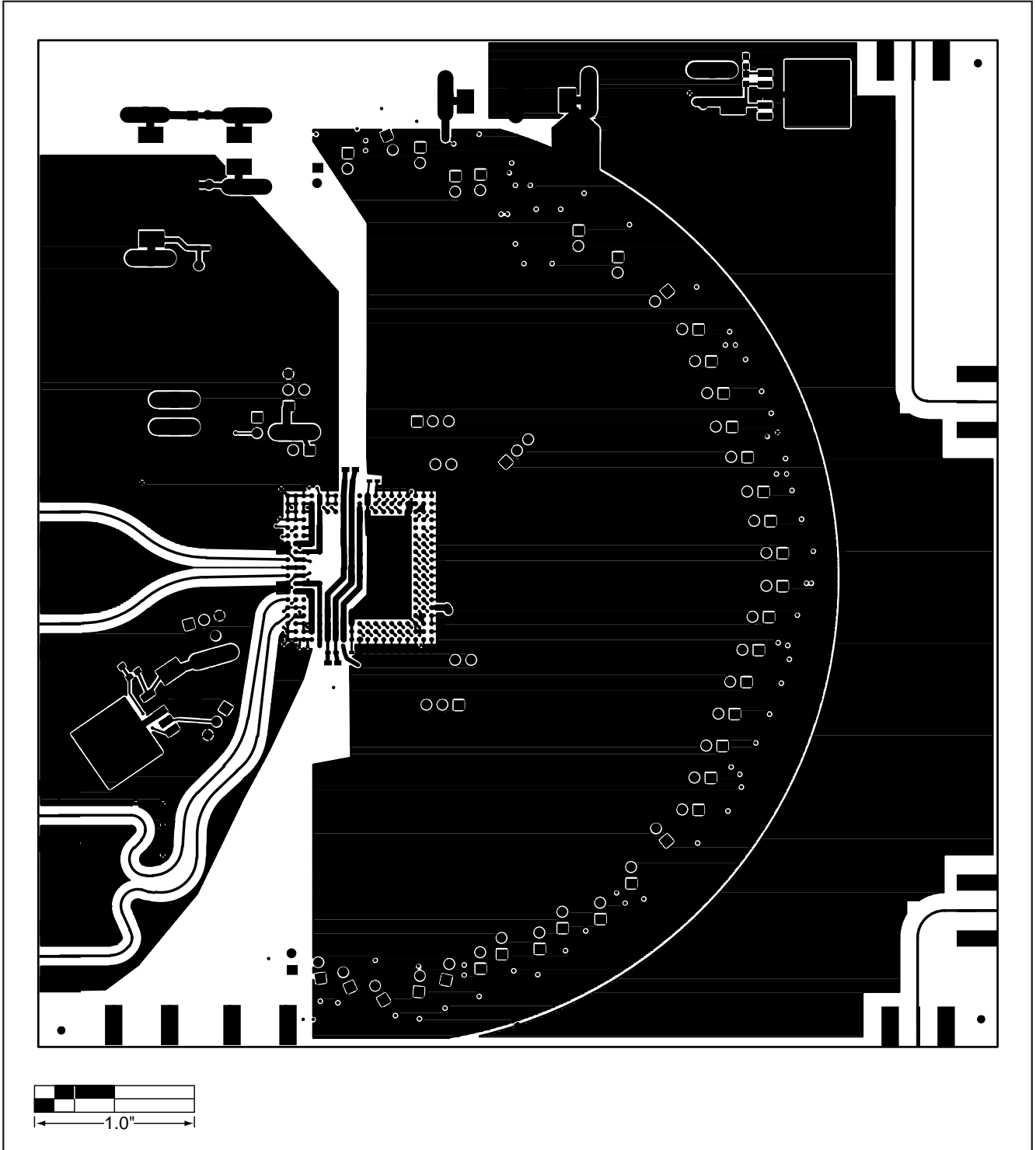


図9. MAX104/MAX106/MAX108 EVキットのプリント基板レイアウト(部品面側：第1層)



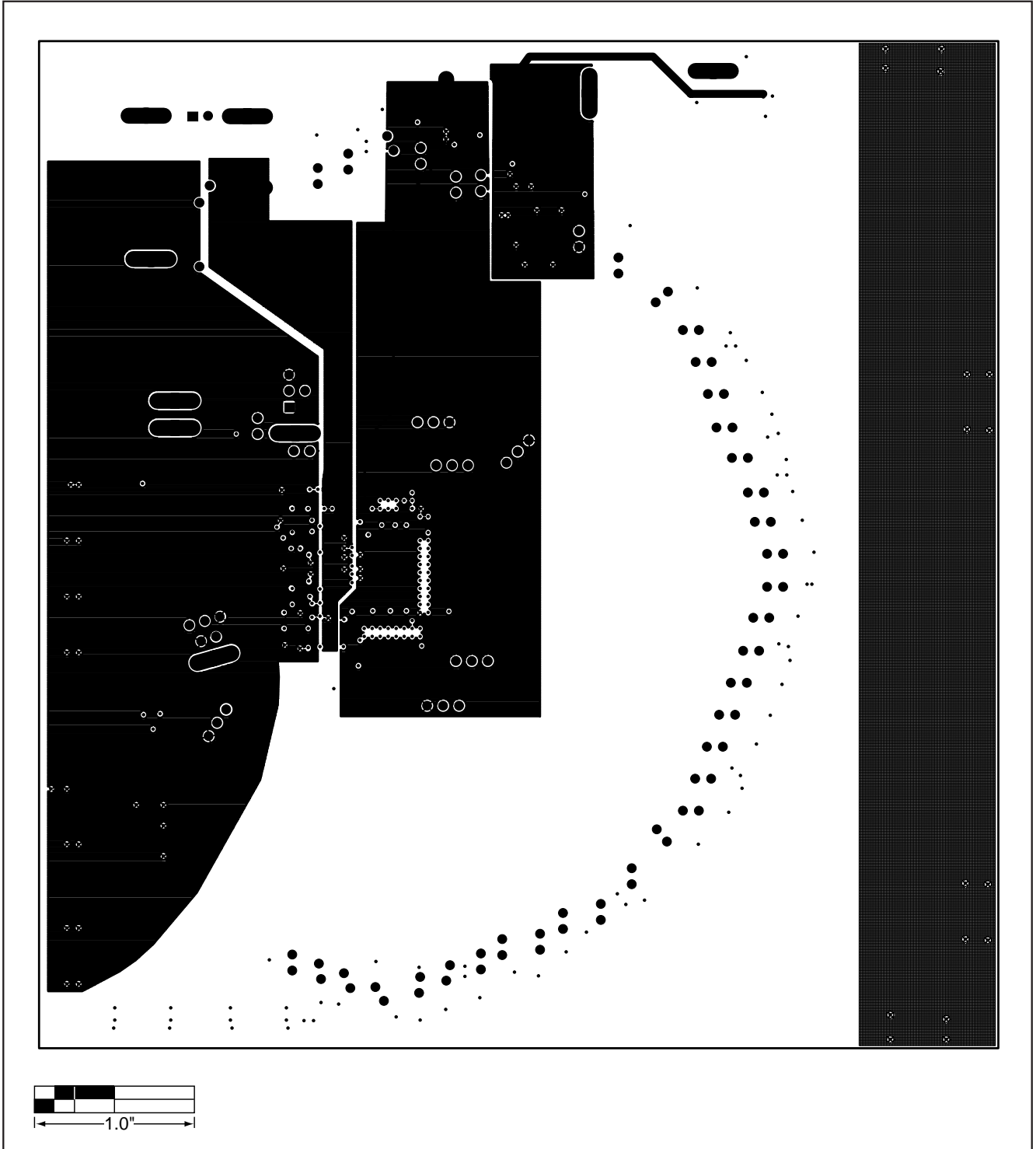


図10. MAX104/MAX106/MAX108 EVキットのプリント基板レイアウト(GNDプレーン：第II層)

Evaluate: MAX104/MAX106/MAX108

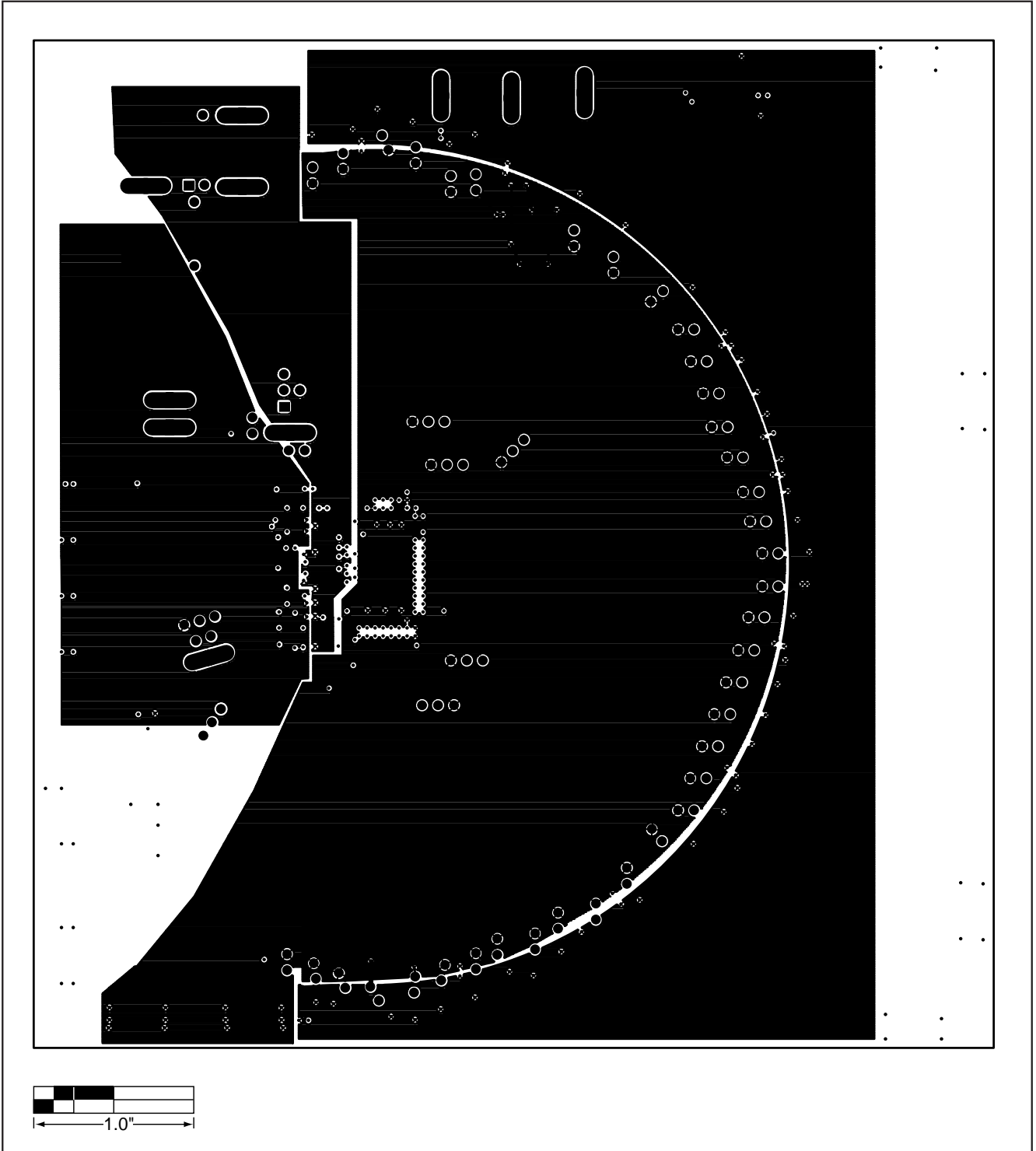


図11. MAX104/MAX106/MAX108 EVキットのプリント基板レイアウト(電源プレーン：第III層)

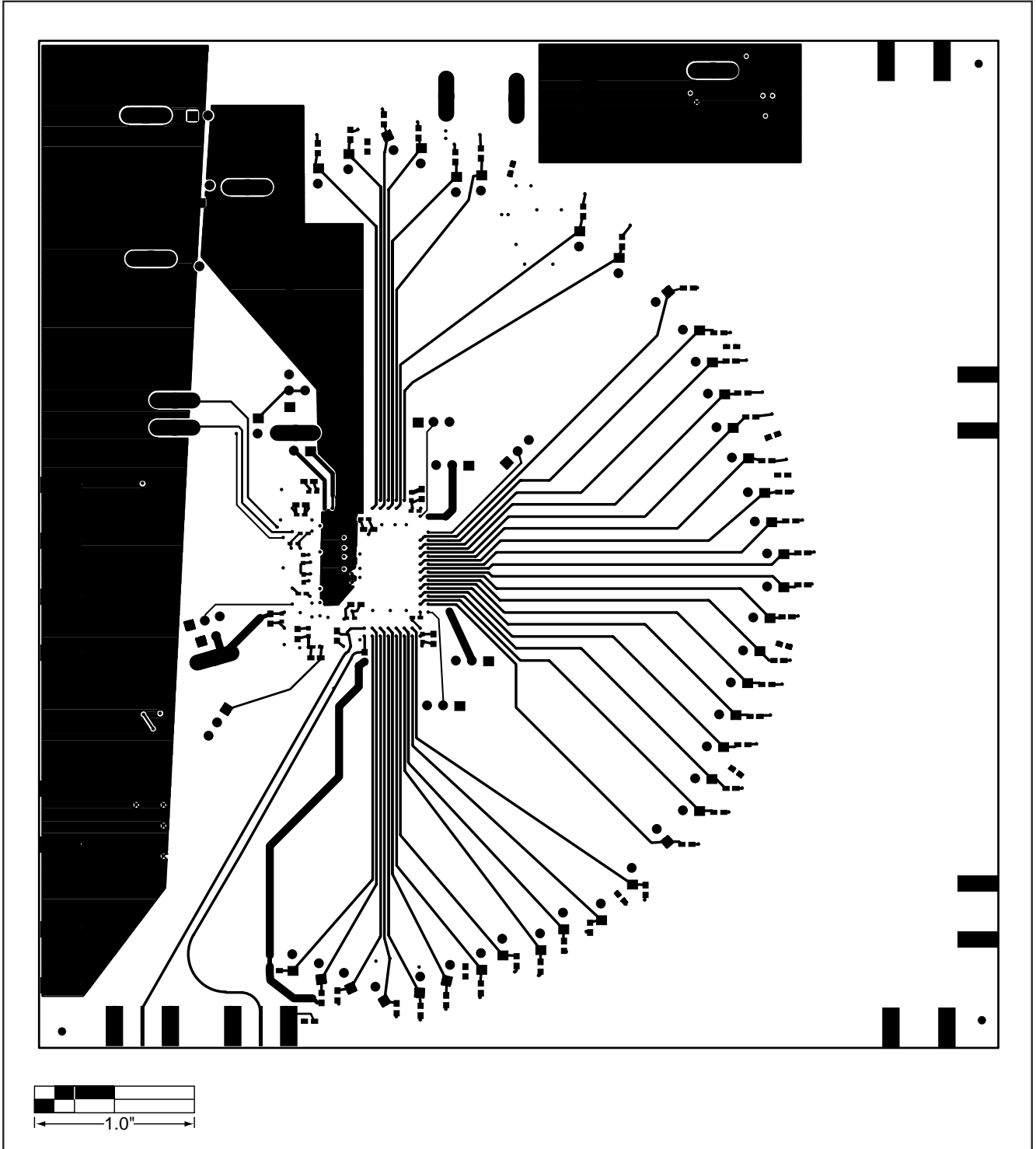


図12. MAX104/MAX106/MAX108 EVキットのプリント基板レイアウト(ハンダ面側：第IV層)

# MAX104/MAX106/MAX108 評価キット

---

**Evaluates: MAX104/MAX106/MAX108**

## NOTES

販売代理店

## マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)  
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

20 \_\_\_\_\_ **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**