

## 低電力、90Msps、6ビットADC

## 概要

MAX1011は、高速低電力動作特性とユーザ選択入力範囲、内部リファレンス及びクロック発振器を兼ね備えた6ビットのアナログデジタルコンバータ(ADC)です。このADCはアナログ信号を最大90Mspsのサンプリングレートでバイナリコードのデジタル出力に変換します。MAX1011はベースバンド信号と直接インタフェースできるため、広範囲の通信及び計測器アプリケーションに使用できます。

MAX1011の入力アンプは真の差動入力を備え、-0.5dBアナログ帯域幅が55MHzとなっている上、入力フルスケール範囲は125mVp-p、250mVp-p又は500mVp-pの中からユーザが設定できます。入力信号がACカップリングの場合、入力オフセットが1/4LSB以下(typ)です。ダイナミック特性としては、20MHzのアナログ入力信号に対して有効ビット数(ENOB)が5.85、50MHzの入力信号に対して5.7となっています。

MAX1011は+5Vアナログ電源及び+3.3Vデジタル電源で動作するため、+3.3Vロジックコンパチブルのデジタル信号プロセッサ及びマイクロプロセッサとのインタフェースが容易です。パッケージは24ピンQSOPです。

## アプリケーション

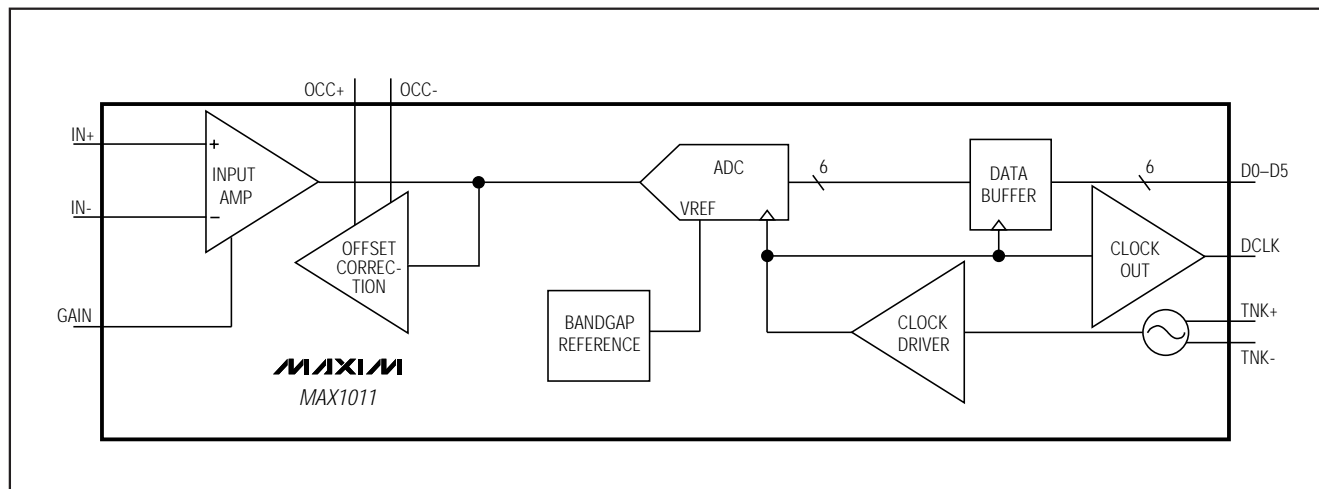
IFサンプリングレシーバ

VSATレシーバ

ワイドローカルエリアネットワーク(WLAN)

計測器

## ファンクションダイアグラム



## 特長

- ◆ 高速サンプリングレート：90Msps
- ◆ 低電力消費：215mW
- ◆ 優れたダイナミック特性：
  - ENOBが5.85(アナログ入力20MHz)
  - ENOBが5.7(アナログ入力50MHz)
- ◆ INL及びDNL：±1/4LSB(typ)
- ◆ 入力オフセット：±1/4LSB(typ)
- ◆ バンドギャップ電圧リファレンス内蔵
- ◆ オーバドライブ能力を備えた内部発振器
- ◆ 真の差動入力を備え、(-0.5dB)帯域幅が55MHzの入力アンプ
- ◆ ユーザによる選択可能な入力フルスケール範囲(125mVp-p、250mVp-p、500mVp-p)
- ◆ シングルエンド又は差動入力
- ◆ フレキシブルな3.3V、CMOSコンパチブルデジタル出力

## 型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX1011CEG	0°C to +70°C	24 QSOP

ピン配置はデータシートの最後に記載されています。

# 低電力、90Msps、6ビットADC

MAX1011

## ABSOLUTE MAXIMUM RATINGS

V <sub>CC</sub> to GND .....	-0.3V to +6.5V	Continuous Power Dissipation (T <sub>A</sub> = +70°C)
V <sub>CCO</sub> to OGND .....	-0.3V to +6.5V	24-Pin QSOP (derate 10mW/°C above +70°C).....
GND to OGND .....	-0.3V to +0.3V	800mW
Digital and Clock Output Pins to OGND.....	-0.3V to V <sub>CCO</sub> (10sec)	Operating Temperature Range.....
All Other Pins to GND.....	-0.3V to V <sub>CC</sub>	0°C to +70°C
		Storage Temperature Range.....
		-65°C to +150°C
		Lead Temperature (soldering, <10sec).....
		+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## DC ELECTRICAL CHARACTERISTICS

(V<sub>CC</sub> = +5V ±5%, V<sub>CCO</sub> = 3.3V ±300mV, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>DC ACCURACY (Note 1)</b>						
Resolution	RES		6			Bits
Integral Nonlinearity	INL		-0.5	±0.25	0.5	LSB
Differential Nonlinearity	DNL	No missing codes over temperature	-0.5	±0.25	0.5	LSB
Full-Scale Input Range	V <sub>FSH</sub>	GAIN = V <sub>CC</sub> (high gain)	118.75	125	131.25	mVp-p
	V <sub>FSM</sub>	GAIN = open (mid gain)	237.5	250	262.5	
	V <sub>FSL</sub>	GAIN = GND (low gain)	475	500	525	
<b>INVERTING AND NONINVERTING ANALOG INPUTS</b>						
Input Open-Circuit Voltage	V <sub>AOC</sub>		2.25	2.35	2.45	V
Input Resistance	R <sub>IN</sub>		13	20	29	kΩ
Input Capacitance	C <sub>IN</sub>	Guaranteed by design		1.5	3	pF
Common-Mode Voltage Range	V <sub>CM</sub>	Other analog input driven with external source (Note 2)	1.75		2.75	V
<b>OSCILLATOR INPUTS</b>						
Oscillator Input Resistance	R <sub>OSC</sub>	Other oscillator input tied to V <sub>CC</sub> + 0.3V	4.8	8	12.1	kΩ
<b>DIGITAL OUTPUTS (D0–D5)</b>						
Digital Outputs Logic-High Voltage	V <sub>OH</sub>	I <sub>SOURCE</sub> = 50μA	0.7V <sub>CCO</sub>			V
Digital Outputs Logic-Low Voltage	V <sub>OL</sub>	I <sub>SINK</sub> = 400μA			0.5	V
<b>POWER SUPPLY</b>						
Supply Current	I <sub>CC</sub>			37	63.5	mA
Power-Supply Rejection Ratio	PSRR	V <sub>CC</sub> = 4.75V to 5.25V (Note 3)		-65	-40	dB
Digital Outputs Supply Current	I <sub>CCO</sub>	20MHz, full-scale analog inputs, C <sub>L</sub> = 15pF (Note 4)		8.5	13.8	mA
Power Dissipation	PD			215		mW

## AC ELECTRICAL CHARACTERISTICS

( $V_{CC} = +5V \pm 5\%$ ,  $V_{CC0} = 3.3V \pm 300mV$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>DYNAMIC PERFORMANCE</b> (Gain = open, external 90MHz clock (Figure 7), $V_{IN} = 20MHz$ sine, amplitude -1dB below full scale, unless otherwise noted.)						
Maximum Sample Rate	$f_{MAX}$		90			MspS
Analog Input -0.5dB Bandwidth	BW	GAIN = GND, open, $V_{CC}$		55		MHz
Effective Number of Bits	ENOB <sub>M</sub>	GAIN = open (mid gain)	5.6	5.85		Bits
		GAIN = open (mid gain), $f_{IN} = 50MHz$ , -1dB below full scale		5.7		
	ENOB <sub>H</sub>	GAIN = $V_{CC}$ (high gain)		5.8		
	ENOB <sub>L</sub>	GAIN = GND (low gain)		5.85		
Signal-to-Noise Plus Distortion Ratio	SINAD	GAIN = open (mid gain)	35.5	37		dB
Input Offset (Note 5)	OFF	Guaranteed by design	-0.5		0.5	LSB
<b>TIMING CHARACTERISTICS</b> (Data outputs: $R_L = 1M\Omega$ , $C_L = 15pF$ )						
Clock to Data Propagation Delay	$t_{PD}$	(Note 6)		3.0		ns
Data Valid Skew	$t_{SKEW}$	(Note 6)		1		ns
Input to DCLK Delay	$t_{DCLK}$	TNK+ to DCLK (Note 6)		4.5		ns
Aperture Delay	$t_{AD}$	Figure 8		5.5		ns
Pipeline Delay	PD	Figure 8		1		clock cycle

**Note 1:** Best-fit straight-line linearity method.

**Note 2:** A typical application will AC couple the analog input to the DC bias level present at the analog inputs (typically 2.35V). However, it is also possible to DC couple the analog input (using differential or single-ended drive) within this common-mode input range (Figures 4 and 5).

**Note 3:** PSRR is defined as the change in the mid-gain, full-scale range as a function of the variation in  $V_{CC}$  supply voltage, expressed in decibels.

**Note 4:** The current in the  $V_{CC0}$  supply is a strong function of the capacitive loading on the digital outputs. To minimize supply transients and achieve optimal dynamic performance, reduce the capacitive-loading effects by keeping line lengths on the digital outputs to a minimum.

**Note 5:** Offset-correction compensation enabled, 0.22 $\mu F$  at compensation inputs (Figures 2 and 3).

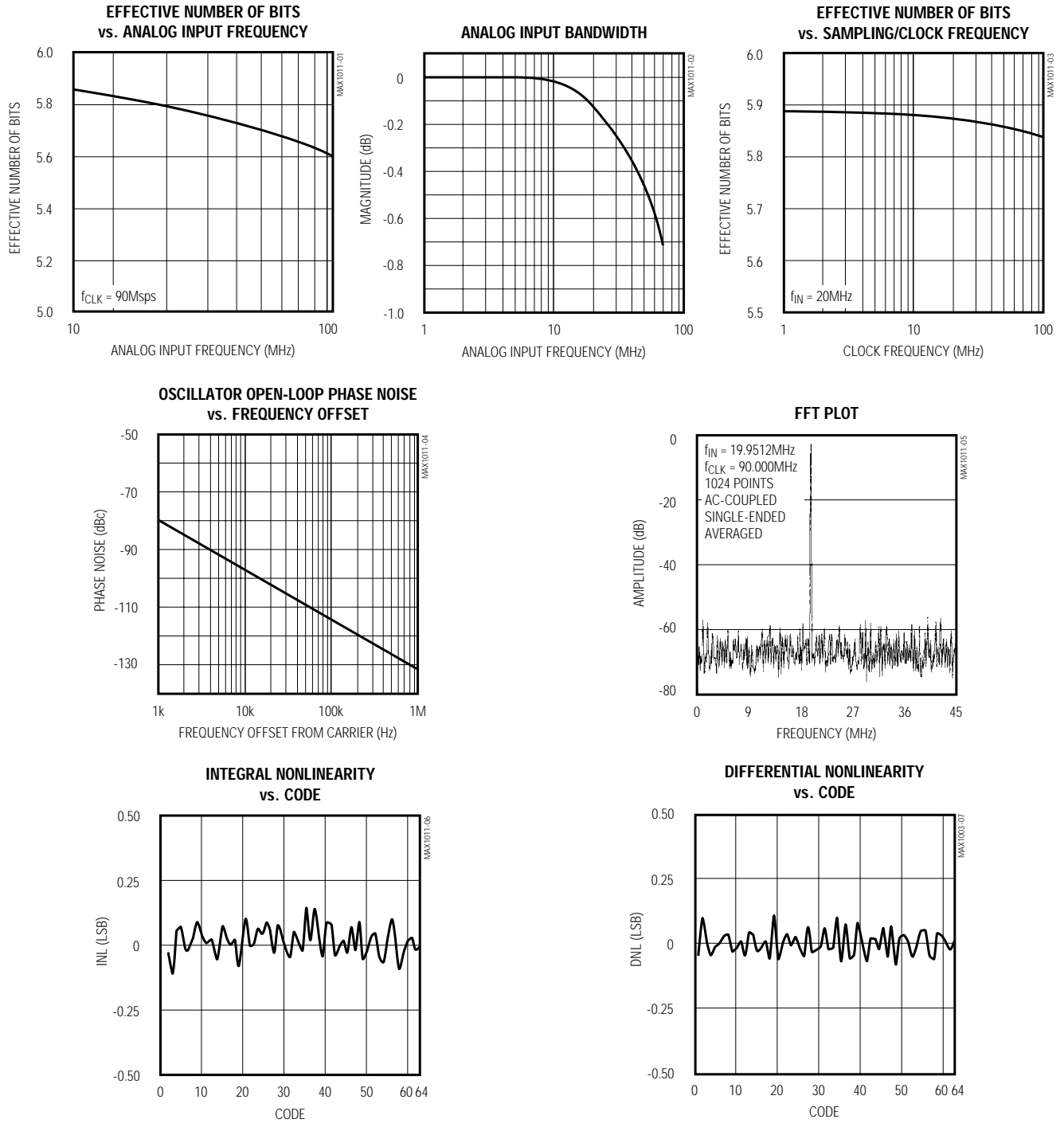
**Note 6:**  $t_{PD}$  and  $t_{SKEW}$  are measured from the 1.4V level of the output clock, to the 1.4V level of either the rising or falling edge of a data bit.  $t_{DCLK}$  is measured from the 50% level of the clock-overdrive signal on TNK+ to the 1.4V level of DCLK. The capacitive load on the outputs is 15pF.

# 低電力、90MSPS、6ビットADC

MAX1011

## 標準動作特性

( $V_{CC} = +5V \pm 5\%$ ,  $V_{CC0} = 3.3V \pm 300mV$ ,  $f_{CLK} = 90MSPS$ , GAIN = open (midgain) MAX1011 evaluation kit,  $T_A = +25^\circ C$ , unless otherwise noted.)



## 端子説明

端子	名称	機能
1	GAIN	利得選択入力。入力フルスケール範囲(125/250/500mVp-p)を設定します(表1)。
2	OCC+	正オフセット補正補償。ACカップリング入力の場合は、0.22μFのコンデンサを接続して下さい。DCカップリング入力の場合は、ピン2をグランドに接続して下さい。
3	OCC-	負オフセット補正補償。ACカップリング入力の場合は、0.22μFのコンデンサを接続して下さい。DCカップリング入力の場合は、ピン3をグランドに接続して下さい。
4	IN+	非反転アナログ入力
5	IN-	反転アナログ入力
6	VCC	+5V ±5%電源。0.01μFコンデンサを使用してGND(ピン9)にバイパスして下さい。
7	TNK+	正発振器/クロック入力
8	TNK-	負発振器/クロック入力
9, 10, 12, 13	GND	アナロググランド
11	VCC	+5V ±5%電源。0.01μFコンデンサを使用してGND(ピン10)にバイパスして下さい。
14	VCC	+5V ±5%電源。0.01μFコンデンサを使用してGND(ピン13)にバイパスして下さい。
15	N.C.	無接続
16	OGND	デジタル出力グランド
17	VCCO	デジタル出力電源(+3.3V、±300mV)。47pFのコンデンサでOGND(ピン16)にバイパスして下さい。
18	DCLK	デジタルクロック出力。出力データのフレーミングを行います。
19-24	D0-D5	デジタル出力0~5。D5が最上位ビット(MSB)です。

## 詳細

### コンバータの動作

MAX1011は、6ビットアナログデジタルコンバータ(ADC)、バッファ付電圧リファレンス及び発振器回路を備えています。ADCは、フラッシュ変換方式を使用してアナログ入力信号を6ビットパラレルデジタル出力コードに変換します。MAX1011は、63個の完全差動コンパレータ及び独自のエンコーディング方式により、ダイナミックエンコーディングエラーを1LSB以下に抑えるユニークな設計となっています。制御ロジックは、+3.3V CMOSコンパチブルロジックインタフェースを備えた殆どのデジタルシグナルプロセッサ(DSP)及びマイクロプロセッサ(μP)と簡単にインタフェースします。図1にMAX1011の標準アプリケーションを示します。

### 可変入力アンプ

MAX1011は、-0.5dB帯域幅が55MHzで真の差動入力を備えた可変利得入力アンプを備えています。高速機器における性能を最大限にするため、各アンプの入力容量は3pF以下となっています。入力アンプの利得はGAINピンで設定され、3つの異なる入力フルスケール範囲(FSR)を選択できます(表1)。

図2及び図3に、シングルエンド及び差動ACカップリング入力回路を示します。アンプの各入力は、内部で20k

表1. 入力アンプのプログラミング

利得	入力フルスケール範囲 (mVp-p)
GND	500
Open	250
VCC	125

# 低電力、90MSPs、6ビットADC

MAX1011

抵抗を通じて2.35Vリファレンスにバイアスされているため、外部DCバイアス回路は不要です。ACカップリング信号の場合は、各アンプ入力に直列0.1μFコンデンサが必要です。

ACカップリング入力で動作する場合は、入力アンプのDCオフセット電圧は内蔵オフセット補正アンプによって±1/2LSB以内となるよう零位(ヌル)調整されます。オフセット補正アンプの周波数応答の主ポールを設定

するために、外部補償コンデンサが必要です(図2及び図3)。この補償コンデンサは、次式によりアナログ入力応答の低域コーナー周波数を決定します。

$$f_c = 1 / (0.1 \times C)$$

ここで、Cは補償コンデンサの値(μF)、 $f_c$ はコーナー周波数(Hz)です。

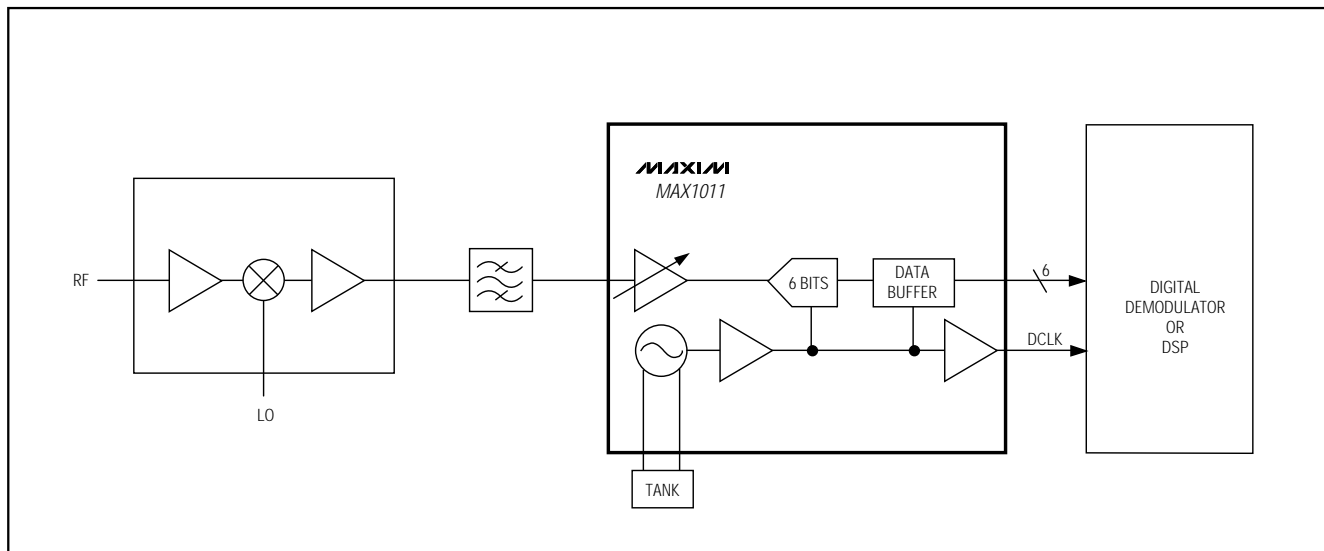


図1. IFサンプリングレシーバ

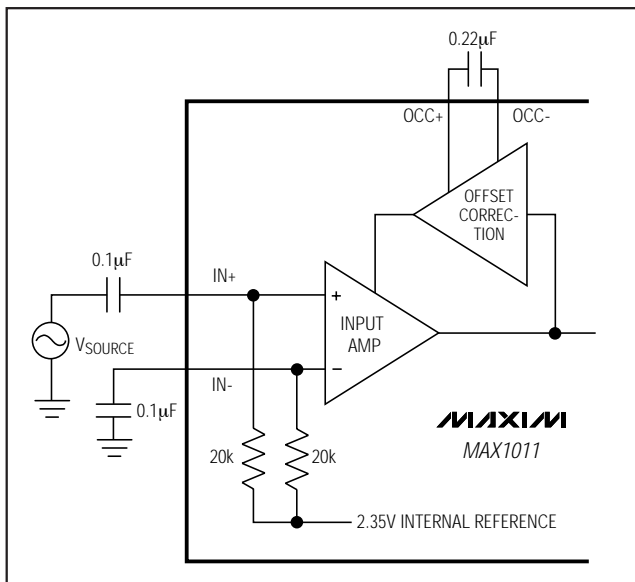


図2. シングルエンドACカップリング入力

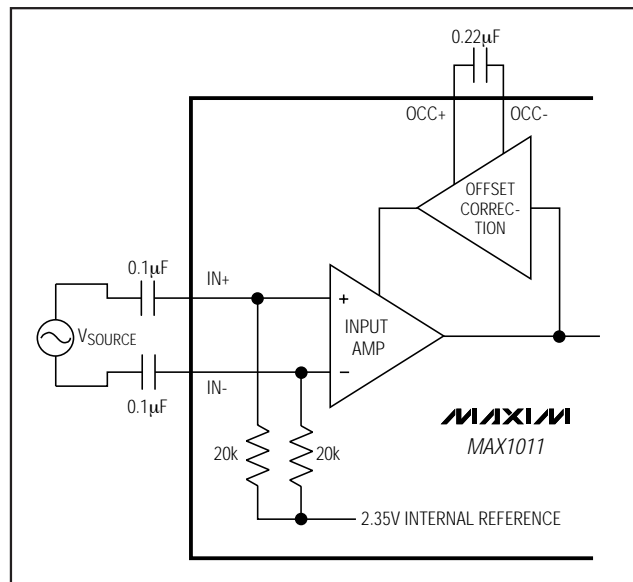


図3. 差動ACカップリング入力

図4及び図5に、入力信号にDC成分が存在するアプリケーション用のシングルエンド及び差動DCカップリング入力回路を示します。アンプの入力同相電圧範囲は、1.75V~2.75Vです。このモードにおける入力信号のDC成分の減衰を防ぐため、OCC<sub>+</sub>及びOCC<sub>-</sub>ピンをグランドに接続することによりオフセット補償アンプをディセーブルして下さい(図4及び図5)。

## ADC

ADCブロックは、入力アンプからアナログ信号を受信します。ADCは63個の完全差動コンパレータを使用したフラッシュ変換により、アナログ入力信号をオフセットバイナリフォーマットの6ビット出力にデジタル化します。

MAX1011は独自のエンコーディング方式により、ダイナミックエンコーディングエラーを1LSB以下に抑えています。サンプルが取り込まれる時点でアナログ入力電圧が入力コンパレータのうちの1つの決定点の近くまで落ちた時に、準安定状態に起因するダイナミックエンコーディングエラーが生じることがあります。この結果、通常のコンバータでは出力に誤りが発生し、偽のフルスケール又はゼロスケール出力が生じる場合もあります。MAX1011はユニークな設計により、このタイプのエラーを1LSBに抑えています。

## 内部電圧リファレンス

MAX1011には、ADCのリファレンスラダーを駆動するための内部バッファ付バンドギャップリファレンス

が内蔵されています。内部リファレンス及びバッファにより、リファレンスラダーへの外部(ハイインピーダンス)接続が不要となるため、外部回路からのノイズカップリングの可能性を低減すると共に、電圧リファレンス、入力アンプ及びリファレンスラダーが、温度及び電源の変化によく追従することが保証されます。

## 発振器回路

MAX1011は差動発振器を備えています。この発振器は、図6に示すように外部並列共振(タンク)ネットワークによって制御されています。別の方法として、発振器を外部クロックソースでオーバドライブすることもできます(図7参照)。

## 内部クロックの動作(タンク)

タンク回路を使用する場合は、共振インダクタはQが十分に大きく、自己共振周波数(SRF)が発振器周波数の少なくとも2倍のものを使用して下さい。このアプリケーションにはCoilcraft社の1008HS-221(SRFが700MHzでQが45)が適しています。バラクタ及びタンク素子を調節することにより、様々なクロック周波数範囲を生成することができます。

このデバイスには内部クロックドライババッファが内蔵されているため、内部フラッシュコンパレータに鋭いクロックエッジを提供することができます。このバッファにより、複数のコンパレータが同時にクロックされることが保証されるため、ADCの有効ビット数(ENOB)性能が向上します。

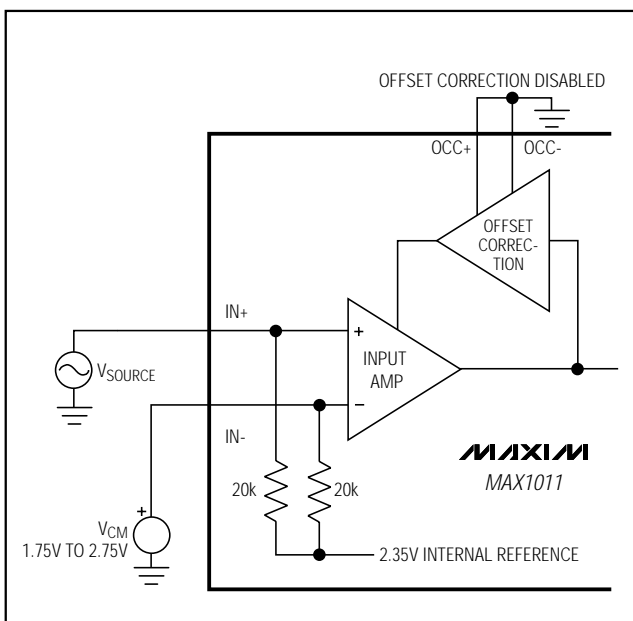


図4. シングルエンドDCカップリング入力

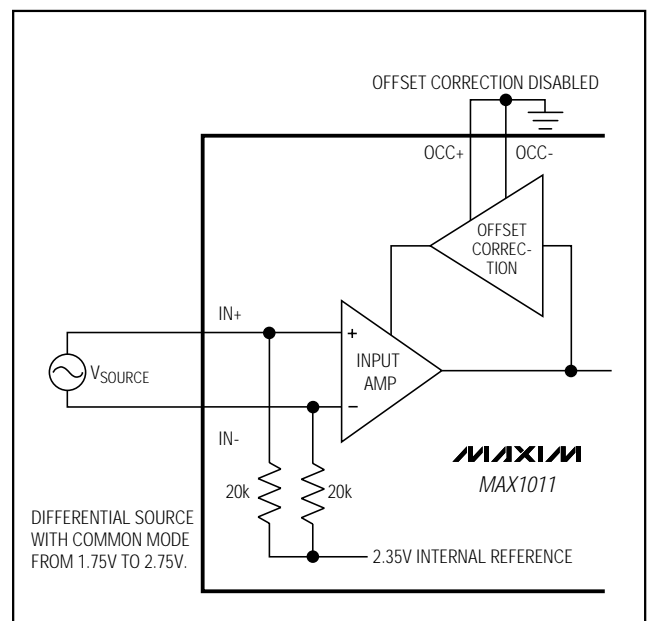


図5. 差動DCカップリング入力

# 低電力、90MSPs、6ビットADC

MAX1011

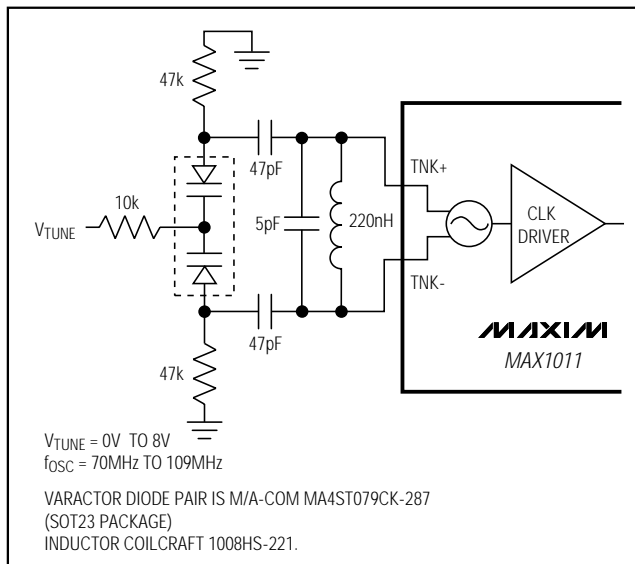


図6. タンク共振発振器

## 外部クロック動作

外部クロックを使用した設計に対応するため、MAX1011の内部発振器は外部クロックソースでオーバードライブできるようになっています(図7)。ADCのENOB性能を劣化させるクロック位相ノイズ及びジッタを最小限に抑えるため、外部クロックソースはサイン波にしてください。また、クロックソース(推奨電圧レベルは約1Vp-p)は発振器入力にACカップリングしてください(図7)。

## 出力データフォーマット

変換結果は、デュアル6ビット幅データバスに出力されます。データは1クロックサイクルのパイプラインディレーの後でADC出力ラッチに取り込まれます(図8)。出力データは、クロック出力(DCLK)の立上がりエッジでそれぞれのADCのデータ出力ピン(D0~D5)から出力されます。ここで、DCLKからデータへの伝播遅延( $t_{PD}$ )は3.0nsとなっています。MAX1011の出力は、+3.3V CMOSロジックコンパチブルです。

## 伝達関数

図9に、MAX1011の公称伝達関数を示します。出力コーディングは、1LSB = FSR/63のオフセットバイナリです。

## アプリケーション情報

MAX1011は、敏感なアナログ回路を大電流デジタルノイズから分離するために、電源とグラウンドの接続をアナログとデジタルで個別にしています。大電流デジタル出力グランド(OGND)及びアナロググランド

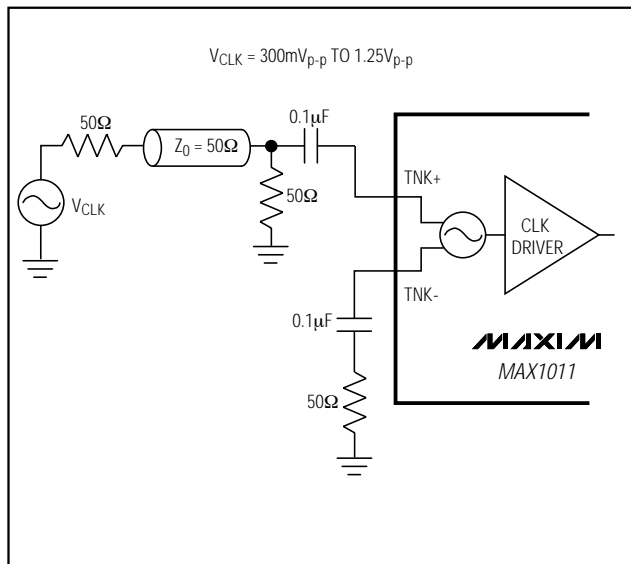


図7. 外部クロック駆動回路

(GND)は同じDCレベルとし、ボードの1箇所のみで接続して下さい。これにより最高のノイズ耐性が得られ、変換精度が向上します。個別のグラウンドプレーンを使用することをお勧めします。

アナログ電源及びデジタル電源は、両方ともボード全体で良好なDCバイパスを必要とします。電源バイパスコンデンサは、電源がボードに配線される位置の近く(即ちコネクタの近く)に配置して下さい。低ESR定格の10μF電解コンデンサをお勧めします。最高の有効ビット数性能を得るために、デジタル出力における容量性負荷を最小限にして下さい。デジタル出力トレースはできるだけ短くして下さい。

MAX1011は、アナログ電源( $V_{CC}$ )用として+5V ±5%電源、ロジック出力用として+3.3V ±300mV電源( $V_{CCO}$ に接続)を必要とします。各 $V_{CC}$ 電源ピンをパッケージのできるだけ近くに配置された高品質のセラミックコンデンサでそれぞれのGNDにバイパスして下さい(表2)。推奨レイアウト及びバイパス方式については、評価キットの説明書を参照して下さい。

表2. バイパスガイド

SUPPLY FUNCTION	$V_{CC}/V_{CCO}$ (PIN)	BYPASS TO GND/OGND (PIN)	CAPACITOR VALUE
Analog Inputs	11	10	0.01μF
Oscillator/Clock	6	9	0.01μF
Converter	14	13	0.01μF
Digital Output	17	16	47pF



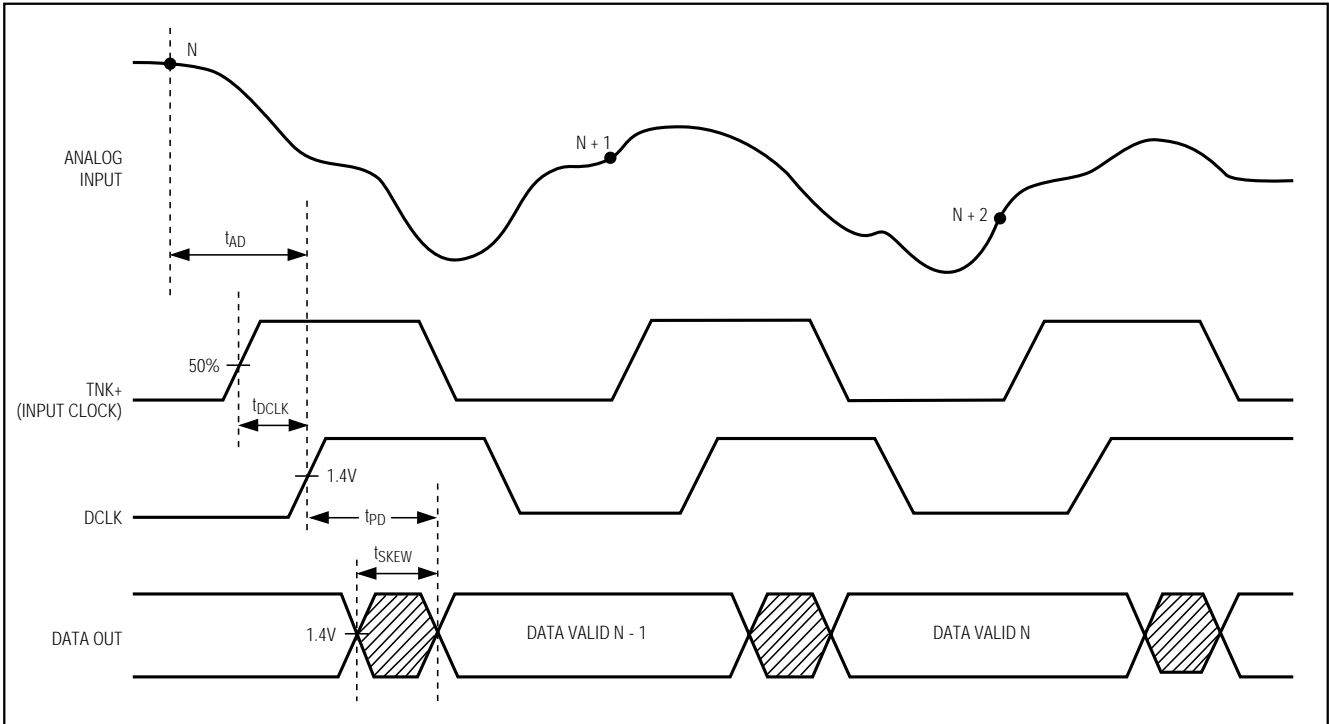


図8. MAX1011のタイミング図

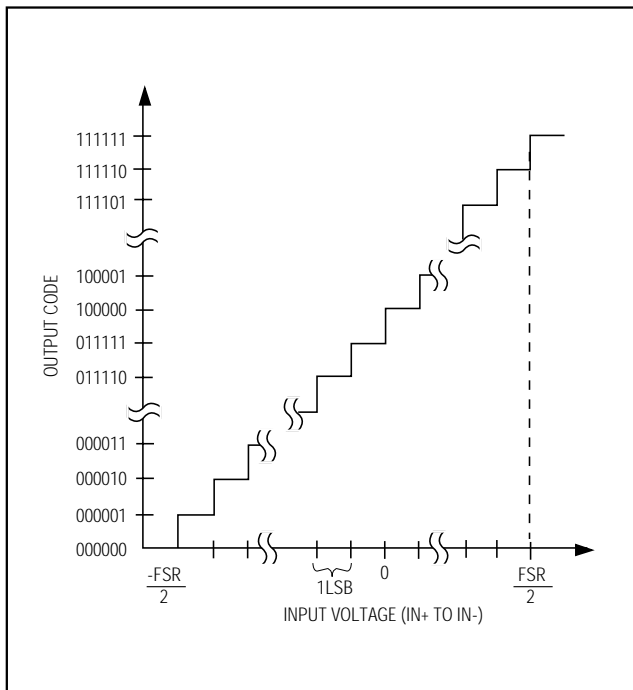


図9. 理想的な伝達関数

## ダイナミック性能

信号対雑音歪み比(SINAD)は、基本入力周波数のRMS振幅とその他全てのADC出力信号の比です。出力帯域制限はDCより上、ADCサンプルレートの1/2未満の範囲となっています。

理論上の最小A/Dノイズは量子化誤差から生じ、 $SNR = (6.02N + 1.76)$ dBでADCの分解能から直接求めることができます。ここで、Nは分解能を表すビット数です。これによると、完全な6ビットADCでも38dB以上は不可能です。

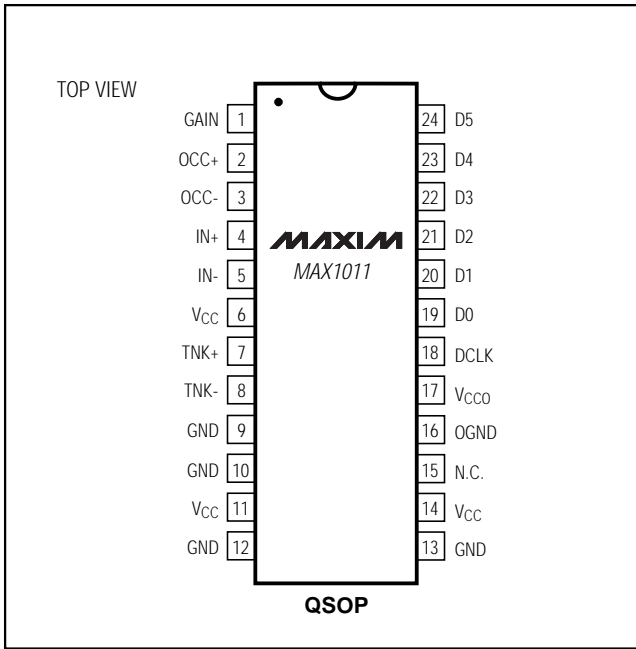
FFTプロット(「標準動作特性」を参照)は、20MHzの純粋なサイン波を90MHzのクロックレートでサンプリングした結果を示しています。この出力FFTプロットには、様々なスペクトル帯域における出力レベルが表示されます。このプロットでは、量子化ノイズフロアを低減して低振幅スパークをわかりやすく表示するために平均化されています。これにより、MAX1011の優れたスプリアスフリーダイナミックレンジが強調されます。

ADCの有効分解能(又は有効ビット数)は、分解能をSINADに変換する式を $N = (SINAD - 1.76)/6.02$ に変形することによって得られます(「標準動作特性」を参照)。

# 低電力、90Msps、6ビットADC

MAX1011

## ピン配置



## チップ情報

TRANSISTOR COUNT: 2823  
SUBSTRATE CONNECTED TO GND

# 低電力、90MSPs、6ビットADC

## パッケージ

MAX1011

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	.061	.068	1.55	1.73
A1	.004	.0098	0.102	0.249
A2	.055	.061	1.40	1.55
B	.008	.012	0.20	0.31
C	.0075	.0098	0.191	0.249
D	SEE VARIATIONS			
E	.150	.157	3.81	3.99
e	.025 BSC		0.635 BSC	
H	.230	.244	5.84	6.20
h	.010	.016	0.25	0.41
L	.016	.035	0.41	0.89
N	SEE VARIATIONS			
X	SEE VARIATIONS			
Y	.071	.087	1.803	2.209
α	0°	8°	0°	8°

VARIATIONS:

DIM	INCHES		MILLIMETERS		N
	MIN	MAX	MIN	MAX	
D	.189	.196	4.80	4.98	16 AA
S	.0020	.0070	0.05	0.18	
X	.107	.123	2.72	3.12	
D	.337	.344	8.56	8.74	20 AB
S	.0500	.0550	1.270	1.397	
D	.337	.344	8.56	8.74	24 AC
S	.0250	.0300	0.635	0.762	
D	.386	.393	9.80	9.98	28 AD
S	.0250	.0300	0.635	0.762	
X	.271	.287	6.88	7.29	

NOTES:

1. D & E DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS
2. MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .006" PER SIDE.
3. HEAT SLUG DIMENSIONS X AND Y APPLY ONLY TO 16 AND 28 LEAD POWER-QSOP PACKAGES.
4. CONTROLLING DIMENSIONS: INCHES.

PROPRIETARY INFORMATION

TITLE: PACKAGE OUTLINE, QSOP, .150", .025" LEAD PITCH

APPROVAL	DOCUMENT CONTROL NO.	REV
	21-0055	B 1/1

OSOP-EP5

NOTES