

## 250MSPS、8ビットADCトラック/ホールドを内蔵

## 概要

MAX100は、ECLコンパチブルな250MSPS、8ビットA/Dコンバータで、DC~125MHz (ナイキスト周波数) のアナログ信号の精密なデジタル化を可能にします。MAX100はマキシム社独自の先進バイポーラプロセスで設計されており、高性能なトラック/ホールド(T/H) アンプとクアンタイザが単一のセラミック・ストリップライン・パッケージに内蔵されています。

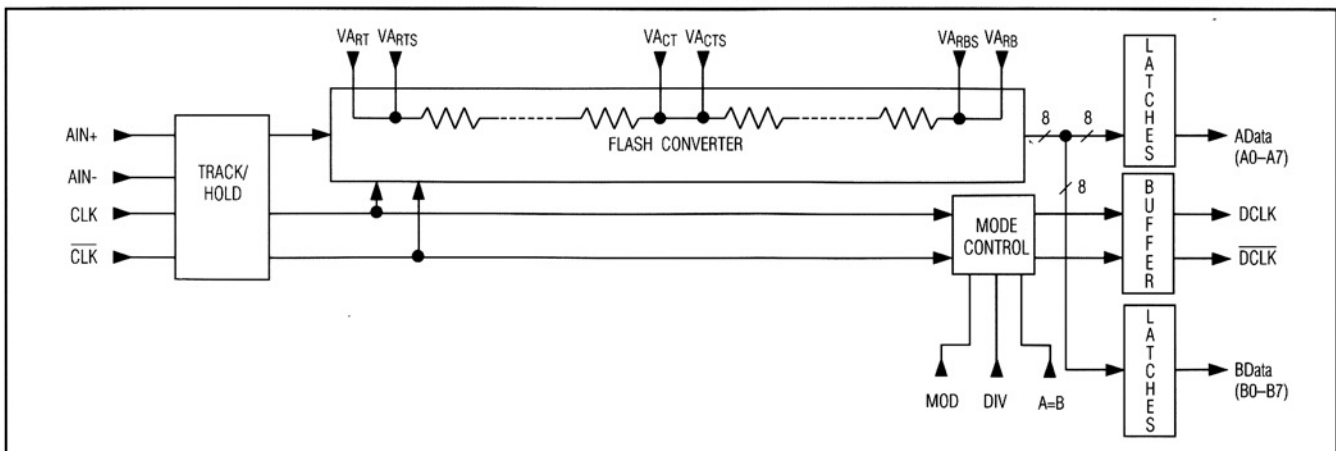
画期的な内部T/Hの設計により、入力帯域幅が1.2GHzと飛躍的に拡大され、アパーチャ遅延の不確か性が2ps以下に抑えられるため、有効ビット数6.8という高性能が実現されています。独自のコンパレータ出力の設計とデコード回路によりシーケンスによるコードエラーを低減させています。準安定状態が原因でコードエラーが発生する確率は $10^{15}$ クロックサイクルで1以下に低減されています。フルスケール又はゼロスケールでのエラー出力が発生しやすい他のADCとは異なり、MAX100はエラーの大きさを1LSB以下に抑えます。

アナログ入力範囲は $\pm 270\text{mV}$ で、差動又はシングルエンドのどちらでも使用できます。リファレンス入力の検出端子により、入力範囲でのフルスケール・キャリブレーションが可能になり、またレシオメトリック使用が容易になっています。ユーザ定義のバイリニア応答用に出力コーディングを修正する必要のあるアプリケーションのために、リファレンス・ストリングの midpoint タップを備えています。高電流と低電流用の接地端子が独立しているため、ノイズ耐性とデバイス精度が向上しています。

デュアル出力データパスは数種類のデータ出力モードを提供するため、インタフェースを容易にします。これらのモードは1つあるいは2つの同ラッチ付ECL出力に構成することができます。出力データレートをクロックレートの半分に低減する8:16のデマルチプレクサモードも備えられています。

より高速なデータレートを必要とするアプリケーションには、最大変換レート500MSPSのMAX101を参照して下さい

## ブロック図



## 特長

- ◆ 変換レート：250MSPS
- ◆ 有効ビット数：6.8 (125MHz)
- ◆ 積分非直線性 (INL)： $\pm 1/2$  LSB以下
- ◆ 入力：50 $\Omega$ の差動又はシングルエンド
- ◆ 入力信号範囲： $\pm 270\text{mV}$
- ◆ リファレンス検出入力
- ◆ レシオメトリックのリファレンス入力
- ◆ 設定可能なデュアル出力データパス
- ◆ ラッチ付ECLコンパチブル出力
- ◆ 低エラーレート (準安定状態で $10^{15}$ 以下)
- ◆ 選択式8:16デマルチプレクサ内蔵
- ◆ 84ピンセラミック・フラットパッケージ

## アプリケーション

高速デジタル計測器

高速信号処理

医療機器

レーダ/ソナー

高エネルギー物理

通信

## 型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX100CFR*	0°C to +70°C	84 Ceramic Flat Pack (with heatsink)

\*Contact factory for 84-Pin Ceramic Flat Pack without heatsink.

# 250Msps、8ビットADCトラック/ホールドを内蔵

**MAX100**

## ABSOLUTE MAXIMUM RATINGS (Note 1)

Supply Voltages	Reference Voltage (V <sub>ARB</sub> ).....-1.5V to +0.3V
V <sub>CC</sub> .....0V to +7V	Data Output Current .....-33mA
V <sub>EE</sub> .....-7V to 0V	DCLK Output Current .....-43mA
V <sub>CC</sub> - V <sub>EE</sub> .....+12V	Operating Temperature Range.....0°C to +70°C
Analog Input Voltage .....±2V	Operating Junction Temperature (Note 2).....0°C to +125°C
Digital Input Voltage.....-2.3V to +0V	Storage Temperature Range .....-65°C to +150°C
Reference Voltage (V <sub>ART</sub> ).....-0.3V to +1.5V	Lead Temperature (soldering, 10sec) .....+250°C

**Note 1:** The digital control inputs are diode protected; however, permanent damage may occur on unconnected units under high-energy electrostatic fields. Keep unused units in conductive foam or shunt the terminals together. Discharge the conductive foam to the destination socket before insertion.

**Note 2:** Typical thermal resistance, junction-to-case R<sub>θJC</sub> = 5°C/W and thermal resistance, junction to ambient (MAX100CA) R<sub>θJA</sub> = 12°C/W, providing 200 lineal ft/min airflow with heatsink. See *Package Information*.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(V<sub>EE</sub> = -5.2V, V<sub>CC</sub> = +5V, R<sub>L</sub> = 50Ω to -2V, V<sub>ART</sub> = 1.02V, V<sub>ARB</sub> = -1.02V, T<sub>MIN</sub> to T<sub>MAX</sub> = 0°C to +70°C, T<sub>A</sub> = +25°C, unless otherwise noted.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
<b>ACCURACY</b>							
Resolution				8			Bits
Integral Nonlinearity (Note 4)	INL	AData, BData	T <sub>A</sub> = +25°C			±0.5	LSB
			T <sub>A</sub> = T <sub>MIN</sub> to T <sub>MAX</sub>			±0.6	
Differential Nonlinearity	DNL	AData, BData, no missing codes	T <sub>A</sub> = +25°C			±0.75	LSB
			T <sub>A</sub> = T <sub>MIN</sub> to T <sub>MAX</sub>			±0.85	
<b>DYNAMIC SPECIFICATIONS</b>							
Effective Bits	ENOB	f <sub>CLK</sub> = 250MHz, V <sub>IN</sub> = 95% full scale (Note 5)	f <sub>AIN</sub> = 10MHz		7.4		Bits
			f <sub>AIN</sub> = 50MHz		7.1		
			f <sub>AIN</sub> = 125MHz		6.8		
Signal-to-Noise Ratio	SNR	f <sub>AIN</sub> = 50MHz, f <sub>CLK</sub> = 250MHz, V <sub>IN</sub> = 95% full scale (Note 6)			44.5		dB
Maximum Conversion Rate	f <sub>CLK</sub>	(Note 7)		250			Mbps
Analog Input Bandwidth	BW <sub>3dB</sub>				1.2		GHz
Aperture Width	t <sub>AW</sub>	Figure 5			270		ps
Aperture Jitter	t <sub>AJ</sub>	Figure 5			2		ps
<b>ANALOG INPUT</b>							
Input Voltage Range	V <sub>IN</sub>	AIN+ to AIN-, Table 2, T <sub>A</sub> = T <sub>MIN</sub> to T <sub>MAX</sub>	Full scale		230	315	mV
			Zero scale		-305	-215	
Input Offset Voltage	V <sub>IO</sub>	AIN+, AIN-, T <sub>A</sub> = T <sub>MIN</sub> to T <sub>MAX</sub>			-17	+32	mV
Least-Significant-Bit Size	LSB	T <sub>A</sub> = T <sub>MIN</sub> to T <sub>MAX</sub>			1.8	2.5	mV
Input Resistance	R <sub>I</sub>	AIN+ and AIN- with respect to GND			49	51	Ω
Input Resistance Temperature Coefficient					0.008		Ω/°C

# 250Msps、8ビットADCトラック/ホールドを内蔵

MAX100

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{EE} = -5.2V$ ,  $V_{CC} = +5V$ ,  $R_L = 50\Omega$  to  $-2V$ ,  $V_{ART} = 1.02V$ ,  $V_{ARB} = -1.02V$ ,  $T_{MIN}$  to  $T_{MAX} = 0^\circ C$  to  $+70^\circ C$ ,  $T_A = +25^\circ C$ , unless otherwise noted.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>REFERENCE INPUT</b>						
Reference String Resistance	$R_{REF}$	$V_{ART}$ to $V_{ARB}$	116		175	$\Omega$
Reference String Resistance Temperature Coefficient				0.02		$\Omega/^\circ C$
<b>LOGIC INPUTS</b>						
Digital Input Low Voltage (Note 8)	$V_{IL}$	DIV, MOD, A=B, CLK, CLK, $T_A = T_{MIN}$ to $T_{MAX}$			-1.5	V
Digital Input High Voltage (Note 8)	$V_{IH}$	DIV, MOD, A=B, CLK, CLK, $T_A = T_{MIN}$ to $T_{MAX}$	-1.07			V
Digital Input Low Current	$I_{IL}$	DIV, MOD, A=B = -1.8V, $T_A = T_{MIN}$ to $T_{MAX}$	-5		20	$\mu A$
		CLK, CLK, $V_{IL} = -1.8V$ (no termination), $T_A = T_{MIN}$ to $T_{MAX}$	0		80	
Digital Input High Current	$I_{IH}$	DIV, MOD, A=B = -0.8V, $T_A = T_{MIN}$ to $T_{MAX}$	-5		20	$\mu A$
		CLK, CLK, $V_{IH} = -0.8V$ (no termination), $T_A = T_{MIN}$ to $T_{MAX}$	0		80	
<b>LOGIC OUTPUTS (Note 9)</b>						
Digital Output Low Voltage	$V_{OL}$	AData, BData, DCLK, DCLK	$T_A = +25^\circ C$	-1.95	-1.60	V
			$T_A = T_{MIN}$ to $T_{MAX}$	-1.95	-1.50	
Digital Output High Voltage	$V_{OH}$	AData, BData, DCLK, DCLK	$T_A = +25^\circ C$	-1.02	-0.70	V
			$T_A = T_{MIN}$ to $T_{MAX}$	-1.10	-0.70	
<b>POWER REQUIREMENTS</b>						
Positive Supply Current	$I_{CC}$	$V_{CC} = 5.0V$	$T_A = +25^\circ C$	464	670	mA
			$T_A = T_{MIN}$ to $T_{MAX}$		710	
Negative Supply Current	$I_{EE}$	$V_{EE} = -5.2V$	$T_A = +25^\circ C$	-750	-560	mA
			$T_A = T_{MIN}$ to $T_{MAX}$	-780		
Common-Mode Rejection Ratio	CMRR	$V_{INCM} = \pm 0.5V$	$T_A = T_{MIN}$ to $T_{MAX}$	35		dB
Power-Supply Rejection Ratio	PSRR	$T_A = T_{MIN}$ to $T_{MAX}$	$V_{CC}(\text{nom}) = \pm 0.25V$	40		dB
			$V_{EE}(\text{nom}) = \pm 0.25V$	40		

# 250Msps、8ビットADCトラック/ホールドを内蔵

MAX100

## TIMING CHARACTERISTICS

( $V_{EE} = -5.2V$ ,  $V_{CC} = +5V$ ,  $R_L = 50\Omega$  to  $-2V$ ,  $V_{ART} = 1.02V$ ,  $V_{ARB} = -1.02V$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS	
Clock Pulse Width Low	tpWL	CLK, CLK, Figures 1 and 2		1.9		5.0	ns	
Clock Pulse Width High	tpWH	CLK, CLK, Figures 1 and 2		1.9			ns	
CLK to DCLK Propagation Delay	tpD1	DIV = 0, Figure 1		0.8		2.4	ns	
		DIV = 1, Figure 2		1.9		5.7		
DCLK to A/BData Propagation Delay	tpD2	DIV = 0, Figure 1		0.5		2.2	ns	
		DIV = 1, Figure 2		-1.4		-0.1		
Rise Time	tR	20% to 80%	DCLK	500			ps	
			DATA	700				
Fall Time	tF	20% to 80%	DCLK	600			ps	
			DATA	550				
Pipeline Delay (Latency)	tNPD	See Figures 3 and 4 and Table 1 (delay depends on output mode)	Divide-by-1 mode		7 1/2		7 1/2	Clock Cycles
			Divide-by-2 mode	AData	7 1/2		7 1/2	
				BData	8 1/2		8 1/2	

**Note 3:** All devices are 100% production tested at  $+25^\circ C$  and are guaranteed by design for  $T_A = T_{MIN}$  to  $T_{MAX}$  as specified.

**Note 4:** Deviation from best-fit straight line. See *Integral Nonlinearity* section.

**Note 5:** See the *Signal-to-Noise Ratio and Effective Bits* section in the *Definitions of Specifications*.

**Note 6:** SNR calculated from effective bits performance using the following equation:  $SNR (dB) = 1.76 + (6.02) (\text{effective bits})$ .

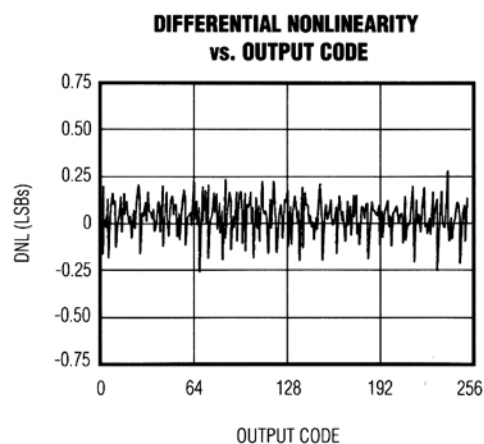
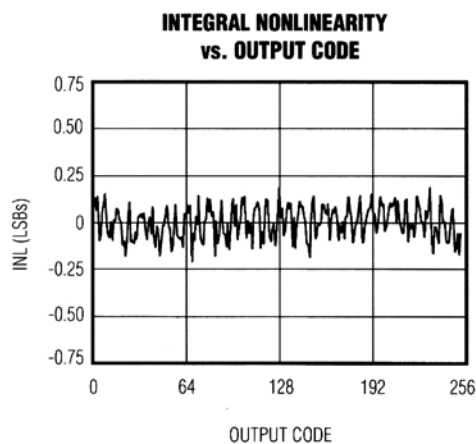
**Note 7:** Clock pulse width minimum requirements tpWL and tpWH must be observed to achieve stated performance.

**Note 8:** Functionality guaranteed for  $-1.07 \leq V_{IH} \leq -0.7$  and  $-2.0 \leq V_{IL} \leq -1.5$ .

**Note 9:** Outputs terminated through  $50\Omega$  to  $-2.0V$ .

## 標準動作特性

( $T_A = +25^\circ C$ , unless otherwise noted.)

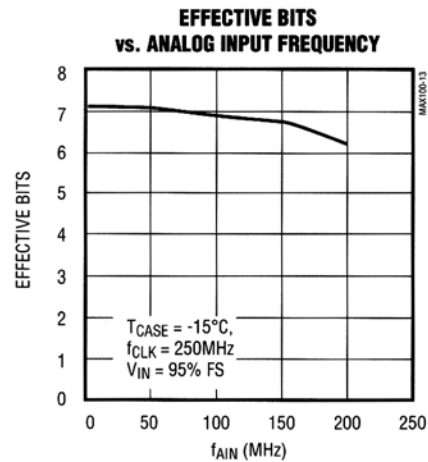
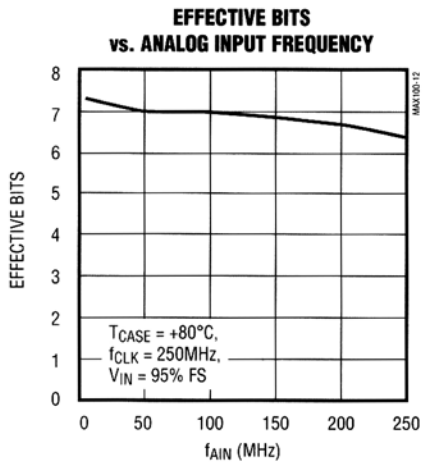
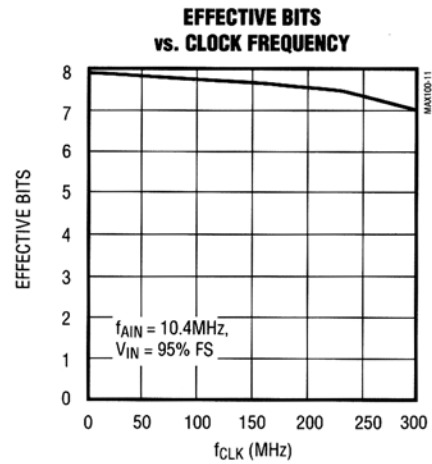
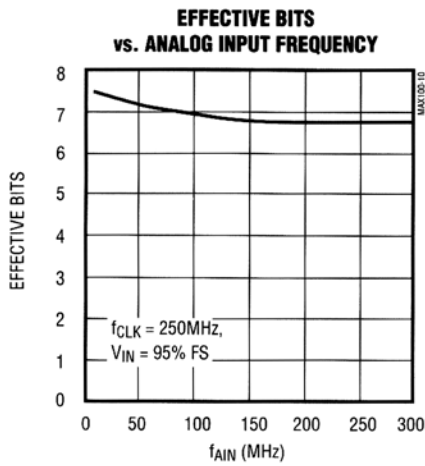
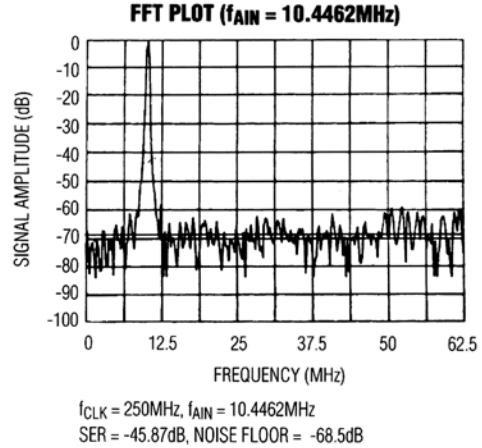
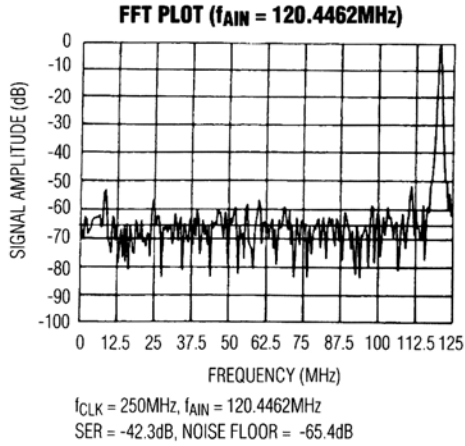


# 250Msps、8ビットADCトラック/ホールドを内蔵

MAX100

## 標準動作特性 (続き)

( $T_A = +25^\circ\text{C}$ , unless otherwise noted.)



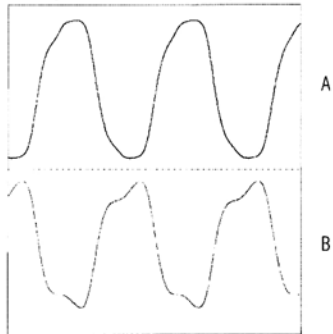
# 250Msps、8ビットADCトラック/ホールドを内蔵

MAX100

## 標準動作特性 (続き)

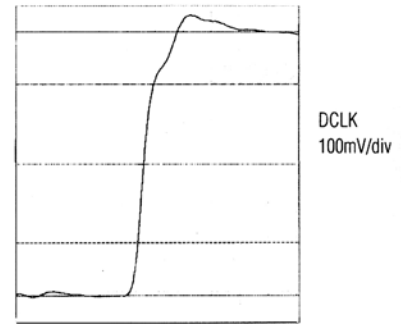
( $T_A = +25^\circ\text{C}$ , unless otherwise noted.)

**CLOCK RELATIONSHIP  
(DIVIDE-BY-1 MODE)**



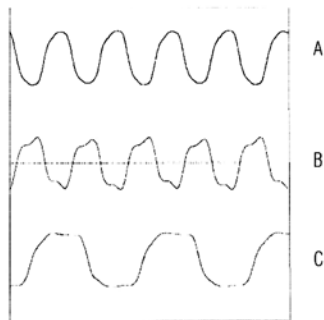
A = CLK, 200mV/div      TIMEBASE = 1ns/div,  
B = DCLK, 200mV/div       $f_{\text{CLK}} = 250\text{MHz}$

**DIGITAL CLOCK  
(POSITIVE EDGE)**



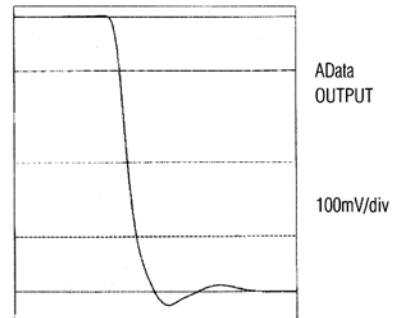
TIMEBASE = 1ns/div,  $t_r = 580\text{ps}$

**CLOCK/DATA  
(DIVIDE-BY-1 MODE)**



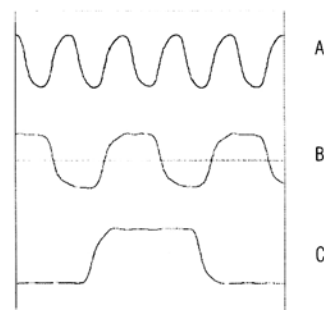
A = CLK, 500mV/div      TIMEBASE = 2ns/div,  
B = DCLK, 500mV/div       $f_{\text{CLK}} = 250\text{MHz}$   
C = AData, 500mV/div

**DATA OUTPUT  
(NEGATIVE EDGE)**



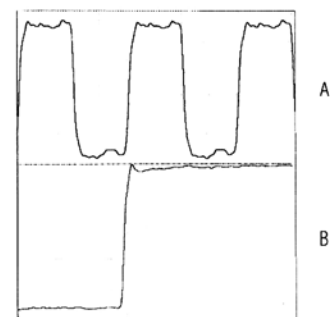
TIMEBASE = 1ns/div,  $t_f = 596\text{ps}$

**CLOCK/DATA  
(DIVIDE-BY-2 MODE)**



A = CLK, 500mV/div      TIMEBASE = 2ns/div,  
B = DCLK, 500mV/div       $f_{\text{CLK}} = 250\text{MHz}$   
C = AData, 500mV/div

**CLOCK/DATA DETAIL  
(DIVIDE-BY-5 MODE)**



A = DCLK, 200mV/div      TIMEBASE = 5ns/div,  
B = AData, 200mV/div       $f_{\text{CLK}} = 250\text{MHz}$

# 250Msps、8ビットADCトラック/ホールドを内蔵

MAX100

## 端子説明

端子	名称	機能
1	PAD	内部接続用。オープンにしてください。
2, 62	CLK	コンプリメンタリ差動クロック入力。標準10 K ECLで駆動。ただし、内部的に、端子2と62及び端子3と61は50Ωの送信ラインの終端です。どちらか片方のライン端を駆動し、他方は50Ωで-2Vに終端します。“標準動作回路”の項を参照してください。
3, 61	$\overline{\text{CLK}}$	
4, 7, 15, 49, 57, 60, 64, 67, 70, 71, 74, 77, 78, 79, 82, 84	GND	電源グランド。GNDとDGND端子を接続(注10)してください。
5, 6, 9, 10, 31, 33, 35, 48, 58, 59, 63, 81, 83	N.C.	無接続。内部的に接続されていません。
8, 21, 43, 56	VCC	正電源、公称+5V±5%
11	DIV	分周イネーブル入力。DIV及びMODで出力モードを選択します。表1を参照してください。
12	MOD	係数。DIV及びMODで出力モードを選択します。表1を参照してください。
13	$\overline{\text{DCLK}}$	コンプリメンタリ差動クロック出力。同期用 (AData及びBData出力はDCLKの立上がりエッジから $t_{PD2}$ 後に有効)。図1~4を参照してください。
14	DCLK	
16	A=B	端子有効時 (A=B=1)、ADataをBDataに等しく設定します。表1を参照してください。
17, 20, 23, 26, 36, 39, 42, 45	A7-A0	AData及びBData出力。A0及びB0がLSB、A7及びB7がMSBに対応します。AData及びBData出力は標準10 K ECLロジックスイングに適合し、50Ωの送信ラインを駆動します。50Ωで-2Vに終端してください。図1~4を参照してください。
19, 22, 25, 28, 38, 41, 44, 47	B7-B0	
18, 24, 27, 30, 34, 37, 40, 46	DGND	電源グランド。注10に従い、全グランド (GND、DGND) 端子をまとめて接続してください。
29	SUB	回路のサブストレート。この端子は必ずVEEに接続してください。
32, 69, 80	VEE	負電源、公称-5.2V±5%
50	VART	正リファレンス電圧入力(注11)
51	VARTS	正リファレンス電圧検出(注11)

# 250Msps、8ビットADCトラック/ホールドを内蔵

MAX100

## 端子説明 (続き)

端子	名称	機能
52	VACTS	リファレンスバイアス抵抗センタータップ検出 (注12)
53	VACT	リファレンスバイアス抵抗センタータップ (注12)
54	VARBS	負リファレンス電圧検出 (注11)
55	VARB	負リファレンス電圧入力 (注11)
65	TP3	内部ノード。接続しないで下さい。
66	TP2	内部ノード。接続しないで下さい。
68	TP1	内部接続。この端子は必ずGNDに接続して下さい。
72, 73	AIN+	アナログ入力。内部的に50Ωでグラウンドに終端されています。フルスケールリニア入力範囲は約±270mVです。高周波特性を十分に発揮させるにはAIN+とAIN-を差動で駆動して下さい。
75, 76	AIN-	

**Note 10:** Use a multilayer board with a separate layer dedicated to ground. Connect GND and DGND in separate areas in the ground plane (separated by at least 1/4 inch) and at only one location on the board (see *Typical Operating Circuit*).

**Note 11:** Reference bias supply. Use a separate high-quality supply for these pins. Carefully bypassing these pins to achieve noise-free operation of the reference supplies contributes directly to high ADC accuracy.

**Note 12:** The center-tap connection of the MAX100 is normally left open. It can be driven with a bias voltage, but should be bypassed carefully (refer to Note 11).

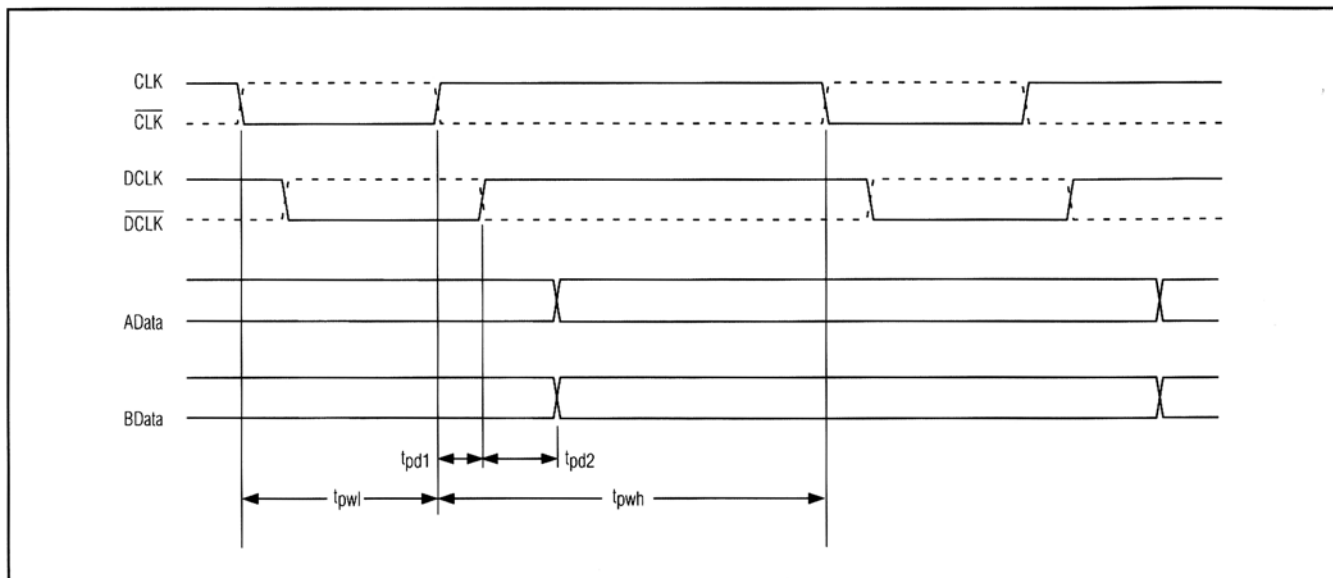


図1. 出力タイミング—1分周モード (DIV = 0)



# 250Mps、8ビットADCトラック/ホールドを内蔵

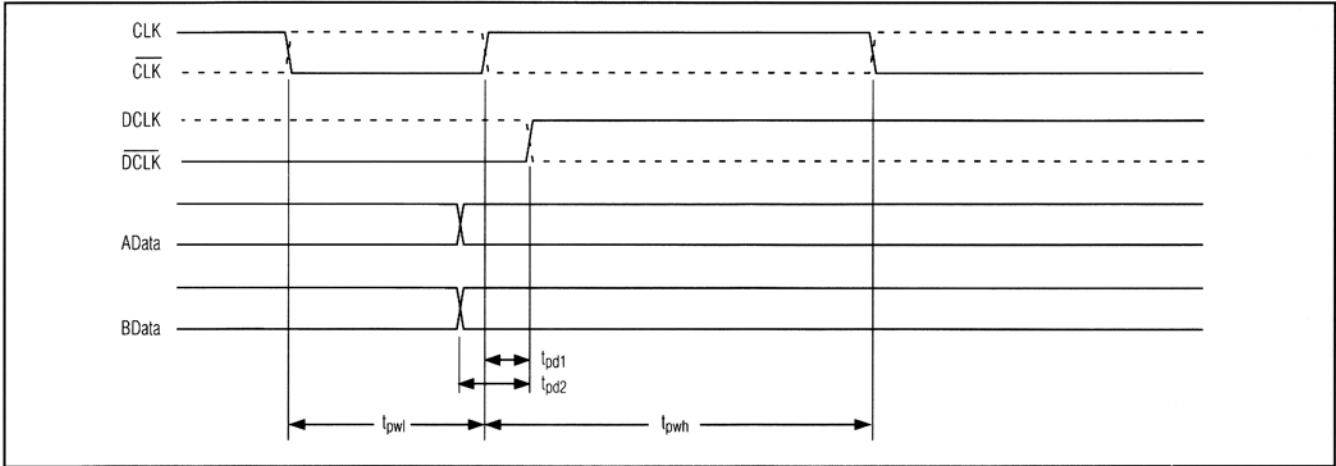


図2. 出力タイミング—2分周又は5分周モード (DIV = 1)

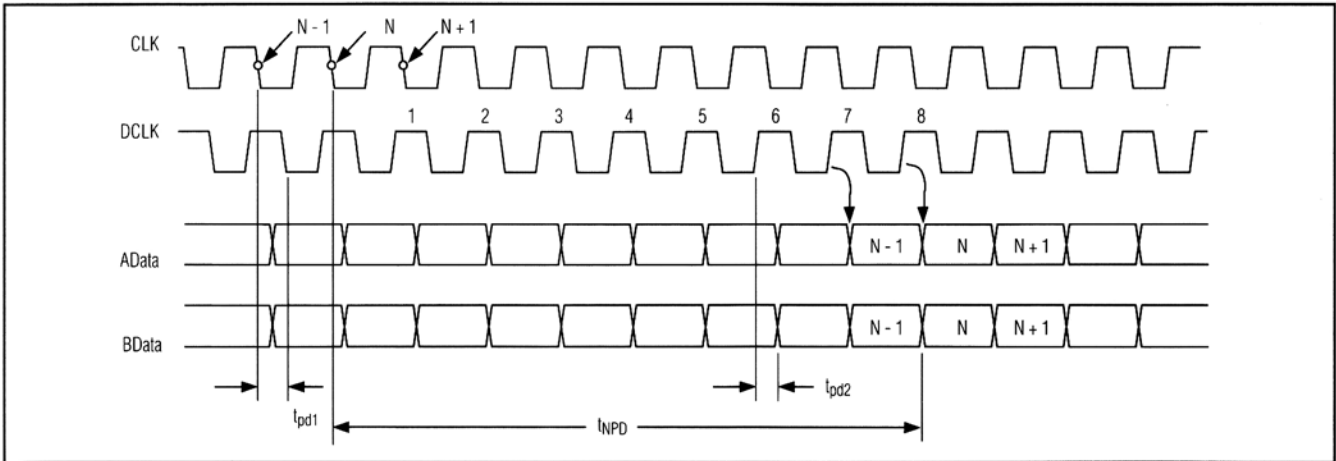


図3. 出力タイミング—クロックからデータ、1分周モード (高速モード、DIV = 0)

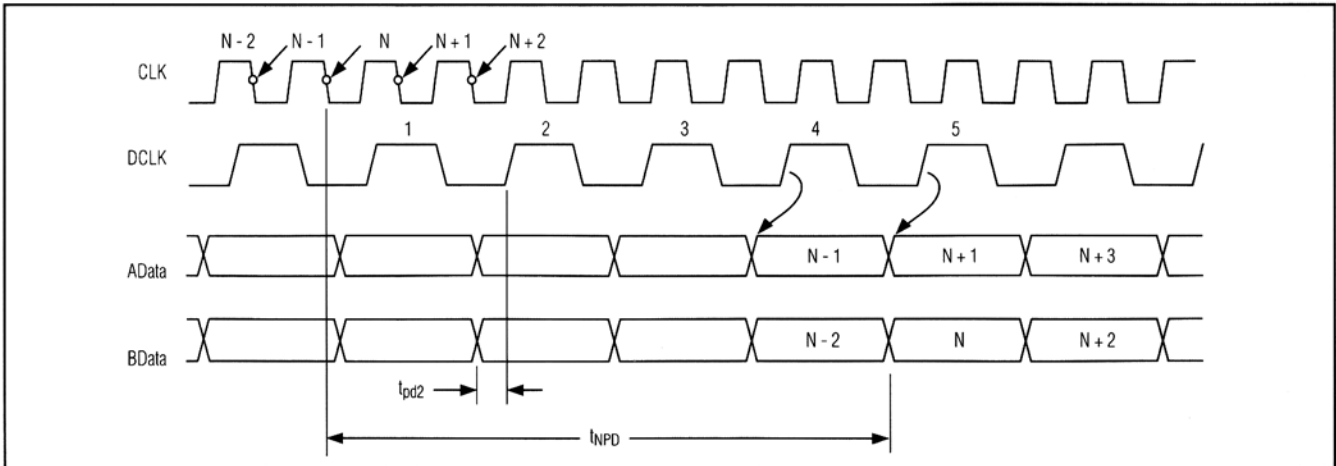


図4. 出力タイミング—2分周モード (DIV = 1)

# 250Msps、8ビットADCトラック/ホールドを内蔵

MAX100

## 仕様の定義

### 信号対ノイズ比と有効ビット数

信号対ノイズ比 (SNR) は、基本入力周波数のRMS振幅と他の全てのA/D出力信号のRMS振幅との比です。理論上の最小A/Dノイズは量子化誤差から生じ、次のようにADCの分解能から直接求めることができます。SNR = (6.02N + 1.76) dB。ここで、Nは分解能を表すビット数です。したがって、完全な8ビットADCのS/N比は最高50dBです。“標準動作特性”のFFTプロットは様々なスペクトル帯域における出力レベルを示しています。

有効ビット数は、ADCのデジタル記録から計算することができます。理想的なコンバータの量子化誤差はそのコンバータの全誤差と等しくなります。理想的な量子化誤差の他にも、全DC及びAC非直線性、クロック及びアパーチャジッタ、出力コードのミッシング、ノイズ等が誤差の原因になります。リファレンス及び電源からのノイズも有効ビット数を減少させます。

ADCの入力はアンチエイリアシング・フィルタで高調波成分を取り除いたサイン波です。この信号から測定されたデジタル記録を数学的に発生させたサイン波と比較します。数学モデルのDCオフセット、位相及び振幅を調節することによって最適なサイン波を求めます。このサイン波をデジタル記録から差し引くと誤差が残ります。誤差のRMS値を次の式に代入することによりADCの有効ビット数が得られます。

$$\text{有効ビット数} = N - \log_2 \left( \frac{\text{RMS誤差の実測値}}{\text{理想的なRMS誤差}} \right)$$

Nはコンバータの分解能で、ここではN=8です。

どのデバイスにおいても、アナログ入力が高周波率（入力クロックレートの1/2）に近く、コンバータの最大クロックレートで誤差が最悪になります。

### アパーチャ幅及びジッタ

アパーチャ幅とは、T/H回路がホールドコンデンサを入力回路から切り離す（サンプリングブリッジをターンオフしてT/Hをホールドモードにする）のに要する時間のことです。アパーチャジッタとは、アパーチャ遅延の各サンプル間の変動のことです（図5）。

### エラーレート

サンプリング時にアナログ入力電圧がいずれかの入力コンパレータの判断点の近くになった場合、準安定状態によるエラーが発生することがあります。多くの一般的なコンバ

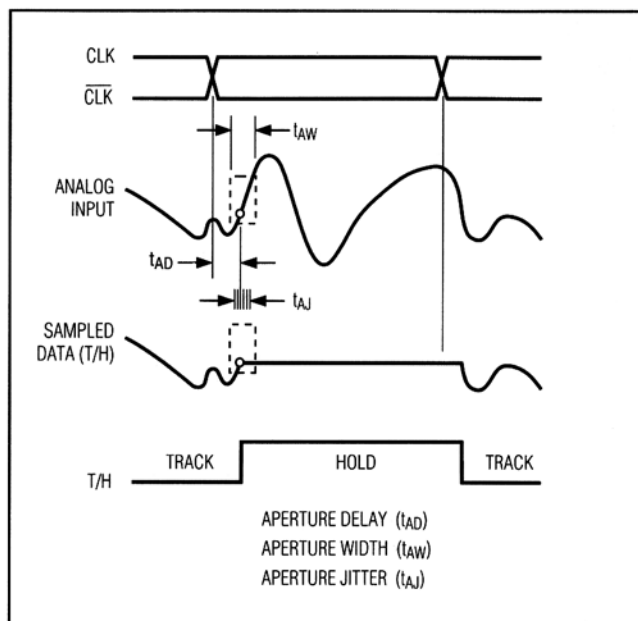


図5. T/Hアパーチャタイミング

ータではこの場合、フルスケール出力やゼロスケール出力等の誤った出力コードが発生することがあります。MAX100は、独自の設計によりこのタイプのエラーの大きさを1LSBに抑制し、エラーの起きる確率も $10^{15}$ クロックサイクルで1以下に低減しています。すなわち、MAX100を250MHzで1日24時間動作させた場合、準安定状態エラーが起きるのは46日に1回以下です。

### 積分非直線性

積分非直線性 (INL) は、伝達関数の基準線からの偏差をLSB単位で表わした数値です。基準線の測定には最小二乗法カーブ法で決定された“最良の直線”を使用します。

### 微分非直線性

微分非直線性 (DNL) は、隣り合うコード間の遷移の理想的なLSBステップサイズとLSBステップの実測値との差です。DNLはLSB単位で表現され、以下の式で計算します。

$$\text{DNL(LSB)} = \frac{[V_{\text{MEAS}} - (V_{\text{MEAS}-1})] - \text{LSB}}{\text{LSB}}$$

ここで、 $V_{\text{MEAS}-1}$ は1つ前のコードの実測値です。

DNL仕様が1LSBより小さい場合、ノーマスコードと単調性の伝達関数を保証します。

# 250Msps、8ビットADCトラック/ホールドを内蔵

## 詳細

### コンバータの動作

MAX100で採用されているパラレル、又は“フラッシュ”アーキテクチャは、一般の集積ADCとしては最も高速なマルチビット変換を可能にします。フラッシュの基本要素は他のADCアーキテクチャの場合と同様に、正入力、負入力及び出力を備えたコンパレータです。正入力の電圧がリファレンスに接続された負入力よりも高い場合、出力はハイになり、正入力の電圧がリファレンスよりも低い場合、出力はローになります。典型的なnビットフラッシュは $2^n - 1$ 個のコンパレータから構成され、負入力はリファレンス・ラダーの下端から上端まで1LSBきざみで均等に設定されています。n=8の場合、255個のコンパレータが存在することになります。

任意の入力電圧において、負入力が入力電圧よりも低いリファレンス・ラダーに接続されているコンパレータは全て1を出力し、負入力が入力電圧よりも高いコンパレータは0を出力します。内蔵されているデコードロジックがこの情報をパラレルnビットのデジタルワード(出力)に変換し、これは入力電圧がラダーの下端からLSB何個分(マイナス1)上になっているかを表わします。

コンパレータはラッチ回路を備えており、クロックで駆動されます。これによりコンパレータは例えばクロックがローのときに上述の動作を行ない、クロックがハイ(サンプル)になるとラッチし、クロックが再びローになるまでその状態を維持します。

### トラック/ホールド

どのADCについても言えることですが、変換中に入力波形が急速に変化すると有効ビット数及びSNRが低下します。MAX100は、高変換レート時の有効ビット性能を改善し、アナログデータをより正確に捕捉する内部トラック/ホールド(T/H)を備えています。

内部T/H回路は、MAX100において2つの重要な回路機能を提供します。

- 1) 公称電圧利得が4であるため、入力駆動信号が差動±270mVまで低減します(±1.02Vのリファレンス設定)。
- 2) MAX100へのインタフェースを容易にする50Ωの差動入力を提供します。

### データフロー

MAX100は、ADCが変換するアナログ入力電圧を保存する内部T/Hアンプを備えています。AIN+及びAIN-の差動入力はデータサンプル間で連続的にトラッキングされます。

CLKの立下がりエッジでT/Hはホールドモードに入ります(図5)。CLKがローになると、最新のサンプルがADCの入力コンパレータに送られます。サンプリングされたデータの内部処理は数クロックサイクル遅れてAData又はBDataに出力されます。出力データは全てDCLK及びDCLKのタイミングに同期しています(図1~4)。

## アプリケーション情報

### アナログ入力範囲

MAX100の通常動作範囲は±270mVですが、各入力ともグラウンドに対して±500mVまで動作可能です。この拡張された入力レベルはアナログ信号及びDC共通モード電圧を含みます。

差動入力駆動でフルスケール・デジタル出力を得るためには、AIN+とAIN-の間に公称+270mVを入力する必要があります。すなわち、AIN+=+135mV、AIN-=-135mV(DCオフセットがない場合)です。アナログ入力間に電圧差がない場合は、ミッドスケールのデジタル出力コードが生成されます。AIN+=-135mV、AIN-=-+135mVの時、即ち差動-270mV駆動の場合、ゼロスケール・デジタル出力コードが生成されます。オーバーレンジの場合、コンバータ出力は全て1(フルスケール)となり、アンダーレンジの場合は全て0(ゼロスケール)となります(表1)。

シングルエンド動作の場合は次のようにして下さい。

- 1) 片方のアナログ入力にDCオフセットをかけるか、片方の入力をオープンにします。(AIN+とAIN-はいずれも内部でアナロググラウンドに50Ωで終端されています。)
- 2) 他方の入力を±270mV+オフセットで駆動し、フル/ゼロスケール出力を得ます。DC共通モードオフセットを使用している場合、許容される全電圧スイングは±500mV(アナログ信号とグラウンドに対するオフセットの合計)です。

表1. 入力電圧範囲

入力	AIN+** (mV)	AIN-** (mV)	出力コード	MSB ~ LSB
差動	+135	-135	11111111	フルスケール
	0	0	10000000	ミッドスケール
	-135	+135	00000000	ゼロスケール
シングル エンド	+270	0	11111111	フルスケール
	0	0	10000000	ミッドスケール
	-270	0	00000000	ゼロスケール

\*\*DCの電氣的パラメータに示されたオフセット電圧 $V_{IO}$ が入力に発生します。リファレンス電圧( $V_{A_{RT}}$ 、 $V_{A_{RB}}$ )を調整するか、入力端子AIN+又はAIN-の一方にオフセット電圧を加えることでこのオフセットを補償します。

# 250Msps、8ビットADCトラック/ホールドを内蔵

MAX100

表2. 出力モード制御

DIV	MOD	A=B	DCLK* (MHz)	モード	機能
0	X	0	250	1分周	データはADataポートのみに出力され、BDataポートはインアクティブ (図3)。
0	X	1	250	1分周	ADataはBDataに等しい (図3)。
1	0	0	125	2分周	8 : 16デマルチプレクサモード。ADataとBDataのポートはアクティブ。ADataは最新のサンプルを出力し、BDataは一つ前のサンプルを出力します (図4)。
1	0	1	125	2分周	ADataとBDataのポートはアクティブ。いずれも同一のサンプルデータを出力。サンプリングされたデータは1つおきに廃棄されます。
1	1	0	50	5分周	ADataのポートは入力クロック (CLK) 5個毎に更新されます。BDataのポートはインアクティブ。残り4個のサンプルデータポイントは廃棄されます。
1	1	1	50	5分周	ADataとBDataのポートはいずれもアクティブで同一データを出力。出力ポートのデータは入力クロック (CLK) 5個毎に更新されます。残り4個のサンプルデータポイントは廃棄されます。

\*入力クロック (CLK、 $\overline{\text{CLK}}$ ) は、上記全ての組み合わせにおいて250MHzです。2分周、又は5分周モードでは、出力クロック (DCLK) は、常にデューティサイクル50%の信号です。1分周モードでは、DCLKはCLKと同じデューティサイクルです。

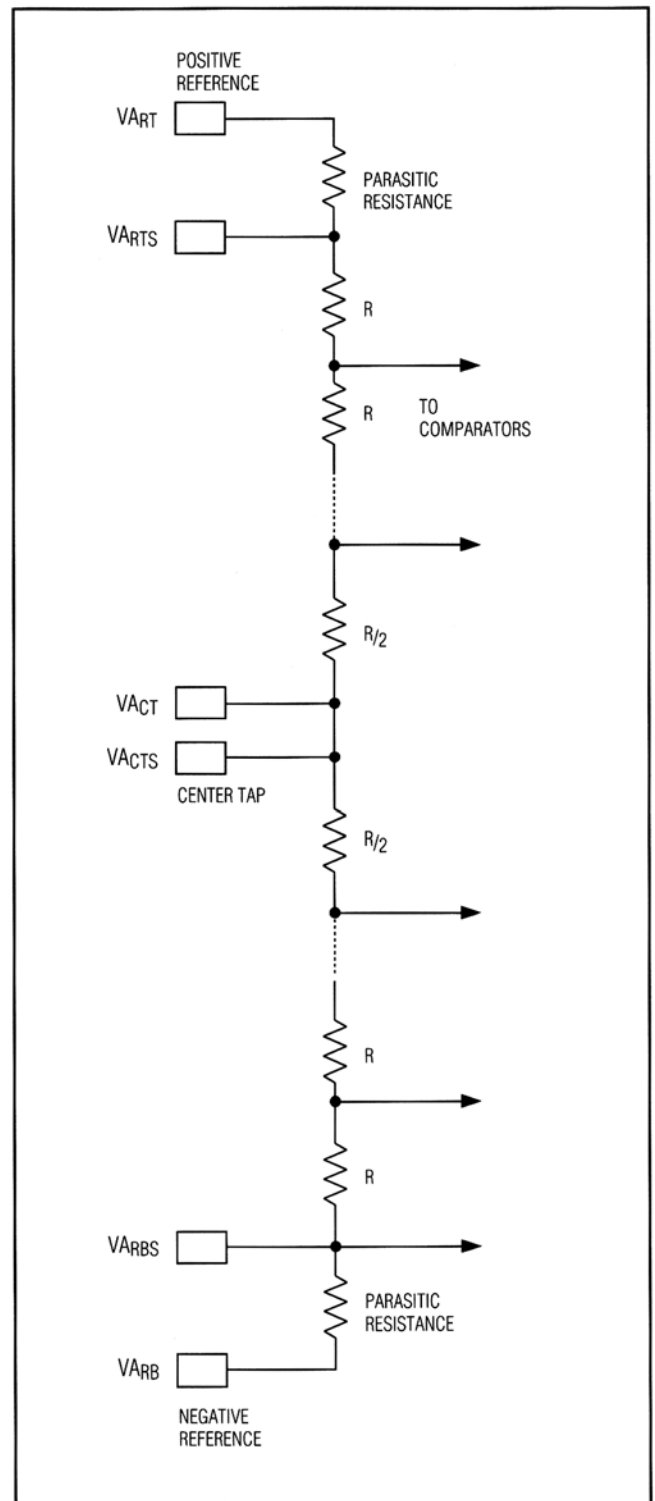


図6. リファレンス・ラダー・ストリング

# 250Msps、8ビットADCトラック/ホールドを内蔵

## リファレンス

ADCのリファレンス抵抗はケルビン検出のセンタータップ付抵抗ストリングで、ADCのLSBサイズ及びダイナミック動作レンジを設定します。通常、このストリングの上端と下端はオペアンプで駆動され、センタータップはオープンのままです。しかし、センタータップを駆動することにより、出力コーディングを修正し、ユーザ定義のバイリニア応答を得ることもできます。上端及び下端入力を駆動するために使用するバッファアンプは、抵抗ストリングのインピーダンスが最低116Ωであるため、約18mAの電流を供給する必要があります。入力 $V_{A_{RT}}$ 及び $V_{A_{RB}}$ には通常±1.02Vのリファレンス電圧が印加されます。このリファレンス電圧は±1.4Vまで可変可能なため、拡張された入力に対応できます（精度仕様は±1.02Vのリファレンスに対して保証されています）。 $V_{A_{RTS}}$ 、 $V_{A_{RBS}}$ 及び $V_{A_{CTS}}$ のリファレンス入力に印加されている電圧はケルビン検出が可能のため精度が向上します。

性能を十分に発揮させるには、ADCのリファレンス端子にRCネットワークが必要です。このネットワークは、リファレンスを駆動するオペアンプの出力と直列に接続された33Ωの抵抗から構成されています。オペアンプ出力の抵抗付近に0.47μFのコンデンサを接続する必要があります（“標準動作回路”の項を参照して下さい）。この抵抗とコンデンサはMAX100のパッケージから1.3cm以内に配置して下さい。これらの端子のノイズによりコードの不確実性が増し、ADCの有効ビット性能が悪化します。

## CLK及びDLCK

入力及び出力クロック信号は全て差動式です。入力クロック（CLK及び $\overline{CLK}$ ）はMAX100の主要なタイミング信号です。CLK及び $\overline{CLK}$ は端子2と3及び端子62と63から、50Ωの内部送信ラインを通して内部回路に供給されます。CLK/CLK入力の片方のペアを駆動し、他方は50Ωで-2Vに終端して下さい。いずれのペアも駆動入力として使用できるため（入力ラインは平衡）、回路接続が容易になります。CLK及び $\overline{CLK}$ は最小パルス幅（ $t_{pWL}$ ）を必要とします（図1~4）。

最良の性能を発揮させ、安定した結果を得るためには、CLK及び $\overline{CLK}$ に低位相ジッタのクロックソースを使用して下さい。入力クロックソースの位相ジッタが2ps以上になると、コンバータの有効ビット性能が落ち、安定した結果を得ることができません。

DCLK及び $\overline{DCLK}$ は入力クロックから生成された出力クロック信号で、AData及びBData出力の外部タイミング用に使用されます。MAX100の最大入力クロック周波数は250MHzです（表1）。“標準動作回路”の項を参照して下さい。

## 出力モード制御

DIV、MOD及びA=Bは2つの出力データパスの動作モードを決定する入力端子で、6種類のオプションが用意されています（表1）。標準動作構成（8：16デマルチプレクサモード）ではDIVが1、MODが0、A=Bが0に設定されます。この場合は最新のサンプルがADataに、一つ前のサンプルがBDataに出力されます。いずれの出力も入力クロックレートの半分のレートで同期しています。制御入力を終端するには、抵抗を通じて-2Vに接続するか、あるいは、最大1kΩの等価回路抵抗の組み合わせを通じてDGNDから-5.2Vに接続します。ダイオードで入力をハイにプルアップしている場合は、プルダウン抵抗を使用してダイオードをオンにバイアスし、入力電圧がグラウンド近くなるのを防いで下さい。制御入力は全温度範囲において標準ECL 10kロジックレベルとコンパチブルです。

## レイアウト、グラウンド及び電源

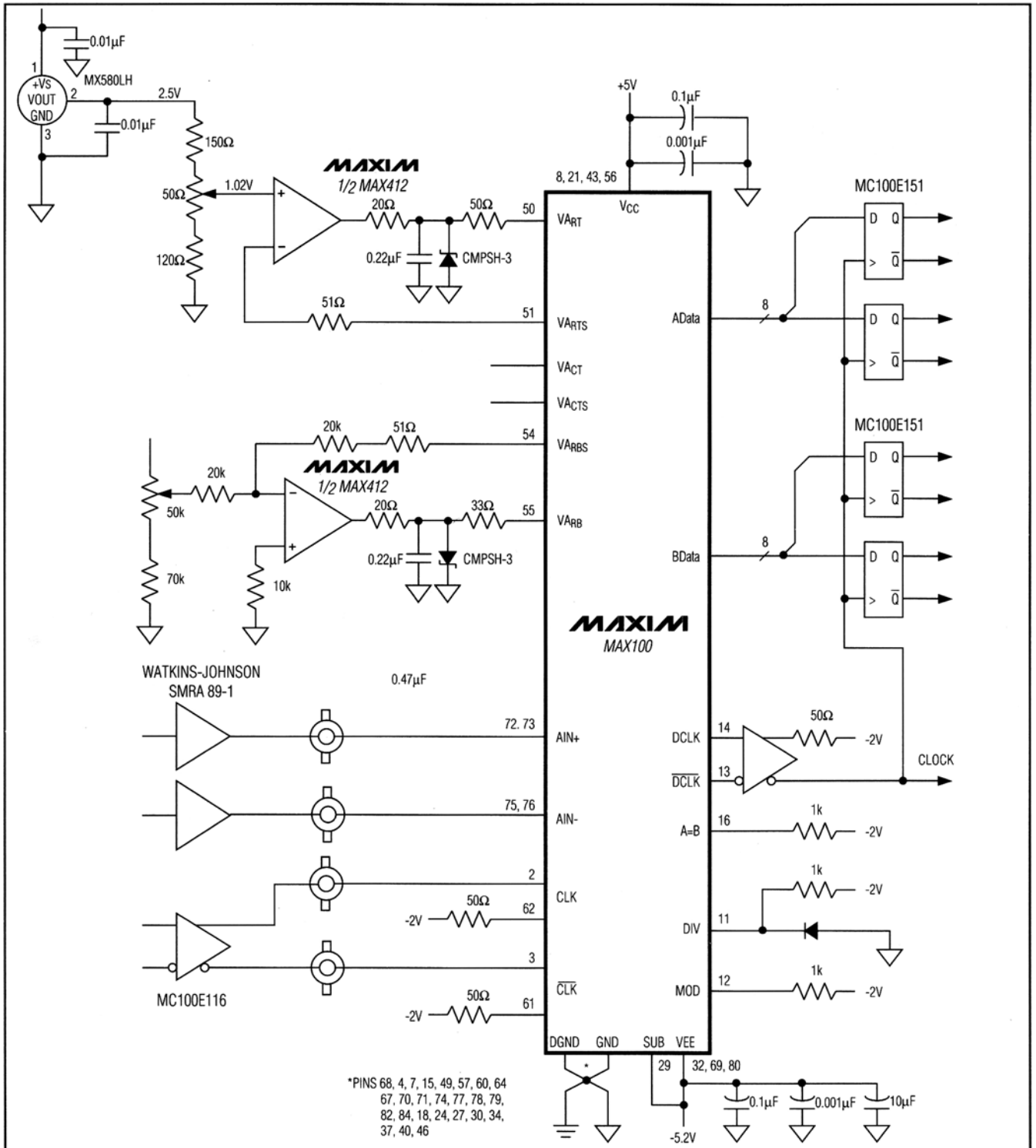
MAX100はアナログとデジタルのグラウンド接続を切り離すことにより、高電流デジタルノイズスパイクを分離しています。高電流デジタルグラウンド（DGND）は出力エミッタフォロワ・トランジスタのコレクタに接続されています。低電流グラウンドの接続点はGNDで、これはアナロググラウンドと低電流デジタルデコード部分の組み合わせです。DGND及びGNDの接続点は同じDCレベルであるべきで、しかもボード上の1箇所のみで接続されるべきです。これによりノイズ耐性が向上し、デバイスの最高精度が得られます。グラウンド・プレーンの使用をお勧めします。

正しく動作させるためには+5V±5%電源と-5.2V±5%電源が必要です。VEEとVCC電源端子は、高品質の0.1μF及び0.001μFセラミックコンデンサをできるだけICの近くに配置しGNDをバイパスして下さい。推奨レイアウト付きの評価キットを提供しています。

# 250MSPS、8ビットADCトラック/ホールドを内蔵

MAX100

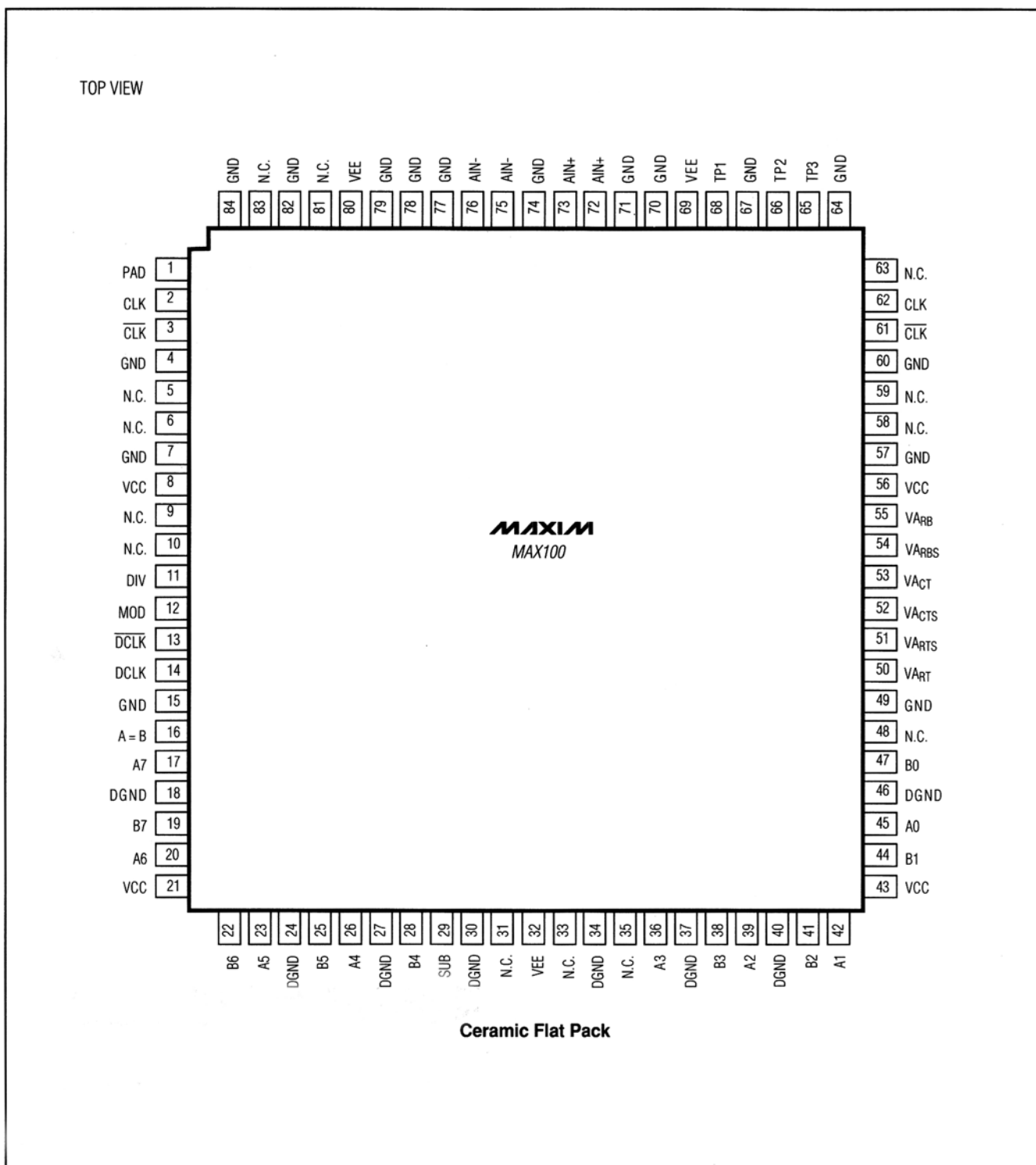
## 標準動作回路



# 250Msps、8ビットADCトラック/ホールドを内蔵

**MAX100**

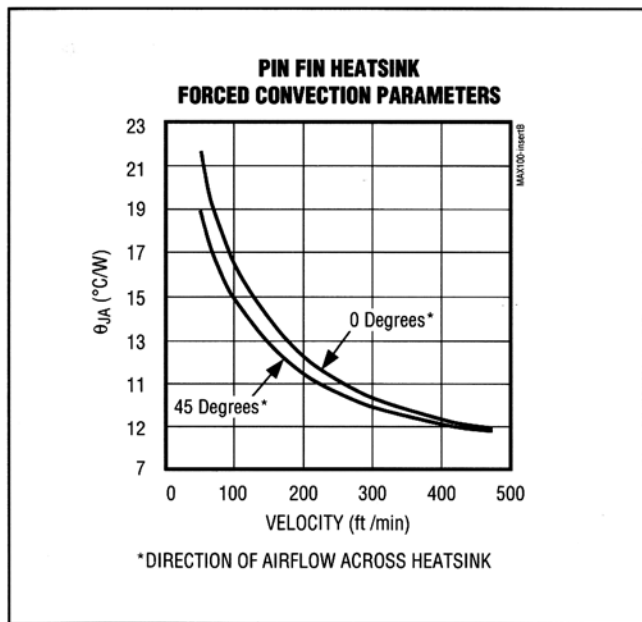
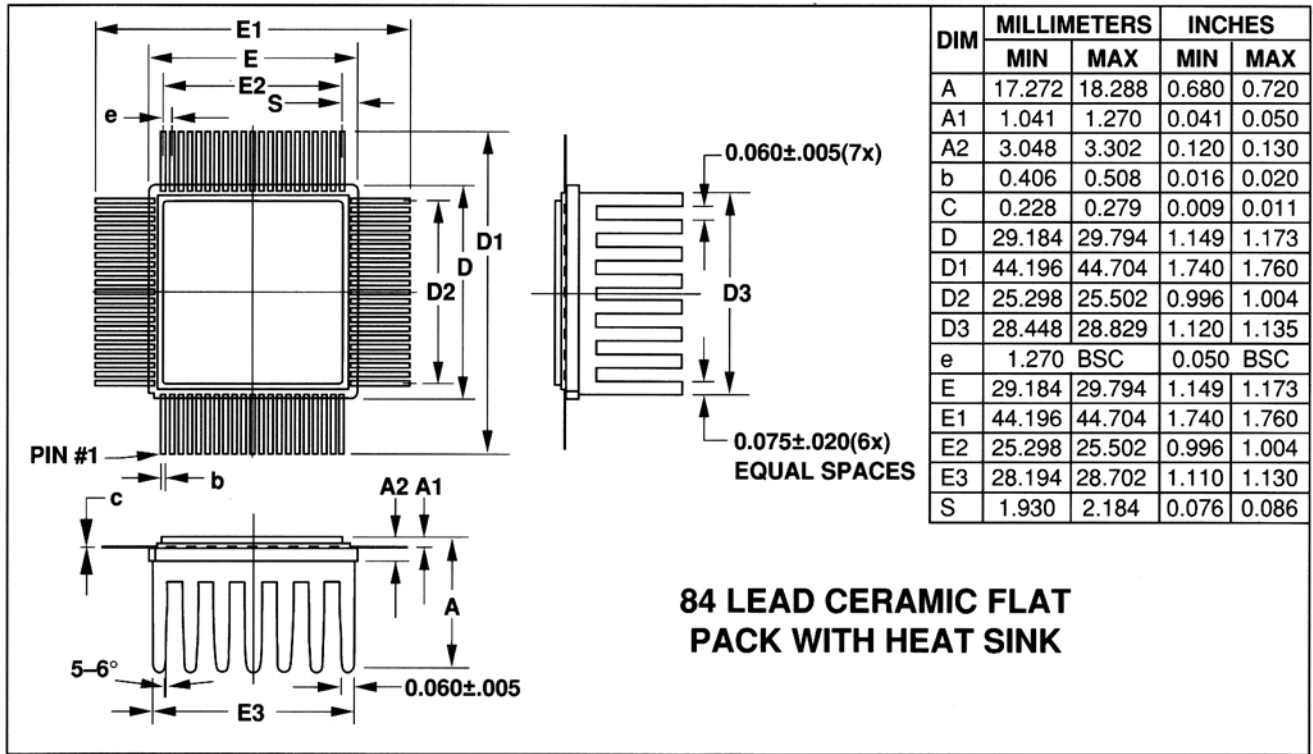
## ピン配置



# 250MSPS、8ビットADCトラック/ホールドを内蔵

MAX100

## パッケージ



販売代理店

**マキシム・ジャパン株式会社**

〒169 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)  
TEL. (03) 3232-6141 FAX. (03)3232-6149

Maxim cannot assume responsibility for use of any circuitry other than circuitry entirely embodied in a Maxim product. No circuit patent licenses are implied. Maxim reserves the right to change the circuitry and specifications without notice at any time.

16 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600**

© 1994 Maxim Integrated Products

**MAXIM** is a registered trademark of Maxim Integrated Products.