

概要

MAX1005は、通信信号を復調、変調する機器のために設計された複合ディジタイザ及びリコンストラクション集積回路です。本製品は、IFアンダーサンプリング及び信号合成機能を単一の低電力回路に統合しています。アナログディジタルコンバータ(ADC)を使用してダウンコンバージョンされたRF信号の直接サンプリング又はアンダーサンプリングを実行します。その間に、ディジタルアナログコンバータ(DAC)によりIFサブキャリア及び伝送データが再生されます。MAX1005のADCはアナログ入力アンプの帯域幅が広い(15MHz)、アンダーサンプリングアプリケーションに最適です。DACはグリッチエネルギーが非常に小さいため、望ましくないスプリアス信号の送信を最小限に抑えることができます。内蔵リファレンスにより、低ノイズADC及びDAC変換が可能です。

MAX1005は、低電力で高レベルの信号完全性を提供します。+2.7V ~ +5.5Vの独立の電圧を持ったアナログ、ディジタル別々の電源又は単一電源で動作します。MAX1005は、5.5Vの非安定化アナログ電源及び最低2.7Vの安定化ディジタル電源で動作できます。このように電源に対して柔軟性があるため、複雑なディジタル機器において電源を追加する手間が省けます。

MAX1005には、送信(DACがアクティブ)、受信(ADCがアクティブ)及びシャットダウン(ADC及びDACがインアクティブ)の3つの動作モードがあります。シャットダウンモードでは、全消費電流が1 μ A以下にまで低減します。本素子は、シャットダウンモードから僅か2.4 μ sでウェイクアップします。MAX1005はベースステーションだけでなく、ハンドヘルドアプリケーションにも最適です。超小型16ピンQSOPパッケージで提供されており、民生用及び拡張温度範囲のものが用意されています。

アプリケーション

PWT1900
PHS/P
ワイヤレスループ
PCS/N

ファンクションダイアグラムはデータシートの最後に記載されています。

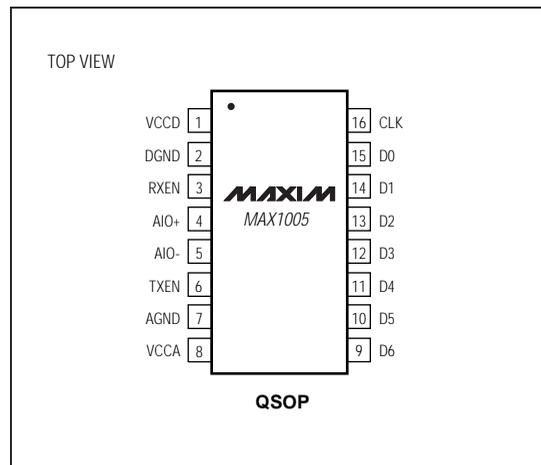
特長

- ◆ 差動入力5ビットADC
- ◆ 差動出力7ビットDAC
- ◆ 変換レート: 15 Msps(min)
- ◆ -1dBフルパワー帯域幅: 25MHz
- ◆ ADCのSFDR: 44dB
DACの10.7MHzにおける
SFDR(イメージド): 39dB
- ◆ 内部電圧リファレンス
- ◆ パラレルロジックインタフェース
- ◆ 単一電源動作: +2.7V ~ +5.5V
- ◆ 0.1 μ Aローパワーシャットダウンモード

型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX1005CEE	0°C to +70°C	16 QSOP
MAX1005EEE	-40°C to +85°C	16 QSOP

ピン配置



ABSOLUTE MAXIMUM RATINGS

VCCA to AGND	-0.3V, +6.0V
VCCD to DGND	-0.3V, +6.0V
VCCA to VCCD	±6.3V
Digital I/O Pins (D0–D6, CLK, RXEN, TXEN) to DGND	-0.3V to (VCCD + 0.3V) or 6.0V (whichever is smaller)
Analog I/O Pins (AIO+, AIO-) to AGND	(VCCA - 1.5V) to (VCCA + 0.3V)
AGND to DGND	-0.3V, +0.3V

Power Dissipation (T _A = +70°C) QSOP (derate 5.90mW/°C above 70°C)	470mW
Operating Temperature Ranges MAX1005CEE	0°C to +70°C
MAX1005EEE	-40°C to +85°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (soldering, <10sec)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(VCCA = VCCD = 3.0V, f_{CLK} = 15MHz, R_L = ∞, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
TRANSMIT DAC DC ACCURACY (Note 1)						
Resolution	N		7			Bits
Integral Nonlinearity	INL			±0.2	±1	LSB
Differential Nonlinearity	DNL			±0.2	±1	LSB
Offset Error					±1	LSB
Transmit Full-Scale Output Voltage	V _{OUT}		736	800	864	mVp-p
TRANSMIT DAC DYNAMIC PERFORMANCE (T _A = +25°C) (Note 2)						
Spurious-Free Dynamic Range	SFDR	(Note 3)	VCCA = VCCD = 3.0V	28	39	dBc
			VCCA = VCCD = 2.7V to 5.5V		39	
Total Harmonic Distortion plus Noise	THD+N	(Note 4)	VCCA = VCCD = 3.0V		-28	dBc
Wakeup Time Exiting Shutdown	t _{WAKE}			0.7	2.4	μs
Clock Feedthrough		(Note 5)		-50		dBc
DAC Latency		(Notes 6, 7)			0.5	CLK period
Power-Supply Rejection	PSR	VCC ₋ (A or D or both) = 3.0V ±100mVp-p at 100kHz		67		dB
TRANSMIT ADC DC ACCURACY (Note 8)						
Resolution	N		5			Bits
Integral Nonlinearity	INL			±0.2		LSB
Differential Nonlinearity	DNL			±0.2		LSB
Offset Error		AIO+ = AIO-		±2		LSB
Full-Scale Input Range	V _{IN}		368	400	432	mV
RECEIVE ADC DYNAMIC PERFORMANCE (T _A = +25°C) (Note 8)						
Total Harmonic Distortion	THD	(Notes 9, 10)	VCCA = VCCD = 3.0V	-42	-24	dB
			VCCA = VCCD = 2.7V to 5.5V		-42	
Spurious-Free Dynamic Range	SFDR	(Note 9)	VCCA = VCCD = 3.0V	24	44	dB
			VCCA = VCCD = 2.7V to 5.5V		44	
Effective Number of Bits	ENOB	(Note 9)	VCCA = VCCD = 3.0V	4.5	4.9	Bits
			VCCA = VCCD = 2.7V to 5.5V		4.9	

ELECTRICAL CHARACTERISTICS (continued)VCCA = VCCD = 3.0V, f_{CLK} = 15MHz, R_L = ∞, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
Input Full-Power Bandwidth (-1dB)		V _{IN} = 90% of full scale	15	25		MHz	
Conversion Rate			15			Msp/s	
Wakeup Time Exiting Shutdown Mode	t _{WAKE}			0.6	2.4	μs	
Power-Supply Rejection	PSR	VCC ₋ (A or D or both) = 3.0V ±100mVp-p at 100kHz		<0.1		LSB	
ANALOG INPUT/OUTPUT (AIO+, AIO-) (Note 11)							
Input Resistance	R _{IN}	T _A = +25°C, differential between AIO+ and AIO-	1.56	2.00	2.44	kΩ	
Input Resistance Temperature Coefficient	TCR _{IN}			-2000		ppm/°C	
Input Capacitance (Note 6)	C _{IN}	Differential between AIO+ and AIO- AIO+ or AIO- to GND			4 4	pF	
POWER REQUIREMENTS							
Supply Voltage	VCCA, VCCD		2.7		5.5	V	
Analog Supply Current	ICCA	VCCA = VCCD = 3.0V, C _L ≤ 12.5pF	RXEN = 1, TXEN = 0, ADC on, DAC off		9.0	14.8	mA
			RXEN = 0, TXEN = 1, ADC off, DAC on		2.5	3.8	
Digital Supply Current	ICCD	VCCA = VCCD = 3.0V, C _L ≤ 12.5pF	RXEN = 1, TXEN = 0, ADC on, DAC off		4.0	6.4	mA
			RXEN = 0, TXEN = 1, ADC off, DAC on		3.0	5.6	
Shutdown Supply Current	ICCA + ICD	VCCA = VCCD = 3.0V, C _L ≤ 12.5pF, RXEN = TXEN		<0.1	5	μA	
DIGITAL INPUTS/OUTPUTS (D0–D6, RXEN, TXEN, CLK) (Note 12)							
Output High Voltage	V _{OH}	D0–D4, VCCD = 2.7V to 5.5V, I _{SOURCE} = 200μA	VCCD - 1.0		VCCD	V	
Output Low Voltage	V _{OL}	D0–D4, VCCD = 2.7V to 5.5V, I _{SINK} = 50μA	0		0.5	V	
Input High Voltage	V _{IH}	VCCD = 2.7V to 5.5V	D0–D6, CLK		0.7VCCD		
			RXEN, TXEN		VCCD - 0.5	VCCD + 0.1	V
Input Low Voltage	V _{IL}	VCCD = 2.7V to 5.5V	D0–D6, CLK		0.3VCCD		
			RXEN, TXEN		-0.1	0.5	V

ELECTRICAL CHARACTERISTICS (continued)

VCCA = VCCD = 3.0V, f_{CLK} = 15MHz, R_L = ∞, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

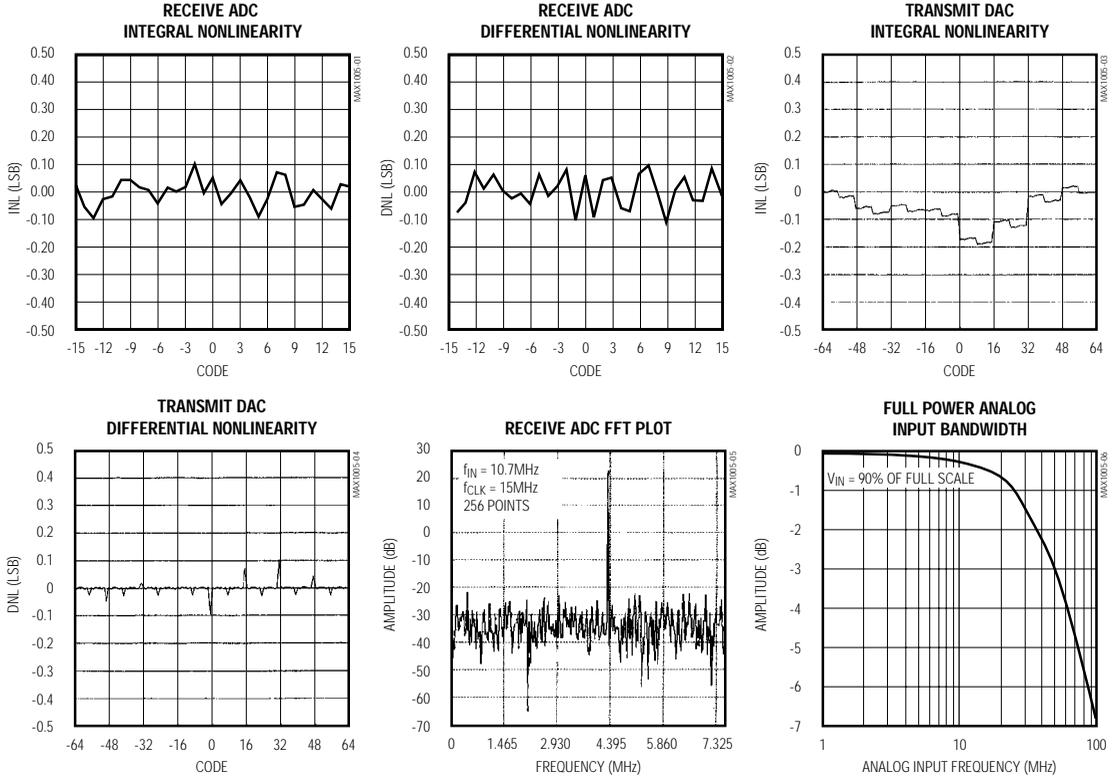
PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input Current	I _{IN}	D0-D6, CLK; VCCD = 2.7V to 5.5V	-1		7	μA
		RXEN, TXEN; VCCD = 2.7V to 3.6V	TXEN = RXEN		±1	
			TXEN = 0 and RXEN = 1, or TXEN = 1 and RXEN = 0		±2	
		RXEN, TXEN; VCCD = 3.6V to 5.5V	TXEN = RXEN		±1	
TXEN = 0 and RXEN = 1, or TXEN = 1 and RXEN = 0			±4			
Input Capacitance	C _{IN}	D0-D6, CLK; TXEN = 1, RXEN = 0 (Note 6)			8	pF
TIMING CHARACTERISTICS (Data Outputs: R _L = 1MΩ, C _L = 15pF, T _A = T _{MIN} to T _{MAX} , unless otherwise noted.) (Note 12)						
DAC Data Setup Time	t _{DS}	T _A = +25°C (Note 6)	5	0.6		ns
DAC Data Hold Time	t _{HOLD}	T _A = +25°C (Note 6)	5	0.3		ns
CLK Duty Cycle			45		55	%
ADC CLK to Output Data Valid	t _{DO}	C _L ≤ 12.5pF		13	20	ns

- Note 1:** TXEN = 1, RXEN = 0. All DAC transfer function parameters are measured differentially from AIO+ to AIO- using the End-Point Linearity method.
- Note 2:** f_{IN} = 4.3MHz digital sine wave applied to DAC data inputs; f_{CLK} = 15MHz. The reference frequency (f_{REF}) is defined to be 10.7MHz (f_{CLK} - f_{IN}). All frequency components present in the DAC output waveform except for f_{REF} and f_{IN} are considered spurious.
- Note 3:** For DAC SFDR measurements, the amplitude of f_{REF} (10.7MHz) is compared to the amplitudes of all frequency components of the output waveform except for f_{IN} (4.3MHz).
- Note 4:** For DAC measurements, THD+N is defined as the ratio of the square-root of the sum-of-the-squares of the RMS values of all harmonic and noise components of the output waveform (except for f_{IN} and f_{REF}) to the RMS amplitude of the f_{REF} component.
- Note 5:** Clock feedthrough is defined as the difference in amplitude between the f_{REF} component and the f_{CLK} component when measured differentially from AIO+ to AIO-.
- Note 6:** Guaranteed by design. Not production tested.
- Note 7:** The DAC input interface is a master/slave register. An additional half clock cycle is required for data at the digital inputs to propagate through to the DAC switches.
- Note 8:** RXEN = 1, TXEN = 0. Unless otherwise noted, for all receive ADC measurements, the analog input signal is applied differentially from AIO+ to AIO-, specified using the Best-Fit Straight-Line Linearity method.
- Note 9:** f_{IN} = 10.7MHz, f_{CLK} = 15MHz. Amplitude is 1dB below full-scale. The reference frequency (f_{REF}) is defined to be 4.3MHz (f_{CLK} - f_{IN}). All components except for f_{REF} and f_{IN} are considered spurious.
- Note 10:** Receive ADC THD measurements include the first five harmonics.
- Note 11:** CAUTION: Operation of the analog inputs AIO+ and AIO- (pins 4 and 5) at more than 1.5V below VCCA could cause latchup and possible destruction of the part. Avoid shunt capacitances to GND on these pins. If shunt capacitances are required, then bypass these pins only to VCCA.
- Note 12:** All digital input signals are measured from 50% amplitude reference points. All digital output signal propagation delays are measured to V_{OH(AC)} for rising output signals and to V_{OL(AC)} for falling output signals. The values for V_{OH(AC)} and V_{OL(AC)} as a function of the VCCD supply are shown in the following table:

VCCD (V)	V _{OH(AC)} (V)	V _{OL(AC)} (V)
2.7 to 3.3	VCCD - 1.1	0.5
3.3 to 5.5	2/3 x VCCD	0.5

標準動作特性

(VCCA = VCCD = 3.0V, T_A = +25°C, unless otherwise noted.)



端子説明

端子	名称	機能
1	VCCD	デジタル電源電圧(+2.7V ~ +5.5V)
2	DGND	デジタルグランド。デジタルグランドプレーンに接続してください。
3	RXEN	受信ADCイネーブル入力。この入力がロジックハイレベルでTXENがロジックローレベルの場合、受信ADCがイネーブルされ、送信DACがディセーブルされます。RXEN = TXENの場合、MAX1005は低電力シャットダウンモードになります。
4	AIO+	正アナログ入力/出力ピン。RXEN = 1でTXEN = 0の場合、AIO+が受信ADCへの正アナログ入力になります。RXEN = 0でTXEN = 1の場合は、AIO-が正送信DAC出力ピンになります。
5	AIO-	負アナログ入力/出力ピン。RXEN = 1でTXEN = 0の場合、AIO+が受信ADCへの負アナログ入力になります。RXEN = 0でTXEN = 1の場合は、AIO-が負送信DAC出力ピンになります。
6	TXEN	送信DACイネーブル入力。この入力がロジックハイレベルで、RXENがロジックローレベルの場合、送信DACがイネーブルされ、受信ADCがディセーブルされます。RXEN = TXENの場合、MAX1005は低電力シャットダウンモードになります。
7	AGND	アナロググランド。アナロググランドプレーンに接続してください。
8	VCCA	アナログ電源電圧(+2.7V ~ +5.5V)
9, 10	D6, D5	DAC入力データの2つのMSB。D6がMSBです。
11-15	D4-D0	データ入力/出力ピン。RXEN = 0でTXEN = 1の場合、D4 ~ D0はDAC入力データの低位5ビットとして機能します(D0がLSB)。RXEN = 1でTXEN = 0の場合、D4 ~ D0はADCの5つのデータ出力として機能します(D4がMSBでD0がLSB)。低電力シャットダウンモード(RXEN = TXEN)では、D0 ~ D4を外部からハイに保持しないでください。これは過剰な入力リーク電流を防ぐためです。
16	CLK	クロック入力。受信ADCがアクティブ(RXEN = 1、TXEN = 0)の場合、アナログ入力はクロックの立下がりエッジでサンプリングされ、データ出力(D4 ~ D0)はCLKの立上がりエッジで更新されます。送信DACがアクティブ(TXEN = 1、RXEN = 0)の場合、入力データはCLKの立下がりエッジでクロック入力され、DAC出力はCLKの立上がりエッジで更新されます。MAX1005がシャットダウン(TXEN = RXEN)中に入力クロックが引き続き動作していても構いません。

詳細

MAX1005は、マキシムのPWT1900(TAG-6)ワイヤレストランシーバチップセットと共に使用するように設計されています。PWT1900は、MAX2411 RFトランシーバ、MAX2511 IFトランシーバ及びMAX1007パワーコントロール/ダイバーシティICからなっています。MAX1005は、IFアンダーサンブラの全機能を単一の低電力集積回路に統合しています。又、本製品は、その他の時間分割デュプレックス(TDD)通信機器にも適しています。本素子は、7ビット送信DAC、5ビット受信ADC、2つの内部バンドギャップリファレンス、クロックドライバ及び必要な全てのインタフェース及び制御ロジックを含んでいます。

送信DAC

MAX1005の7ビットDACが発生するローサイドエイリアス周波数($f_{CLK} - f_{OUT} = 10.7\text{MHz}$)は、TDDその他の通信機器においてIFサブキャリア及び送信データを再生するために使用されます。DACは2の補数形式のCMOS入力データを受け取り、対応するアナログ電圧をAIO+とAIO-の間の差動で出力します。フルスケール出力電圧は、 $\pm 400\text{mV}(\text{typ})$ です。表1に、DACコード表を示します。

表1. 送信DACコード表

DAC INPUT DATA	ANALOG OUTPUT
011 1111	+FS
000 0000	0
100 0000	-FS

受信ADC

5ビット受信ADCは、ダウンコンバージョンされたRF信号を直接サンプリング又はアンダーサンプリングするために使用されます。ADCは、アナログ入力信号を2の補数形式の5ビットデジタル出力コードに変換します。図1に、ADCの伝達関数を示します。

アナログ入力信号は、AIO+とAIO-の間の差動で印加されます。フルスケール範囲は、 $\pm 200\text{mV}$ です。内部アンプが入力信号をバッファしてからコンパレータアレイを駆動するため、外部信号ソースへの負荷が最小限になっています。入力アンプはフルパワー -1dB帯域幅が最低15MHzであるため、アンダーサンプリングアプリケーションに最適です。

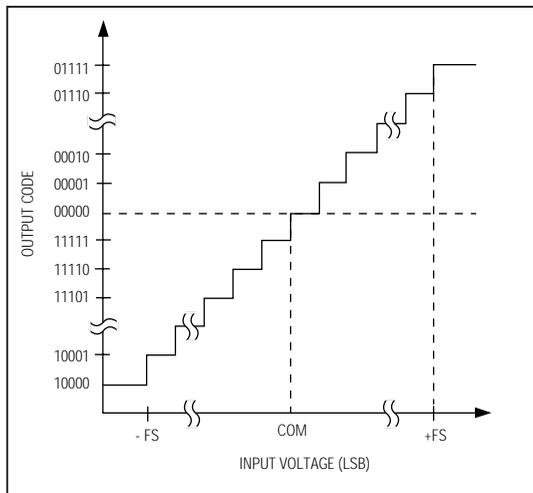


図1. 受信ADC伝達関数

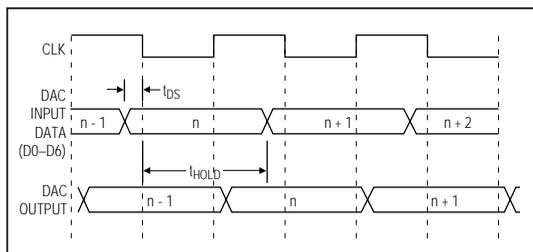


図2. 送信DACタイミング図

デジタルインタフェース

DACは、7ビットのパラレルデジタルインタフェースを備えています。図2に、送信DACのタイミング図を示します。デジタルデータは、CLKの立下がりエッジでDAC入力レジスタにラッチされます。データは、CLKの次の立上がりエッジでDACレジスタに転送され、DAC出力電圧が更新されます。

ADCは、TXEN = 0、RXEN = 1に設定することによりイネーブルされます。図3に、ADCのタイミング図を示します。入力データはCLKの立下がりエッジでサンプリングされ、出力データはCLKの立上がりエッジで状態が変化するため、アナログ入力サンプリングされている時のノイズ及びデジタルフィードスルーが最小限に抑えられます。ADC出力データは、5ビットパラレル出力ピン(D0 ~ D4)に印加されます(MSBはD4)。

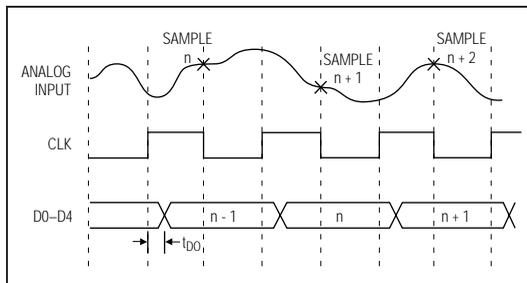


図3. 受信ADCタイミング図

動作モード

MAX1005は、送信、受信及びシャットダウンの3つの動作モードを備えています。表2に示すように、動作モードはRXEN及びTXEN入力で選択されます。

送信モードでは、DACはアクティブでADCはインアクティブです。消費電力は、3V電源を使用した場合に16.5mW(typ)です。受信モードでは、ADCはアクティブでDACはインアクティブです。このモードにおける消費電力は、3V電源を使用した場合に39mW(typ)です。

3番めのモードはシャットダウンモードで、DACとADCの両方がインアクティブになります。DGNDとVCCDの間の任意の電圧でRXEN = TXENに設定すると、このモードが設定されます。シャットダウンモード中にCLK入力引き続き作動しても素子を損傷することなく、消費電流(0.1µA typ)も特に増加しません。MAX1005は、シャットダウンが解除された時、TXEN又はRXENが表2に示すように遷移してから2.4µ秒以内に動作可能になることが保証されています。

ADC出力ビットに入るリーク電流に起因する消費電流を防ぐため、低電力シャットダウンモードではADC出力(D0 ~ D4)をハイに保持しないでください。

電源バイパス及びグランド

MAX1005は、電源接続部がアナログ(VCCA)とデジタル(VCCD)で別になっており、グランド接続部もアナログとデジタルで別であるため、ノイズの大きな

表2. 動作モードの選択

RXEN	TXEN	動作モード
0	0	低電力シャットダウン：ADC及びDACがディセーブル
0	1	送信モード：DACはアクティブ、ADCはディセーブル
1	0	受信モード：ADCはアクティブ、DACはディセーブル
1	1	低電力シャットダウン：ADC及びDACはディセーブル

IFアンダーサンプラ

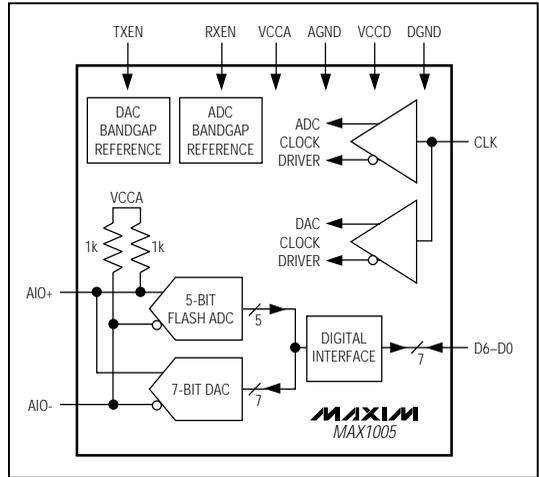
MAX1005

デジタル信号のアナログ部へのカップリングが最小限に抑えられます。本素子は、これらの電源が+2.7V~+5.5Vの任意の電圧に接続された状態で動作します。この機能により、アナログ回路を非安定化電源で動作させながら、デジタル回路の方は安定化ロジック電源で動作させることができるため、消費電力を低減すると共に外部ロジックとのコンパチビリティを保つことができます。

アナロググランド(AGND)及びデジタルグランド(DGND)は、素子の近くでまとめて接続してください。いかなる場合にもAGNDとDGNDの間の電圧が±0.3Vを超えることは許されません。

アナログ電源及びデジタル電源の両方について、ボード全体で良好なDCバイパスを施す必要があります。電源バイパスコンデンサは、電源がボードに入ってくる位置の近くに配置してください。等価直列抵抗(ESR)定格の小さな10µF電解コンデンサをお勧めします。最高の実効ビット数性能を得るには、デジタル出力における容量性負荷を最小限に抑えてください。デジタル出力トレースはできるだけ短くしてください。パッケージのできるだけ近くに配置した高品質のセラミックコンデンサを使用して、VCC_電源ピンのそれぞれを対応するGNDにバイパスしてください。

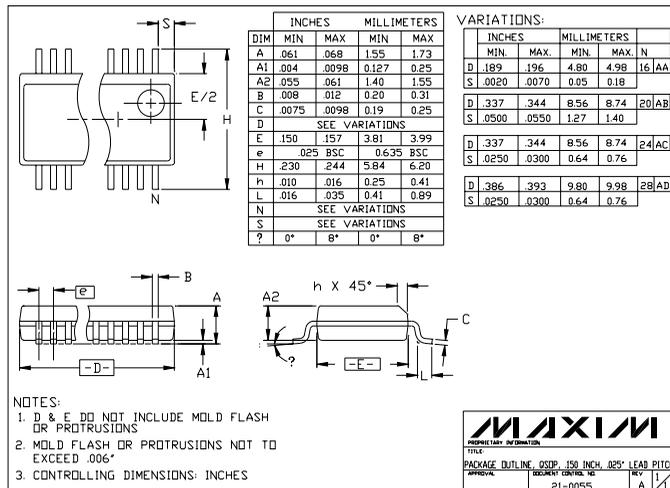
ファンクションダイアグラム



チップ情報

TRANSISTOR COUNT: 2377
SUBSTRATE CONNECTED TO AGND

パッケージ



マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

8 Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600

© 1997 Maxim Integrated Products

MAXIM is a registered trademark of Maxim Integrated Products.