



40W (46dBm) 9GHz~10.5GHz GaN パワー・アンプ HMC8415LP6GE

データシート

特長

- 高出力電力: $P_{IN} = 23\text{dBm}$ で 46dBm (代表値)
- 高い小信号ゲイン: 32.5dB (代表値)
- 高パワー・ゲイン: $P_{IN} = 23\text{dBm}$ で 23dB (代表値)
- 周波数範囲: $9\text{GHz} \sim 10.5\text{GHz}$
- 高い電力付加効率: $P_{IN} = 23\text{dBm}$ で 40% (代表値)
- 電源電圧: $V_{DDxA}/V_{DDxB} = 28\text{V}$ (1000mA 時)
- 6mm x 6mm、40ピン LFSCP パッケージ

アプリケーション

- 気象観測レーダー
- 航海用レーダー
- 防衛用レーダー

概要

HMC8415LP6GE は、9GHz~10.5GHz の帯域幅において 37.5% を上回る電力付加効率 (PAE) で 40W (46dBm) を実現する、窒化ガリウム (GaN) パワー・アンプです。

機能ブロック図

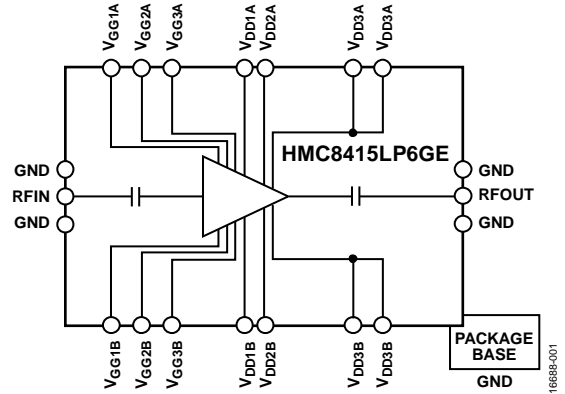


図 1.

HMC8415LP6GE は、無線気象観測レーダー、航海用レーダー、防衛用レーダーなどのパルス波アプリケーションに最適です。

目次

特長	1	代表的な性能特性	8
アプリケーション	1	動作原理	14
機能ブロック図	1	アプリケーション情報	15
概要	1	代表的なアプリケーション回路およびパルサー回路	17
改訂履歴	2	EV1HMC8415LP6G とドレイン・バイアス・パルサー・ボード の使用方法	19
仕様	3	バイアスの推奨シーケンス	20
電気的特性	3	平均化によるパルス波の近似	21
V_{DDxA}/V_{DDxB} ごとの全ターゲット静止電流	4	評価用 PCB	22
絶対最大定格	5	部品表	22
熱抵抗	5	外形寸法	23
ESD に関する注意	5	オーダー・ガイド	23
ピン配置およびピン機能の説明	6		
インターフェース回路図	7		

改訂履歴

9/2018—Revision 0: Initial Version

仕様

電気的特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DDxA}/V_{DDxB} = 28\text{V}$ 、ターゲット静止電流 (I_{DQ}) = 1000mA、ドレイン・バイアスのパルス幅 = 100 μs 、10%のデューティ・サイクル、周波数範囲 = 9GHz~10GHz。

表 1.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
FREQUENCY RANGE		9		10	GHz	
GAIN						
Small Signal		30	32.5		dB	Input power (P_{IN}) = 23 dBm $P_{IN} = 21$ dBm
Small Signal Flatness			1		dB	
Power Gain			23		dB	
			24		dB	
RETURN LOSS						
Input			20		dB	
Output			10		dB	
POWER						
Output Power	P_{OUT}		46		dBm	$P_{IN} = 23$ dBm $P_{IN} = 21$ dBm $P_{IN} = 23$ dBm $P_{IN} = 21$ dBm
			45		dBm	
Power Added Efficiency	PAE		40		%	
			37.5		%	
TARGET QUIESCENT CURRENT	I_{DQ}		1000		mA	Adjust the V_{GG} (V_{GGxA}/V_{GGxB}) between -4.0 V and -1.5 V to achieve an $I_{DQ} = 1000$ mA typical, V_{GG} (V_{GGxA}/V_{GGxB}) = -2.5 V typical to achieve $I_{DQ} = 1000$ mA

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DDxA}/V_{DDxB} = 28\text{V}$ 、 $I_{DQ} = 1000\text{mA}$ 、ドレイン・バイアスのパルス幅 = 100 μs 、10%のデューティ・サイクル、周波数範囲 = 10GHz~10.5GHz。

表 2.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
FREQUENCY RANGE		10		10.5	GHz	
GAIN						
Small Signal		25.5	28		dB	$P_{IN} = 23$ dBm $P_{IN} = 21$ dBm
Small Signal Flatness			5		dB	
Power Gain			22		dB	
			23.5		dB	
RETURN LOSS						
Input			17		dB	
Output			8		dB	
POWER						
Output Power	P_{OUT}		45		dBm	$P_{IN} = 23$ dBm $P_{IN} = 21$ dBm $P_{IN} = 23$ dBm $P_{IN} = 21$ dBm
			44.5		dBm	
Power Added Efficiency	PAE		37.5		%	
			37.5		%	
TARGET QUIESCENT CURRENT	I_{DQ}		1000		mA	Adjust the V_{GG} (V_{GGxA}/V_{GGxB}) between -4.0 V and -1.5 V to achieve an $I_{DQ} = 1000$ mA typical, V_{GG} (V_{GGxA}/V_{GGxB}) = -2.5 V typical to achieve $I_{DQ} = 1000$ mA

V_{DDxA}/V_{DDxB} ごとの全ターゲット静止電流

表 3.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
TARGET QUIESCENT CURRENT	I_{DQ}					Adjust the V_{GG} (V_{GGxA}/V_{GGxB}) from -4.0 V to -1.5 V to achieve an $I_{DQ} = 1000$ mA typical
$V_{DDxA}/V_{DDxB} = 24$ V			1000		mA	
$V_{DDxA}/V_{DDxB} = 28$ V			1000		mA	
$V_{DDxA}/V_{DDxB} = 32$ V			1000		mA	

絶対最大定格

表 4.

Parameter	Rating
Bias Voltage	
Drain (V_{DDxA}/V_{DDxB})	35 V dc
Gate (V_{GGxA}/V_{GGxB})	-8 V dc to -1 V dc
Radio Frequency Input Power (RFIN)	30 dBm
Maximum Drain Bias	
Pulse Width (PW)	500 μ s
Duty Cycle	20%
Maximum Pulsed Power Dissipation, P_{DISS} ($T_{BASE} = 85^{\circ}\text{C}$, Derate 752 mW/ $^{\circ}\text{C}$ Above 85 $^{\circ}\text{C}$), Drain Bias Pulse Width = 200 μ s at 20% Duty Cycle	105.3 W
Nominal Pulsed Peak Channel Temperature, Drain Bias Pulse Width = 200 μ s at 20% Duty Cycle, $P_{IN} = 23$ dBm, $P_{DISS} = 58$ W at 9.0 GHz	162 $^{\circ}\text{C}$
Maximum Channel Temperature	225 $^{\circ}\text{C}$
Maximum Peak Reflow Temperature for Moisture Sensitivity Level 3 (MSL3) ¹	260 $^{\circ}\text{C}$
Storage Temperature Range	-65 $^{\circ}\text{C}$ to +150 $^{\circ}\text{C}$
Operating Temperature Range	-40 $^{\circ}\text{C}$ to +85 $^{\circ}\text{C}$
Electrostatic Discharge (ESD) Sensitivity Human Body Model (HBM)	Class 1A, Passed 250 V

¹詳細については、オーダー・ガイドのセクションを参照してください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JC} は、ジャンクションとケースの間の熱抵抗です。

表 5. 熱抵抗

Package Type ^{1,2}	θ_{JC}	Unit
HCP-40-1	1.33	$^{\circ}\text{C}/\text{W}$

¹熱抵抗 (θ_{JC}) は、熱がチャンネルから PCB へグラウンド・パッドを通じた熱伝導のみで伝達され、グラウンド・パッドが 85 $^{\circ}\text{C}$ の動作温度で一定に保たれているという条件のもとで測定された θ_{JC} によって決定されています。

²ドレイン・バイアスのパルス幅 = 200 μ s (20% のデューティ・サイクル)。

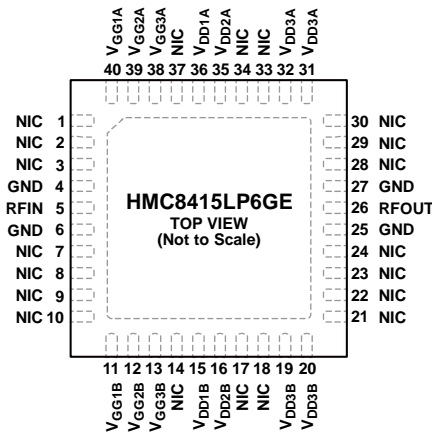
ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



- NOTES
1. NIC = NO INTERNAL CONNECTION.
 2. EXPOSED PAD. THE EXPOSED PAD MUST BE CONNECTED TO RF AND DC GROUND.

16698-012

図 2. ピン配置

表 6. ピン機能の説明

ピン番号	記号	説明
1 to 3, 7 to 10, 14, 17, 18, 21 to 24, 28 to 30, 33, 34, 37	NIC	内部接続なし。これらのピンは RF/DC グラウンドに接続する必要があります。
4, 6, 25, 27	GND	グラウンド。これらのピンは RF/DC グラウンドに接続する必要があります。GND インターフェース回路図については、図 3 を参照してください。
5	RFIN	RF 入力。このピンは AC カップリングされ、50Ω に整合されています。RFIN インターフェース回路図については、図 4 を参照してください。
11 to 13, 38 to 40	V _{GG1B} , V _{GG2B} , V _{GG3B} , V _{GG1A} , V _{GG2A} , V _{GG3A}	ゲート制御電圧ピン。1μF、100pF、2.2nF の外付けバイパス・コンデンサが必要です。V _{GG1B} 、V _{GG2B} 、V _{GG3B} 、V _{GG1A} 、V _{GG2A} 、V _{GG3A} のインターフェース回路図については、図 5 を参照してください。
15, 16, 19, 20, 31, 32, 35, 36	V _{DD1B} , V _{DD2B} , V _{DD3B} , V _{DD1A} , V _{DD2A} , V _{DD3A}	アンプのドレイン・バイアス・ピン。1nF の外付けバイパス・コンデンサと 3.3Ω の外付け抵抗が必要です。V _{DD1B} 、V _{DD2B} 、V _{DD3B} 、V _{DD1A} 、V _{DD2A} 、V _{DD3A} のインターフェース回路図については、図 7 を参照してください。
26	RFOUT	RF 出力。このピンは AC カップリングされ、50Ω に整合されています。RFOUT インターフェース回路図については、図 6 を参照してください。
	EPAD	露出パッド。露出パッドは RF/DC グラウンドに接続する必要があります。

インターフェース回路図



図 3. GND インターフェース回路図

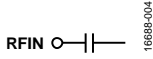


図 4. RFIN インターフェース回路図

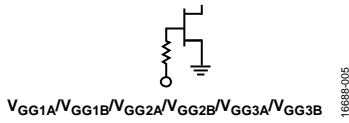


図 5. V_{GG1A} 、 V_{GG1B} 、 V_{GG2A} 、 V_{GG2B} 、 V_{GG3A} 、 V_{GG3B} の

インターフェース回路図

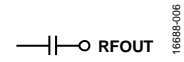


図 6. RFOUT インターフェース回路図

$V_{DD1A}/V_{DD1B}/V_{DD2A}/V_{DD2B}/V_{DD3A}/V_{DD3B}$



図 7. V_{DD1A} 、 V_{DD1B} 、 V_{DD2A} 、 V_{DD2B} 、 V_{DD3A} 、 V_{DD3B} の
インターフェース回路図

代表的な性能特性

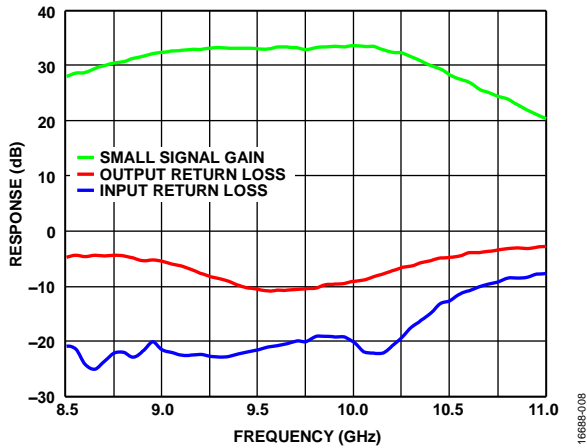


図 8. 小信号ゲインおよびリターン・ロス（応答）の周波数特性

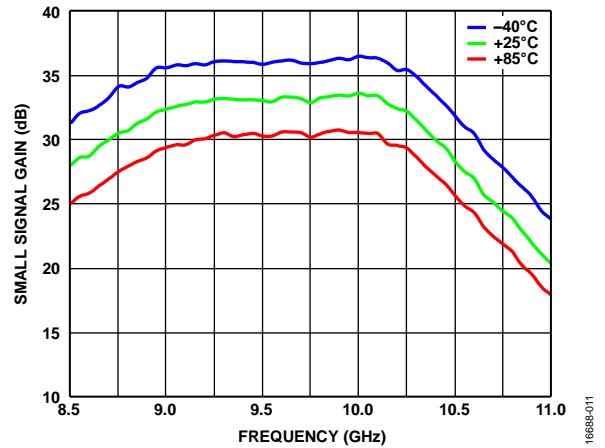


図 11. 様々な温度における小信号ゲインの周波数特性

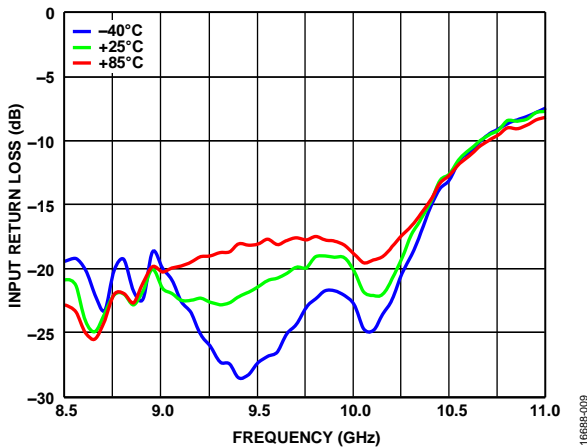


図 9. 様々な温度における入力リターン・ロスの周波数特性

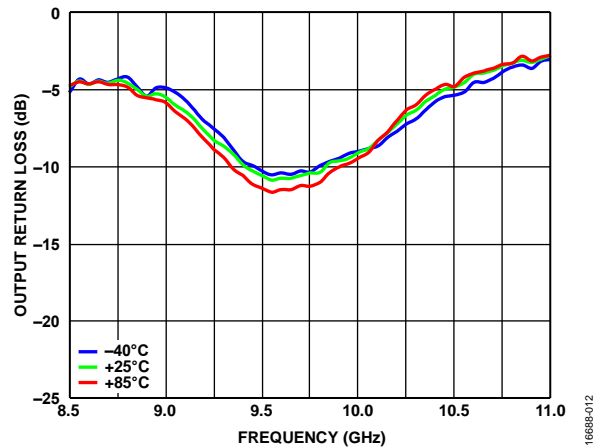


図 12. 様々な温度における出力リターン・ロスの周波数特性

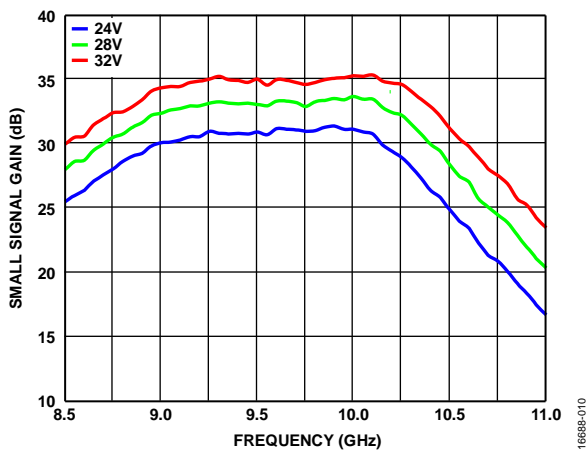


図 10. 様々な電源電圧における小信号ゲインの周波数特性、 $I_{DQ} = 1000\text{mA}$

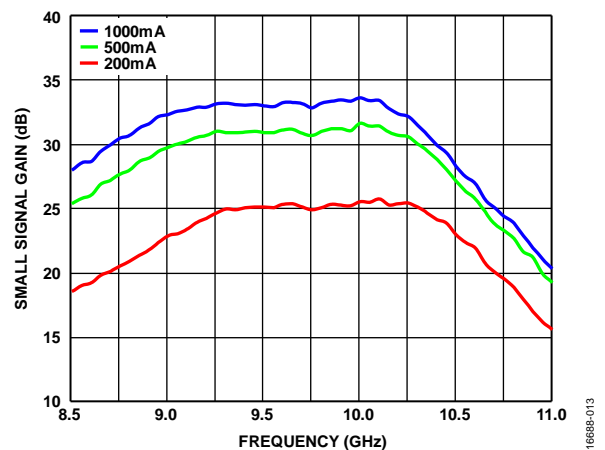


図 13. 様々な静止電流における小信号ゲインの周波数特性、 $V_{DDxA}/V_{DDxB} = 28\text{V}$

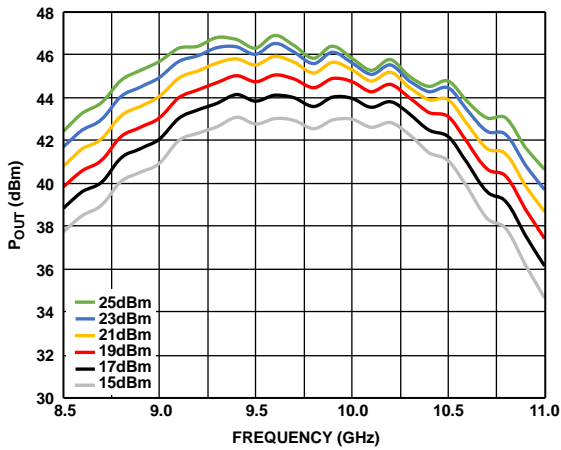


図 14. 様々な入力パワー (P_{IN}) レベルにおける出力パワー (P_{OUT}) の周波数特性

1688B-014

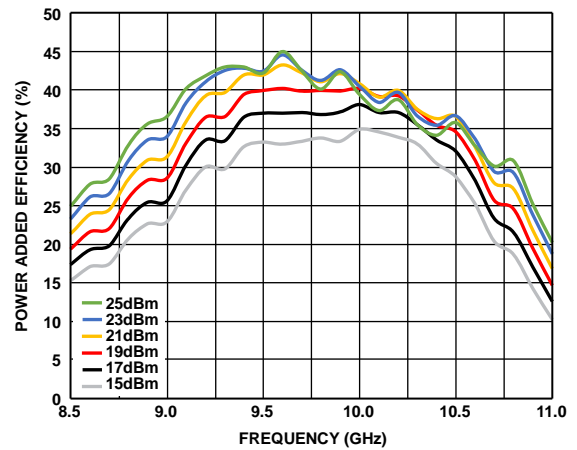


図 17. 様々な P_{IN} レベルにおける電力付加効率の周波数特性

1688B-017

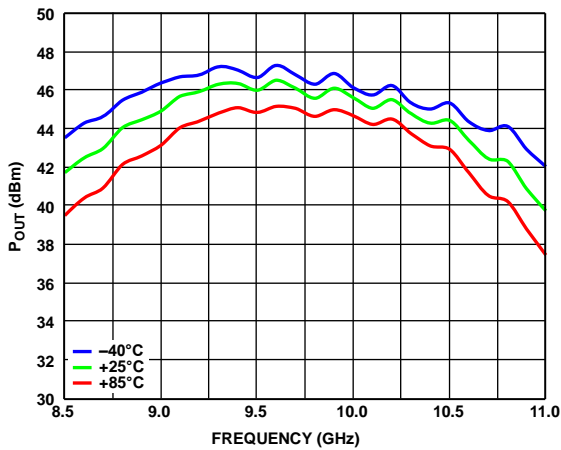


図 15. 様々な温度における P_{OUT} の周波数特性、 $P_{IN} = 23\text{dBm}$

1688B-015

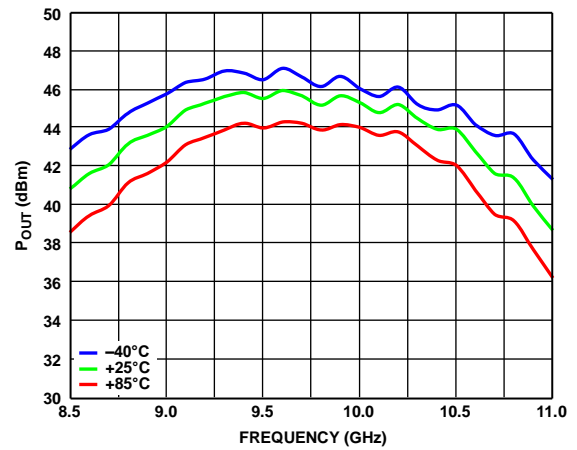


図 18. 様々な温度における P_{OUT} の周波数特性、 $P_{IN} = 21\text{dBm}$

1688B-018

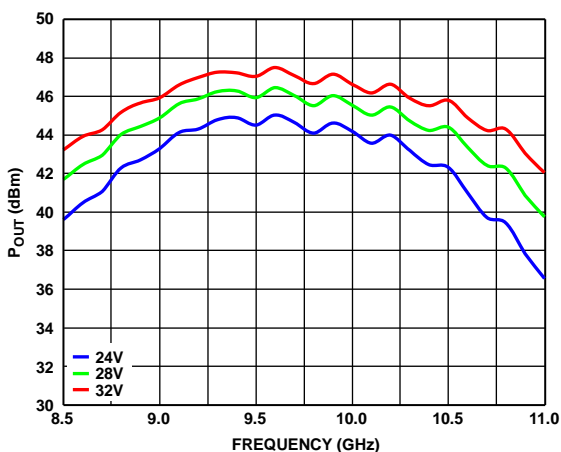


図 16. 様々な電源電圧における P_{OUT} の周波数特性、 $P_{IN} = 23\text{dBm}$ 、 $I_{DQ} = 1000\text{mA}$

1688B-016

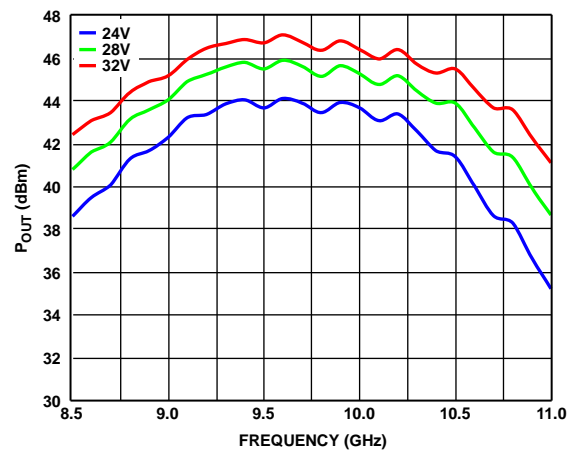


図 19. 様々な電源電圧における P_{OUT} の周波数特性、 $P_{IN} = 21\text{dBm}$ 、 $I_{DQ} = 1000\text{mA}$

1688B-019

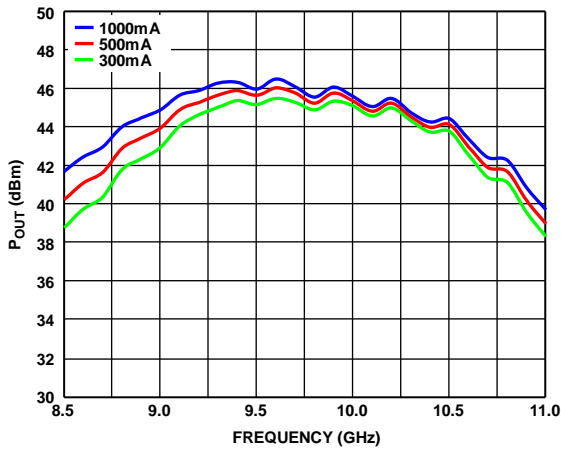


図 20. 様々な静止電流における P_{OUT} の周波数特性、 $P_{IN} = 23\text{dBm}$ 、 $V_{DDxA}/V_{DDxB} = 28\text{V}$

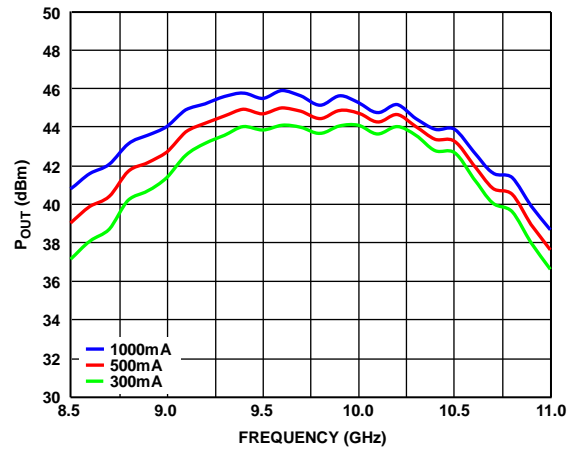


図 23. 様々な静止電流における P_{OUT} の周波数特性、 $P_{IN} = 21\text{dBm}$ 、 $V_{DDxA}/V_{DDxB} = 28\text{V}$

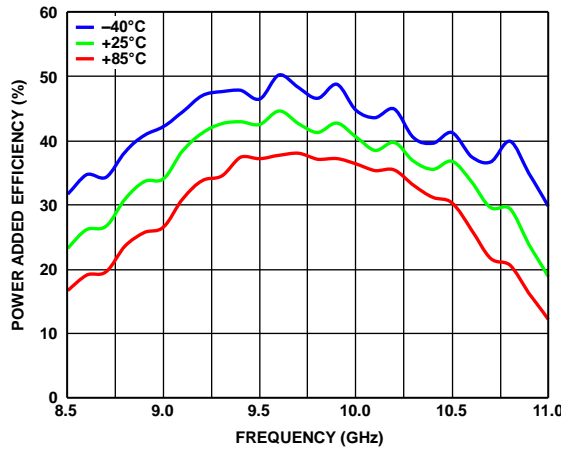


図 21. 様々な温度における電力付加効率の周波数特性、 $P_{IN} = 23\text{dBm}$

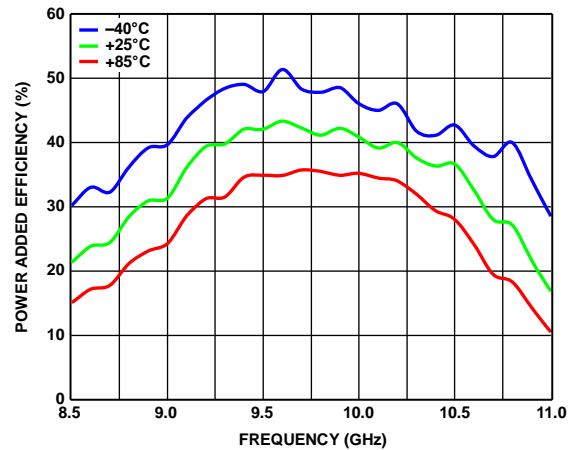


図 24. 様々な温度における電力付加効率の周波数特性、 $P_{IN} = 21\text{dBm}$

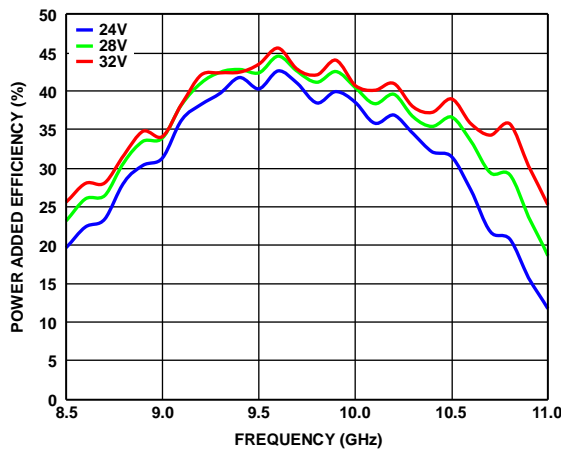


図 22. 様々な電源電圧における電力付加効率の周波数特性、 $P_{IN} = 23\text{dBm}$ 、 $I_{DQ} = 1000\text{mA}$

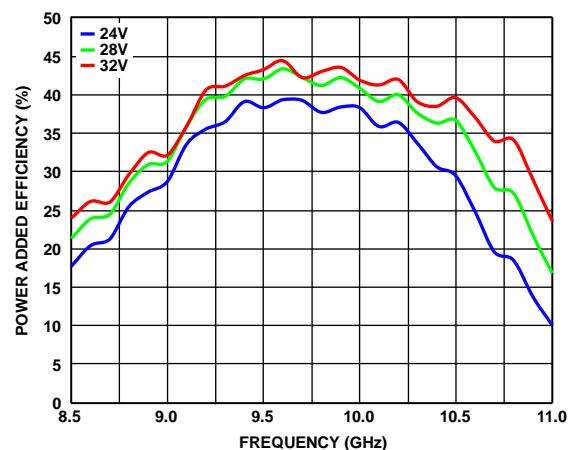


図 25. 様々な電源電圧における電力付加効率の周波数特性、 $P_{IN} = 21\text{dBm}$ 、 $I_{DQ} = 1000\text{mA}$

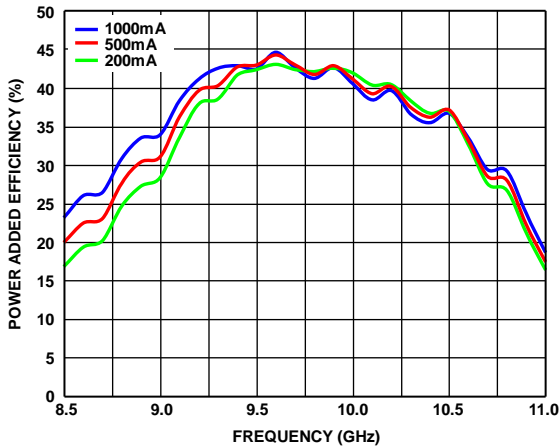


図 26. 様々な静止電流における電力付加効率の周波数特性、
 $P_{IN} = 23\text{dBm}$ 、 $V_{DDxA}/V_{DDxB} = 28\text{V}$

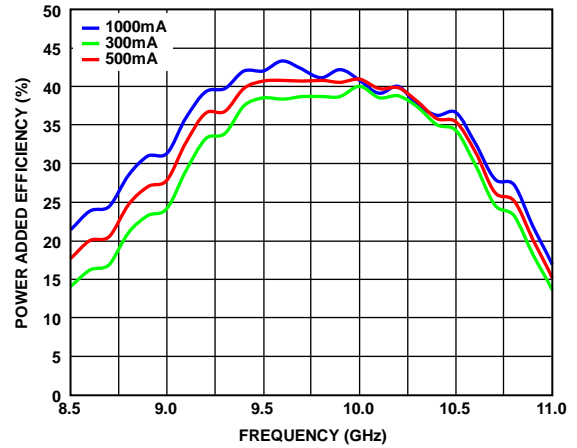


図 29. 様々な静止電流における電力付加効率の周波数特性、
 $P_{IN} = 21\text{dBm}$ 、 $V_{DDxA}/V_{DDxB} = 28\text{V}$

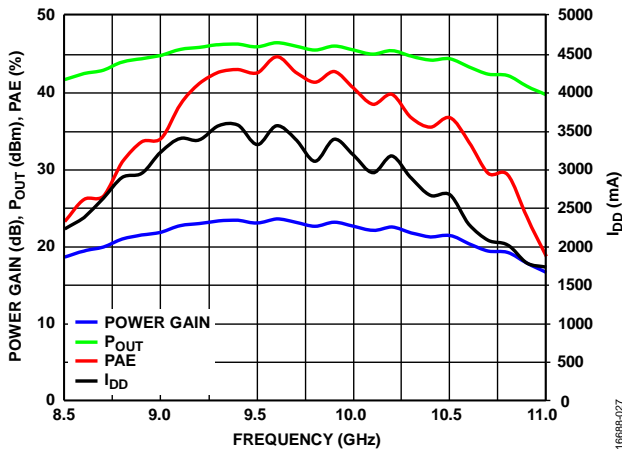


図 27. パワー・ゲイン、 P_{OUT} 、PAE、電源電流 (I_{DD}) の周波数特性、
 $P_{IN} = 23\text{dBm}$

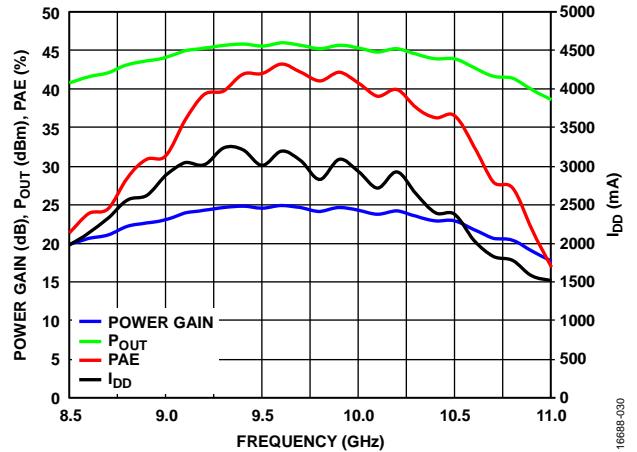


図 30. パワー・ゲイン、 P_{OUT} 、PAE、 I_{DD} の周波数特性、
 $P_{IN} = 21\text{dBm}$

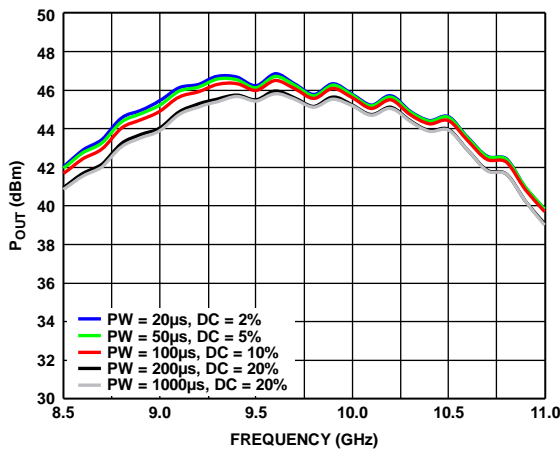


図 28. 様々なパルス幅 (PW) およびデューティ・サイクル (DC) における P_{OUT} の周波数特性、
 $P_{IN} = 23\text{dBm}$

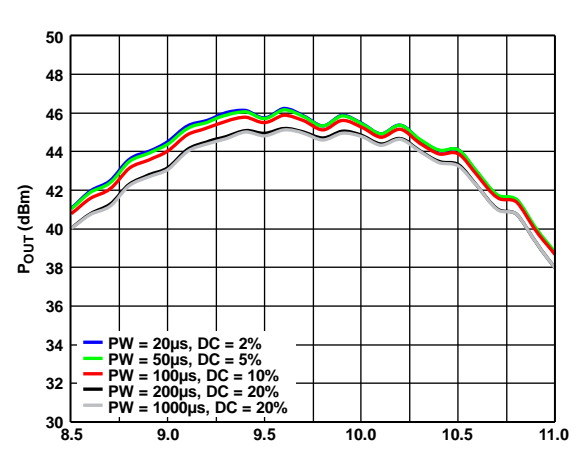


図 31. 様々なパルス幅 (PW) およびデューティ・サイクル (DC) における P_{OUT} の周波数特性、
 $P_{IN} = 21\text{dBm}$

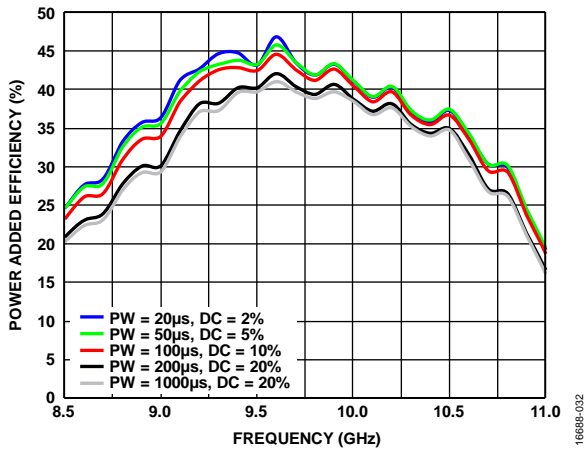


図 32. 様々なパルス幅 (PW) およびデューティ・サイクル (DC) における電力付加効率の周波数特性、 $P_{IN} = 23\text{dBm}$

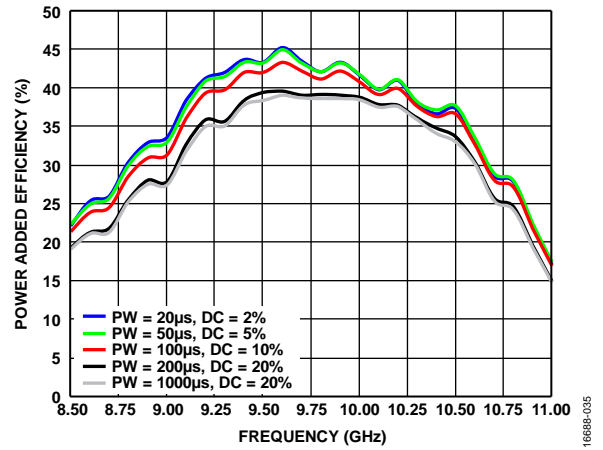


図 35. 様々なパルス幅 (PW) およびデューティ・サイクル (DC) における電力付加効率の周波数特性、 $P_{IN} = 21\text{dBm}$

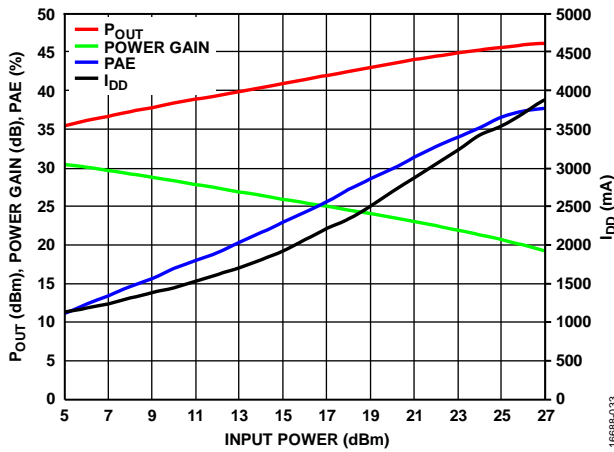


図 33. 9.0GHz での P_{OUT} 、パワー・ゲイン、PAE、 I_{DD} と入力パワーの関係

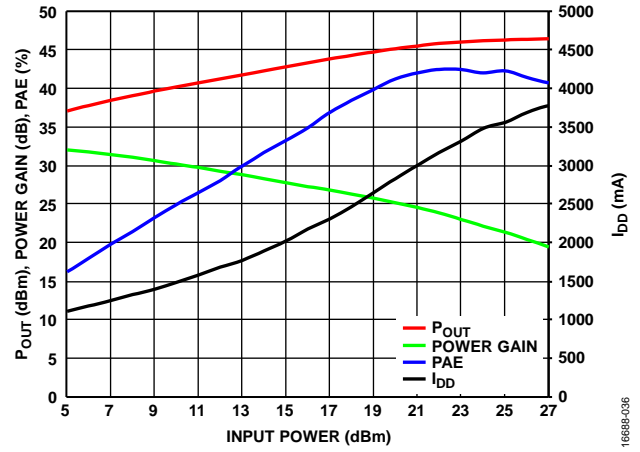


図 36. 9.5GHz での P_{OUT} 、パワー・ゲイン、PAE、 I_{DD} と入力パワーの関係

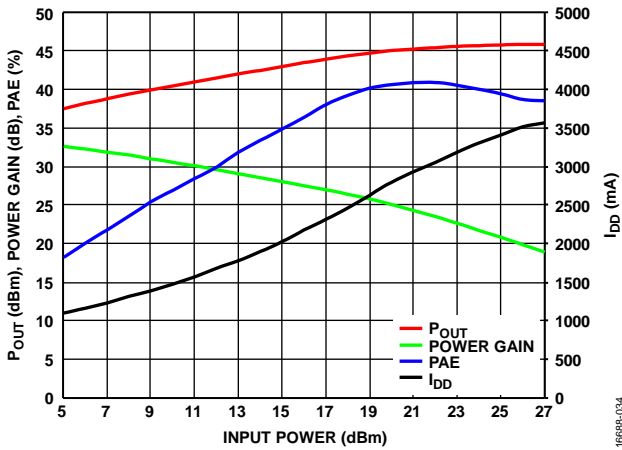


図 34. 10GHz での P_{OUT} 、パワー・ゲイン、PAE、 I_{DD} と入力パワーの関係

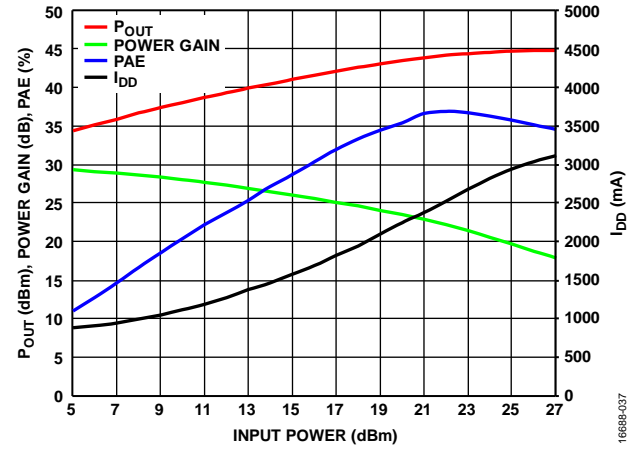


図 37. 10.5GHz での P_{OUT} 、パワー・ゲイン、PAE、 I_{DD} と入力パワーの関係

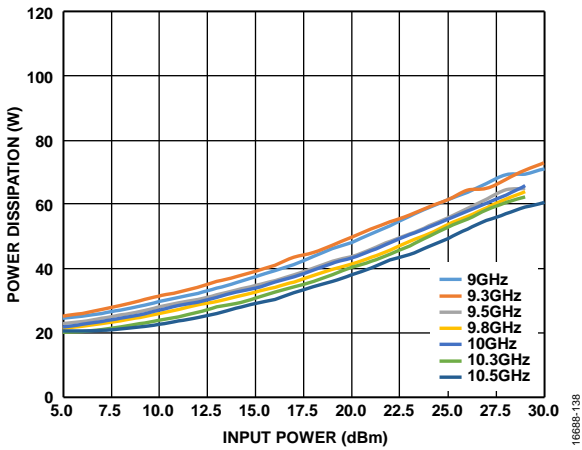


図 38. 消費電力と入力パワーの関係、ドレイン・バイアスのパルス幅 = 100µs、10%のデューティ・サイクル

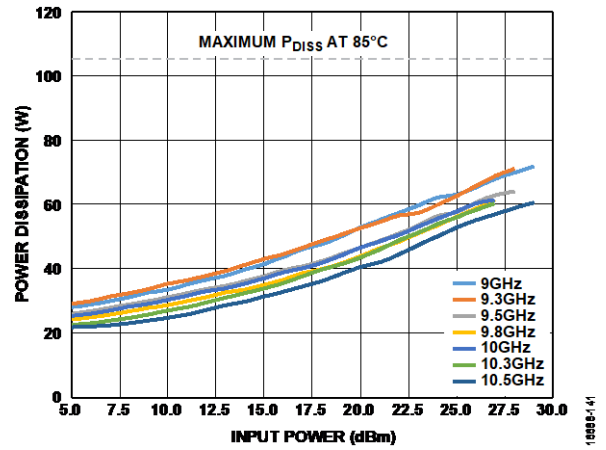


図 41. 消費電力 (P_{DISS}) と入力パワーの関係、ドレイン・バイアスのパルス幅 = 100µs、10%のデューティ・サイクル、ベース温度 (T_{BASE}) = 85°C

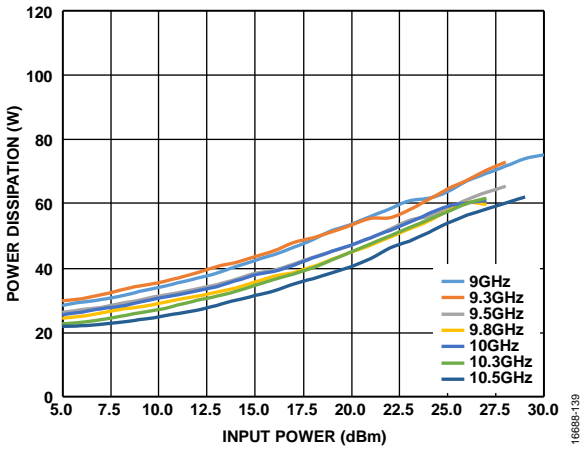


図 39. 消費電力と入力パワーの関係、ドレイン・バイアスのパルス幅 = 20µs、2%のデューティ・サイクル

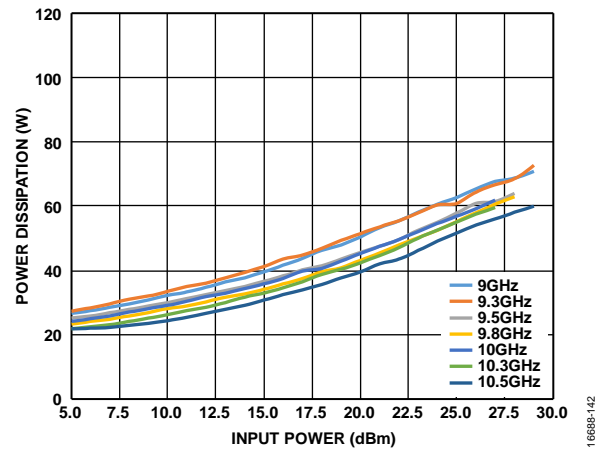


図 42. 消費電力と入力パワーの関係、ドレイン・バイアスのパルス幅 = 200µs、20%のデューティ・サイクル

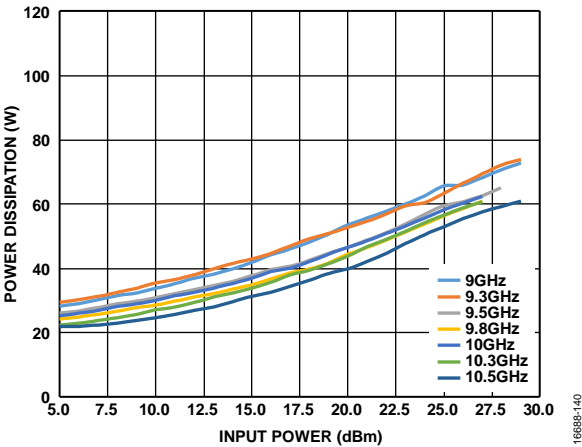


図 40. 消費電力と入力パワーの関係、ドレイン・バイアスのパルス幅 = 50µs、5%のデューティ・サイクル

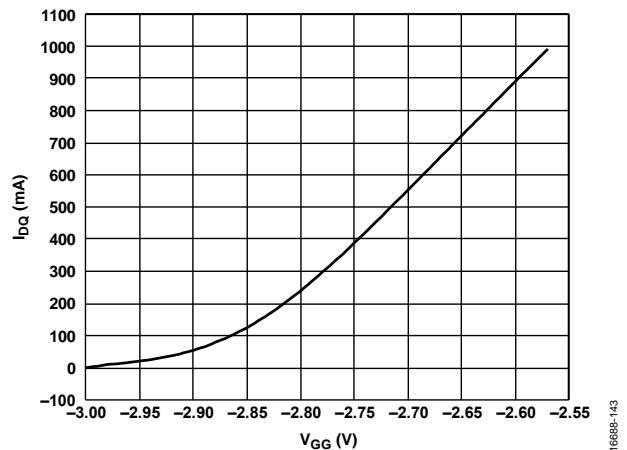


図 43. I_{DQ} と V_{GG} (V_{GGxA}/V_{GGxB}) の関係、 $V_{DDxA}/V_{DDxB} = 28V$ 、標準的なデバイスの代表値

動作原理

HMC8415LP6GE は、40W (46dBm) のパルス電力を実現する窒化ガリウム (GaN) パワー・アンプです。このデバイスは 3 つのカスケード接続されたゲイン段で構成されており、RFIN と RFOUT をつなぐ軸に対してほぼミラー対称に配置されています。このアーキテクチャの簡略図を図 44 に示します。

推奨の DC バイアス条件によって、デバイスに AB 級の動作をさせることができますので、仕様規定された低動作周波数範囲の 9GHz~10GHz において、中程度の P_{IN} (23dBm) で 46dBm のパルス出力 P_{OUT} と 40% の PAE (いずれも代表値) を生成できます。 V_{DD1A}/V_{DD1B} 、 V_{DD2A}/V_{DD2B} 、 V_{DD3A}/V_{DD3B} ピンにパルス波のバイアス電圧を印加すると、それぞれ 1 段目、2 段目、3 段目のゲイン段のドレインをバイアスできます。 V_{GG1A}/V_{GG1B} 、 V_{GG2A}/V_{GG2B} 、

V_{GG3A}/V_{GG3B} ピンに DC 電圧を印加すると、それぞれ 1 段目、2 段目、3 段目のゲイン段のゲートをバイアスでき、これにより各段のドレイン電流を制御することができます。

HMC8415LP6GE は、DC ブロックされたシングルエンドの RFIN および RFOUT ポートを備えており、これらのポートのインピーダンスは、9GHz~10.5GHz の動作周波数範囲で 50Ω (公称値) となっています。したがって、HMC8415LP6GE は、 50Ω のシステムに直接実装することができ、外付けのインピーダンス・マッチング部品は不要です。外付けマッチング部品や DC 阻止コンデンサを必要とせず、複数の HMC8415LP6GE アンプをカスケード接続することができます。

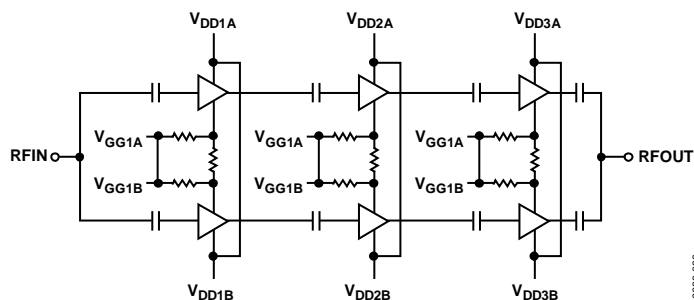


図 44. 基本ブロック図

アプリケーション情報

HMC8415LP6GE をパルス波のバイアスで動作させるための基本的な接続方法を図 47 に示します。動作を安定させるため、パッケージの底面およびすべてのグラウンド・ピンを低インダクタンスでグラウンドに接続することが重要です。6 本の V_{DDx} ピンは、それぞれ、図 47 に示すように 1nF のコンデンサと 3.3Ω の抵抗を使用してバイパスし、デバイスから離れたところでドレイン・バイアス電源と接続します。同様に、6 本の V_{GGx} ピンはそれぞれ、コンデンサでバイパスし、デバイスから離れたところでゲート・バイアス電源と接続します。

仕様規定された性能と定格の動作寿命を達成するためには、温度管理を適切に行うことが重要です。パルス波のバイアスで動作させると、平均消費電力を制限することによりチャンネル温度を最小限に抑えられるため、温度管理を補助することが可能です。チャンネル温度の低減は平均故障時間 (MTTF) の長期化につながります。パルス波バイアスによる熱パラメータと、これを用いたチャンネル温度の計算について深く理解するために、通常の連続バイアス条件による熱パラメータを用いた熱抵抗の考え方を修正して使用します。

最初に、連続バイアスの場合を考えます (図 45 参照)。バイアスが印加されると、デバイスのチャンネル温度 (T_{CHAN}) はターンオン・トランジェントの間に上昇し、最終的に定常状態の値に落ち着きます。デバイスの熱抵抗は、 T_{CHAN} の開始時のベース温度 (T_{BASE}) からの上昇温度を、デバイスの総消費電力で割ることによって計算できます。

$$\theta_{JC} = t_{RISE} / P_{DISS}$$

ここで、 θ_{JC} は、デバイスのチャンネルと底面の間の熱抵抗 ($^{\circ}\text{C}/\text{W}$)、 t_{RISE} は、デバイスの T_{CHAN} における T_{BASE} からの上昇温度 ($^{\circ}\text{C}$)、 P_{DISS} は、デバイスの消費電力 (W) です。

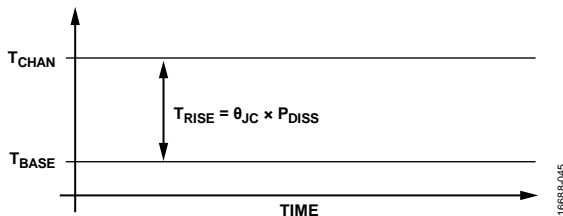


図 45. 連続バイアス

次に、低デューティ・サイクルのパルス波でバイアスする場合を考えます (図 46 参照)。バイアスが印加されると、デバイスの T_{CHAN} は指数関数的に増加・減少するパルスの連続として表すことができます。連続パルス印加時のチャンネル温度のピーク値は、ターンオン・トランジェントの間に上昇し、最終的に定常安定状態に落ち着きます。このとき、パルスとパルスの間でピーク・チャンネル温度は安定しています。デバイスの熱抵抗は、 T_{CHAN} における開始時の T_{BASE} からの上昇温度を、デバイスの総消費電力で割ることによって計算できます。

$$\theta_{JC} = t_{RISE} / P_{DISS}$$

ここで、 θ_{JC} は、デバイスのチャンネルと底面の間の熱抵抗 ($^{\circ}\text{C}/\text{W}$)、 t_{RISE} は、デバイスの T_{CHAN} における T_{BASE} からの上昇温度のピーク値 ($^{\circ}\text{C}$)、 P_{DISS} は、パルス波のバイアス印加時におけるデバイスの消費電力 (W) です。

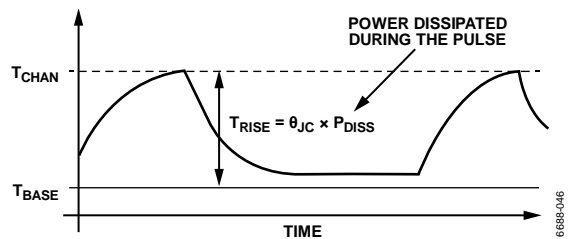


図 46. 低デューティ・サイクルのパルス波バイアス

様々なパルス幅およびデューティ・サイクルのバイアス電圧で HMC8415LP6GE アンプの過渡熱測定を実施して得られた熱抵抗値を、表 7 に示します。

表 7. パルスの設定と熱抵抗値

Pulse Settings		θ_{JC} ($^{\circ}\text{C}/\text{W}$)
Pulse Width (μs)	Duty Cycle (%)	
20	2	0.5
50	5	0.69
100	10	0.95
200	20	1.33

表 7 の θ_{JC} の最大値は、表 5 の値と同じ値です。これは、この値がパルス波バイアスによる動作で最も厳しい条件であることを示します。狭いパルス幅、または低いデューティ・サイクルにすると、信頼性を向上させることができます。

HMC8415LP6GE アンプは、低デューティ・サイクルのパルス波アプリケーション向けに設計されていますが、デバイスを連続バイアス条件で (誤って) 動作させたとしても、短時間であれば可能です。このような条件では、熱抵抗は $4^{\circ}\text{C}/\text{W}$ まで増加します。公称の静止バイアス (V_{DD} (V_{DDxA}/V_{DDxB}) = 28V および $I_{DD} = 1\text{A}$) でも、28W の消費電力によってチャンネル温度はベース温度から 112°C 上昇します。デバイスは、 225°C の最大チャンネル温度を超えることはできないため、このような状況では十分な注意が必要です。連続波 (CW) で動作している間に -10dBm を超える RF 入力が入加されると、デバイスの消費電力は 28W 以上に増加します。その結果、更に大きな温度上昇をもたらし、デバイスに損傷を与えるレベルまで達する可能性があります。

パルス波のバイアスは、様々な方法で実現できます。しかし、代表的なアプリケーションでは、ゲート・バイアスを一定に保持し、増幅が必要な場合はドレイン・バイアスのパルス波をオン（28V）、ドレイン・バイアスが不要になるとドレイン・バイアスのパルス波をオフ（0V）にします。ドレイン・バイアスのパルス波を入力するには、通常、パルス発生回路を実装する必要があります。パルス発生回路は、パワー金属酸化膜半導体電界効果トランジスタ（MOSFET）、MOSFET ドライバ、パワー整流器などの耐久性の高いパワー部品で構成されます。大容量のコンデンサも必要となります。このようなコンデンサは局所的な電荷供給源として機能することにより、パルス波がオンの間、HMC8415LP6GE に必要なドレイン電流を供給すると同時に、安定したドレイン電圧の維持を実現します。

このようなパルス発生器の例が図 48 に示すアナログ・デバイセズのカスタム・ドレイン・パルサ・ボードです。このパルサ・ボードは、本アプリケーション用に開発されたもので、HMC8415LP6GE 評価用キットの [EV1HMC8415LP6G](#) に含まれて

います。HMC8415LP6GE の特性評価はこの評価用ボードで行います。評価用ボードには、パルサ・ボードと、 V_{DDxx} および V_{GGxx} 用の外部 DC 電圧電源、および VDD のパルス波トリガ用のパルス・ジェネレータを使用して、VDD にパルス波を印加します。2つのボードは、内蔵の DC コネクタで互いに直接接続することができるため、別途フレキシブル・ケーブルを用意する必要はありません。両ボードを強固に接続できるため、接続部を低インダクタンスかつ低抵抗に保ち、リンギングと電圧降下の発生を最小限に抑えることができます。HMC8415LP6GE とドレイン・バイアス・パルサ回路のアプリケーションへの実装を平易なものにするため、両ボードの包括的な図面パッケージと部品表が用意されており、[Technical Support Request](#) に登録することにより入手可能です。

[EV1HMC8415LP6G](#) をパルサ・ボードと接続する前に、両ボードの回路図を十分に確認してください（図 47 および図 48 参照）。

代表的なアプリケーション回路およびパルサ回路

代表的なアプリケーション回路を図 47 に、ドレイン・バイアス用の代表的なパルサ回路を図 48 に示します。

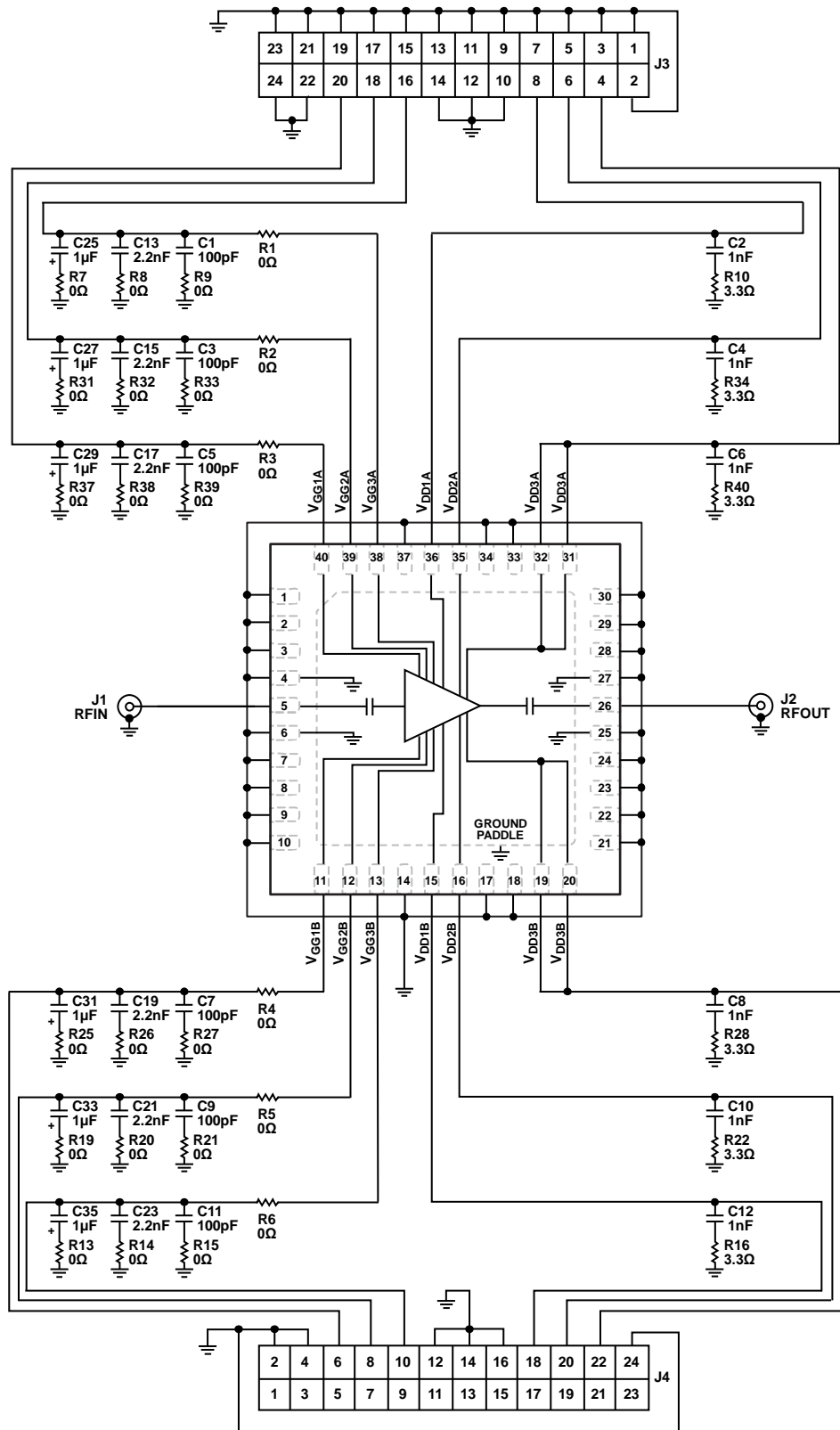


図 47. 代表的なアプリケーション回路

1668B-039

30V DRAIN BIAS PULSER BOARD
SIMPLIFIED SCHEMATIC

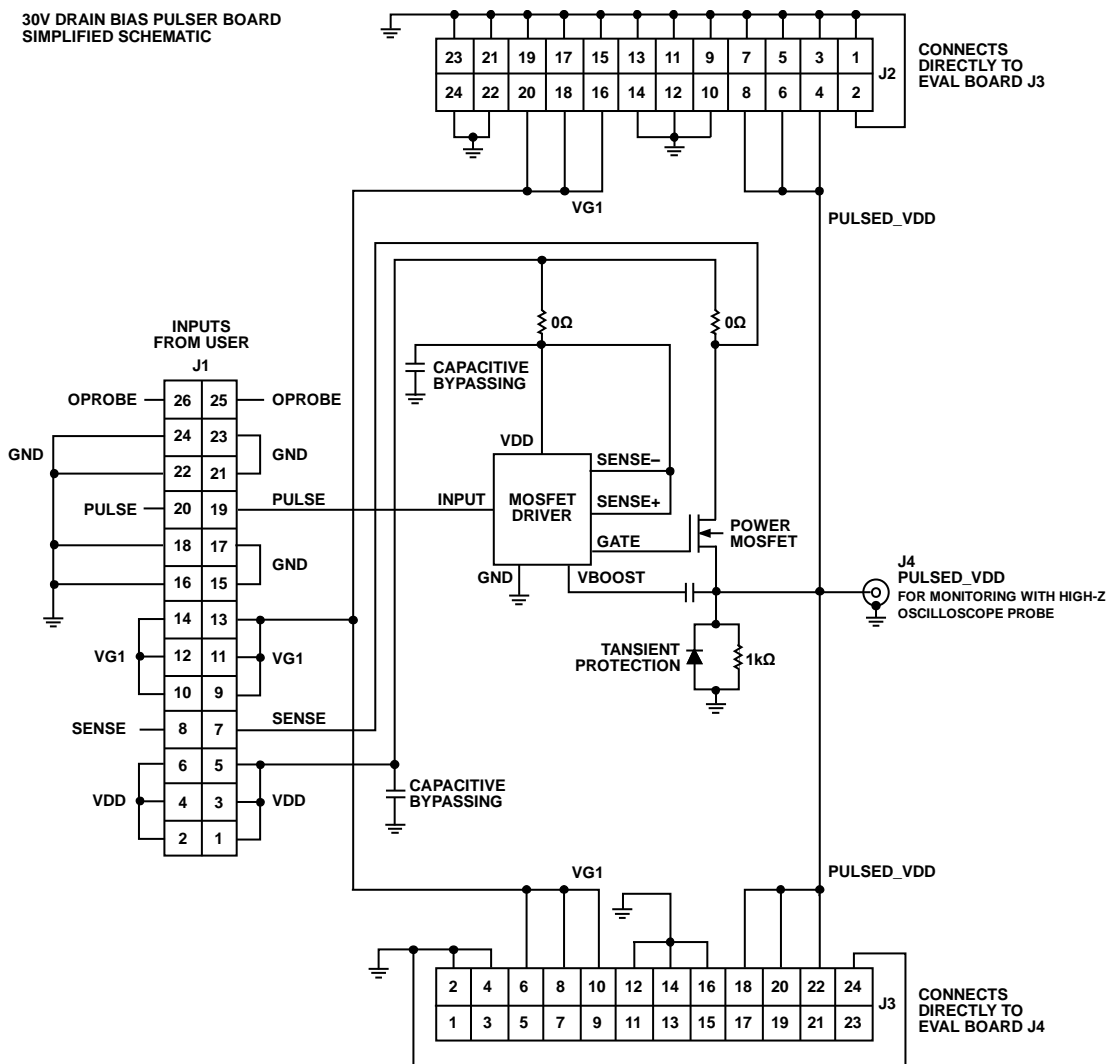


図 48. 代表的なパルサ回路

16885P-040

EV1HMC8415LP6G とドレイン・バイアス・パルサ・ボードの使用方法

以下の説明では、パルス波で測定を行い、電流プローブを使用して I_{DD} を測定していると仮定します。装置がないためにどちらも実施できない場合は、平均化によるパルス波の近似のセクションで説明するように、近似を行う必要があります。

EV1HMC8415LP6G とドレイン・バイアス・パルサ・ボードを使用して接続する方法を図 49 に示します。バイアスや信号を印加する前に、パルサ・ボード (J2) と EV1HMC8415LP6G (J3)、およびパルサ・ボード (J3) と EV1HMC8415LP6G (J4) を組み合わせて、パルサ・ボードと EV1HMC8415LP6G を相互接続する必要があります。唯一、外付けワイヤが必要となるのは、パ

ルサ・ボードの J1 コネクタとの接続で、VDD、SENSE (VDD 電源の+S と接続)、VG1、PULSE、および VDD 電源の-S を含むすべての信号 GND との接続に使用します。VG1 は、パルサ・ボードを通過して、直接、パルサの J1-VG1 と評価用ボードのゲート・ピンを接続します。パルサの J1-VDD と GND の接続には、電圧降下を最小限に抑えるために太いツイスト・ペア・ワイヤの使用を推奨します。オシロスコープを使用することにより、パルサ・ボードの J4 同軸コネクタで VDD_PULSE 信号を簡単にモニタリングすることができます。

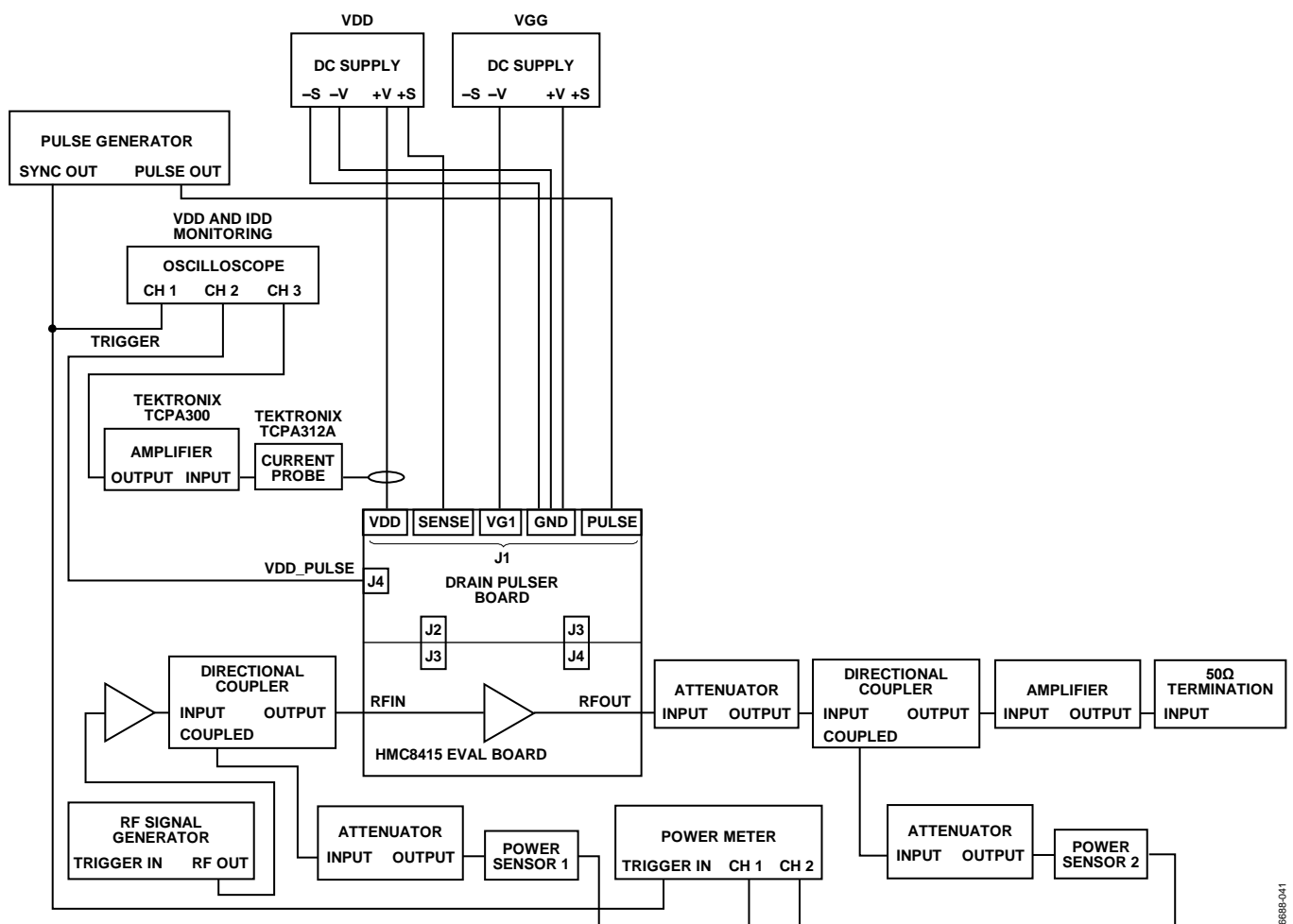


図 49. セットアップのブロック図

166895-041

バイアスの推奨シーケンス

EV1HMC8415LP6G とパルサを使用する場合のパワーアップ・バイアスの考え方

ドレイン・バイアスが一定かパルスかに関わらず、適切な DC バイアス条件を保つには、過剰なドレイン電流が発生しない電圧でゲートをバイアスする必要があります。このため、必ず、パルサの J1-VDD に電圧を印加する前に J1-VG1 にゲート・バイアス電圧を印加してください。スタート時の値として、VG1 = -6V であれば安全とみなすことができます。パルサの J1-PULSE にパルス波のロジック信号を印加し、J1-VDD に 28V を印加することにより、0V (PULSE = ロジック・ロー) と VDD = 28V (PULSE = ロジック・ハイ) の間で増減するパルス電圧がパルサの J2-VDD_PULSE および J3-VDD_PULSE に発生し、テスト対象デバイス (DUT) のドレインに印加されます。ゲート・バイアス電圧 (パルサ J1-VG1 に印加) がゲートに印加されると同時にドレインに VDD_PULSE が印加されると、VG1 に比例するド

レイン電流が流れます。VG1 は、パルス波のターゲット I_{DQ} に到達するまで調整することができます。このパルサ・ボードでは、J1-VDD の最大電圧 35V に達するとパルサに損傷を与える可能性があります。

信頼性の高い動作をさせるには、J1-PULSE および VDD_PULSE に印加するパルス幅とデューティ・サイクルを以下のように制限します。

- パルス幅 = 最大 500 μ s
- デューティ・サイクル = 最大 20%

EV1HMC8415LP6G とパルサを使用する場合のパワーダウン・バイアスの考え方

パワーダウン・バイアスのシーケンスは、パワーアップ・バイアスのシーケンスから得られます。パルサの J1-PULSE をロジック・ローにして VDD_PULSE を除去し、その後、J1-VDD をパワーダウンしてから J1-VG1 をパワーダウンします。

平均化によるパルス波の近似

パルス波を用いて RF パワー、 I_{DD} 、および PAE を正確に測定するには、パルスでトリガすることができる計測器を使用します。パルス・トリガ機能を持つ計測器がなくても、適切な平均化機能を備えた簡易的な計測器が利用できる場合は、近似による測定が可能です。ただし、近似は精度の低い測定になるということを理解した上で行ってください。最も一般的なのは、パラメータの平均値を測定し、動作のデューティ・サイクルを考慮して測定値を修正し、近似する方法です。この方法で近似すると、計測器の測定帯域幅の制約による誤差、オン/オフのトランジエントの算入による誤差、および測定に周期が部分的に含まれることによる誤差が発生する可能性があります。周期が部分的に含まれることが誤差の主要因にならないように、数多くのパルス周期を含む時間で平均化してください。このような近似から得られる結果は、使用する計測器とその設定によって異なる場合があります。したがって、信頼性と再現性のある結果を得るためには、実験が必要となる場合があります。パルス・トリガによる測定ができない場合、パルス・ジェネレータからパルサの J1 コネクタへの接続が、必要とされる唯一のパルス接続です (図 49 参照)。

アプリケーションへの HMC8415LP6GE とパルサの実装方法によっては、オン/オフの遷移時にドレイン電源の過剰なリングングが発生し、パルス発生回路の調整が必要となるかもしれません。ドレイン・パルスと同期して、 V_{GGx} バイアスと RFIN 信号もパルスになる可能性があります。

特に指定のない限り、このデータシートのすべてのデータは、評価用ボード (図 50 参照) に実装された代表的なアプリケーション回路 (図 47 参照) を使用して測定しています。また、パルサ・ボード (図 48 参照) で 28V のパルス波をドレイン・バイアスに印加し、パルス幅 100 μ s、デューティ・サイクル 10% の公称 1000mA の I_{DQ} を達成しています。代表的な性能特性のセクションに示したように、異なるドレイン電圧、または異なるドレイン静止電流で動作させると、性能に影響を及ぼします。低パワーと低ゲインが要求されるアプリケーションでは、低い V_{DDx} および I_{DQ} による動作によって消費電力を低減させることができます。熱に対する考慮事項から、低いデューティ・サイクルと短いパルス幅にすることで、パワーと PAE を改善できます。

評価用 PCB

評価用 PCB の EV1HMC8415LP6G (600-01639-00-2) を図 50 に示します。

部品表

アプリケーション用の回路基板には、RF 回路設計技術を使用します。信号ラインのインピーダンスを 50Ω にし、パッケージのグラウンド・ピンと露出パッドは、図 50 に示すようなグラウンド・プレーンに直接接続します。十分な数のビア・ホールを用いて、グラウンド・プレーンの上面と底面を接続してください。図 50 に示す評価用 PCB は、ご要望に応じてアナログ・デバイセズから提供されます。

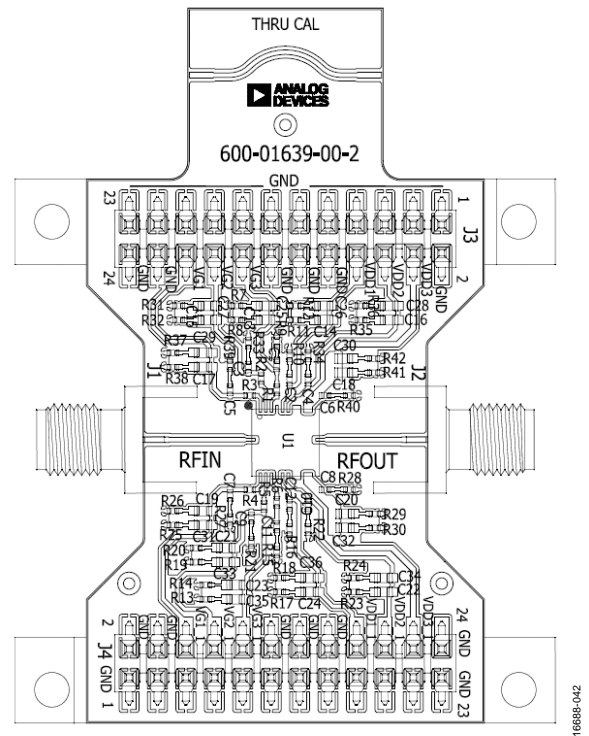


図 50. 評価用 PCB

表 8. 評価用 PCB EV1HMC8415LP6G (600-01639-00-2) の部品表

Item	Description
J1, J2	SMA connectors
J3, J4	DC pins
R1 to R9, R13 to R15, R19 to R21, R25 to R27, R31 to R33, R37 to R39	0 Ω resistors, 0402 package
C2, C4, C6, C8, C10, C12	1000 pF capacitors, 0402 package
C1, C3, C5, C7, C9, C11	100 pF capacitors, 0402 package
C13, C15, C17, C19, C21, C23	2200 pF capacitors, 0603 package
C25, C27, C29, C31, C33, C35	1 μ F capacitors, 0603 package
U1	HMC8415LP6GE
PCB	600-01639-00-2 evaluation PCB; circuit board material: Rogers 4350 or Arlon 25FR

外形寸法

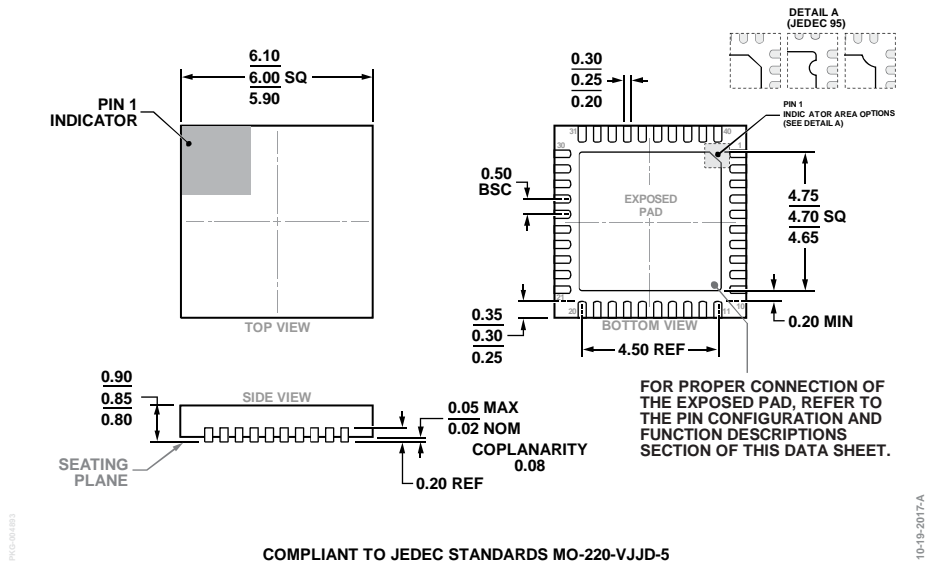


図 51.40 ピン・リードフレーム・チップスケール・パッケージ [LFCSP]
 6 mm x 6 mm ボディ、0.85 mm パッケージ高
 (HCP-40-1)
 寸法：mm

オーダー・ガイド

Model ¹	Temperature	MSL Rating ²	Description ³	Package Option
HMC8415LP6GE	-40°C to +85°C	3	40-Lead Lead Frame Chip Scale Package [LFCSP]	HCP-40-1
HMC8415LP6GETR	-40°C to +85°C	3	40-Lead Lead Frame Chip Scale Package [LFCSP]	HCP-40-1
EV1HMC8415LP6G			Evaluation Board	

¹ HMC8415LP6GE および HMC8415LP6GETR は RoHS 準拠製品です。

² 詳細については、絶対最大定格のセクションを参照してください。

³ HMC8415LP6GE および HMC8415LP6GETR は、低ストレス射出成形プラスチックのパッケージを採用しており、ピンの仕上げは 100% マット錫です。