



5.5GHz~18GHz、GaAs pHEMT、MMIC 中出力パワー・アンプ HMC1082CHIP

データシート

特長

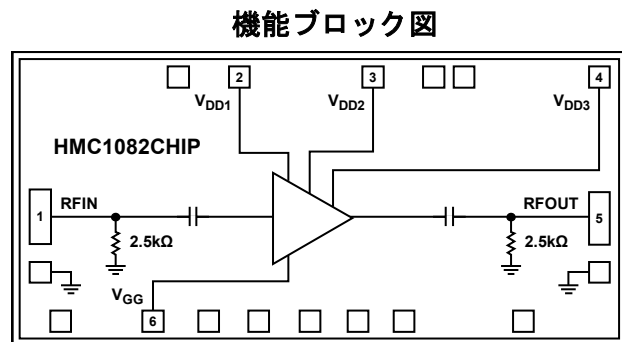
高飽和出力電力：24%のPAEで26dBm
高ゲイン：24dB（代表値）
高出力IP3：36dBm（代表値）
高出力P1dB：25.5dBm
ダイ・サイズ：2.19mm × 1.05mm × 0.4mm

アプリケーション

ソフトウェア無線
電子戦（EW）
レーダー・アプリケーション
電子対抗手段（ECM）

概要

HMC1082CHIPは、ガリウムヒ素（GaAs）モノリシック・マイクロ波集積回路（MMIC）で構成された擬似格子整合型高電子移動度トランジスタ（pHEMT）ドライバ・アンプで、温度補償されたオンチップ・パワー・ディテクタを集積化し、動作範囲は5.5GHz~18GHzです。HMC1082CHIPは、24dBのゲイン（代表値）、36dBmの出力IP3、1dBゲイン圧縮ポイントでの25.5dBmの出力電力を提供し、5V電源から要するの



220mAです。飽和出力電力（ P_{SAT} ）は、24%の電力付加効率（PAE）で26dBmです。

HMC1082CHIPは、5.5GHz~18GHzのポイント to ポイント無線や9GHzの船舶用レーダーなど、広範囲のアプリケーションに最適なドライバ・アンプです。また、6GHz~18GHzのEWおよびECMアプリケーションにも使用できます。

目次

特長	1	インターフェース回路図	6
アプリケーション	1	代表的な性能特性	7
機能ブロック図	1	動作原理	12
概要	1	アプリケーション情報	13
改訂履歴	2	推奨バイアス・シーケンス	13
仕様	3	ミリ波 GaAs MMIC の取り付けおよびボンディング技術 ...	13
5.5GHz～7GHz の周波数範囲	3	アプリケーション回路	14
7GHz～15.5GHz の周波数範囲	3	アセンブリ図	14
15.5GHz～18GHz の周波数範囲	4	外形寸法	15
絶対最大定格	5	オーダー・ガイド	15
熱抵抗	5		
ESD に関する注意	5		
ピン配置およびピン機能の説明	6		

改訂履歴

6/2019—Revision 0: Initial Version

仕様

5.5GHz~7GHzの周波数範囲

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、ドレイン・バイアス電圧 (V_{DD}) = 5V、 $I_{DQ} = 220\text{mA}$ 。

表 1.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
FREQUENCY RANGE		5.5		7	GHz	
GAIN		22	24		dB	
Gain Variation Over Temperature			0.006		dB/°C	
RETURN LOSS						
Input			14		dB	
Output			11		dB	
OUTPUT						
Output Power for 1 dB Compression	P1dB	23	25		dBm	
Saturated Output Power	P_{SAT}		25.5		dBm	
Output Third-Order Intercept	IP3		37.5		dBm	Measurement taken at output power (P_{OUT}) per tone = 12 dBm
SUPPLY						
Current	I_{DQ}		220		mA	Adjust V_{GG} to achieve $I_{DQ} = 220$ mA typical
Voltage	V_{DD}	4	5		V	

7GHz~15.5GHzの周波数範囲

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5\text{V}$ 、 $I_{DQ} = 220\text{mA}$ 。

表 2.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
FREQUENCY RANGE		7		15.5	GHz	
GAIN		22	24		dB	
Gain Variation Over Temperature			0.008		dB/°C	
RETURN LOSS						
Input			11.5		dB	
Output			13		dB	
OUTPUT						
Output Power for 1 dB Compression	P1dB	23.5	25.5		dBm	
Saturated Output Power	P_{SAT}		26		dBm	With 24% PAE
Output Third-Order Intercept	IP3		36		dBm	Measurement taken at P_{OUT} per tone = 12 dBm
SUPPLY						
Current	I_{DQ}		220		mA	Adjust V_{GG} to achieve $I_{DQ} = 220$ mA typical
Voltage	V_{DD}	4	5		V	

15.5GHz~18GHz の周波数範囲

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5\text{V}$ 、 $I_{DQ} = 220\text{mA}$ 。

表 3.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
FREQUENCY RANGE		15.5		18	GHz	
GAIN		23	25		dB	
Gain Variation Over Temperature			0.009		dB/°C	
RETURN LOSS						
Input			14.5		dB	
Output			20		dB	
OUTPUT						
Output Power for 1 dB Compression	P1dB	22	24		dBm	
Saturated Output Power	P _{SAT}		24.5		dBm	
Output Third-Order Intercept	IP3		35.5		dBm	Measurement taken at P _{OUT} per tone = 12 dBm
SUPPLY						
Current	I _{DQ}		220		mA	Adjust V _{GG} to achieve I _{DQ} = 220 mA typical
Voltage	V _{DD}	4	5		V	

絶対最大定格

表 4.

Parameter	Rating
Drain Bias Voltage (V_{DD})	5.5 V dc
Radio Frequency (RF) Input Power (RFIN)	20 dBm
Continuous Power Dissipation (P_{DISS}), $T = 85^{\circ}\text{C}$ (Derate 20.4 mW/ $^{\circ}\text{C}$ Above 85°C)	1.84 W
Channel Temperature	175°C
Storage Temperature Range	-65°C to $+150^{\circ}\text{C}$
Operating Temperature Range	-55°C to $+85^{\circ}\text{C}$
Junction Temperature to Maintain 1,000,000 Hour Mean Time to Failure (MTTF)	175°C
Nominal Junction Temperature ($T = 85^{\circ}\text{C}$, $V_{DD} = 5\text{ V}$, $I_{DQ} = 220\text{ mA}$)	138.8°C
ESD Sensitivity Human Body Model (HBM)	Class 1A (passed 250 V)

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

θ_{JC} は、ジャンクションからケース、すなわちチャンネルからダイ底面への熱抵抗です。

表 5. 熱抵抗

Package Type	θ_{JC}	Unit
C-6-13	48.9	$^{\circ}\text{C}/\text{W}$

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

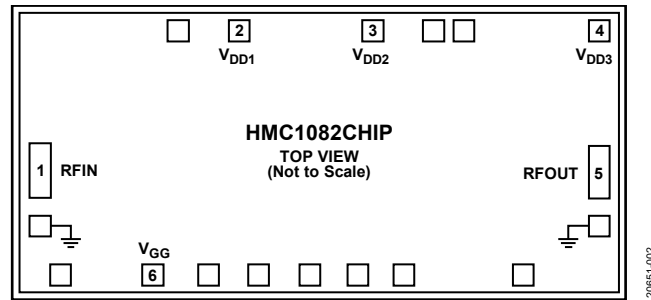


図 2. パッド構成

表 6. パッド機能の説明

ピン番号	記号	説明
1	RFIN	RF 信号入力。このパッドは DC カップリングされ、50Ω に整合されています。
2, 3, 4	V _{DD1} , V _{DD2} , V _{DD3}	アンプのドレイン・バイアス。
5	RFOUT	RF 信号出力。このパッドは DC カップリングされ、50Ω に整合されています。
6	V _{GG}	アンプのゲート制御。
Die Bottom	GND	グラウンド。ダイ底面は RF/DC グラウンドに接続する必要があります。

インターフェース回路図

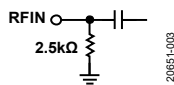


図 3. RFIN インターフェース回路図

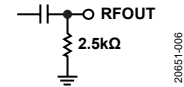


図 6. RFOUT インターフェース回路図

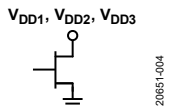


図 4. V_{DD1}、V_{DD2}、および V_{DD3} のインターフェース回路図



図 7. GND インターフェース回路図

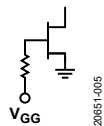


図 5. V_{GG} インターフェース回路図

代表的な性能特性

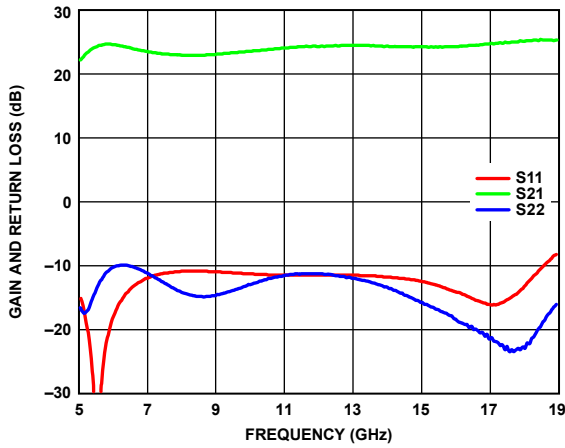


図 8. ゲインおよびリターン損失の周波数特性

208651-008

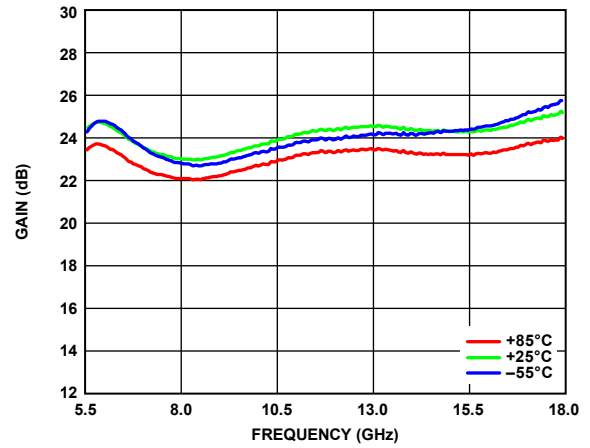


図 11. 様々な温度におけるゲインの周波数特性

208651-011

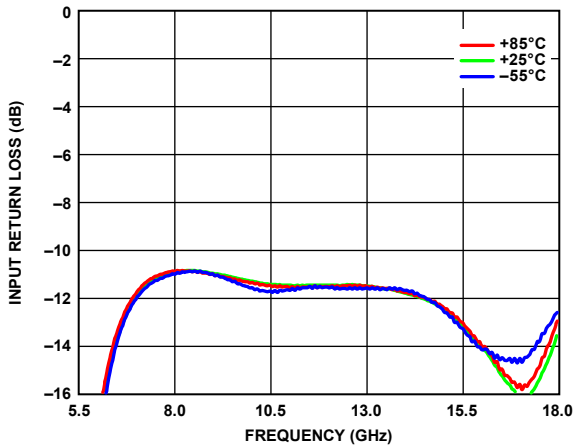


図 9. 様々な温度における入力リターン損失の周波数特性

208651-009

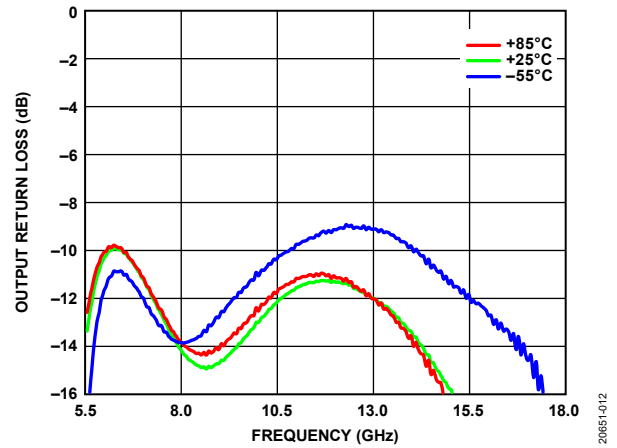


図 12. 様々な温度における出力リターン損失の周波数特性

208651-012

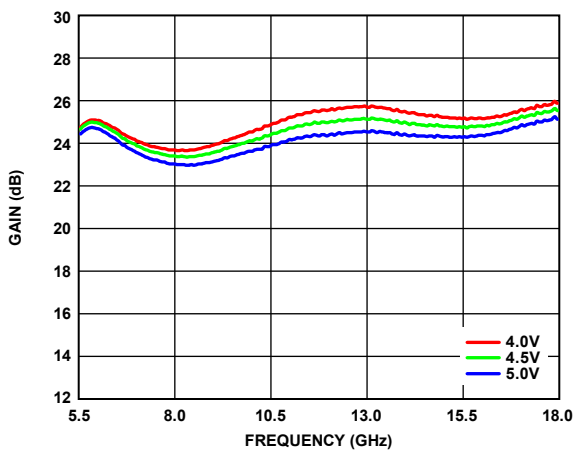


図 10. 様々な電源電圧 (V_{DD}) でのゲインの周波数特性、 $I_{DQ} = 220\text{mA}$

208651-010

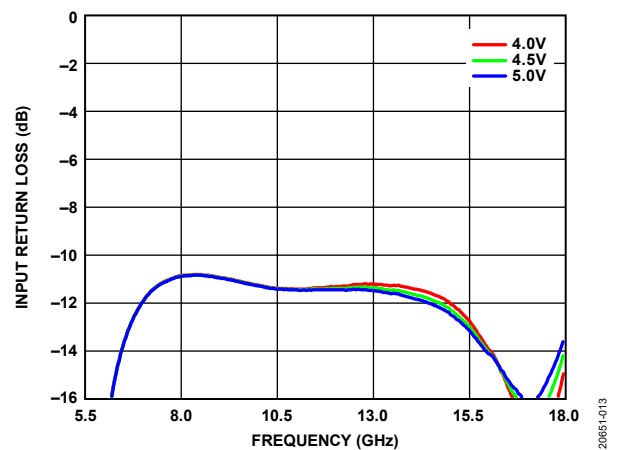


図 13. 様々な電源電圧での入力リターン損失の周波数特性、 $I_{DQ} = 220\text{mA}$

208651-013

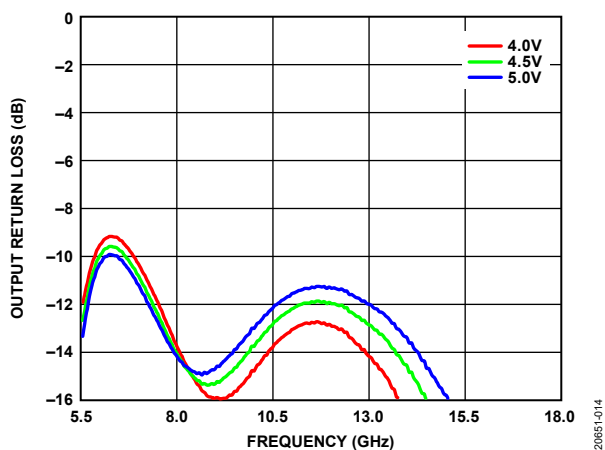


図 14. 様々な電源電圧 (V_{DD}) での出力リターン・ロスの周波数特性、 $I_{DQ} = 220\text{mA}$

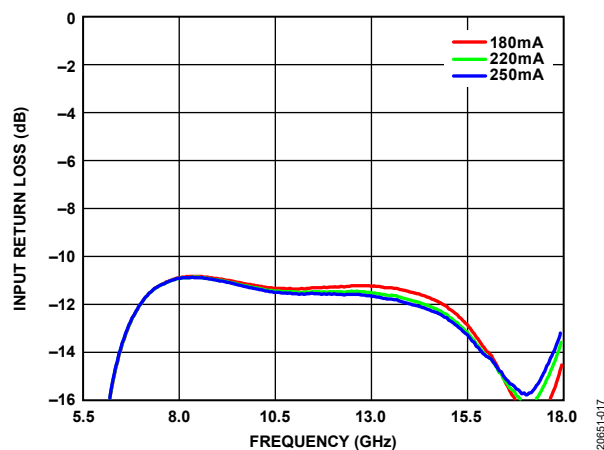


図 17. 様々な I_{DQ} 値での入力リターン・ロスの周波数特性、 $V_{DD} = 5\text{V}$

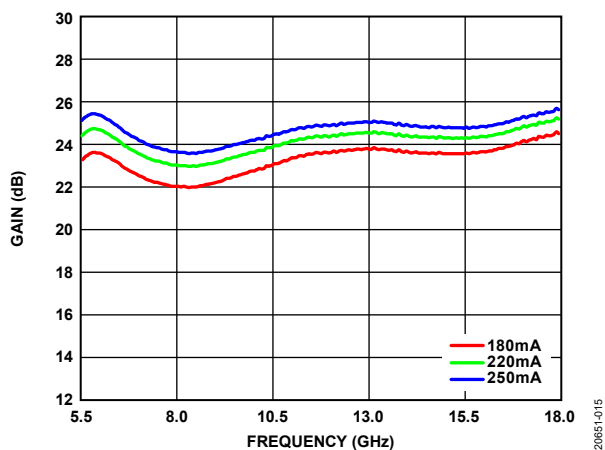


図 15. 様々な I_{DQ} 値でのゲインの周波数特性、 $V_{DD} = 5\text{V}$

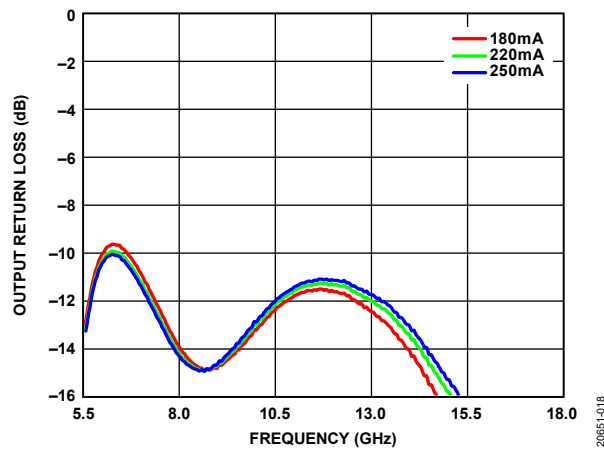


図 18. 様々な電源電流 (I_{DQ}) での出力リターン・ロスの周波数特性、 $V_{DD} = 5\text{V}$

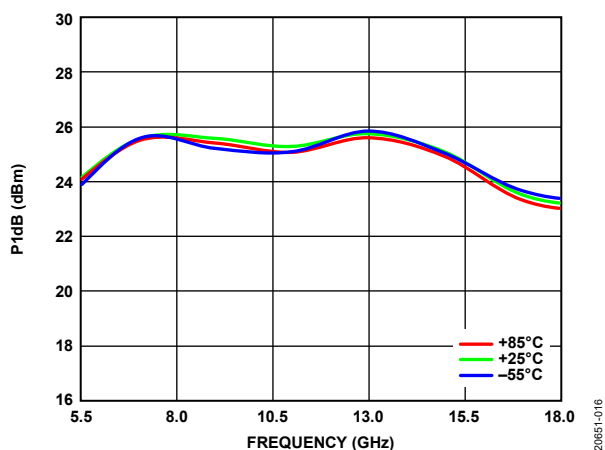


図 16. 様々な温度での P1dB の周波数特性、 $V_{DD} = 5\text{V}$ 、 $I_{DQ} = 220\text{mA}$

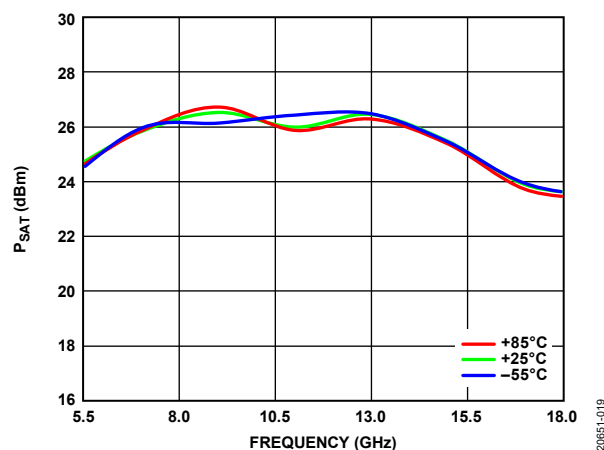


図 19. 様々な温度での P_{SAT} の周波数特性、 $V_{DD} = 5\text{V}$ 、 $I_{DQ} = 220\text{mA}$

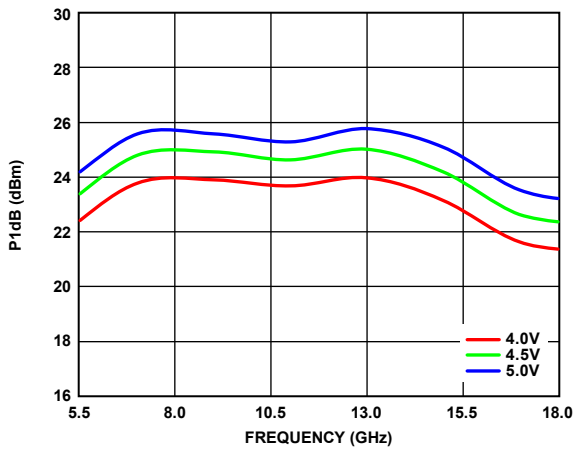


図 20. 様々な V_{DD} 値での P1dB の周波数特性、 $I_{DQ} = 220\text{mA}$

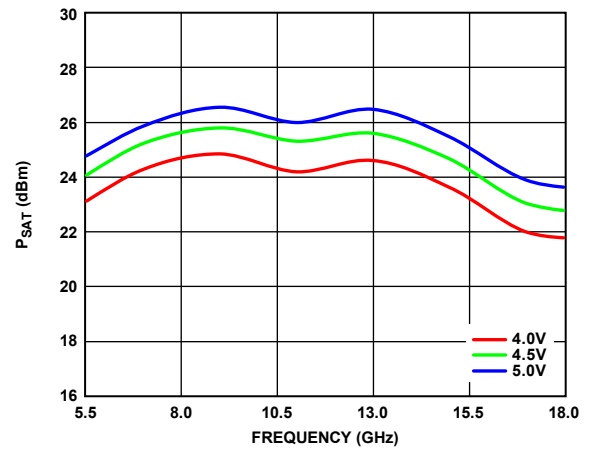


図 23. 様々な V_{DD} 値での P_{SAT} の周波数特性、 $I_{DQ} = 220\text{mA}$

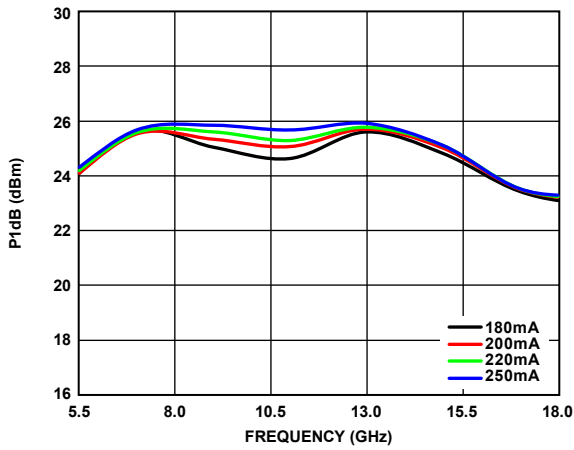


図 21. 様々な I_{DQ} 値での P1dB の周波数特性、 $V_{DD} = 5\text{V}$

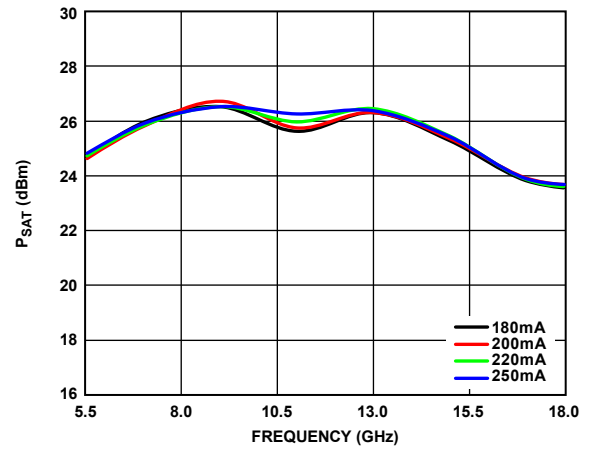


図 24. 様々な I_{DQ} 値での P_{SAT} の周波数特性、 $V_{DD} = 5\text{V}$

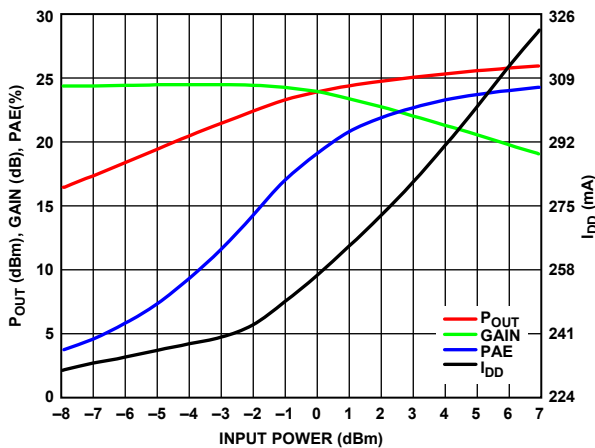


図 22. P_{OUT} 、ゲイン、PAE、ドレイン電流 (I_{DQ}) と入力電力の関係、周波数=11GHz

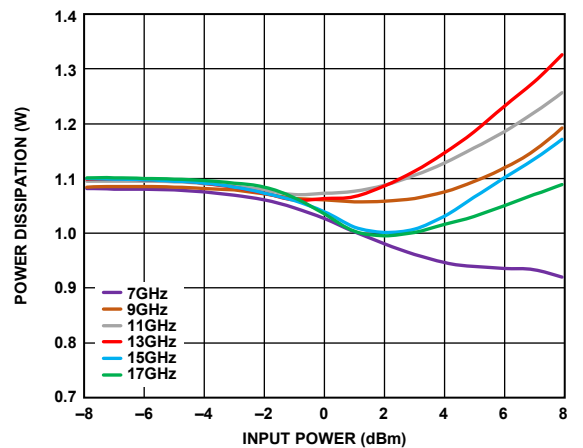


図 25. $T = 85^\circ\text{C}$ での消費電力と入力電力の関係、 $V_{DD} = 5\text{V}$ 、 $I_{DQ} = 220\text{mA}$

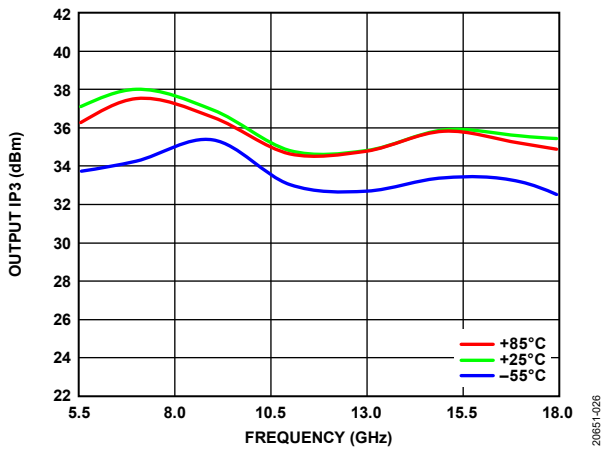


図 26. 様々な温度での出力 IP3 の周波数特性、 トーンあたりの $P_{OUT} = 12\text{dBm}$ 、 $V_{DD} = 5\text{V}$ 、 $I_{DQ} = 220\text{mA}$

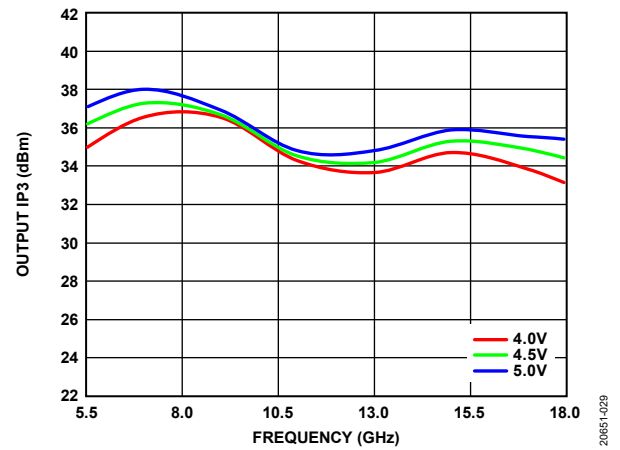


図 29. 様々な V_{DD} での出力 IP3 の周波数特性、 トーンあたりの $P_{OUT} = 12\text{dBm}$ 、 $I_{DQ} = 220\text{mA}$

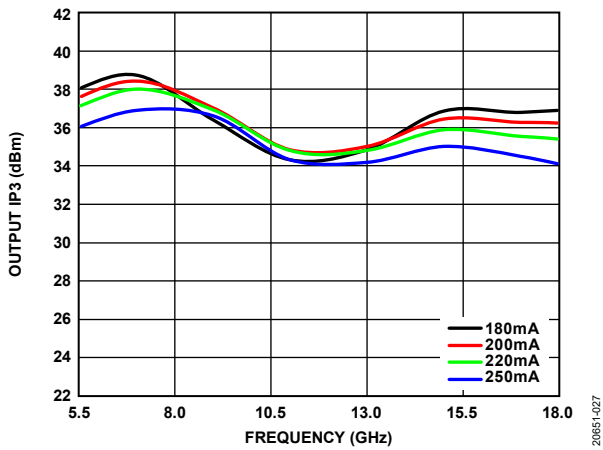


図 27. 様々な I_{DQ} での出力 IP3 の周波数特性、 トーンあたりの $P_{OUT} = 12\text{dBm}$ 、 $V_{DD} = 5\text{V}$

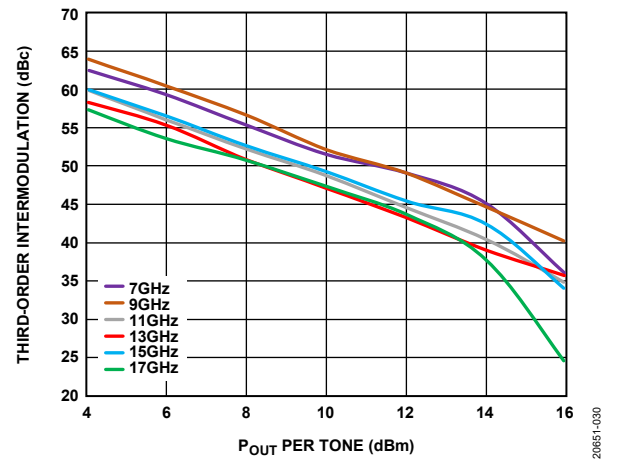


図 30. 3 次相互変調と トーンあたりの P_{OUT} の関係、 $V_{DD} = 4\text{V}$ 、 $I_{DQ} = 220\text{mA}$

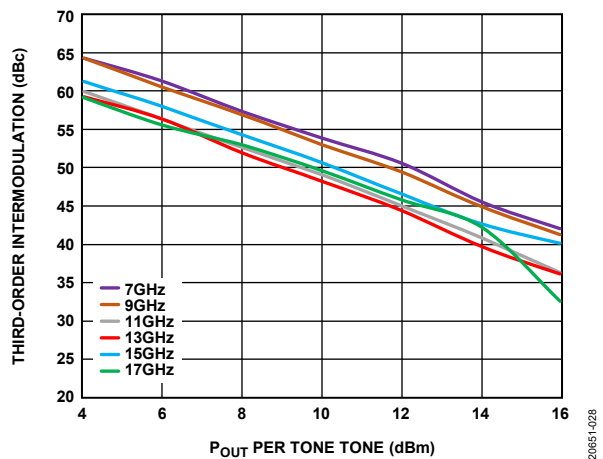


図 28. 3 次相互変調と トーンあたりの P_{OUT} の関係、 $V_{DD} = 4.5\text{V}$ 、 $I_{DQ} = 220\text{mA}$

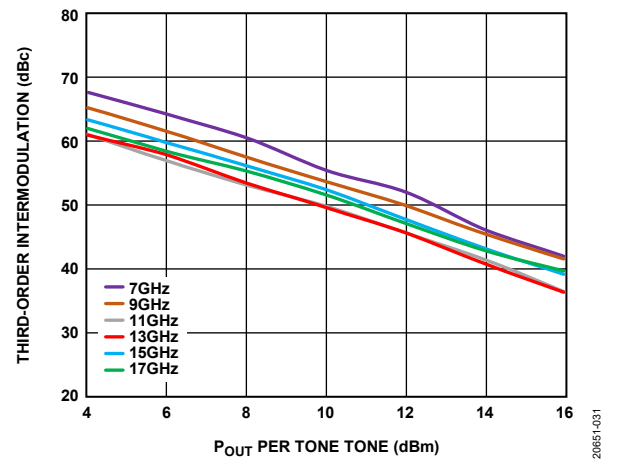


図 31. 3 次相互変調と トーンあたりの P_{OUT} の関係、 $V_{DD} = 5\text{V}$ 、 $I_{DQ} = 220\text{mA}$

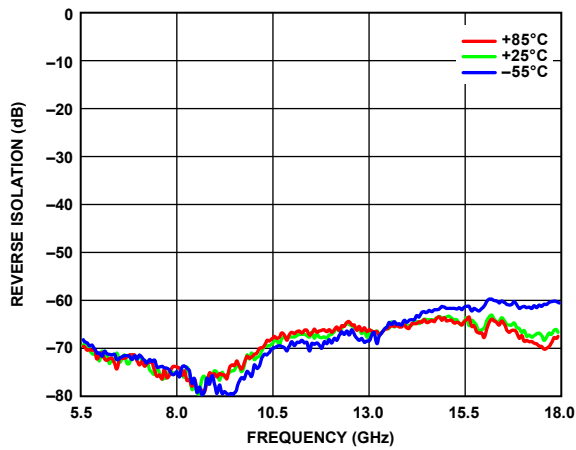


図 32. 様々な温度でのリバース・アイソレーションの周波数特性、 $V_{DD} = 5V$ 、 $I_{DQ} = 220mA$

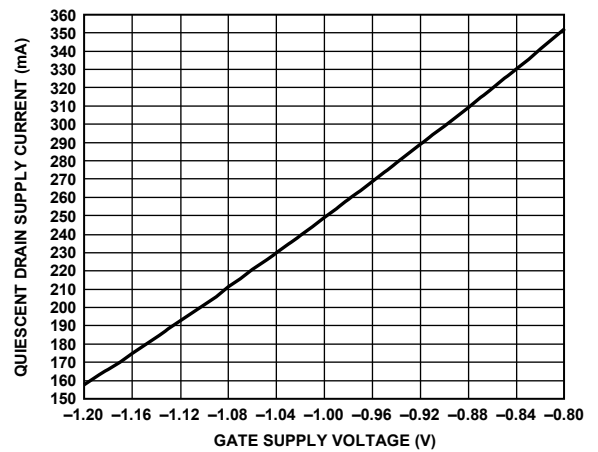


図 34. 静止ドレイン電源電流とゲート電源電圧の関係

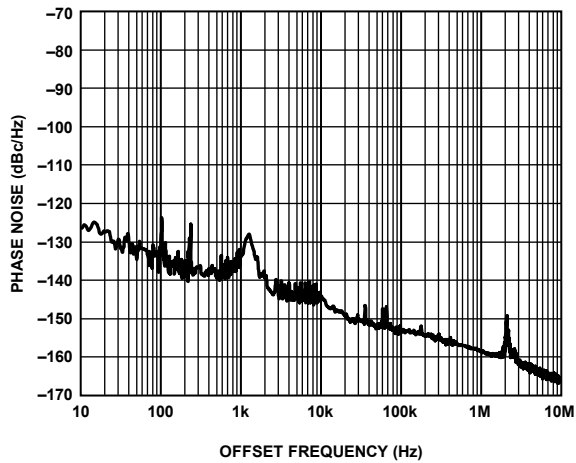


図 33. 位相ノイズとオフセット周波数の関係、RF 周波数 = 8GHz、RF 入力パワー = 3dBm (P1dB)

動作原理

HMC1082CHIP 中出力パワー・アンプのアーキテクチャを図 35 に示します。HMC1082CHIP では、カスケード接続された 3 段のアンプを使用します。各段の V_{DD} 電圧は 5V（公称値）です。

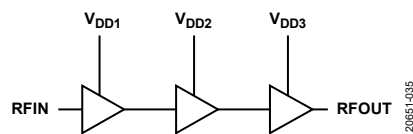


図 35. HMC1082CHIP の基本回路図

20051_035

アプリケーション情報

HMC1082CHIP は、GaAs の pHEMT を使用した MMIC 中出力パワー・アンプです。すべての V_{GG} パッドと V_{DDx} パッドには容量性のバイパスが必要です。

このデバイスのすべての測定は、アプリケーション回路（図 38 参照）を使用し、アセンブリ図（図 39 参照）に示すような構成で実施しています。

推奨バイアス・シーケンス

パワーアップ時の推奨バイアス・シーケンスを以下に示します。

1. GND を RF/DC グラウンドに接続します。
2. ゲート・バイアス電圧、 V_{GG} を $-2.0V$ に設定します。
3. すべてのドレイン・バイアス電圧、 V_{DDx} を $5V$ に設定します。
4. 静止電流 $I_{DQ} = 220mA$ になるまでゲート・バイアス電圧を上げます。
5. RF 信号を印加します。

パワーダウン時の推奨バイアス・シーケンスを以下に示します。

1. RF 信号をオフにします。
2. ゲート・バイアス電圧、 V_{GG} を $-2.0V$ まで下げて $I_{DQ} = 0mA$ （およその値）にします。
3. すべてのドレイン・バイアス電圧を $0V$ に下げます。
4. ゲート・バイアス電圧を $0V$ まで上げます。

バイアス・パッドと各パッドに対応するゲイン段との接続と、パッド間の依存関係および独立性を簡略化したものを図 35 に示します。

デバイス全体の性能を最適化するために、 $V_{DD} = 5V$ および $I_{DQ} = 220mA$ のバイアス条件を推奨します。特に指定のない限り、ここに示すデータは推奨バイアス条件を使って得たものです。HMC1082CHIP を異なるバイアス条件で動作させると、代表的な性能特性のセクションに示されている公称条件（ $V_{DD} = 5V$ および $I_{DQ} = 220mA$ ）での性能とは異なる性能となる可能性があります。

ミリ波 GaAs MMIC の取り付けおよびボンディング技術

ダイは共晶接合するか、導通性のエポキシを使ってグラウンド・プレーンに直接取り付けます（取り扱いに関する注意事項のセクションを参照）。

チップとの間で無線周波数を送受信するには、厚さ $0.127mm$ ($5mil$) のアルミナ薄膜基板上にマイクロストリップまたはコプレーナ導波路を使用して 50Ω の伝送ラインを実装することが推奨されます（図 36 参照）。厚さ $0.254mm$ ($10mil$) のアルミナを使用する場合は、ダイ表面と基板表面の高さが同じになるように、ダイをかさ上げすることを推奨します。ダイ表面と基板表面の高さが同じになるようにダイを $0.150mm$ ($6mil$) 持ち上げます。これを行うために、厚さ $0.102mm$ ($4mil$) のダイを厚さ $0.150mm$ ($6mil$) のモリブデン (Mo) ヒート・スプレッド (moly-tab) に取り付け、更にそれをグラウンド・プレーンに取り付けます（図 36 および図 37 を参照）。

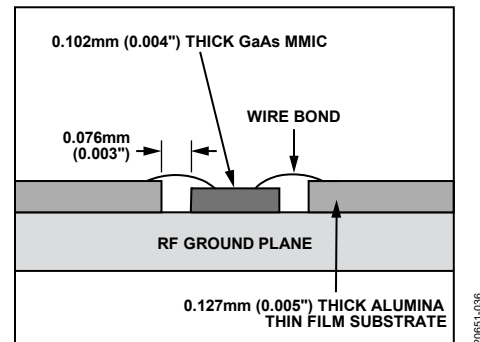


図 36. Moly Tab を使用しない場合のダイ

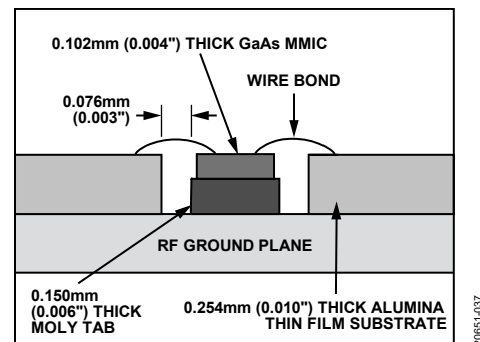


図 37. Moly Tab を使用する場合のダイ

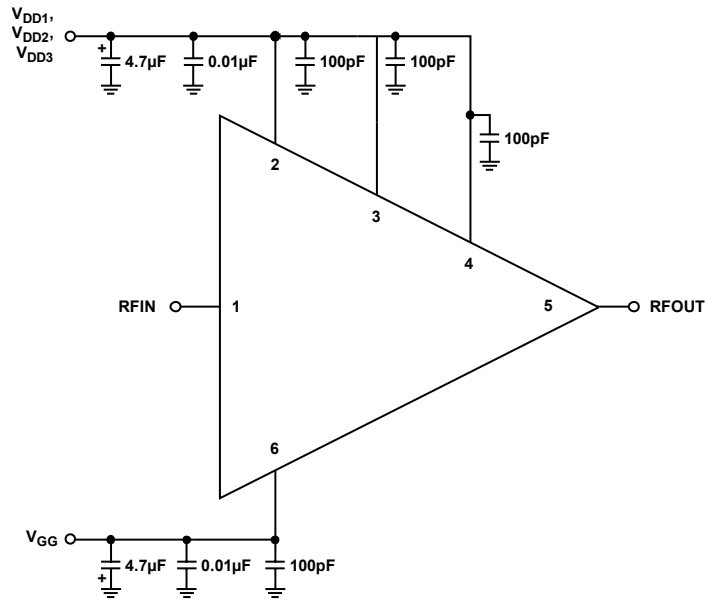
マイクロストリップ基板とダイをできるだけ近くに配置して、ボンディング・ワイヤの長さが最小になるようにしてください。通常、ダイから基板までの間隔は、 $0.076mm \sim 0.152mm$ ($3mil \sim 6mil$) です。

取り扱い上の注意

恒久的な損傷を防ぐため、保存、清浄度、静電気の影響、トランジェントなど、以下の取り扱いに関する注意事項に従ってください。

- すべてのベア・ダイはワッフルベースまたはゲルベースの ESD 保護容器に収納され、その後、ESD 保護バッグに密封されて出荷されます。密封された ESD 保護バッグを開いた後は、すべてのダイを乾燥窒素環境下で保管する必要があります。
- チップの取り扱いは清浄な環境下で行ってください。チップの洗浄には、液体のクリーニング・システムを使用しないでください。
- ESD からチップを保護するために、ESD に関する注意事項に従ってください。
- バイアス印加時には、計測器やバイアス電源によるトランジェントの発生を防止してください。誘電性ピックアップを最小限に抑えるため、シールド付きの信号/バイアス・ケーブルを使用します。
- チップの取り扱いには真空コレットか先端の曲がったピンセットを使い、エッジ部分を保持してください。チップの表面には壊れやすいエア・ブリッジがあるので、真空コレット、ピンセット、指のいずれでも触らないでください。

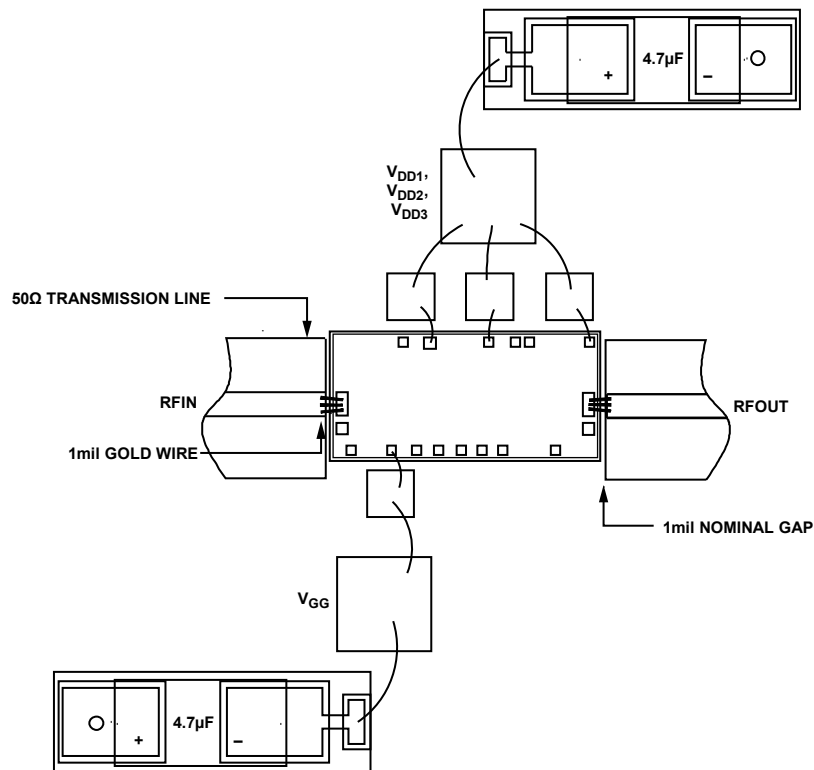
アプリケーション回路



20651-038

図 38. アプリケーション回路

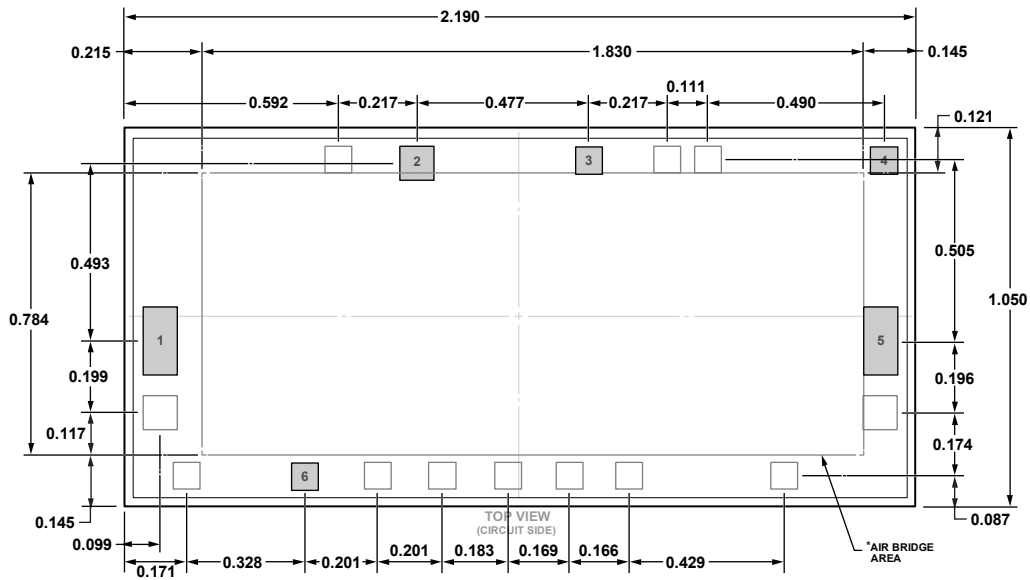
アセンブリ図



20651-039

図 39. アセンブリ図

外形寸法



*This die utilizes fragile air bridges. Any pickup tools used must not contact this area.

図 40.6 パッド・ベア・ダイ [チップ]
(C-6-13)
寸法 : mm

05-29-2019-A

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
HMC1082C-KIT	-55°C to +85°C	6-Pad Bare Die [CHIP]	C-6-13
HMC1082CHIP	-55°C to +85°C	6-Pad Bare Die [CHIP]	C-6-13

¹ HMC1082CHIP および HMC1082C-KIT は RoHS 準拠製品です。