

デュアル設定およびユーザEEPROM内蔵、 トリプル、8ビットNV可変抵抗器

DS3901

概要

DS3901は、トリプル、8ビット不揮発性(NV)可変抵抗器です。各抵抗器は、ソフトウェアまたはピン設定によって選択可能な2個の設定レジスタを備えています。選択されたレジスタは可変抵抗器の値を決定します。また、3個の抵抗器すべてでハイインピーダンスを設定することができます。抵抗器R0は、シャント抵抗器を外付けしてダイナミックレンジを拡大することができる柔軟性を持っています。内部のアドレス設定によって、DS3901のスレーブアドレスを128のアドレスの1つに設定することができます。さらに、DS3901は、極秘データを保護することが可能なオプションのパスワード保護体系を備えています。

特長

- ◆ 3個の256ポジションリニアデジタル抵抗器
- ◆ 50kΩ、30kΩ、および20kΩの全抵抗
- ◆ 各抵抗器にデュアルNV設定
- ◆ 低温度係数の抵抗器
- ◆ I²Cシリアルインタフェース
- ◆ 広い動作電圧範囲：2.4V～5.5V
- ◆ 書込み保護用に2レベルのパスワード
- ◆ 232バイトのユーザEEPROM
- ◆ プログラム可能なスレーブアドレス
- ◆ 動作温度範囲：-40℃～+95℃

アプリケーション

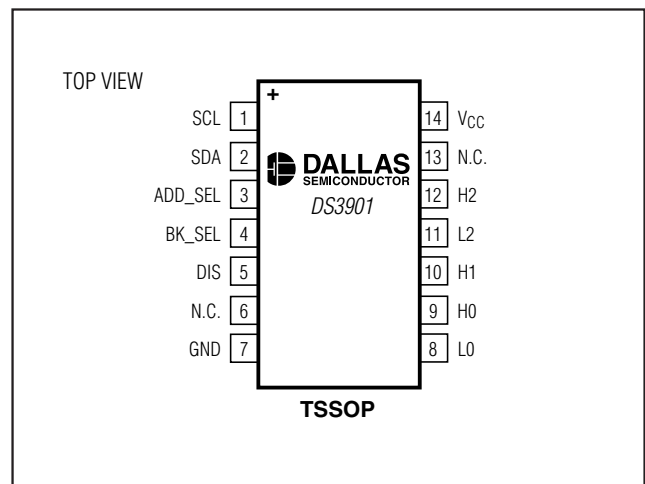
- 光トランシーバ
- 光トランスポンダ
- 計測および産業用制御
- RFパワーアンプ
- オーディオパワーアンプのバイアス
- 機械式可変抵抗器およびDIPスイッチの置換

型番

PART	TEMP RANGE	RESISTOR VALUES FOR R0, R1, AND R2	PIN-PACKAGE
DS3901E+	-40°C to +95°C	50kΩ, 30kΩ, 20kΩ	14 TSSOP

+は鉛フリーパッケージを示します。

ピン配置



標準動作回路はデータシートの最後に記載されています。

デュアル設定およびユーザEEPROM内蔵、 トリプル、8ビットNV可変抵抗器

DS3901

ABSOLUTE MAXIMUM RATINGS

Voltage on V_{CC}, SDA, SCL Relative to GND-0.5V to +6.0V
 Voltage on ADD_SEL, BK_SEL, DIS Relative to GND-0.5V to (V_{CC} + 0.5V), not to exceed +6.0V
 Voltage on H0, H1, H2, L2, L0 Relative to GND-0.5V to +6.0V
 Maximum Resistor Current3mA

Operating Temperature Range-40°C to +95°C
 Programming Temperature Range0°C to +70°C
 Storage Temperature Range-55°C to +125°C
 Soldering TemperatureRefer to IPC/JEDEC J-STD-020 Specification
 Maximum Switch Current3mA

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

RECOMMENDED OPERATING CONDITIONS

(T_A = -40°C to +95°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Voltage	V _{CC}	(Note 1)	2.4		5.5	V
Input Logic 0 (SDA, SCL, ADD_SEL)	V _{IL}	(Note 1)	-0.3		0.3 x V _{CC}	V
Input Logic 1 (SDA, SCL, ADD_SEL)	V _{IH}	(Note 1)	0.7 x V _{CC}		V _{CC} + 0.3	V
Input Logic 0 (BK_SEL, DIS)	V _{IL}	(Note 1)	-0.3		+0.8	V
Input Logic 1 (BK_SEL, DIS)	V _{IH}	(Note 1)	2.0		V _{CC} + 0.3	V
Voltage on Resistor Inputs	H0, H1, L0, H2, L2		-0.3		+5.5	V
Switch Current (L0_SW, Hi-Z0, Hi-Z1, Hi-Z2)	I _{SW}	(Note 2)			3	mA

ELECTRICAL CHARACTERISTICS

(V_{CC} = +2.4V to +5.5V, T_A = -40°C to +95°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Standby Current	I _{STBY}	(Note 3)			250	μA
Input Leakage	I _L		-1		+1	μA
Low-Level Output Voltage (SDA)	V _{OL1}	3mA sink current	0		0.4	V
	V _{OL2}	6mA sink current	0		0.6	
Pulldown Resistance (BK_SEL)	R _{BK}		20	30	45	kΩ
Pullup Resistance (DIS)	R _{DIS}		20	30	45	kΩ
BK_SEL Pulse Width			20			μs

デュアル設定およびユーザEEPROM内蔵、 トリプル、8ビットNV可変抵抗器

DS3901

ANALOG RESISTOR CHARACTERISTICS

($V_{CC} = +2.4V$ to $+5.5V$, $T_A = -40^{\circ}C$ to $+95^{\circ}C$, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Resistor Tolerance		$T_A = +25^{\circ}C$	-20		+20	%
Position 00h Resistance	R0, R2			242	500	Ω
	R1			149	250	
Position FFh Resistance	R0			50		k Ω
	R1			30		
	R2			20		
Switch Resistance	R _{LO_SW}	At 3mA			150	Ω
Absolute Linearity		(Note 4)	-0.75		+0.75	LSB
Relative Linearity		(Note 5)	-0.75		+0.75	LSB
Temperature Coefficient		Position FFh (Notes 2, 6)		50		ppm/ $^{\circ}C$
Hi-Z Resistor Leakage	I _{RHIZ}	H0, H1, H2, L0, or L2 = V_{CC}	-1		+1	μA

I²C CHARACTERISTICS

($V_{CC} = +2.4V$ to $+5.5V$, $T_A = -40^{\circ}C$ to $+95^{\circ}C$, unless otherwise noted. Timing referenced to $V_{IL(MAX)}$ and $V_{IH(MIN)}$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCL Clock Frequency	f _{SCL}	(Note 7)	0		400	kHz
Bus Free Time between STOP and START Condition	t _{BUF}		1.3			μs
Hold Time (Repeated) START Condition	t _{HD:STA}		0.6			μs
Low Period of SCL Clock	t _{LOW}		1.3			μs
High Period of SCL Clock	t _{HIGH}		0.6			μs
Data Hold Time	t _{HD:DAT}		0		0.9	μs
Data Setup Time	t _{SU:DAT}		100			ns
Start Setup time	t _{SU:STA}		0.6			μs
Rise Time of Both SDA and SCL Signals	t _R	(Note 8)	20 + 0.1C _B		300	ns
Fall Time of Both SDA and SCL Signals	t _F	(Note 8)	20 + 0.1C _B		300	ns
Setup Time for STOP Condition	t _{SU:STO}		0.6			μs
Capacitive Load for Each Bus Line	C _B	(Note 8)			400	pF
EEPROM Write Time	t _w	(Note 9)			10	ms
Input Capacitance	C _I			5		pF
Startup Time	t _{ST}			0.3	2	ms

デュアル設定およびユーザEEPROM内蔵、 トリプル、8ビットNV可変抵抗器

DS3901

NONVOLATILE MEMORY CHARACTERISTICS

($V_{CC} = +2.4V$ to $+5.5V$.)

PARAMETER	SYMBOL	CONDITION	MIN	TYP	MAX	UNITS
EEPROM Write Cycles		$T_A = +70^\circ C$ (Note 2)	50,000			

Note 1: All voltages referenced to ground.

Note 2: Guaranteed by design.

Note 3: I_{STBY} specified for the inactive state measured with $SDA = SCL = V_{CC}$, $ADD_SEL = GND$, $BK_SEL, DIS, H0, H1, H2, L2, L0$ floating.

Note 4: Absolute linearity is the deviation of a measured resistor-setting value from the expected value at each particular resistor setting. Expected value is calculated by connecting a straight line from the measured minimum setting to the measured maximum setting.

Note 5: Relative linearity is the deviation of the step size change between two LSB settings from the expected step size. The expected LSB step size is the slope of the straight line from measured minimum position to measured maximum position.

Note 6: See the *Typical Operating Characteristics*.

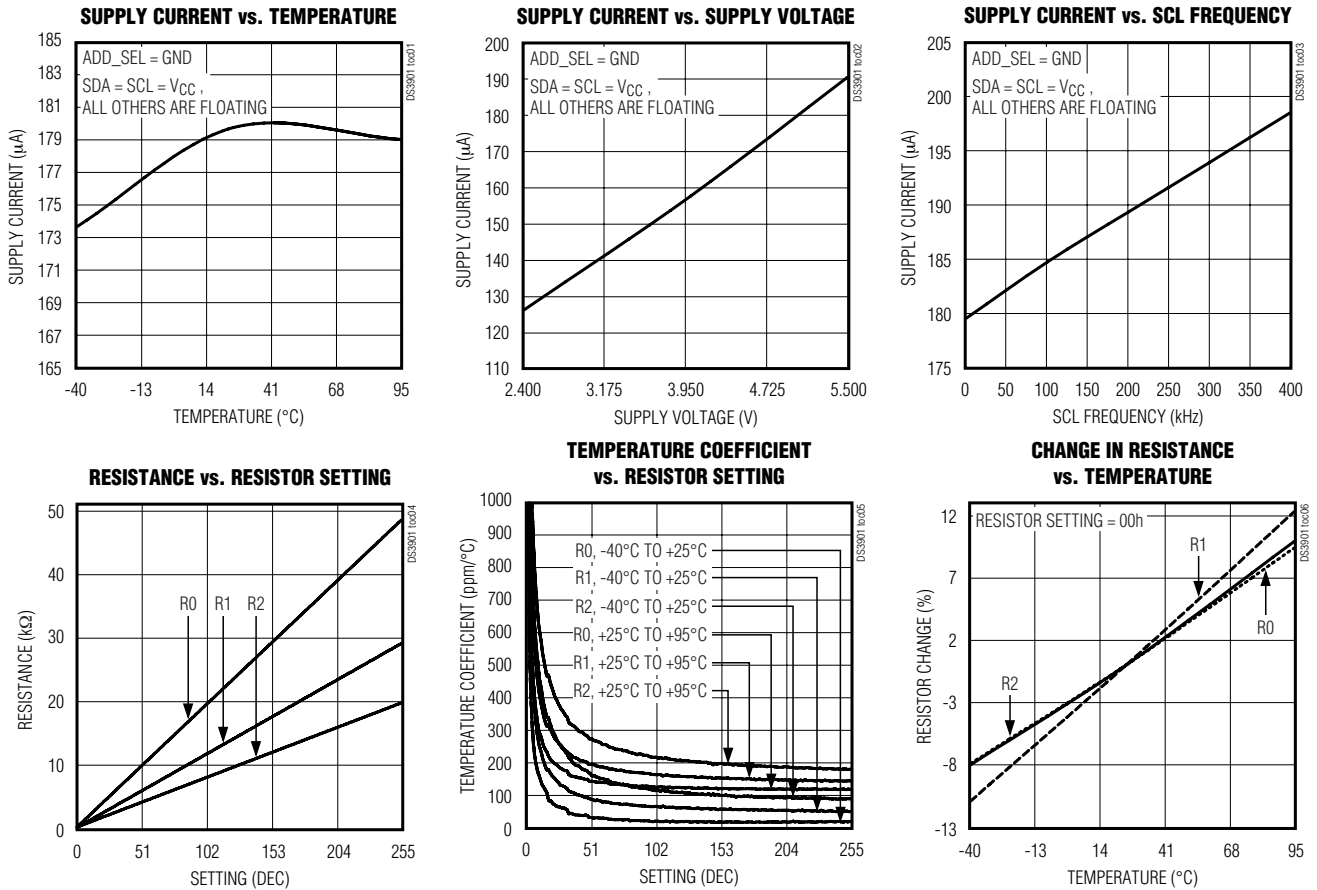
Note 7: Timing shown is for fast-mode (400kHz) operation. This device is also backward-compatible with I²C standard mode.

Note 8: CB—total capacitance of one bus line in picofarads.

Note 9: EEPROM write begins after a STOP condition occurs.

標準動作特性

($V_{CC} = +3.3V$, $T_A = +25^\circ C$, unless otherwise noted.)

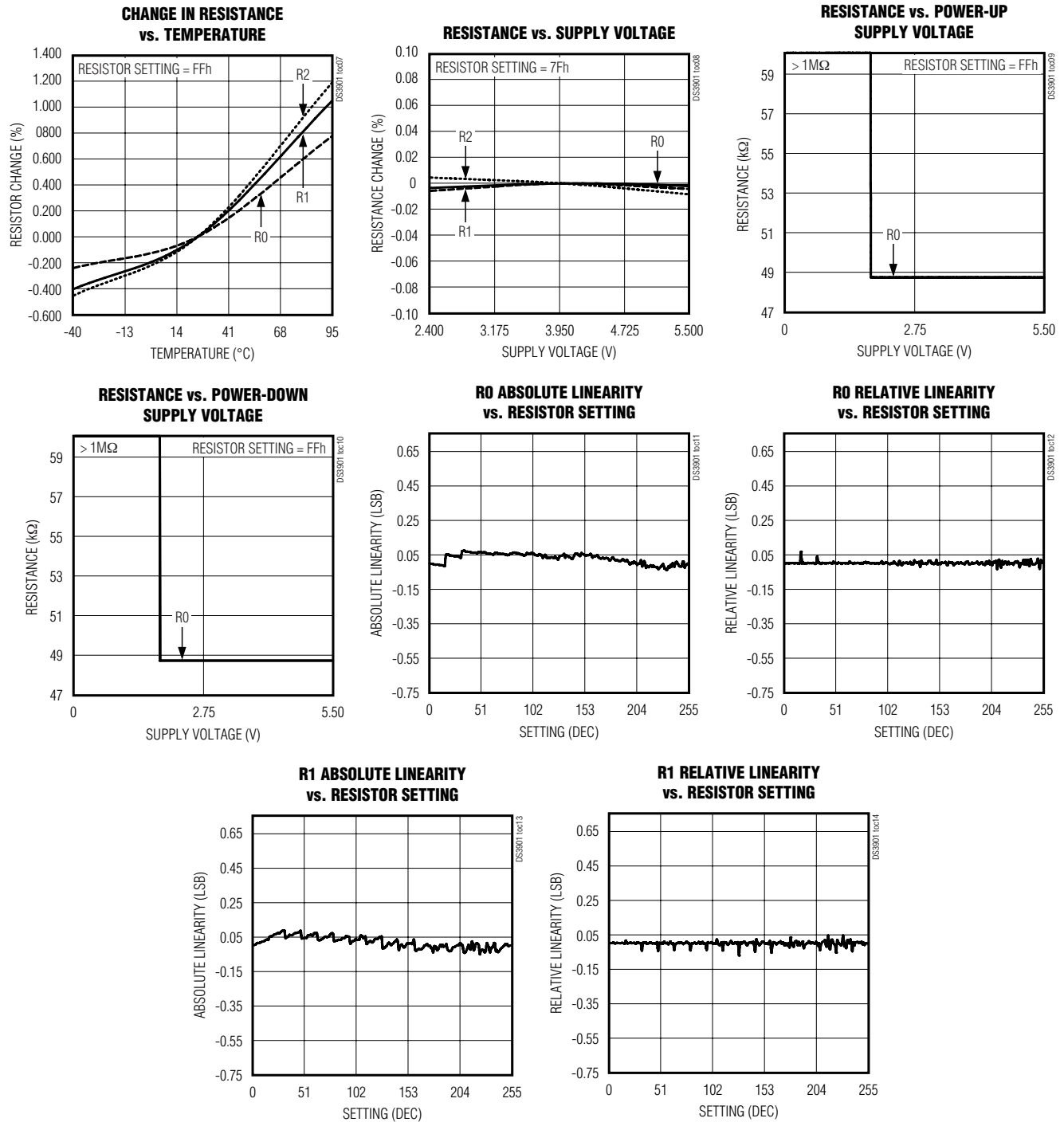


デュアル設定およびユーザEEPROM内蔵、 トリプル、8ビットNV可変抵抗器

DS3901

標準動作特性(続き)

($V_{CC} = +3.3V$, $T_A = +25^{\circ}C$, unless otherwise noted.)

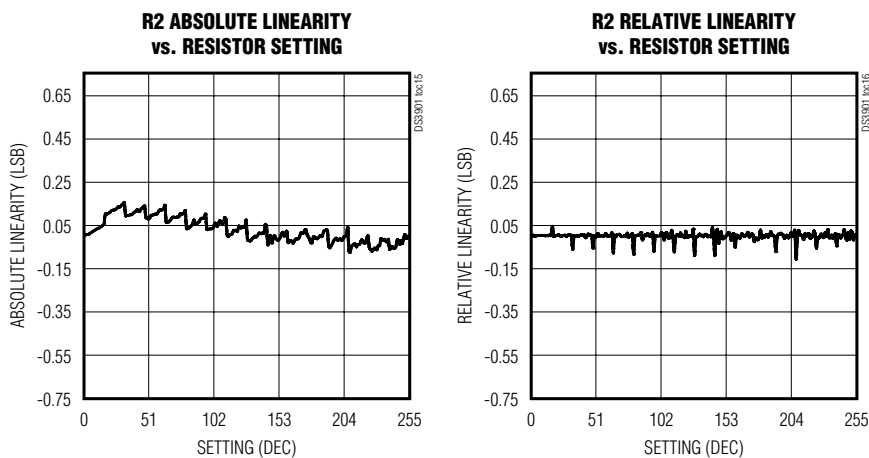


デュアル設定およびユーザEEPROM内蔵、 トリプル、8ビットNV可変抵抗器

DS3901

標準動作特性(続き)

(V_{CC} = +3.3V, T_A = +25°C, unless otherwise noted.)

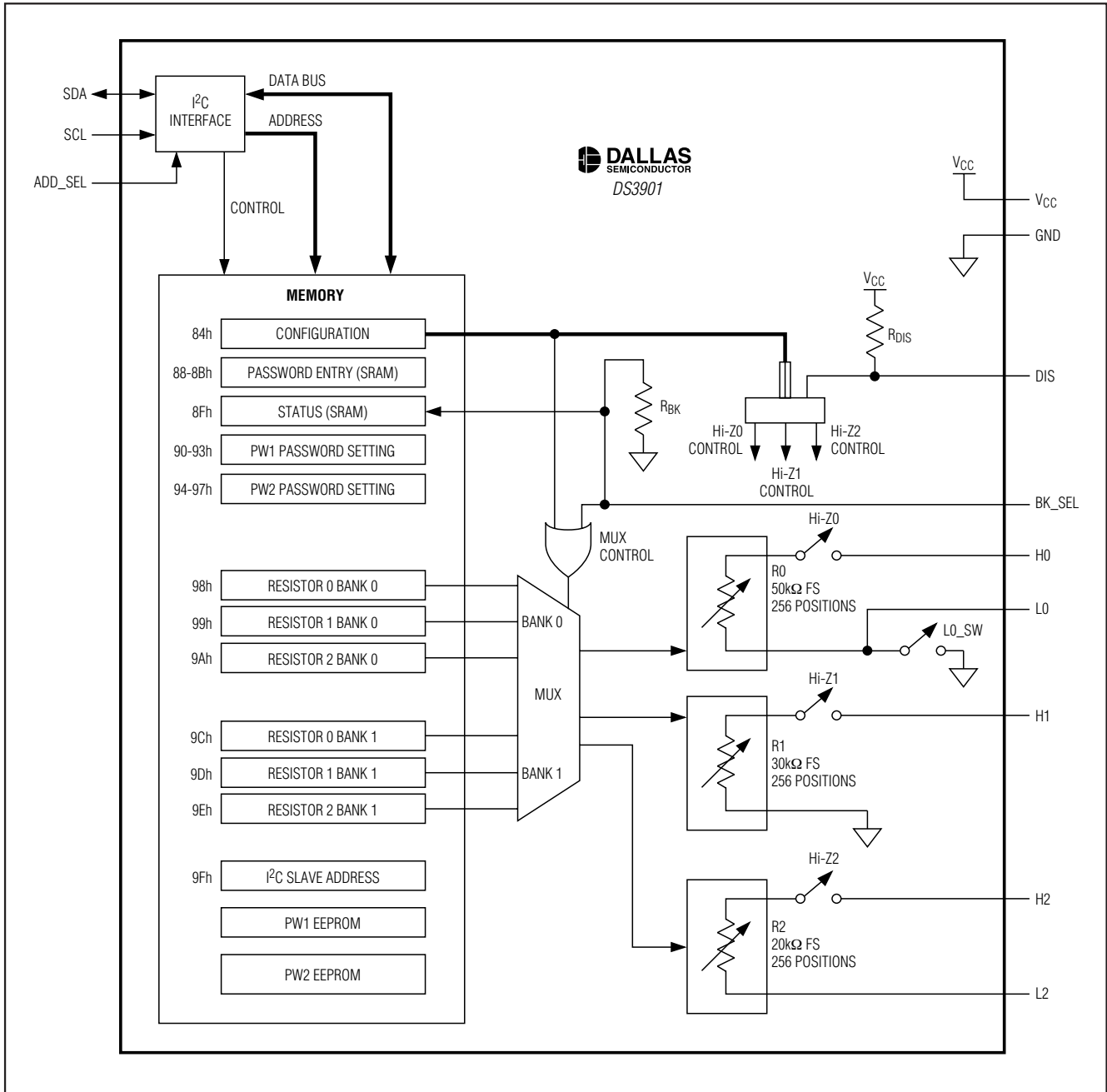


端子説明

端子	名称	機能
1	SCL	I ² Cクロック入力
2	SDA	I ² CデータI/Oピン
3	ADD_SEL	I ² Cスレーブアドレス選択ピン
4	BK_SEL	バンク選択ピン。このピンはプルダウン抵抗器R _{BK} を内蔵しています。
5	DIS	ハイインピーダンスティセーブル入力。このピンはプルアップ抵抗器R _{DIS} を内蔵しています。
6, 13	N.C.	接続なし
7	GND	グラウンド
8	L0	抵抗器0ロー端子
9	H0	抵抗器0ハイ端子
10	H1	抵抗器1ハイ端子
11	L2	抵抗器2ロー端子
12	H2	抵抗器2ハイ端子
14	V _{CC}	電源電圧

デュアル設定およびユーザEEPROM内蔵、 トリプル、8ビットNV可変抵抗器

ブロック図



DS3901

デュアル設定およびユーザEEPROM内蔵、 トリプル、8ビットNV可変抵抗器

DS3901

詳細

DS3901は3個の設定可能な可変抵抗器を内蔵しています。「ブロック図」はDS3901の機能を示します。以下の項でこれらの機能を詳しく説明します。

デュアルバンク抵抗器の設定

各抵抗器の設定は2個のレジスタの1つからロードすることができます。これらのレジスタは「バンク」と呼ばれ、各抵抗器は「バンク0」と「バンク1」の値を持っています。抵抗器の値としてロードされるバンクは、BK_SELピンのロジック状態とBSC制御ビット(レジスタ84h、ビット3)のOR論理によって選択されます。詳しくは「メモリマップ」の項をご覧ください。OR論理の結果が0であれば、3個の抵抗器すべてにバンク0位置に格納された値が使用されます。結果が1であれば、3個の抵抗器すべてにバンク1位置に格納された値が使用されます。

シャント抵抗器スイッチ

抵抗器0には、L0ピンに固定抵抗器を外付けするオプションがあります。これによって、標準全抵抗値と拡張全抵抗値のいずれかを選択することができます。デフォルトでは、L0_SWビット(設定レジスタ84h、ビット4)が0の値に設定されます。L0_SWビットが0のとき、抵抗器0のロー側からグランドまでの内部接続が開いており、抵抗器0のロー端子はL0ピンに接続されているだけです。このため、拡張全抵抗値の場合は、外付け抵抗器をL0ピンに接続することができます。スイッチ制御ビットL0_SWに1を書き込むと、抵抗器0のロー端子は内部でグランドに接続されます。

ハイインピーダンス機能

抵抗器をハイインピーダンス(Hi-Z)状態にする方法は2つあります。第1はDISピンを1に設定する方法です。これには、ピンをフローティングにするか(プルアップ抵抗器R_{DIS}が内蔵されています)、もしくはDISをV_{CC}にじかに接続します。DISピンがハイに保たれているかまたはフローティング状態にあるとき、3個の抵抗器はすべてハイインピーダンス状態に保持されます。第2の方法は設定レジスタ(84h)のビット0~2を使用して各抵抗器をハイインピーダンス状態に設定することです

(詳しくは「メモリマップ」の項をご覧ください)。DISピンの状態はハイインピーダンス制御ビットの状態に優先します(詳しくは「メモリマップ」の項をご覧ください)。

スレーブアドレスバイト

ADD_SELピンはDS3901のI²Cアドレスの選択に使用されます。ADD_SELピンをローに接続すると、DS3901のI²CアドレスはA2hになります。ADD_SELピンをハイに接続すると、スレーブアドレスレジスタ(9Fh)に格納された値が使用されます。スレーブアドレスレジスタのデフォルト値は、「メモリマップ」の項に記載されています。スレーブアドレスレジスタのLSBはI²Cコマンド構造用の読取り/書込みビットとして予約されているため、スレーブアドレスレジスタは128のアドレスの1つにプログラムすることができます。

パスワード保護

DS3901のメモリは、2レベルのパスワード体系によって書き込み保護されています。パスワード入力レジスタとパスワード設定レジスタを除いて、すべてのメモリ位置はパスワードなしで読み取ることができます。パスワード入力バイト(88h~8Bh)に適切なパスワードを入力すると、DS3901はこのパスワードに対して指定されたメモリ領域に書き込みアクセスすることができます。PW1パスワードの設定はPW1パスワード設定レジスタ(バイト90h~93h)に書き込まれます。PW2パスワードの設定はPW2パスワード設定レジスタ(バイト94h~97h)に書き込まれます。詳しくは「メモリマップ」の項をご覧ください。PW2パスワードを入力すると、PW1パスワードによって保護された領域にアクセスすることができます。

出荷時には、いずれのパスワード設定もすべてゼロです。また、デバイスをパワーアップするたびに、パスワード入力レジスタ(SRAM)はすべてゼロにデフォルト設定されます。書き込み保護が必要でない場合は、パスワード設定を出荷時のデフォルトのままにしてパスワード入力レジスタを無視してください。いずれか一方または両方のデフォルトパスワード設定が固有の値に変更されると、書き込み保護が有効になります。

デュアル設定およびユーザEEPROM内蔵、 トリプル、8ビットNV可変抵抗器

メモリマップ

メモリは、256バイトで構成され2レベルのパスワード体系によって書き込み保護されています。下表1はメモリ

マップの構成を示します。レジスタの詳細は「レジスタの説明」の項に記載されています。

表1. メモリマップ

DESCRIPTION	ADDR	BINARY								FACTORY DEFAULT	ACCESS			TYPE
		MSB			LSB						NO PW	PW1	PW2	
Lower Memory	00–7Fh	PW2 EEPROM								00h	R	R	R/W	EEPROM
Memory	80–83h	PW1 EEPROM								00h	R	R/W	R/W	EEPROM
Configuration	84h				L0_SW	BSC	HiZ2	HiZ1	HiZ0	00h	R	R/W	R/W	EEPROM
Memory	85–87h	PW1 EEPROM								00h	R	R/W	R/W	EEPROM
Password Entry	88–8Bh	MSB–LSB								00h	W	W	W	SRAM
Memory	8C–8Eh	SRAM								00h	R/W	R/W	R/W	SRAM
Status	8Fh	0	0	0	BSS	0	0	0	DISS	000x000xb	R	R	R	SRAM
Password Setting PW1	90–93h	MSB–LSB								00h	—	—	W	EEPROM
Password Setting PW2	94–97h	MSB–LSB								00h	—	—	W	EEPROM
Resistor 0 Bank 0	98h	—								7Fh	R	R	R/W	EEPROM
Resistor 1 Bank 0	99h	—								7Fh	R	R	R/W	EEPROM
Resistor 2 Bank 0	9Ah	—								7Fh	R	R	R/W	EEPROM
Memory	9Bh	PW2 EEPROM								00h	R	R	R/W	EEPROM
Resistor 0 Bank 1	9Ch	—								7Fh	R	R	R/W	EEPROM
Resistor 1 Bank 1	9Dh	—								7Fh	R	R	R/W	EEPROM
Resistor 2 Bank 1	9Eh	—								7Fh	R	R	R/W	EEPROM
Slave Address	9Fh	I ² C SLAVE ADDRESS								A0h	R	R	R/W	EEPROM
Memory	A0h–FFh	PW2 EEPROM								00h	R	R	R/W	EEPROM

レジスタの説明

メモリレジスタ00h~7Fh : PW2 EEPROM

出荷時デフォルト :	00h
パスワードなしのアクセス :	読取りのみ
PW1パスワードによるアクセス :	読取りのみ
PW2パスワードによるアクセス :	読取りと書き込み
メモリタイプ :	不揮発性(EEPROM)

00h–7Fh	EEPROM
---------	--------

デュアル設定およびユーザEEPROM内蔵、 トリプル、8ビットNV可変抵抗器

DS3901

メモリレジスタ80h~83h : PW1 EEPROM

出荷時デフォルト :	00h
パスワードなしのアクセス :	読取りのみ
PW1パスワードによるアクセス :	読取りと書込み
PW2パスワードによるアクセス :	読取りと書込み
メモリタイプ :	不揮発性(EEPROM)

80h-83h	EEPROM
---------	--------

メモリレジスタ84h : 設定レジスタ

出荷時デフォルト :	00h
パスワードなしのアクセス :	読取りのみ
PW1パスワードによるアクセス :	読取りと書込み
PW2パスワードによるアクセス :	読取りと書込み
メモリタイプ :	不揮発性(EEPROM)

84h				LO_SW	BSC	HiZ2	HiZ1	HiZ0
	b7							b0
ビット7~5	これらのビットは0に設定されます。							
ビット4	LO_SW : 外部シャント抵抗器をLOピンに接続するための選択可能スイッチ(「ブロック図」参照) 0 = スイッチLO_SWが開いています(デフォルト)。 1 = スイッチLO_SWが閉じています。							
ビット3	BSC : BK_SELピンの状態との論理和を取って、レジスタ0、1、および2の設定を決定するために使用されるレジスタバンクを選択する制御ビット。 0 = BK_SELピンは使用されるバンクの設定を決定します。 1 = バンク1の設定が使用されます。							
ビット2	HiZ2 : レジスタ2に対してハイインピーダンス状態の選択に使用される制御ビット。 DISピンがハイの場合、Hi-Z制御ピンの状態に関係なく全抵抗器がハイインピーダンスです。DISピンがローの場合、次が成立します。 0 = 抵抗器2はハイインピーダンス状態にありません(デフォルト)。 1 = 抵抗器2はハイインピーダンス状態にあります。							
ビット1	HiZ1 : レジスタ1に対してハイインピーダンス状態の選択に使用される制御ビット。 DISピンがハイの場合、Hi-Z制御ピンの状態に関係なく全抵抗器がハイインピーダンスです。DISピンがローの場合、次が成立します。 0 = 抵抗器1はハイインピーダンス状態にありません(デフォルト)。 1 = 抵抗器1はハイインピーダンス状態にあります。							
ビット0	HiZ0 : レジスタ0に対してハイインピーダンス状態の選択に使用される制御ビット。 DISピンがハイの場合、Hi-Z制御ピンの状態に関係なく全抵抗器がハイインピーダンスです。DISピンがローの場合、次が成立します。 0 = 抵抗器0はハイインピーダンス状態にありません(デフォルト)。 1 = 抵抗器0はハイインピーダンス状態にあります。							

デュアル設定およびユーザEEPROM内蔵、 トリプル、8ビットNV可変抵抗器

DS3901

メモリレジスタ85h~87h : PW1 EEPROM

出荷時デフォルト :	00h
パスワードなしのアクセス :	読取りのみ
PW1パスワードによるアクセス :	読取りと書込み
PW2パスワードによるアクセス :	読取りと書込み
メモリタイプ :	不揮発性(EEPROM)

85h-87h	EEPROM
---------	--------

メモリレジスタ88h~8Bh : パスワード入力

出荷時デフォルト :	00000000h
パスワードなしのアクセス :	書込みのみ
PW1パスワードによるアクセス :	書込みのみ
PW2パスワードによるアクセス :	書込みのみ
メモリタイプ :	揮発性(SRAM)

88h	2 ³¹	2 ³⁰	2 ²⁹	2 ²⁸	2 ²⁷	2 ²⁶	2 ²⁵	2 ²⁴	
89h	2 ²³	2 ²²	2 ²¹	2 ²⁰	2 ¹⁹	2 ¹⁸	2 ¹⁷	2 ¹⁶	
8Ah	2 ¹⁵	2 ¹⁴	2 ¹³	2 ¹²	2 ¹¹	2 ¹⁰	2 ⁹	2 ⁸	
8Bh	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰	
	b7							b0	

DS3901には、PW1パスワードとPW2パスワードの2つのパスワードがあります。メモリマップレジスタの説明は、使用されるパスワードの各レベルに認められる

アクセスのタイプを表します。パスワードアクセスの詳細については「パスワード保護」の項をご覧ください。

メモリレジスタ8Ch~8Eh : SRAM

出荷時デフォルト :	00h
パスワードなしのアクセス :	読取りと書込み
PW1パスワードによるアクセス :	読取りと書込み
PW2パスワードによるアクセス :	読取りと書込み
メモリタイプ :	揮発性(SRAM)

8Ch-8Eh	SRAM
---------	------

デュアル設定およびユーザEEPROM内蔵、 トリプル、8ビットNV可変抵抗器

DS3901

メモリレジスタ8Fh : ステータス

出荷時デフォルト :	000x000xb
パスワードなしのアクセス :	読取りのみ
PW1パスワードによるアクセス :	読取りのみ
PW2パスワードによるアクセス :	読取りのみ
メモリタイプ :	揮発性(SRAM)

8Fh	0	0	0	BSS	0	0	0	DISS	
	b7							b0	
ビット7~5	これらのビットは0です。								
ビット4	BSS : BK_SELピンの状態を表すステータスビット。 0 = BK_SELピンはローです。 1 = BK_SELピンはハイです。								
ビット3~1	これらのビットは0です。								
ビット0	DISS : DISピンの状態を表すステータスビット。 0 = DISピンはローです。Hi-Z制御ビットは、各抵抗器のハイインピーダンス状態を選択するために使用されます。 1 = DISピンはハイです。全抵抗器がハイインピーダンス状態にあります。								

メモリレジスタ90h~93h : PW1パスワード設定

出荷時デフォルト :	00000000h
パスワードなしのアクセス :	なし
PW1パスワードによるアクセス :	なし
PW2パスワードによるアクセス :	書込みのみ
メモリタイプ :	不揮発性(EEPROM)

90h	2 ³¹	2 ³⁰	2 ²⁹	2 ²⁸	2 ²⁷	2 ²⁶	2 ²⁵	2 ²⁴	
91h	2 ²³	2 ²²	2 ²¹	2 ²⁰	2 ¹⁹	2 ¹⁸	2 ¹⁷	2 ¹⁶	
92h	2 ¹⁵	2 ¹⁴	2 ¹³	2 ¹²	2 ¹¹	2 ¹⁰	2 ⁹	2 ⁸	
93h	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰	
	b7							b0	

これらの4バイトは、PW1パスワードが保護するメモリへのアクセスに使用されるパスワードを含みます。

デュアル設定およびユーザEEPROM内蔵、 トリプル、8ビットNV可変抵抗器

メモリレジスタ94h~97h : PW2パスワード設定

出荷時デフォルト :	00000000h
パスワードなしのアクセス :	なし
PW1パスワードによるアクセス :	なし
PW2パスワードによるアクセス :	書込みのみ
メモリタイプ :	不揮発性(EEPROM)

94h	2 ³¹	2 ³⁰	2 ²⁹	2 ²⁸	2 ²⁷	2 ²⁶	2 ²⁵	2 ²⁴	
95h	2 ²³	2 ²²	2 ²¹	2 ²⁰	2 ¹⁹	2 ¹⁸	2 ¹⁷	2 ¹⁶	
96h	2 ¹⁵	2 ¹⁴	2 ¹³	2 ¹²	2 ¹¹	2 ¹⁰	2 ⁹	2 ⁸	
97h	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰	
	b ⁷							b ⁰	

これらの4バイトは、PW2パスワードが保護するメモリへのアクセスに使用されるパスワードを含みます。

メモリレジスタ98h : レジスタ0、バンク0

出荷時デフォルト :	7Fh
パスワードなしのアクセス :	読取りのみ
PW1パスワードによるアクセス :	読取りのみ
PW2パスワードによるアクセス :	読取りと書込み
メモリタイプ :	不揮発性(EEPROM)

98h	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰	
	b ⁷							b ⁰	

このレジスタは抵抗器0に対するバンク0の値を含みます。BSCビット(ビット3、84h)の状態とBK_SELピンの論理和出力は、抵抗器0の設定に抵抗器0バンク0、

抵抗器0バンク1のいずれを使用するかを決定します。ロジックの詳細については、レジスタ84hの設定レジスタをご覧ください。

デュアル設定およびユーザEEPROM内蔵、 トリプル、8ビットNV可変抵抗器

DS3901

メモリレジスタ99h：抵抗器1、バンク0

出荷時デフォルト：	7Fh
パスワードなしのアクセス：	読取りのみ
PW1パスワードによるアクセス：	読取りのみ
PW2パスワードによるアクセス：	読取りと書込み
メモリタイプ：	不揮発性(EEPROM)

99h	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰
	b7							b0

このレジスタは抵抗器1に対するバンク0の値を含みます。BSCビット(ビット3、84h)の状態とBK_SELピンの論理和出力は、抵抗器1の設定に抵抗器1バンク0、

抵抗器1バンク1のいずれを使用するかを決定します。ロジックの詳細については、レジスタ84hの設定レジスタをご覧ください。

メモリレジスタ9Ah：抵抗器2、バンク0

出荷時デフォルト：	7Fh
パスワードなしのアクセス：	読取りのみ
PW1パスワードによるアクセス：	読取りのみ
PW2パスワードによるアクセス：	読取りと書込み
メモリタイプ：	不揮発性(EEPROM)

9Ah	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰
	b7							b0

このレジスタは抵抗器2に対するバンク0の値を含みます。BSCビット(ビット3、84h)の状態とBK_SELピンの論理和出力は、抵抗器2の設定に抵抗器2バンク0、

抵抗器2バンク1のいずれを使用するかを決定します。ロジックの詳細については、レジスタ84hの設定レジスタをご覧ください。

メモリレジスタ9Bh：PW2 EEPROM

出荷時デフォルト：	00h
パスワードなしのアクセス：	読取りのみ
PW1パスワードによるアクセス：	読取りのみ
PW2パスワードによるアクセス：	読取りと書込み
メモリタイプ：	不揮発性(EEPROM)

9Bh	EEPROM
-----	--------

デュアル設定およびユーザEEPROM内蔵、 トリプル、8ビットNV可変抵抗器

メモリレジスタ9Ch：抵抗器0、バンク1

出荷時デフォルト：	7Fh
パスワードなしのアクセス：	読取りのみ
PW1パスワードによるアクセス：	読取りのみ
PW2パスワードによるアクセス：	読取りと書込み
メモリタイプ：	不揮発性(EEPROM)

9Ch	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰
	b7							b0

このレジスタは抵抗器0に対するバンク1の値を含みます。BSCビット(ビット3、84h)の状態とBK_SELピンの論理和出力は、抵抗器0の設定に抵抗器0バンク0、

抵抗器0バンク1のいずれを使用するかを決定します。ロジックの詳細については、レジスタ84hの設定レジスタをご覧ください。

メモリレジスタ9Dh：抵抗器1、バンク1

出荷時デフォルト：	7Fh
パスワードなしのアクセス：	読取りのみ
PW1パスワードによるアクセス：	読取りのみ
PW2パスワードによるアクセス：	読取りと書込み
メモリタイプ：	不揮発性(EEPROM)

9Dh	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰
	b7							b0

このレジスタは抵抗器1に対するバンク1の値を含みます。BSCビット(ビット3、84h)の状態とBK_SELピンの論理和出力は、抵抗器1の設定に抵抗器1バンク0、

抵抗器1バンク1のいずれを使用するかを決定します。ロジックの詳細については、レジスタ84hの設定レジスタをご覧ください。

メモリレジスタ9Eh：抵抗器2、バンク1

出荷時デフォルト：	7Fh
パスワードなしのアクセス：	読取りのみ
PW1パスワードによるアクセス：	読取りのみ
PW2パスワードによるアクセス：	読取りと書込み
メモリタイプ：	不揮発性(EEPROM)

9Eh	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰
	b7							b0

このレジスタは抵抗器2に対するバンク1の値を含みます。BSCビット(ビット3、84h)の状態とBK_SELピンの論理和出力は、抵抗器2の設定に抵抗器2バンク0、

抵抗器2バンク1のいずれを使用するかを決定します。ロジックの詳細については、レジスタ84hの設定レジスタをご覧ください。

デュアル設定およびユーザEEPROM内蔵、 トリプル、8ビットNV可変抵抗器

DS3901

メモリレジスタ9Fh : スレーブアドレスレジスタ

出荷時デフォルト :	A0h
パスワードなしのアクセス :	読取りのみ
PW1パスワードによるアクセス :	読取りのみ
PW2パスワードによるアクセス :	読取りと書込み
メモリタイプ :	不揮発性(EEPROM)

9Fh	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰
	b7							b0

DS3901のI²Cスレーブアドレスは、ADD_SELピンの状態に依存します。このピンがローの場合、スレーブアドレスはA2hです。ADD_SELピンがハイの場合、スレーブアドレスはEEPROMのアドレス9Fhに格納された値によって決定されます。スレーブアドレスに対する

出荷時のデフォルト値はA0hです。上位7ビットを使用して、スレーブアドレスを128のアドレスの1つにプログラムします(LSBはR/Wビットのビット位置にあるため使用されません)。

メモリレジスタA0h~FFh : PW2 EEPROM

出荷時デフォルト :	00h
パスワードなしのアクセス :	読取りのみ
PW1パスワードによるアクセス :	読取りのみ
PW2パスワードによるアクセス :	読取りと書込み
メモリタイプ :	不揮発性(EEPROM)

A0h-FFh	EEPROM
---------	--------

デュアル設定およびユーザEEPROM内蔵、トリプル、8ビットNV可変抵抗器

I²Cシリアルインタフェースの説明

I²Cの定義

以下の用語はI²Cデータ転送の説明に一般に使用されます。

マスタデバイス：マスタデバイスはバス上のスレーブデバイスを制御します。マスタデバイスは、SCLクロックパルス、START条件、およびSTOP条件を生成します。

スレーブデバイス：スレーブデバイスはマスタの要求に応じてデータを送受信します。

バスアイドルまたは非ビジー：SDAとSCLの両方が非アクティブでロジックハイ状態にあるときのSTOP条件とSTART条件の間の時間。バスは通常、アイドル状態になると、スレーブデバイスを低電力モードに入れます。

START条件：START条件は、スレーブとの新たなデータ転送を開始するためにマスタが生成します。SCLがハイの間にSDAがハイからローに遷移すると、START条件が発生します。有効なタイミングについては、タイミング図をご覧ください。

STOP条件：STOP条件は、スレーブとのデータ転送を終了するためにマスタが生成します。SCLがハイの間にSDAがローからハイに遷移すると、STOP条件が発生します。有効なタイミングについては、タイミング図をご覧ください。

反復START条件：マスタは、1回のデータ転送の最後に反復START条件を使用することによって、現在のデータ転送に続いて新たなデータ転送を直ちに開始することを示します。反復スタートは、データ転送を開始する特定のメモリアドレスを識別するために、通常、読取り

動作中に使用されます。反復START条件は、通常のSTART条件と同様に送出されます。有効なタイミングについては、タイミング図をご覧ください。

ビット書込み：SDAはSCLがロー状態の間に遷移することが必要です。SDAのデータは、SCLの全ハイパルス期間およびセットアップとホールドの時間要件を満たす期間中、有効かつ不変の状態を保つものとします(図1参照)。データはSCLの立上りエッジの間にデバイスにシフトインされます。

ビット読取り：書込み動作の最後に、マスタはビット読取り中のSCLの次の立上りエッジの前に、適当なセットアップ時間(図1参照) SDAバスラインを解放する必要があります。デバイスは前のSCLパルスの立下りエッジでSDAの各データビットをシフトアウトし、このデータビットは現在のSCLパルスの立上りエッジで有効になります。マスタは、スレーブからビットを読み取っているときを含め、すべてのSCLクロックパルスを生成します。

確認応答(ACKとNACK)：肯定確認応答(ACK)または否定確認応答(NACK)は、常にバイト転送中に送信される9番目のビットです。データを受信するデバイス(読取り中のマスタ、または書込み中のスレーブ)は、9番目のビット中にゼロを送信することによってACKを返します。デバイスは9番目のビット中に1を送信することによってNACKを返します。ACKとNACKのタイミング(図1)は、その他すべてのビット書込みと同じです。ACKはデバイスがデータを正しく受信していることの確認です。NACKは読取りシーケンスを終了するために使用されるか、もしくはデバイスがデータを受信していないことを表します。

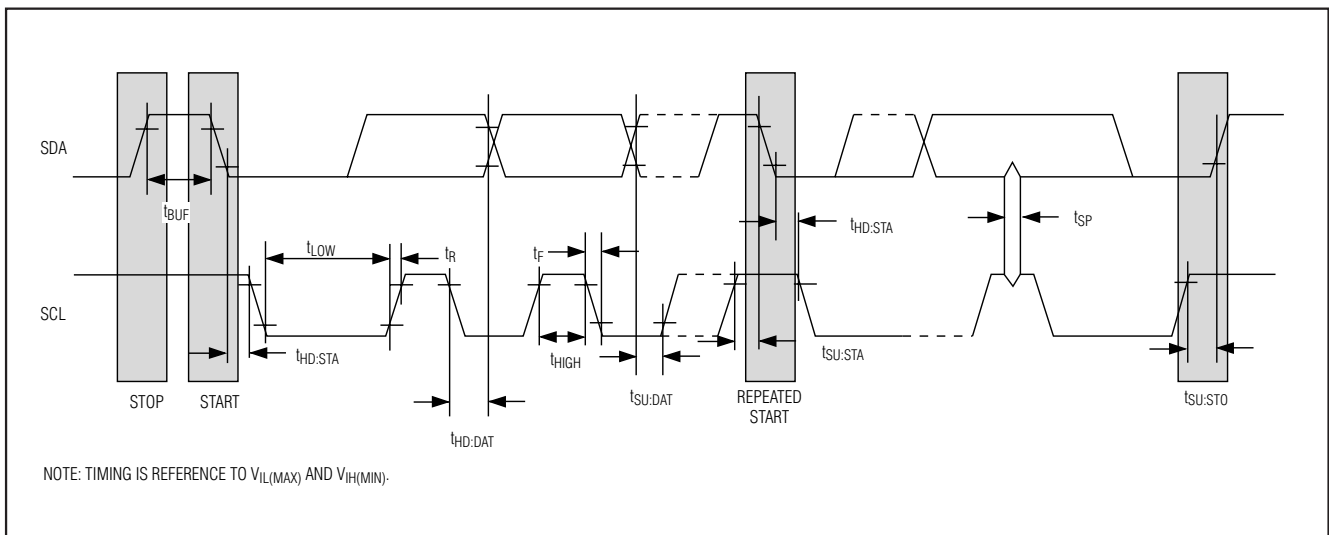


図1. I²Cタイミング図

デュアル設定およびユーザEEPROM内蔵、 トリプル、8ビットNV可変抵抗器

DS3901

バイト書込み：バイト書込みは、マスタからスレーブに転送(MSB先頭)される8ビットの情報と、スレーブからマスタへの1ビットの確認応答で構成されます。マスタが送信する8ビットはビット書込みの定義に従って行われ、確認応答はビット読取りの定義を用いて読み取られます。

バイト読取り：バイト読取りは、スレーブからマスタへの8ビット情報転送とマスタからスレーブへの1ビットのACKまたはNACKからなります。スレーブからマスタに転送(MSB先頭)される8ビットの情報は、前記のビット読取りの定義を用いてマスタによって読み取られ、マスタはビット書込みの定義を用いてACKを送信し後続のデータバイトを受信します。スレーブがSDAの制御をマスタに戻すためには、マスタは最終バイト読取りに対してNACKを返して通信を終了する必要があります。

スレーブアドレスバイト：I²Cバス上の各スレーブは、START条件のすぐ後に送信されるスレーブアドレス指定バイトに応答します。スレーブアドレスバイトは、上位7ビットにスレーブアドレスを含み、最下位ビットにR/Wビットを含んでいます。

ADD_SELピンとスレーブアドレスレジスタ(9Fh)は、DS3901のI²Cスレーブアドレスを決定します。ADD_SELがローであれば、スレーブアドレスはA2hです。ADD_SELがハイであれば、スレーブアドレスレジスタ(9Fh)のスレーブアドレスが使用されます。

スレーブアドレスバイトのLSBはR/Wビットです。R/Wビットが0であれば、マスタはスレーブにデータを書き込むことを表します。R/W=1であれば、マスタはスレーブからデータを読み取ります。不正なスレーブアドレスが書き込まれると、DS3901はマスタが別のI²Cデバイスと通信しているものと判断し、次のSTART条件が送信されるまで通信を無視します。

メモリアドレス：I²C書込み動作中、マスタはメモリアドレスを送信してスレーブがデータを格納すべきメモリ位置を確認する必要があります。メモリアドレスは常に、スレーブアドレスバイトに続く書込み動作中に送信される2番目のバイトです。

I²C通信

スレーブへの単一バイトの書込み：マスタは、START条件の生成、スレーブアドレスバイト(R/W = 0)の書込み、メモリアドレスの書込み、データバイトの書込み、およびSTOP条件の生成を行う必要があります。マスタはすべてのバイトの書込み動作中にスレーブの確認応答を読み取る必要があります。

スレーブへの複数バイトの書込み：スレーブに複数のバイトを書き込むために、マスタはSTART条件の生成、スレーブアドレスバイト(R/W = 0)の書込み、メモリアドレスの書込み、最大8データバイトの書込み、およびSTOP条件の生成を行います。

DS3901は、1回の書込みトランザクションによって最大8バイト(1ページまたは1行)を書き込むことができます。この書込みはアドレスカウンタによって内部で制御され、各データバイトを送信する前にメモリアドレスを送信しなくてもデータを連続したアドレスに書き込むことができます。アドレスカウンタは、書込みを8バイトx1ページに制限します。

各ページ間でSTOP条件を送信せずにメモリのページにさらに書き込もうとすると、現在の行の最初にアドレスカウンタがラップアラウンドします。アドレスのラッピングの発生を防止するには、マスタはページの最後にSTOP条件を送信してからバスの解放またはEEPROM書込み時間の経過を待つ必要があります。その後、マスタは、新たなSTART条件の生成、スレーブアドレスバイト(R/W = 0)の書込み、およびデータの書込みの継続に先立つ次のメモリ行の先頭メモリアドレスの書込みを行うことができます。

確認応答ポーリング：DS3901は、EEPROMページに書き込むたびに、ページの内容をEEPROMに書き込むためにSTOP条件の後にEEPROM書込み時間(t_w)を必要とします。EEPROMの書込み時間中、デバイスはそのスレーブアドレスが使用中であるためこれに確認応答しません。この現象を利用して、DS3901のアドレス指定を反復することによって、DS3901のデータの受信準備が整い次第次のページに書き込むことができます。確認応答ポーリングに代わる方法としては、 t_w の最大時間が経過するのを待ってからデバイスに再度書込みを行う方法があります。

EEPROM書込みサイクル：DS3901は、EEPROMに書込みを行うとき、そのページの1バイトしか変更されていない場合でもEEPROMメモリページ全体を書き込みます。そのページの8バイト全部を変更しないで書き込むことは可能で、同じページのメモリの残るバイトを破壊することはありません。ページ全体が書き込まれるため、トランザクションの際に変更されなかったページのバイトも書込みサイクルの対象となります。この場合、単一バイトを繰り返し書き込むことによってページ全体の機能が時間の経過とともに低下するおそれがあります。DS3901のEEPROMの書込みサイクルは「Nonvolatile Memory Characteristics (不揮発性メモリ特性)」の表で指定されています。記載された仕様はワーストケースの温度におけるものです。

デュアル設定およびユーザEEPROM内蔵、 トリプル、8ビットNV可変抵抗器

DS3901

スレーブからの単一バイトの読取り：データを書き込む場所を定めるためにメモリアドレスバイトを使用する書込み動作とは異なり、読取り動作はメモリアドレスカウンタの現在値で行われます。スレーブから単一バイトを読み取るために、マスタはSTART条件の生成、 $R/\bar{W} = 1$ によるスレーブアドレスバイトの書込み、転送の終了を示すNACKを持つデータバイトの読取り、およびSTOP条件の生成を行います。

読取り用アドレスカウンタの操作：ダミーの書込みサイクルを使用して、アドレスカウンタを強制的に特定の値に設定することができます。これを実行するために、マスタはSTART条件の生成、スレーブアドレスバイトの書込み($R/\bar{W} = 0$)、読取りが必要なメモリアドレスの書込み、反復START条件の生成、スレーブアドレスバイトの書込み($R/\bar{W} = 1$)、規定に従ったACKまたはNACKを持つデータの読取り、およびSTOP条件の生成を行います。

スレーブからの複数バイトの読取り：読取り動作は、1回の転送による複数バイトの読取りに使用することができます。マスタは、スレーブからバイトを読み取る時、トランザクションを終了する前に別のバイトを読み取る必要があれば、そのデータバイトに対してACKを返すだけで済みます。マスタは、最終バイトを読み取ると、転送の終了を示すためにNACKを返してSTOP条件を生成します。これで、読取りサイクルの前にアドレスカウンタの位置を変更するか否かに関わらずスレーブからの複数バイトの読取りが可能になります。

アプリケーション情報

電源のデカップリング

最良の結果を得るために、電源を $0.01\mu\text{F}$ または $0.1\mu\text{F}$ のコンデンサでデカップルすることをお奨めします。高品質のセラミック表面実装型コンデンサを使用し、リードインダクタンスを極力少なくするために V_{CC} とGNDピンのできる限り近くに取り付けてください。

SDAおよびSCLプルアップ抵抗器

SDAは、DS3901のオープンコレクタ出力で、ロジックハイレベルにするにはプルアップ抵抗器を必要とします。マスタは、プルアップ抵抗器付きのオープンコレクタ出力またはプッシュプル出力ドライバのいずれかによってSCLを駆動することができます。プルアップ抵抗器の値は、「*I²C Electrical Characteristics (I²C電気的特性)*」に記載された立上りおよび立下り時間の仕様を満たすように選定する必要があります。

チップトポロジ

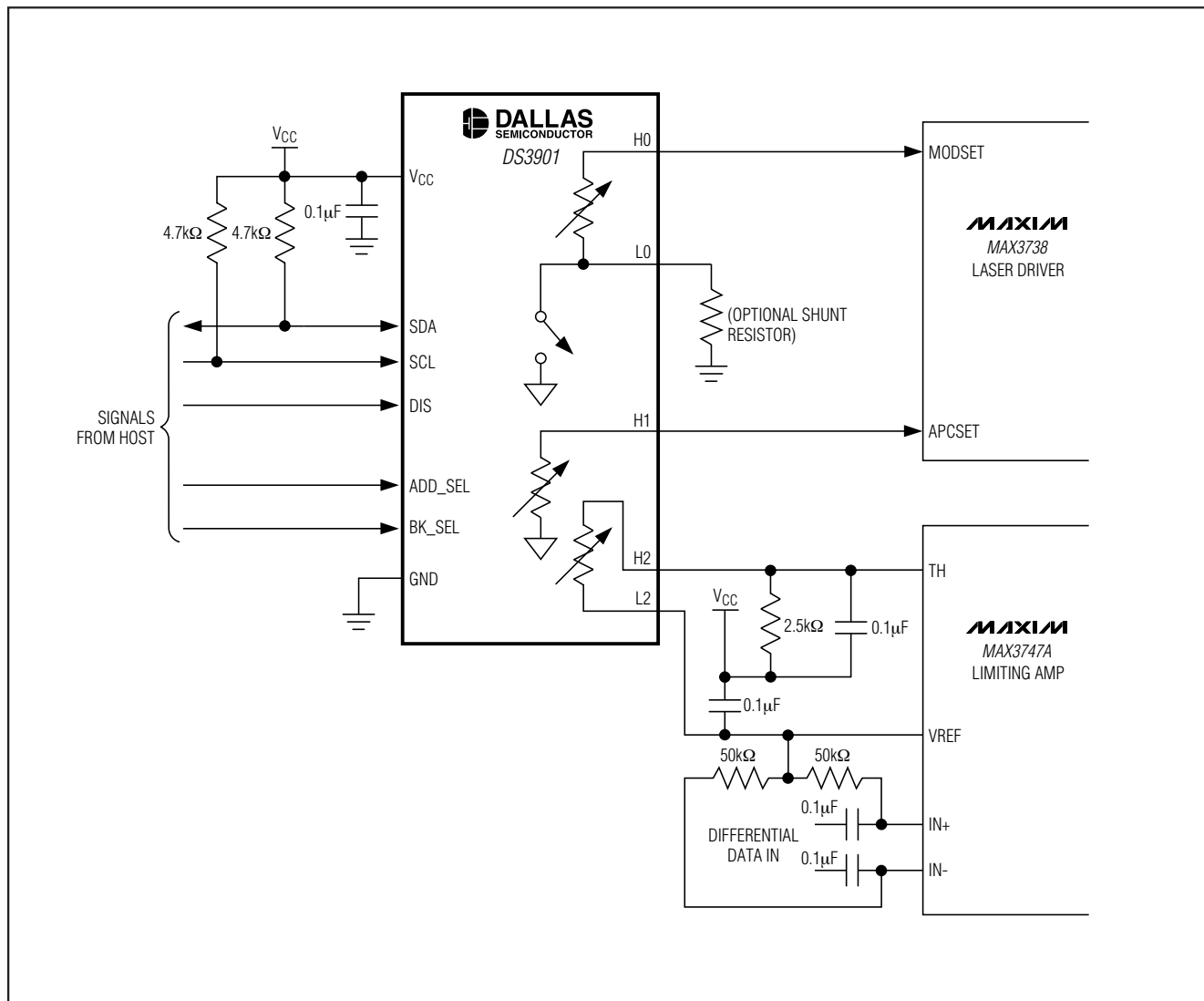
TRANSISTOR COUNT: 52,353

SUBSTRATE CONNECTED TO GROUND

デュアル設定およびユーザEEPROM内蔵、 トリプル、8ビットNV可変抵抗器

DS3901

標準動作回路



パッケージ

最新のパッケージ情報は、japan.maxim-ic.com/DallasPackInfo をご参照ください。

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

20 _____ **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

MAXIM is a registered trademark of Maxim Integrated Products, Inc.

DALLAS SEMICONDUCTOR is a registered trademark of Dallas Semiconductor Corporation.

© 2006 Maxim Integrated Products, Inc. All rights reserved.