

デュアルチャネル車載用CCFLコントローラ

DS3882

概要

DS3882は、最大300:1の調光を行う車載アプリケーション用のデュアルチャネル冷陰極蛍光管(CCFL)用コントローラです。ナビゲーションやインフォテインメントアプリケーションにおける液晶表示装置(LCD)のバックライトに使用されるCCFLを駆動したり、計器パネルのバックライトに使用したりするCCFLの駆動に最適です。DS3882は、船舶や航空機アプリケーションに使用するのにも適しています。

DS3882はEMI抑圧機能を持っており、低温の気候条件下でランプを急速に加熱するランプ電流のオーバードライブモードを備えています。DS3882は、完全に独立したランプ制御と最小の外付け部品で、1本または2本のランプ構成をサポートします。複数のDS3882コントローラはカスケード接続することができ、3本以上のランプを必要とするアプリケーションをサポートします。DS3882は、初期のプログラミング設定後にI²Cのソフトウェア通信で完全に制御することができます。DS3882の多くの機能は、ソフトウェア制御が望ましくない場合、端子で制御することもできます。

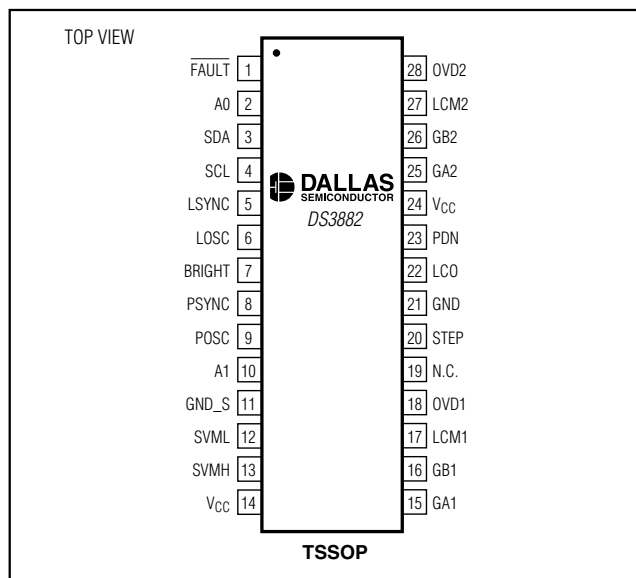
アプリケーション

車載の液晶表示装置(LCD)

計器パネル

船舶や航空機用の液晶表示装置(LCD)

ピン配置



特長

- ◆ 車載ナビゲーション/インフォテインメントのアプリケーションにおけるLCDパネルや計器パネルのバックライト用デュアルチャネルCCFLコントローラ
- ◆ 必要とする外付け部品が最小
- ◆ I²Cインタフェース
- ◆ ランプオープン、過電流、点灯障害、および過電圧状態に対するチャンネル毎のランプ障害の監視
- ◆ ステータスレジスタが障害状態を通知
- ◆ ランプ周波数(40kHz~100kHz)とDPWMバースト調光周波数(22.5Hz~440Hz)用の正確な(±5%)各々独立した内蔵発振器
- ◆ ランプとDPWM周波数は外部ソースとの同期が可能で、ビデオアプリケーションでの視覚的なLCDアーティファクトを低減
- ◆ オプションのスペクトラム拡散によるランプ用クロックがEMIを低減
- ◆ ランプ周波数はステップアップまたはダウンが可能で、EMIスパーを帯域外に移動
- ◆ 自動切断付のランプ電流オーバードライブモードによって、低温でランプの急速加熱
- ◆ アナログまたはデジタルによる輝度制御
- ◆ デジタル輝度制御オプションの使用によって300:1の調光範囲が可能
- ◆ プログラマブルソフトスタートによって可聴トランスノイズを最小化
- ◆ 内蔵の不揮発性(NV)メモリによって、デバイスのカスタマイズが可能
- ◆ シリアル番号と日付コード保存用の8バイトのNVユーザメモリ
- ◆ 低電力のスタンバイモード
- ◆ 4.75V~5.25Vの単一電源動作
- ◆ 温度範囲:-40°C~+105°C
- ◆ 28ピンTSSOPパッケージ

型番

PART	TEMP RANGE	PIN-PACKAGE
DS3882E+	-40°C to +105°C	28 TSSOP (173 mils)
DS3882E+T&R	-40°C to +105°C	28 TSSOP (173 mils)

+は鉛フリーパッケージを示します。

標準動作回路はデータシートの最後に記載されています。

デュアルチャネル車載用CCFLコントローラ

DS3882

ABSOLUTE MAXIMUM RATINGS

Voltage Range on V_{CC}, SDA, and
SCL Relative to Ground-0.5V to +6.0V
Voltage Range on Leads Other than V_{CC}, SDA, and
SCL-0.5V to (V_{CC} + 0.5V), not to exceed +6.0V

Operating Temperature Range-40°C to +105°C
EEPROM Programming Temperature Range0°C to +85°C
Storage Temperature Range-55°C to +125°C
Soldering Temperature.....See J-STD-020 Specification

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

RECOMMENDED OPERATING CONDITIONS

(T_A = -40°C to +105°C)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Voltage	V _{CC}	(Note 1)	4.75		5.25	V
Input Logic 1	V _{IH}		2.0		V _{CC} + 0.3	V
Input Logic 0	V _{IL}		-0.3		1.0	V
SVML/H Voltage Range	V _{SVM}		-0.3		V _{CC} + 0.3	V
BRIGHT Voltage Range	V _{BRIGHT}		-0.3		V _{CC} + 0.3	V
LCM Voltage Range	V _{LCM}	(Note 2)	-0.3		V _{CC} + 0.3	V
OVD Voltage Range	V _{OVD}	(Note 2)	-0.3		V _{CC} + 0.3	V
Gate-Driver Output Charge Loading	Q _G				20	nC

ELECTRICAL CHARACTERISTICS

(V_{CC} = +4.75V to +5.25V, T_A = -40°C to +105°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Current	I _{CC}	G _A , G _B loaded with 600pF, 2 channels active		12		mA
Input Leakage (Digital Pins)	I _L		-1.0		+1.0	μA
Power-Down Current	I _{PDN}				2	mA
Output Leakage (SDA, FAULT)	I _{LO}	High impedance	-1.0		+1.0	μA
Low-Level Output Voltage (LSYNC, PSYNC)	V _{OL}	I _{OL} = 4mA			0.4	V
Low-Level Output Voltage (SDA, FAULT)	V _{OL1}	I _{OL1} = 3mA			0.4	V
	V _{OL2}	I _{OL2} = 6mA			0.6	
Low-Level Output Voltage (G _A , G _B)	V _{OL3}	I _{OL3} = 4mA			0.4	V
High-Level Output Voltage (LSYNC, PSYNC)	V _{OH}	I _{OH} = -1mA	2.4			V

デュアルチャネル車載用CCFLコントローラ

DS3882

ELECTRICAL CHARACTERISTICS (continued)

(V_{CC} = +4.75V to +5.25V, T_A = -40°C to +105°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
High-Level Output Voltage (GA, GB)	V _{OH1}	I _{OH1} = -1mA	V _{CC} - 0.4			V
UVLO Threshold: V _{CC} Rising	V _{UVLOR}				4.3	V
UVLO Threshold: V _{CC} Falling	V _{UVLOF}		3.7			V
UVLO Hysteresis	V _{UVLOH}			200		mV
SVML/H Threshold: Rising	V _{SVMR}		2.03	2.08	2.15	V
SVML/H Threshold: Falling	V _{SVMF}		1.95	2.02	2.07	V
LCM and OVD DC Bias Voltage	V _{DCB}			1.1		V
LCM and OVD Input Resistance	R _{DCB}			50		kΩ
Lamp Off Threshold	V _{LOT}	(Note 3)	0.22	0.25	0.28	V
Lamp Over Current	V _{LOC}	(Note 3)	2.2	2.5	2.8	V
Lamp Regulation Threshold	V _{LRT}	(Notes 3, 4)	0.9	1.0	1.1	V
OVD Threshold	V _{OVDT}	(Note 3)	0.9	1.0	1.1	V
Lamp Frequency Source Frequency Range	f _{LFS:OSC}		40		100	kHz
Lamp Frequency Source Frequency Tolerance	f _{LFS:TOL}	LOSC resistor ±2% over temperature	-5		+5	%
Lamp Frequency Receiver Frequency Range	f _{LFR:OSC}		40		100	kHz
Lamp Frequency Receiver Duty Cycle	f _{LFR:DUTY}		40		60	%
DPWM Source (Resistor) Frequency Range	f _{DSR:OSC}		22.5		440.0	Hz
DPWM Source (Resistor) Frequency Tolerance	f _{DSR:TOL}	POSC resistor ±2% over temperature	-5		+5	%
DPWM Source (Ext. Clk) Frequency Range	f _{DSE:OSC}		22.5		440.0	Hz
DPWM Source (Ext. Clk) Duty Cycle	f _{DFE:DUTY}		40		60	%
DPWM Receiver Min Pulse Width	t _{DR:MIN}	(Note 5)	25			μs
BRIGHT Voltage: Minimum Brightness	V _{BMIN}				0.5	V
BRIGHT Voltage: Maximum Brightness	V _{BMAX}		2.0			V
Gate Driver Output Rise/Fall Time	t _R / t _F	C _L = 600pF			100	ns
GAn and GBn Duty Cycle		(Note 6)			44	%

デュアルチャネル車載用CCFLコントローラ

DS3882

I²C AC ELECTRICAL CHARACTERISTICS (See Figure 9)

(V_{CC} = +4.75V to +5.25V, T_A = -40°C to +105°C, timing referenced to V_{IL(MAX)} and V_{IH(MIN)}.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCL Clock Frequency	f _{SCL}	(Note 7)	0		400	kHz
Bus Free Time Between Stop and Start Conditions	t _{BUF}		1.3			μs
Hold Time (Repeated) Start Condition	t _{HD:STA}	(Note 8)	0.6			μs
Low Period of SCL	t _{LOW}		1.3			μs
High Period of SCL	t _{HIGH}		0.6			μs
Data Hold Time	t _{HD:DAT}		0		0.9	μs
Data Setup Time	t _{SU:DAT}		100			ns
Start Setup Time	t _{SU:STA}		0.6			μs
SDA and SCL Rise Time	t _R	(Note 9)	20+ 0.1C _B		300	ns
SDA and SCL Fall Time	t _F	(Note 9)	20+ 0.1C _B		300	ns
Stop Setup Time	t _{SU:STO}		0.6			μs
SDA and SCL Capacitive Loading	C _B	(Note 9)			400	pF
EEPROM Write Time	t _W	(Note 10)		20	30	ms

NONVOLATILE MEMORY CHARACTERISTICS

(V_{CC} = +4.75V to 5.25V)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
EEPROM Write Cycles		+85°C (Note 11)	30,000			

Note 1: All voltages are referenced to ground unless otherwise noted. Currents into the I.C. are positive, out of the I.C. negative.

Note 2: During fault conditions, the AC-coupled feedback values are allowed to be below the absolute max rating of the LCM or OVD pin for up to 1 second.

Note 3: Voltage with respect to V_{DCB}.

Note 4: Lamp overdrive and analog dimming (based on reduction of lamp current) are disabled.

Note 5: This is the minimum pulse width guaranteed to generate an output burst, which generates the DS3882's minimum burst duty cycle. This duty cycle may be greater than the duty cycle of the PSYNC input. Once the duty cycle of the PSYNC input is greater than the DS3882's minimum duty cycle, the output's duty cycle tracks the PSYNC's duty cycle. Leaving PSYNC low (0% duty cycle) disables the GAn and GBn outputs in DPWM receiver mode.

Note 6: This is the maximum lamp frequency duty cycle that is generated at any of the GAn or GBn outputs with spread-spectrum modulation disabled.

Note 7: I²C interface timing shown is for fast-mode (400kHz) operation. This device is also backward compatible with I²C standard-mode timing.

Note 8: After this period, the first clock pulse can be generated.

Note 9: C_B—total capacitance allowed on one bus line in picofarads.

Note 10: EEPROM write time applies to all the EEPROM memory. EEPROM write begins after a stop condition occurs.

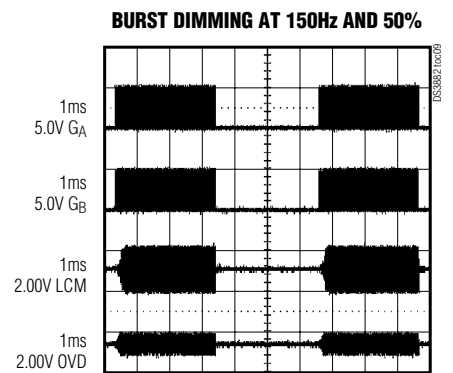
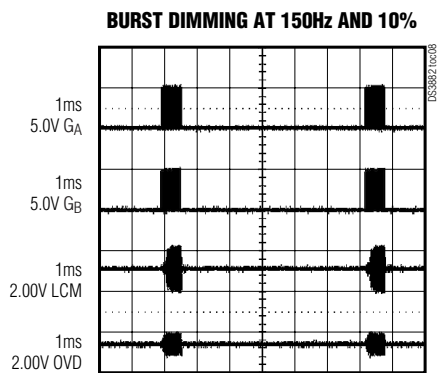
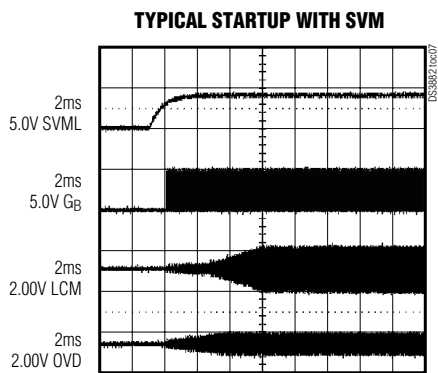
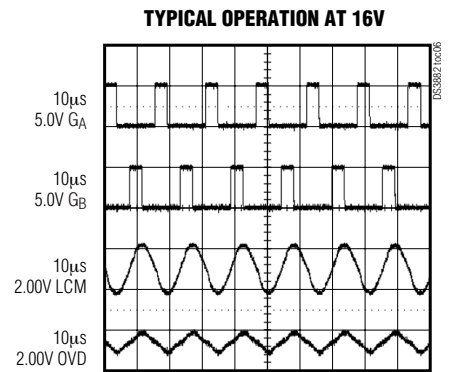
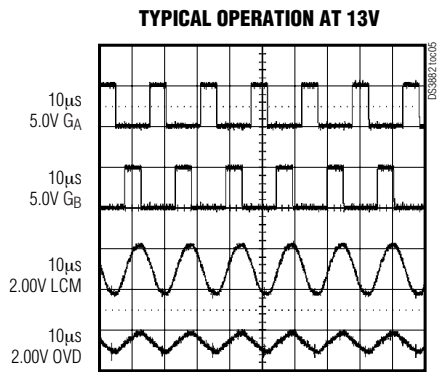
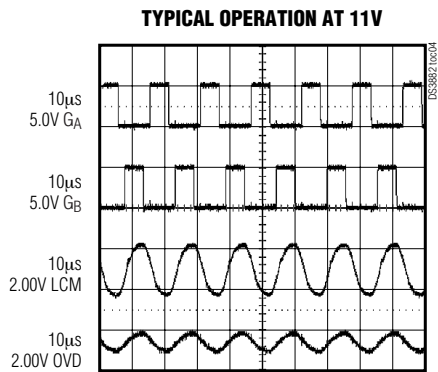
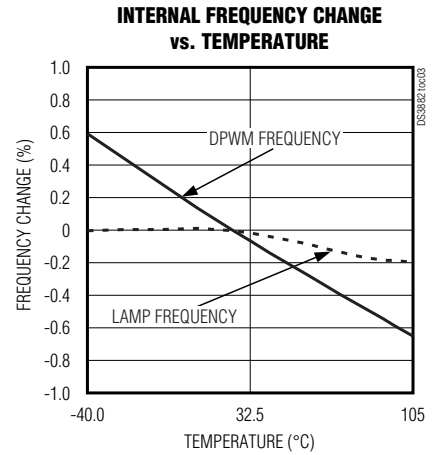
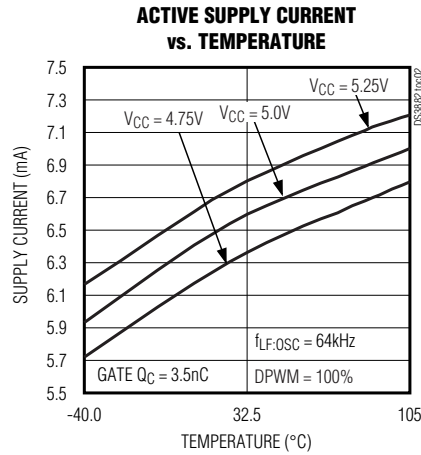
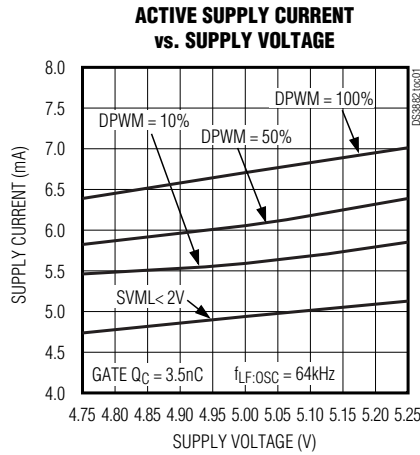
Note 11: Guaranteed by design.

デュアルチャネル車載用CCFLコントローラ

DS3882

標準動作特性

($V_{CC} = 5.0V$, $T_A = +25^\circ C$, unless otherwise noted.)

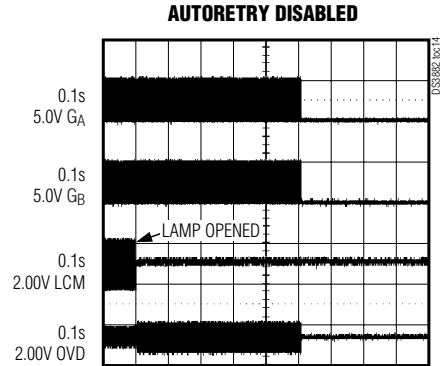
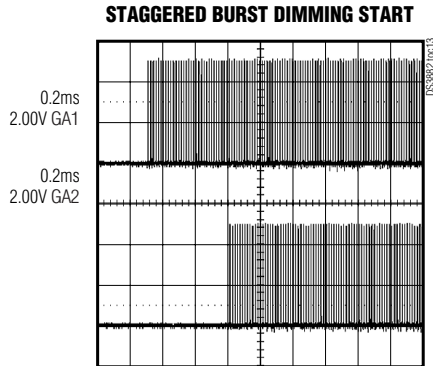
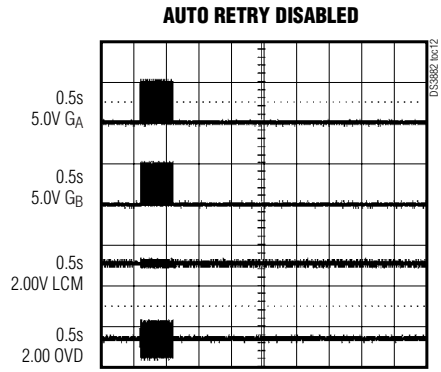
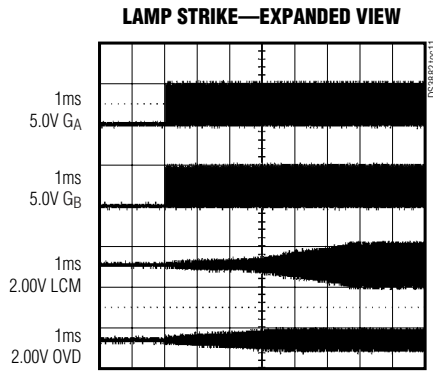
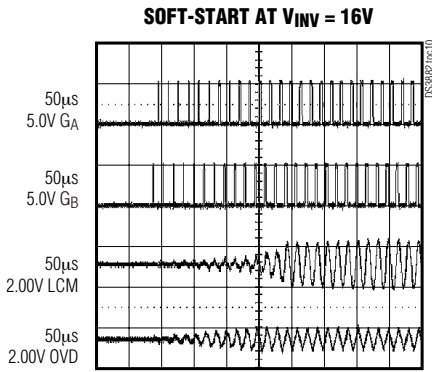


デュアルチャネル車載用CCFLコントローラ

DS3882

標準動作特性(続き)

($V_{CC} = 5.0V$, $T_A = +25^\circ C$, unless otherwise noted.)



デュアルチャネル車載用CCFLコントローラ

DS3882

端子説明

名称	チャンネル(n) 対応端子		機能
	CH 1	CH 2	
GAn	15	25	MOSFET Aのゲートドライブ。ロジックレベルモードのnチャンネルMOSFETに直接接続してください。チャンネルを使用しない場合はオープンのままにしてください。
GBn	16	26	MOSFET Bのゲートドライブ。ロジックレベルモードのnチャンネルMOSFETに直接接続してください。チャンネルを使用しない場合はオープンのままにしてください。
LCMn	17	27	ランプ電流の監視入力。ランプ電流は、ランプの低電圧側に直列に配置された抵抗によって監視されます。チャンネルを使用しない場合はオープンのままにしてください。
OVDn	18	28	過電圧検出。ランプ電圧は、トランスの高電圧側に配置されたコンデンサ分圧器で監視されます。チャンネルを使用しない場合はオープンのままにしてください。
名称	端子		機能
FAULT	1		アクティブローの障害出力。このオープンドレイン端子には、ハイのロジックレベルにするために外部のプルアップ抵抗が必要です。
A0	2		アドレス選択入力。I ² Cのスレーブアドレスを決定します。
SDA	3		シリアルデータの入力/出力。I ² Cの双方向データ端子で、ハイのロジックレベルにするためにはプルアップ抵抗が必要です。
SCL	4		シリアルクロック入力。I ² Cのクロック入力。
LSYNC	5		ランプ周波数の入力/出力。この端子は、DS3882がランプ周波数のレシーバとして構成されるとき、外部からランプ周波数を供給するための入力です。DS3882がランプ周波数の供給源として構成される場合(すなわち、ランプ周波数が内部で生成される)、その周波数は、他のランプ周波数レシーバのDS3882で使用されるようにこの端子から出力されます。
LOSC	6		ランプ発振器の抵抗調整。この端子とグランド間に接続するこの端子の抵抗により、内部のランプ発振器周波数が決まります。
BRIGHT	7		アナログ輝度制御入力。DPWM調光機能の制御に使用されます。使用しない場合はグランドに接続してください。
PSYNC	8		DPWMの入力/出力。DS3882がDPWMレシーバとして構成される場合、この端子は、外部で生成されるDPWM信号の入力です。DS3882がDPWM供給源として構成される場合(すなわち、DPWM信号が内部で生成される)、DPWM信号は、他のDPWMレシーバのDS3882で使用されるようにこの端子から出力されます。

デュアルチャネル車載用CCFLコントローラ

DS3882

端子説明(続き)

名称	端子	機能
POSC	9	DPWM発振器の抵抗調整。この端子とグランド間に接続するこの抵抗により、DPWM発振器の周波数が決まります。この端子は、22.5Hz~440Hzのクロックをオプションとして受け入れ、これは内部のDPWM信号に供給するタイミングになります。
A1	10	アドレス選択入力。I ² Cのスレーブアドレスを決定します。
GND_S	11	I ² Cインタフェースのグランド接続。GND_Sは、グランドと同じ電位とする必要があります。
SVML	12	低電源電圧監視入力。インバータ電圧の低電圧状態の監視に使用されます。
SVMH	13	高電源電圧監視入力。インバータ電圧の過電圧状態の監視に使用されます。
VCC	14, 24	電源接続。この2つの端子を接続してください。
N.C.	19	接続なし。この端子には信号を何も接続しないでください。
STEP	20	ランプ周波数のステップ入力。このアクティブハイのデジタル入力は、EMICレジスタで設定されるランプ発振器の周波数を上下に1%、2%、3%、または4%だけ移動します。この端子は、EMICレジスタ内のSTEPEビットと論理的にORされます。
GND	21	グランド接続。
LCO	22	ランプ電流オーバードライブのイネーブル入力。この入力のデジタルレベルがハイのとき、ランプ電流のオーバードライブ回路をイネーブルします。オーバードライブ電流の量は、LCOCレジスタによって設定されます。この入力がローのとき、ランプ電流は標準レベルに設定されます。この端子は、LCOCレジスタ内のLCOEビットと論理的にORされます。
PDN	23	ランプのオン/オフ制御入力。この入力のデジタルレベルがローの場合にランプを点灯します。デジタルレベルがハイの場合はランプを消灯し、障害動作ロジックをクリアし、デバイスを省電力モードにします。この入力のハイからローへの遷移はコントローラのリセットを発生し、これが障害動作ロジックをクリアし、ランプの点灯を再開します。この端子は、CR2レジスタ内のPDNEビットと論理的にORされます。

デュアルチャネル車載用CCFLコントローラ

DS3882

ファンクションダイアグラム

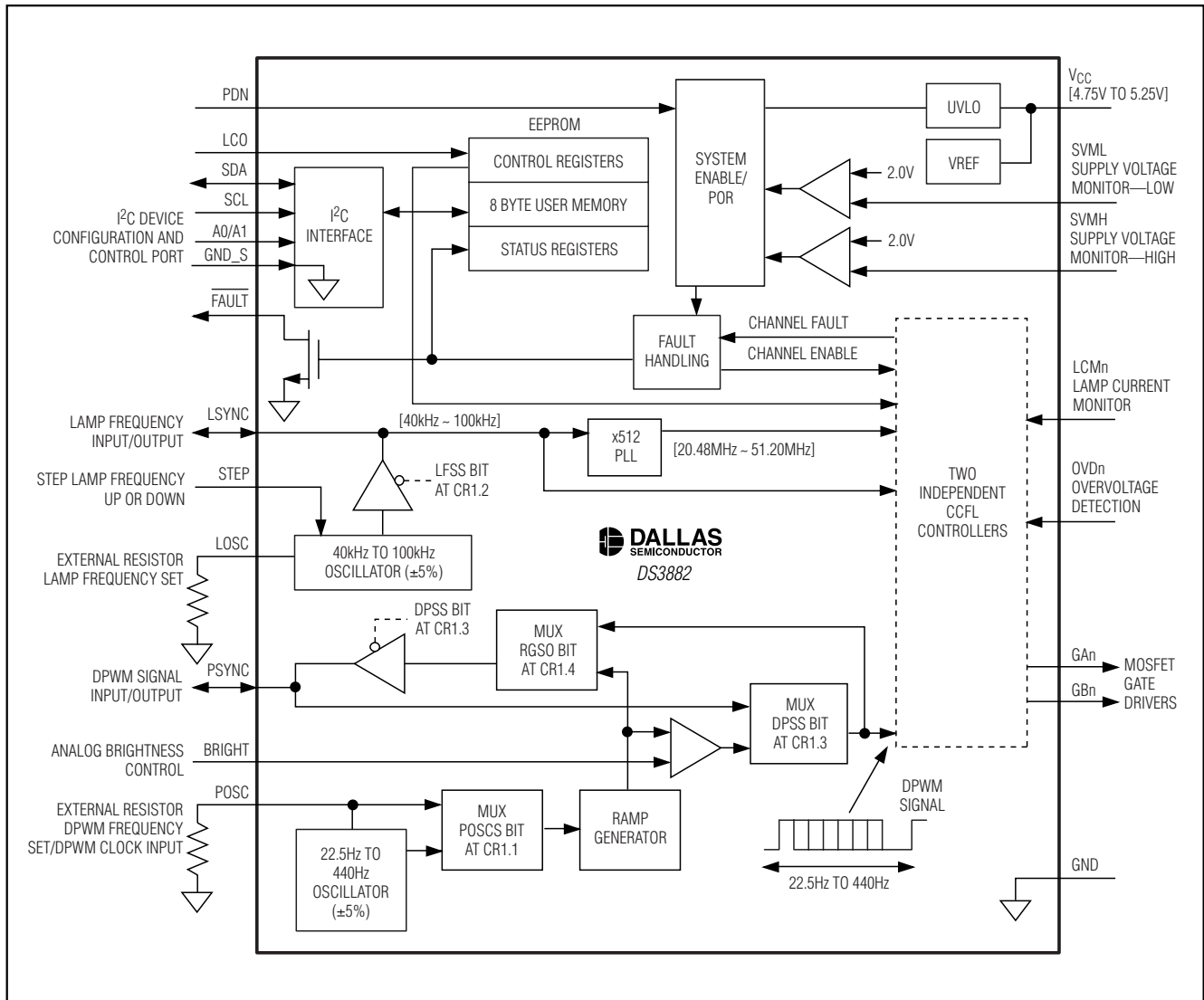


図1. ファンクションダイアグラム

デュアルチャネル車載用CCFLコントローラ

DS3882

ファンクションダイアグラム(続き)

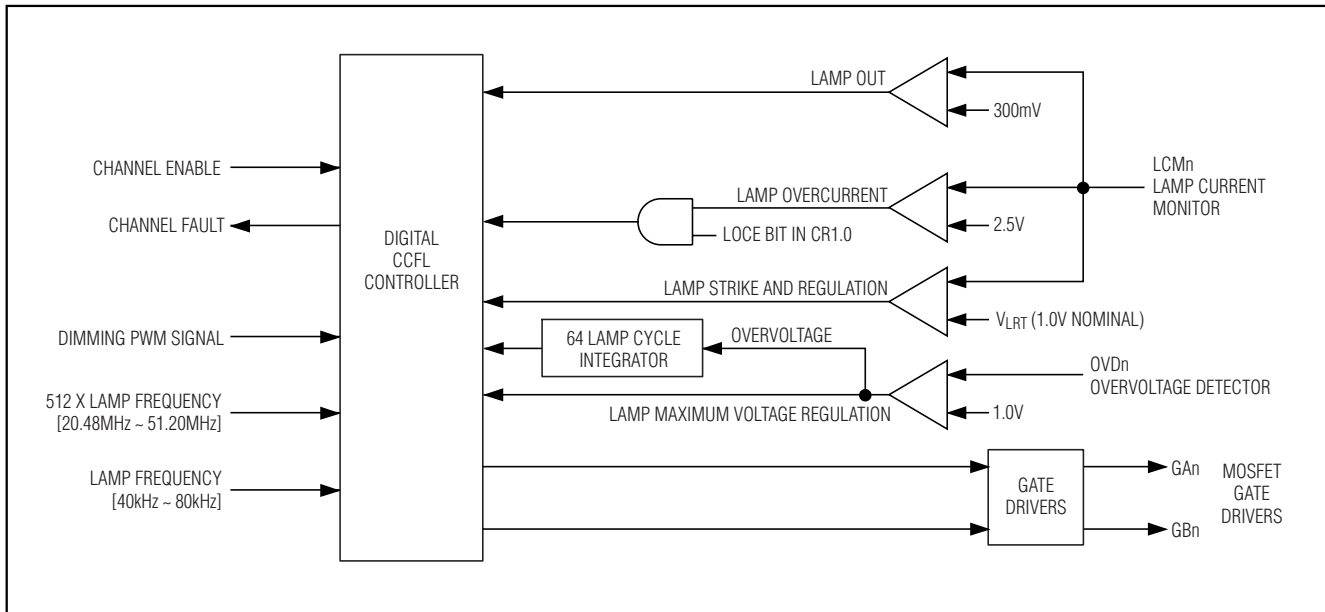


図2. 1チャンネル当りのロジック図

詳細

DS3882はプッシュプルドライブ構造を使い、DC電圧(8V~16V)をCCFLの電源に必要な高電圧(300V_{RMS}~1000V_{RMS})のAC波形に変換します。プッシュプルドライブ構造は最小の外付け部品点数を使用するため、組立てコストを削減し、またプリント回路基板の設計の実装が容易です。さらに、プッシュプルドライブ構造は効率的なDC~AC変換を行い、正弦波に近い波形を生成します。

DS3882の各チャンネルは、昇圧トランスの両側とグラウンド間に接続された2個のロジックレベルのnチャンネルMOSFETを駆動します(「標準動作回路」を参照)。このトランスは、DC電圧電源に接続されたセンタタップを1次側に持っています。DS3882は2個のMOSFETを交互にオンし、2次側に高電圧のAC波形を発生します。MOSFETのオン時間の長さを変えることによって、CCFL電流が正確に制御されます。

CCFLのグラウンド接続と直列の抵抗によって電流の監視が可能です。この抵抗の両端間の電圧はランプ電流監視(LCM)入力に供給され、MOSFETのゲート用のデューティサイクルを決定するために内部の基準電圧と比較されます。各CCFLは個別の電流監視と制御が行われ、ランプの輝度と寿命が最大になります。

DS3882のブロック図は図1と2に示されています。DS3882のより詳細な動作は、このデータシートの各ページに説明されています。

メモリレジスタとI²C互換のシリアルインタフェース

DS3882は、ユーザメモリも含めて、内蔵のEEPROMやSRAMのコンフィギュレーション/ステータスレジスタとの通信のためにI²C互換のシリアルインタフェースを使用します。シャドーEEPROMとSRAMとが複合されたコンフィギュレーションレジスタは、ソフトスタートの立上り率、ランプおよび調光周波数のソース、ランプの輝度、障害監視のオプション、チャンネルのイネーブル/ディセーブル、EMI制御およびランプ電流のオーバドライブなどのDS3882の多くのパラメータをユーザによるカスタマイズを可能とします。8バイトの不揮発性ユーザメモリは、日付コード、シリアル番号、または製品識別番号などの製造データを保存するために使用することができます。このデバイスは、デフォルト設定したプログラム済みのコンフィギュレーションレジスタとして工場出荷されます。特別なプログラミングが必要な場合は、メーカーにお問い合わせください。

シャドーEEPROM

DS3882には、電源のオン/オフの繰返しで保持される必要があるすべてのメモリ位置に、SRAMのシャドーEEPROMメモリが組み込まれています。電源の投入時、SEEB (BLCレジスタの第7ビット)はローで、シャドー位置は通常のEEPROMとして動作します。SEEBをハイにすると、EEPROM書き込み機能がディセーブルにされ、シャドー位置が通常のSRAMセルとして機能します。このことにより、EEPROMを損傷することなく無制限の書き込みサイクルが可能で、さらに、書き込みサイクルからEEPROMの書き込み時間の t_w をなくします。SEEBがハイに設定された時に起こるメモリの変化はEEPROMに書き込まれないため、これらの変化は電源のオン/オフの繰返しで保持されず、電源投入のEEPROM値は、SEEBがローで書き込まれた最後の値です。

チャネルの位相

バースト期間の2つのチャネル間ではランプ周波数のMOSFETゲートのオンになる時間は、位相が異なります。これは、すべてのランプが同時に切り替わることによる突入電流を減少させるため、DC電源の設計要件を緩和します。位相が異なるのはDPWM (バースト)信号ではなく、ランプ周波数信号であることに注目することが重要です。

ランプの調光制御

DS3882は、2つの独立したランプ調光方法を備え、合わせて300:1以上の調光比を達成することができます。最初の方法は「バースト」調光で、ランプの明るさを制御するためにデジタルパルス幅変調(DPWM)信号(22.5Hz~440Hz)を使います。2番目の方法は、「アナログ」調光で、ランプ電流を調整することによって達成されます。バースト調光は、128段の直線的に間隔を設けた輝度ステップを持っています。アナログ調光はより小さなサブステップを備え、バースト調光ステップ間の微小輝度変化が可能です。バースト調光だけを使用すると、はっきり見える明るさのステップ変化を引き起こしてしまうため、この微小輝度変化の能力は低輝度の調光調整には特に役に立ちます。同じくアナログ調光は、輝度を最小のバースト調光レベルを下回って減少させることを可能にし、最大の調光範囲を提供します。

バースト調光は、BRIGHT端子にユーザ供給のアナログ電圧を用いるか、またはI²Cインタフェースを通じて制御することができます。アナログ調光は、I²Cインタフェース経由でのみ制御することができます。したがって、DS3882の全調光範囲と分解能を必要とするアプリケーションには、I²Cの調光制御を使用する必要があります。

バースト調光

バースト調光は、DPWM信号のデューティサイクルを調整する(すなわち、変調する)ことによって明るさを増/減します。図6に示すようにDPWMサイクルのハイの

期間、各ランプは選ばれたランプ周波数(40kHz~100kHz)で駆動されます。この期間に発生するランプ周波数のバーストであることから、サイクルのこの部分は「バースト」期間と呼ばれます。DPWMサイクルのローの期間、コントローラはMOSFETのゲートドライバをディセーブルするため、各ランプは駆動されません。このためランプ電流が停止しますが、これは、各ランプが非イオン化しないために十分に短い時間です。

DS3882は、自身のDPWM信号を内部で発生することができ(CR1にDPSS = 0を設定)、必要に応じて他のDS3882に供給することができるか、またはDPWM信号は外部のソースから供給を受ける(CR1にDPSS = 1を設定)ことができます。DPWM信号を内部で発生するために、DS3882は、DPWM周波数を設定するクロック(調光クロックと呼ぶ)を必要とします。ユーザはCR1にPOSCS = 1を設定し、POSC端子に外部から22.5Hz~440Hzの信号を与えることによって調光クロックを供給することができるか、または、調光クロックは、DS3882の内部の発振器で発生することができ(CR1にPOSCS = 0を設定)、この場合にはPOSC端子の外部抵抗によって設定されます。これらの2つの調光クロックのオプションは、図3に示されています。調光クロックが内部で発生されるか外部から供給されるかに関係なく、CR2のPOSCROとPOSCR1ビットは、必要な調光クロック周波数に一致するように設定する必要があります。

内部で生成されるDPWM信号は、もし別のDS3882が回路中にあれば、それに対する供給用にPSYNCのI/O端子(CR1にRGSO = 0を設定)に出力することができます。このことにより、システム内のすべてのDS3882が同じDPWM信号に同期することが可能です。システム内で別のDS3882用にDPWM信号を発生しているDS3882は、DPWMソースと呼ばれます。DPWMソースとして動作する別のDS3882から、または他のユーザが供給するソースから、外部発生DPWM信号を入力する場合、その信号はDS3882のPSYNCのI/O端子に入力され、信号を受け取るDS3882はDPWMレシーバと呼ばれます。このモードでは、BRIGHTとPOSC入力はディセーブルされ、グラウンドに接続しなければなりません(図5を参照)。

DPWM信号が内部で発生される場合は、そのデューティサイクルは(結果的にはランプの明るさ)、BRIGHT入力にユーザが供給するアナログ電圧によって、またはBPWMレジスタ内の7ビットのPWMコードを変えることによるI²Cインタフェースを経て制御されます。BRIGHT端子を使ってバースト調光を制御する場合、0.5V未満の電圧によってDS3882が最小のバーストデューティサイクルで動作し、最低の輝度設定を提供し、一方、2.0Vを超えるすべての電圧は、100%のバーストデューティサイクル(すなわち、ランプは常時駆動)を引き起こし、最大の明るさを提供します。0.5V~2Vの間の電圧に対しては、デューティサイクルは最低から100%の間で直線的に変化します。

デュアルチャネル車載用CCFLコントローラ

DS3882

ゼロ以外のPWMコードをBPWMレジスタに書き込むと、BRIGHT端子をディセーブルにし、I²Cのバースト調光制御をイネーブルします。7ビットのPWMコードを0000001bに設定すると、DS3882は最小のバーストデューティサイクルで動作し、一方、1111111bに設定すると、100%のバーストデューティサイクルになります。これらの2つのコードの間に設定する場合、デューティサイクルは最小~100%間で直線的に変化します。

アナログ調光

アナログ調光は、ランプ電流を増加または減少して明るさを変化させます。DS3882は、ランプ安定化電圧V_{LRT}を小さくシフトすることによってこれを実現します(図2を参照)。アナログ調光は、BLCレジスタ内の下位5ビット(LC4~LC0)とのソフトウェア通信によってのみ可能になります。この機能は、端子で制御することはできません。LCビットの電源オン状態のデフォルトは00000bで、公称電流レベルの100%に相当します。したがって、所望しないかぎり、アナログ調光は電源オン時にバースト調光機能に干渉しません。LCビットを11111bに設定すると、ランプ電流はその公称レベルの35%に減少します。11111b~00000bの間のLC値に対しては、ランプ電流は公称値の35%~100%の間で直線的に変化します。

ランプ周波数の設定

DS3882は、内部で自身のランプ周波数のクロックを発生(CR1にLFSS = 0を設定)することができ、必要に応じて別のDS3882へ供給することができるか、またはランプクロックは、外部のソースから供給を受ける

(CR1にLFSS = 1を設定)ことができます。ランプクロックが内部で発生される場合、その周波数(40kHz~100kHz)は、LOSCの外部抵抗によって設定されます。この場合、このランプクロックは、ランプ周波数レシーバとして構成された別のDS3882を同期化するためにLSYNCのI/O端子に出力されるため、DS3882はランプ周波数のソースの役割を果たすことができます。DS3882がランプ周波数を別のDS3882に供給し、スペクトラム拡散変調または周波数ステップ機能がイネーブルされている場合、LSYNC出力はどのようなEMI抑制機能の影響も受けません。ランプクロックが外部から供給されるとき、DS3882はランプレシーバの役割を果たします。この場合、40kHz~100kHzのクロックをLSYNC I/Oに供給する必要があります。外部クロックは、ランプ周波数のソースとして構成されたDS3882のLSYNC I/Oから、または他のソースから受け取ることができます。

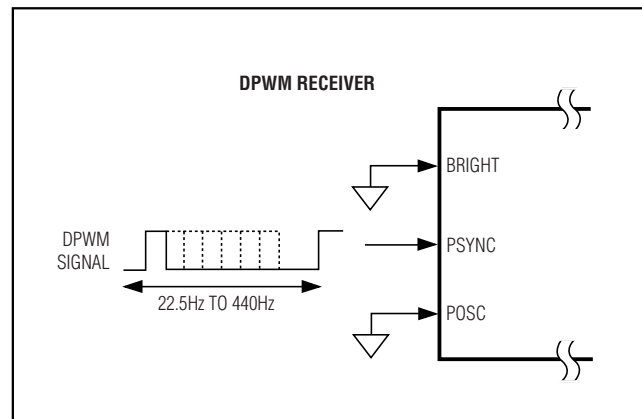


図4. DPWMのレシーバ構成

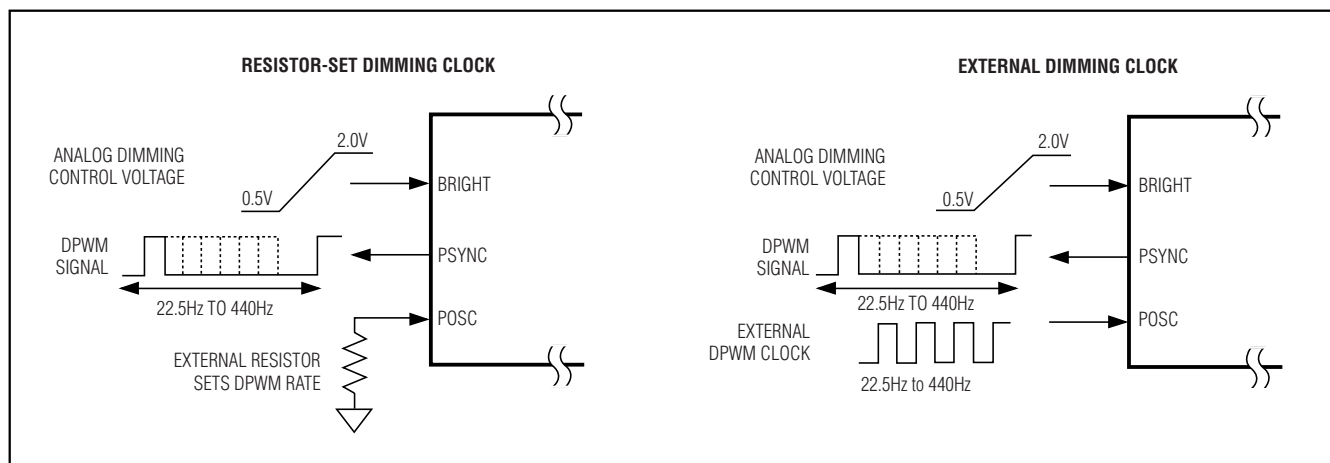


図3. DPWMソースの構成オプション

デュアルチャネル車載用CCFLコントローラ

DS3882

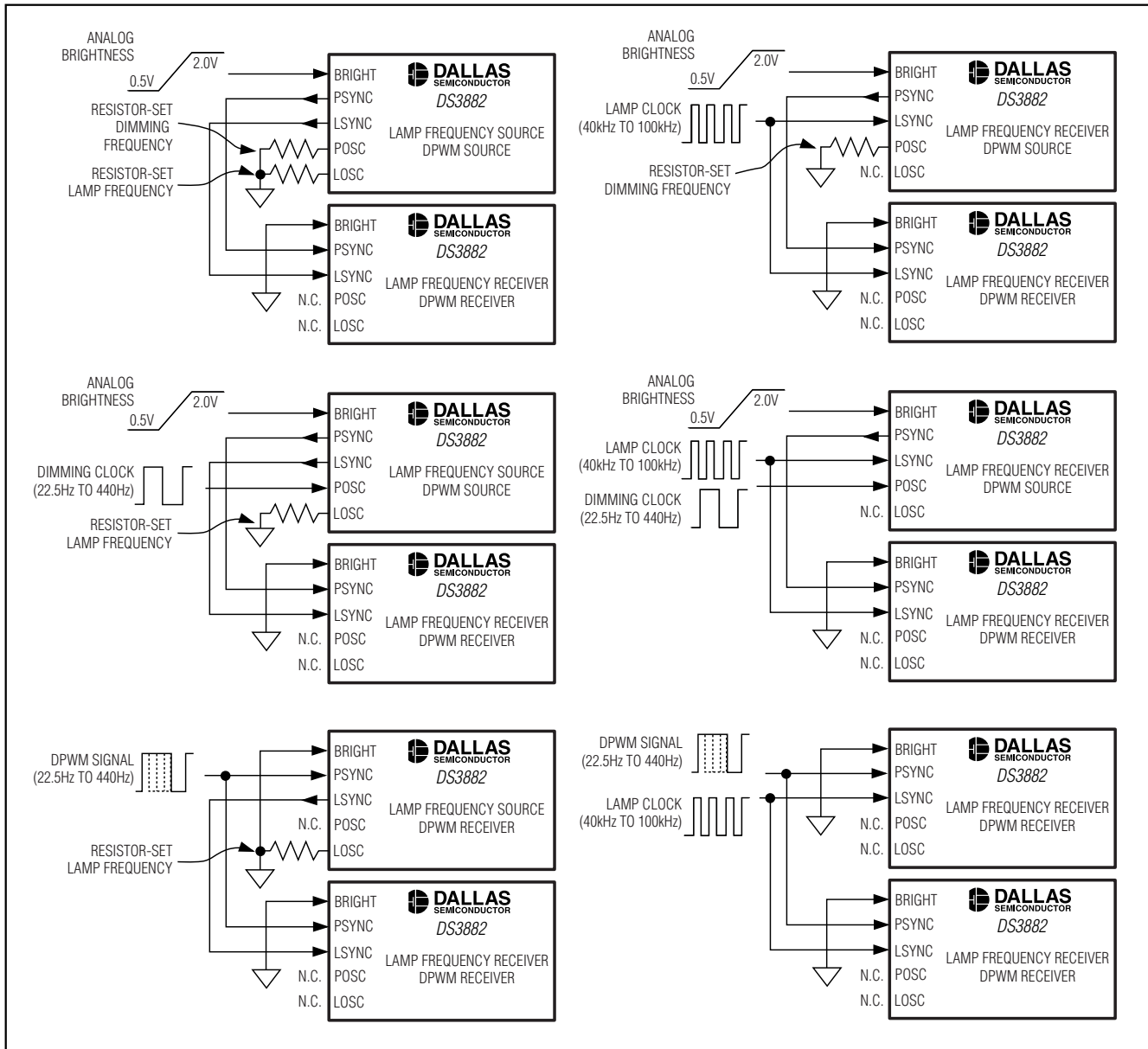


図5. 複数のDS3882を使う設計用の周波数構成のオプション

デュアルチャネル車載用CCFLコントローラ

DS3882

複数のDS3882でシステムを構成

ランプ周波数クロックとDPWM信号用のソースとレシーバのオプションにより、2個を超えるランプを必要とするシステムにおいて複数のDS3882の同期が可能となります。ランプと調光クロックは、その周波数を設定するために外部抵抗を使ってDS3882内部で生成するか、またはそれらが他のシステムの発生源にDS3882を同期させるためにホストシステムから供給されるかのいずれかとすることができます。図5は、さまざまな複数のDS3882の構成を示しており、システム内のすべてのDS3882に対してランプと/またはDPWMの両方の同期を可能にします。

DPWMのソフトスタート

各ランプバーストの初めに、DS3882は、MOSFETのゲートドライバのデューティサイクルを徐々に増加させるソフトスタートを行います(図6参照)。このことに

より、トランス1次側での電流サージに起因する可聴トランスノイズが発生する可能性を最小限にします。ソフトスタートの長さは16ランプサイクルに固定されていますが、ソフトスタートの傾斜の程度は、4つのソフトスタートプロファイルレジスタ(SSP1/2/3/4)経由でプログラムすることができ、アプリケーションに合わせて設定することができます。ソフトスタートの傾斜を要求に合わせて選択する、7つの異なったドライバのデューティサイクルがあります(表5aと5bを参照)。利用可能なデューティサイクルは、約3%の増加ステップで0%~19%の範囲まであります。さらに、前のバーストの最後のランプサイクルからのMOSFETのデューティサイクルは、最直近のデューティサイクルコード値を使用して、ソフトスタート傾斜の一部として使うことができます。プログラムされたMOSFETゲートの各デューティサイクルは、16個のソフトスタートのランプサイクルを作るために2度反復されます。

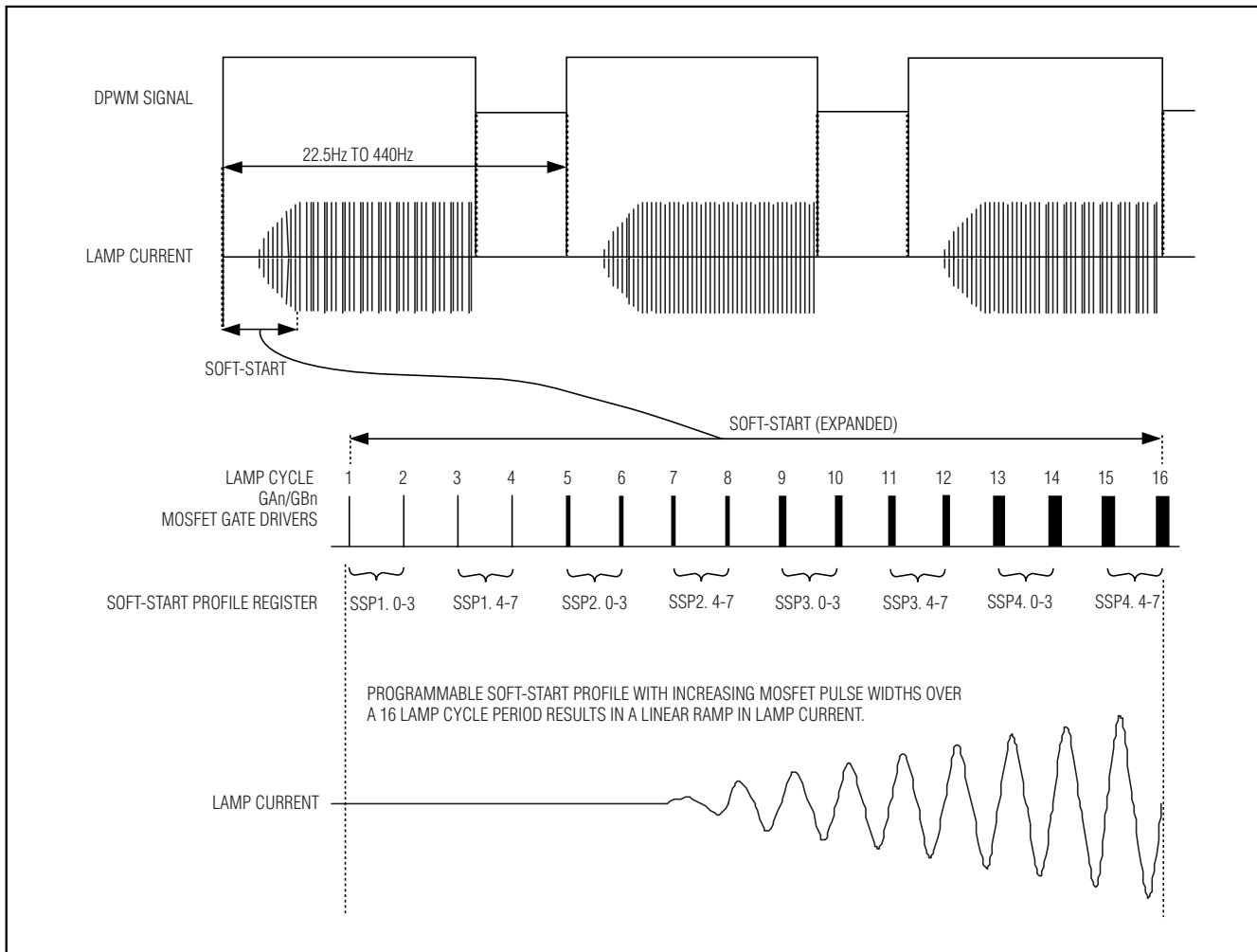


図6. デジタルPWMの調光とソフトスタート

外部抵抗を使用するランプと調光のクロック周波数(DPWM)の設定

ランプと調光クロックの両方の周波数は、外部抵抗を使用して設定することができます。どちらの周波数に対しても必要とする抵抗値は、次式を用いて決定することができます：

$$R_{osc} = \frac{K}{f_{osc}}$$

ここでKは、ランプ周波数計算の場合は1600kΩ・kHzです。

調光クロック周波数用の抵抗値を計算するときには、「レジスタの詳細説明」の項にある表7の制御レジスタ2 (CR2)に示されているように、Kは、要求される周波数およびPOSCR0とPOSCR1ビットの設定で決定される4つの値のうちの1つになります。

例：DS3882が50kHzのランプ周波数で160Hzの調光クロック周波数を持つように設定するために抵抗値を選択する場合：この設定に対しては、POSCR0とPOSCR1をそれぞれ1と0にプログラムする必要があり、調光のクロック周波数範囲として90Hz～220Hzを選ぶ必要があります。これは、調光クロックの抵抗(R_{POSC})の計算用にKを4kΩ・kHzに設定することになります。ランプ周波数の抵抗(R_{LOSC})の計算に対してはK = 1600kΩ・kHzで、これは周波数とは無関係にランプ周波数のK値が設定されます。上の式は、こんどは次のようにR_{LOSC}とR_{POSC}用の抵抗値を最終的に計算するために使うことができます：

$$R_{LOSC} = \frac{1600k\Omega \cdot kHz}{50kHz} = 32.0k\Omega$$

$$R_{POSC} = \frac{4k\Omega \cdot kHz}{0.160kHz} = 25.0k\Omega$$

電源の監視

DS3882は、インバータトランスのDC電源(V_{INV})とデバイス自体のV_{CC}電源用の両方の電源電圧監視(SVM)を備えており、両方の電圧が安定な動作に十分であることを保証します。トランスの電源は、SVMH端子での過電圧状態と、SVML端子での低電圧状態に対して監視されます。各SVM入力における外部の抵抗分圧器は、どちらも2Vのスレッシュホールドを持つ2個のコンパレータに供給されます(図7を参照)。抵抗値を決定するために下記の式を使い、SVMHとSVMLのトリップ点(V_{TRIP})は、トランスの供給電圧が規定された値を超えて上昇するか降下するときにインバータを停止させるように、カスタム設定することができます。低すぎるトランスの電源電圧での動作は、インバータが点灯電圧に達することを

妨げ、また、潜在的に多数の他の問題を引き起こすこととなります。高すぎるトランス電圧での動作は、インバータの部品を損傷することとなります。適切なSVMの使用により、これらの問題を防止することができます。必要に応じて、高および/または低SVMは、SVMH端子をGNDに、およびSVML端子をV_{CC}に接続することによってディセーブルすることができます。

$$V_{TRIP} = 2.0 \left(\frac{R_1 + R_2}{R_1} \right)$$

V_{CC}の監視は、DS3882がそのアナログ回路を動作させるか、または外部のMOSFETの駆動用の電圧が不足しているときに動作を避けるために5V電源の低電圧ロックアウト(UVLO)として使用されます。V_{CC}の監視は、V_{CC}がトリップ点の近くにあるとき、V_{CC}のノイズが誤動作を引き起こすことを防止するために、ヒステリシス機能を持っています。この監視は、どのような方法でもディセーブルすることはできません。

障害監視

DS3882は、チャンネルごとに広範囲の障害監視を備え、オープンランプ、ランプの過電流、点灯障害、および過電圧状態を検出することができます。DS3882は、1チャンネル以上が障害状態に入ると、すべてのチャンネルをディセーブルするように設定することができます。あるいは、その障害が発生したチャンネルのみをディセーブルするように設定することができます。いったん障害状態に入ると、FAULT出力がアサートされ、ユーザまたはホストの制御動作によってリセットされるまで、そのチャンネル(単数または複数)はディセーブルの状態を維持します。詳細については、ステップ4の「障害処理」を参照してください。DS3882は、自動的にランプを再点灯して、検出された障害(ランプの過電流を除く)のクリアを試みる設定にすることもできます。障害監視オプション用の設定ビットはCR1とCR2にあります。またDS3882は、SR1とSR2レジスタ(SRAM)の位置にリアルタイム状態指示ビットも持っており、対応する障害が発生するたびにアサートされます。

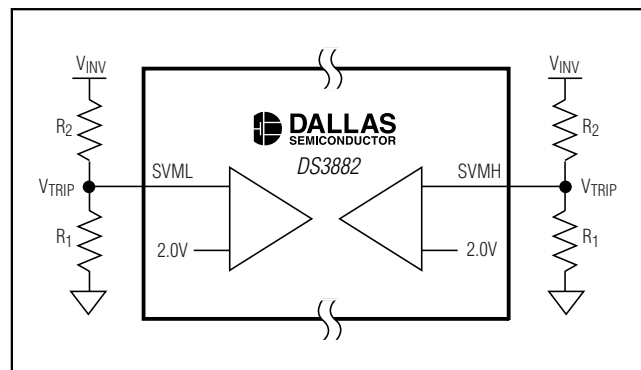


図7. SVMスレッシュホールド電圧の設定

デュアルチャネル車載用CCFLコントローラ

DS3882

DS3882が各ランプをどのように制御と監視をするかのフローチャートを図8に示します。それらのステップは次のとおりです:

- 1) 電源のチェック。DS3882の電源電圧が4.3Vを超え、SVMLとSVMHそれぞれの電源電圧監視電圧が2.0Vを超え2.0V未満でない限り、ランプは点灯しません。
- 2) ランプの点灯。DS3882とDCインバータ電源の両方が許容レベルである場合、DS3882は接続された各ランプを点灯しようと試みます。DS3882は、ランプが点灯するまでMOSFETのゲートのデューティサイクルを徐々に上昇させます。コントローラは、LCMn端子によって検出されたランプに流れる電流を検出することによってそのランプが点灯したことを検知します。ランプの点灯上昇期間にOVDn端子が最大許容電圧に達した場合、システムに過度のストレスをかけないために、コントローラはMOSFETのゲートのデューティサイクルの増加を停止します。DS3882は、SSP1レジスタのLST0とLST1制御ビットによって定義されるタイムアウト期間を過ぎてもランプが点灯しなかった場合には、障害処理状態(ステップ4)に移行します。過電圧の発生が点灯動作の間に検出された場合、DS3882はMOSFETのゲートドライバをディセーブルし、障害処理状態に入ります。
- 3) ランプの駆動。いったんランプが点灯すると、DS3882はMOSFETのゲートのデューティサイクルを調整してランプ電流を最適化します。ゲートのデューティサイクルは、システムが最大許容ランプ電圧を超えることがないように常に厳密に制御されます。ランプ電流のサンプリング速度は、CR2にあるLSC0とLSC1ビットを使ってユーザが選択すること

ができます。ランプ電流が、SSP1レジスタ内のLST0とLST1の制御ビットで定義された期間にランプ消灯のリファレンス点未満に低下することがある場合には、ランプは消灯と見なされます。この場合、MOSFETのゲートドライバはディセーブルされ、デバイスは障害処理段階に移行します。

- 4) 障害処理。障害処理の期間、DS3882はオプションの(ユーザ選択が可能)自動再試行を行い、ランプの過電流を除くすべての障害をクリアしようと試みます。自動再試行は、チャンネルの障害状態にあるチャンネルを特定してそのチャンネルを永久的にディセーブルする前に、障害を修復する14回の追加試行を行います。コントローラは、14回の試行の間に1024ランプサイクル待機します。ランプが過電流の場合、DS3882はそのチャンネルが障害状態にあることを即座に特定し、そのチャンネルを永久的にディセーブルします。DS3882は、1個以上のチャンネルが障害状態に入ると、すべてのチャンネルをディセーブルするように設定することができるほか、その障害が発生したチャンネルのみをディセーブルするように設定することができます。いったん障害状態に入ると、下記のうちの1つの状態が発生するまで、そのチャンネルはそのままの状態に置かれます:

- V_{CC} がUVLOのスレッシュホールド未満に低下する。
- SVMLまたはSVMHのスレッシュホールドを通過する。
- PDN端子がハイになる。
- PDNEのソフトウェアビットが論理1に書き込まれる。
- そのチャンネルが、CH1DまたはCH2D制御ビットによってディセーブルされる。

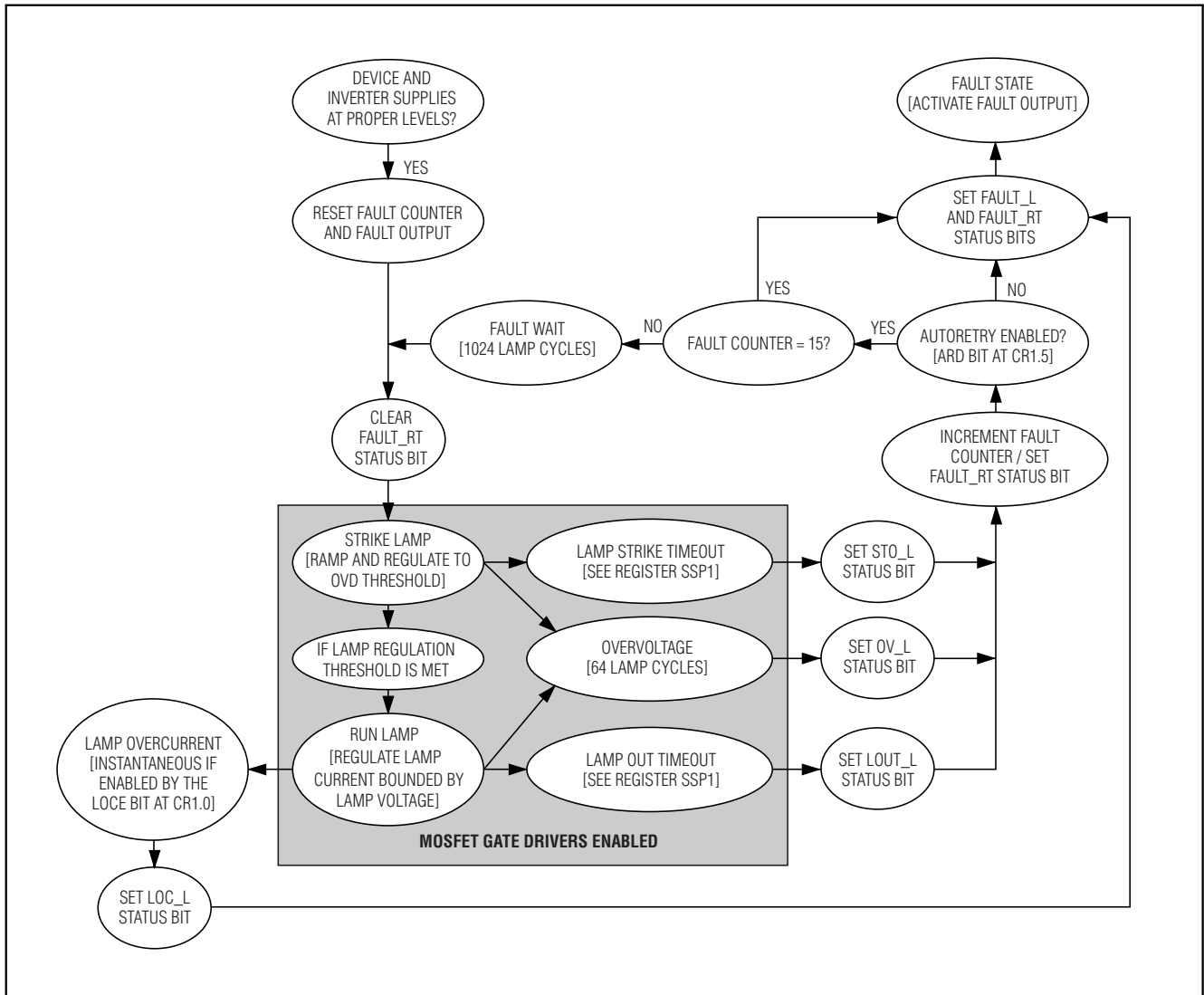


図8. 障害処理のフローチャート

デュアルチャネル車載用CCFLコントローラ

DS3882

EMI抑圧機能

DS3882は、スペクトラム拡散変調とランプ発振器周波数ステップングの2つの電磁波妨害抑圧機能を持っています。1番目は、ランプ周波数のスペクトラムを拡散する能力です。EMICレジスタ内のSS0と/またはSS1を設定することにより、コントローラが±1.5%、±3%、または±6%だけランプ周波数をディザ（振動）するように設定することができます。SS0/1にゼロ以外の値を設定すると、スペクトラム拡散変調がイネーブルされ、発振周波数のステップングがディセーブルされます。スペクトラム拡散変調モードでは、ディザ変調速度はFS0/1/2を設定して選択することもでき、三角波プロファイル(SSM = 0)または擬似ランダムプロファイル(SSM = 1)のどちらかとなります。ユーザは、アプリケーションに最良の変調速度を自由に選択(FS0/1/2によって)することができます。

2番目のEMI抑圧機構は、1%、2%、3%、または4%だけランプ周波数を上下に移動する能力です。この機構では、実際に放射されるEMIは減少しませんが、敏感な周波数領域から外れます。STEPEビットと/またはSTEP端子は、ランプ周波数のステップ変化をイネーブルするために使用されます(SS0/1は0でなければなりません)。いったんイネーブルされると、FS0/1/2の値はランプ発振器の周波数シフトを制御します。例えば、ランプ周波数がオーディオのラジオ放送局を妨害するEMIを発生する場合は、帯域外に干渉波妨害を追い出すために、周波数を少し上か下に移動することができます。

表1. レジスタマップ

BYTE ADDRESS	BYTE NAME	FACTORY DEFAULT	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
E0h	SR1	00h	SVMH_RT	SVML_RT	LOC_L1	LOUT_L1	OV_L1	STO_L1	FAULT_L1	FAULT_RT1
E1h	SR2	00h	RSVD	RSVD	LOC_L1	LOUT_L2	OV_L2	STO_L2	FAULT_L2	FAULT_RT2
E2h	BPWM	00h	RSVD	PWM6	PWM5	PWM4	PWM3	PWM2	PWM1	PWM0
E3h	BLC	1Fh	SEEB	CH2D	CH1D	LC4	LC3	LC2	LC1	LC0
F0h	SSP1	21h	LST1	MDC code for soft-start lamp cycles 3, 4			LST0	MDC code for soft-start lamp cycles 1, 2		
F1h	SSP2	43h	MDC code for soft-start lamp cycles 7, 8				MDC code for soft-start lamp cycles 5, 6			
F2h	SSP3	65h	MDC code for soft-start lamp cycles 11, 12				MDC code for soft-start lamp cycles 9, 10			
F3h	SSP4	77h	MDC code for soft-start lamp cycles 15, 16				MDC code for soft-start lamp cycles 13, 14			
F4h	CR1	00h	DPD	FRS	ARD	RGSO	DPSS	LFSS	POSCS	LOCE
F5h	CR2	08h	PDNE	RSVD	RSVD	LSR1	LSR0	POSCR1	POSCR0	UMWP
F6h	EMIC	00h	FS2	FS1	FS0	STEPE	RSVD	SSM	SS1	SS0
F7h	LCOC	00h	TO3	TO2	TO1	TO0	LCOE	LCO2	LCO1	LCO0
F8h~FFh	USER	00h	EE	EE	EE	EE	EE	EE	EE	EE

注1：E0h~E3hはSRAMの位置であり、F0h~FFhはSRAMでシャドーされたEEPROMです。

注2：CCFLの動作中にDS3882の設定を変更することは、重大な悪影響を引き起こします。

注3：BPWM、BLC、およびLCOCレジスタは、DS3882の両方のチャンネルを制御します。

ランプ電流のオーバドライブ機能

DS3882が提供する他の機能は、低温環境でランプを急速に加熱することができるように、ランプをオーバドライブする能力です。LCOCレジスタのLCO0/1/2のビットを設定してLCOEビットまたはLCO端子をイネーブルした後、DS3882は、公称電流設定値を12.5%刻みで112.5%から200%までオーバドライブします。DS3882は、より多くの電流がランプに流れるようにするために、ランプ安定化スレッシュホールドのV_{LRT}を自動的に上方にシフトすることによってこれを行います(図2)。このマルチレベル調整は、各ランプが加熱された後は電流のオーバドライブをゆっくりと減少する(I²C経由)ことができ、したがって、電流のオーバドライブが必要でなくなった時点で、エンドユーザが明るさの変化を視認することはありません。DS3882は、電流のオーバドライブを自動的にオフすることができるオプションのタイマ機能も持っています。このタイマは、約1.5分から21分まで調整することができます(50kHzのランプ周波数が使用された場合)。

レジスタの詳細説明

表1にDS3882のレジスタマップを示しています。詳細なレジスタとビット記述がその次の表に示されています。

デュアルチャネル車載用CCFLコントローラ

DS3882

表2. ステータスレジスタ1 (SR1) [SRAM, E0h]

BIT	R/W	POWER-UP DEFAULT	NAME	FUNCTION
0	R	0	FAULT_RT	Fault Condition—Real Time. A real-time bit that indicates the current operating status of channel 1. 0 = Normal condition 1 = Fault condition
1	R	0	FAULT_L	Fault Condition—Latched. A latched bit that is set when the channel enters a fault condition. This bit is cleared when read, regardless of the current state of fault.
2	R	0	STO_L	Lamp Strike Timeout—Latched. A latched bit that is set when the lamp fails to strike. This bit is cleared when read.
3	R	0	OV_L	Overvoltage—Latched. A latched bit that is set when a lamp overvoltage is present for at least 64 lamp cycles. This bit is cleared when read.
4	R	0	LOUT_L	Lamp Out—Latched. A latched bit that is set when a lamp out is detected. This bit is cleared when read.
5	R	0	LOC_L	Lamp Overcurrent—Latched. A latched bit that is set when a lamp overcurrent is detected. This bit is cleared when read.
6	R	0	SVML_RT	Supply Voltage Monitor Low—Real Time. A real-time bit that reports the comparator output of the SVML pin.
7	R	0	SVMH_RT	Supply Voltage Monitor High—Real Time. A real-time bit that reports the comparator output of the SVMH pin.

注1：このレジスタへ書き込んでもレジスタに何の影響も与えません。

注2：ステータスビットがどのように設定されるかの詳細については、図8を参照してください。

注3：下記のうちのいずれかが発生すると、SR1はクリアされます。

- V_{CC} がUVLOのスレッシュホールドを下回る。
- SVMLまたはSVMHのスレッシュホールドを超える。
- ハードウェア端子のPDNがハイになる。
- ソフトウェアビットのPDNEに論理1が書き込まれる。
- 制御ビットのCH1Dによってチャネルがディセーブルされる。

デュアルチャネル車載用CCFLコントローラ

DS3882

表3. ステータスレジスタ2 (SR2) [SRAM, E1h]

BIT	R/W	POWER-UP DEFAULT	NAME	FUNCTION
0	R	0	FAULT_RT	Fault Condition—Real Time. A real-time bit that indicates the current operating status of channel 2. 0 = Normal condition 1 = Fault condition
1	R	0	FAULT_L	Fault Condition—Latched. A latched bit that is set when the channel enters a fault condition. This bit is cleared when read regardless of the current state of fault.
2	R	0	STO_L	Lamp Strike Time Out—Latched. A latched bit that is set when the lamp fails to strike. This bit is cleared when read.
3	R	0	OV_L	Overvoltage—Latched. A latched bit that is set when a lamp overvoltage is present for at least 64 lamp cycles. This bit is cleared when read.
4	R	0	LOUT_L	Lamp Out—Latched. A latched bit that is set when a lamp out is detected. This bit is cleared when read.
5	R	0	LOC_L	Lamp Overcurrent—Latched. A latched bit that is set when a lamp overcurrent is detected. This bit is cleared when read.
6	R	0	RSVD	Reserved. Could be either 0 or 1 when read.
7	R	0	RSVD	Reserved. Could be either 0 or 1 when read.

注1: このレジスタへ書き込んでもレジスタに何の影響も与えません。

注2: ステータスビットがどのように設定されるかの詳細については、図8を参照してください。

注3: 下記のうちのどれかが発生すると、SR2はクリアされます。

- V_{CC}がUVLOのスレッシュホールドを下回る。
- SVM_LまたはSVM_Hのスレッシュホールドを超える。
- ハードウェア端子のPDNがハイになる。
- ソフトウェアビットのPDNEに論理1が書き込まれる。
- 制御ビットのCH2Dによってチャネルがディセーブルされる。

表4. 輝度ランプ電流レジスタ(BLC) [SRAM, E3h]

BIT	R/W	FACTORY DEFAULT	NAME	FUNCTION
0	R/W	0	LC0	These five control bits determine the target value for the lamp current. 11111b is 35% of the nominal level and 00000b is 100% of the nominal level. These control bits are used for fine adjustment of the lamp brightness.
1	R/W	0	LC1	
2	R/W	0	LC2	
3	R/W	0	LC3	
4	R/W	0	LC4	
5	R/W	0	CH1D	Channel 1 Disable 0 = Channel 1 enabled 1 = Channel 1 disabled
6	R/W	0	CH2D	Channel 2 Disable. Useful for dimming in two lamp applications. 0 = Channel 2 enabled 1 = Channel 2 disabled
7	R/W	0	SEEB	SRAM-Shadowed EEPROM Write Control 0 = Enables writes to EEPROM 1 = Disables writes to EEPROM

デュアルチャネル車載用CCFLコントローラ

DS3882

表5a. ソフトスタートプロトコルレジスタ(SSPx) [Shadowed-EEPROM, F0h, F1h, F2h, F3h]

SSP#	ADDR	FACTORY DEFAULT	MSB				LSB			
			7	6	5	4	3	2	1	0
SSP1	F0h	21h	LST1	Lamp Cycles 3 and 4		LST0	Lamp Cycles 1 and 2			
SSP2	F1h	43h	RSVD	Lamp Cycles 7 and 8		RSVD	Lamp Cycles 5 and 6			
SSP3	F2h	65h	RSVD	Lamp Cycles 11 and 12		RSVD	Lamp Cycles 9 and 10			
SSP4	F3h	77h	RSVD	Lamp Cycles 15 and 16		RSVD	Lamp Cycles 13 and 14			

表5b. MOSFETのデューティサイクル(MDC)—ソフトスタート設定用のコード

BIT	R/W	NAME	FUNCTION			
0	R/W	MDC0	MDC0/1/2: These bits determine a MOSFET duty cycle that will repeat twice in the 16 lamp cycle soft-start.			
1	R/W	MDC1				
2	R/W	MDC2				
3	R/W	LST0 / RSVD				
4	R/W	MDC0				
			LST0/1: These bits select strike and lamp-out timeout. LST0 and LST1 control fault behavior for all lamps.			
			LST1	LST0	STRIKE AND LAMP-OUT TIMEOUT (LAMP FREQUENCY CYCLES)	EXAMPLE TIMEOUT IF LAMP FREQUENCY IS 50kHz
5	R/W	MDC1	0	0	32,768	0.66 Seconds
6	R/W	MDC2	0	1	65,536	1.31 Seconds
7	R/W	LST1 / RSVD	1	0	98,304	1.97 Seconds
			1	1	Reserved	—

デュアルチャネル車載用CCFLコントローラ

DS3882

表6. 制御レジスタ1 (CR1) [Shadowed-EEPROM, F4h]

BIT	R/W	FACTORY DEFAULT	NAME	FUNCTION
0	R/W	0	LOCE	Lamp Overcurrent Enable 0 = Lamp overcurrent detection disabled. 1 = Lamp overcurrent detection enabled.
1	R/W	0	POSCS	POSC Select. See POSCR0 and POSCR1 control bits in Control Register 2 to select the oscillator range. 0 = POSC input is connected with a resistor to ground to set the frequency of the internal PWM oscillator. 1 = POSC input is a 22.5Hz to 440Hz clock.
2	R/W	0	LFSS	Lamp Frequency Source Select 0 = Lamp frequency generated internally and sourced from the LSYNC output. 1 = Lamp frequency generated externally and supplied to the LSYNC input.
3	R/W	0	DPSS	DPWM Signal Source Select 0 = DPWM signal generated internally and sourced from the PSYNC output. 1 = DPWM signal generated externally and supplied to the PSYNC input.
4	R/W	0	RGSO	Ramp Generator Source Option 0 = Source DPWM at the PSYNC output. 1 = Source internal ramp generator at the PSYNC output.
5	R/W	0	ARD	Autoretry Disable 0 = Autoretry function enabled. 1 = Autoretry function disabled.
6	R/W	0	FRS	Fault Response Select 0 = Disable only the malfunctioning channel. 1 = Disable both channels upon fault detection on any channel.
7	R/W	0	DPD	DPWM Disable 0 = DPWM function enabled. 1 = DPWM function disabled.

デュアルチャネル車載用CCFLコントローラ

DS3882

表7. 制御レジスタ2 (CR2) [Shadowed-EEPROM, F5h]

BIT	R/W	DEFAULT	NAME	FUNCTION																				
0	R/W	0	UMWP	User Memory Write Protect 0 = Write access blocked. 1 = Write access permitted.																				
1	R/W	0	POSCR0	DPWM Oscillator Range Select. When using an external source for the dimming clock, these bits must be set to match the external oscillator's frequency. When using a resistor to set the dimming frequency, these bits plus the external resistor control the frequency.																				
2	R/W	0	POSCR1																					
<table border="1"> <thead> <tr> <th>POSCR1</th> <th>POSCR0</th> <th>DIMMING CLOCK (DPWM) FREQUENCY RANGE (Hz)</th> <th>k (kΩ • kHz)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>22.5 to 55.0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>45 to 110</td> <td>2</td> </tr> <tr> <td>1</td> <td>0</td> <td>90 to 220</td> <td>4</td> </tr> <tr> <td>1</td> <td>1</td> <td>180 to 440</td> <td>8</td> </tr> </tbody> </table>					POSCR1	POSCR0	DIMMING CLOCK (DPWM) FREQUENCY RANGE (Hz)	k (kΩ • kHz)	0	0	22.5 to 55.0	1	0	1	45 to 110	2	1	0	90 to 220	4	1	1	180 to 440	8
POSCR1	POSCR0	DIMMING CLOCK (DPWM) FREQUENCY RANGE (Hz)	k (kΩ • kHz)																					
0	0	22.5 to 55.0	1																					
0	1	45 to 110	2																					
1	0	90 to 220	4																					
1	1	180 to 440	8																					
3	R/W	1	LSR0																					
4	R/W	0	LSR1																					
<table border="1"> <thead> <tr> <th>LSR1</th> <th>LSR0</th> <th>SELECTED LAMP SAMPLE RATE</th> <th>EXAMPLE SAMPLE RATE IF LAMP FREQUENCY IS 50kHz</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>4 Lamp Frequency Cycles</td> <td>12,500Hz</td> </tr> <tr> <td>0</td> <td>1</td> <td>8 Lamp Frequency Cycles</td> <td>6,250Hz</td> </tr> <tr> <td>1</td> <td>0</td> <td>16 Lamp Frequency Cycles</td> <td>3,125Hz</td> </tr> <tr> <td>1</td> <td>1</td> <td>32 Lamp Frequency Cycles</td> <td>1,563Hz</td> </tr> </tbody> </table>				LSR1	LSR0	SELECTED LAMP SAMPLE RATE	EXAMPLE SAMPLE RATE IF LAMP FREQUENCY IS 50kHz	0	0	4 Lamp Frequency Cycles	12,500Hz	0	1	8 Lamp Frequency Cycles	6,250Hz	1	0	16 Lamp Frequency Cycles	3,125Hz	1	1	32 Lamp Frequency Cycles	1,563Hz	
LSR1	LSR0	SELECTED LAMP SAMPLE RATE	EXAMPLE SAMPLE RATE IF LAMP FREQUENCY IS 50kHz																					
0	0	4 Lamp Frequency Cycles	12,500Hz																					
0	1	8 Lamp Frequency Cycles	6,250Hz																					
1	0	16 Lamp Frequency Cycles	3,125Hz																					
1	1	32 Lamp Frequency Cycles	1,563Hz																					
5	—	0	RSVD	Reserved. This bit should be set to zero.																				
6	—	0	RSVD	Reserved. This bit should be set to zero.																				
7	R/W	0	PDNE	Power-Down. Logically ORed with the PDN pin. Setting this bit high resets the controller, clears the fault logic, and places the part in power-down mode. 0 = Normal. All circuitry is off, except I ² C interface.																				

デュアルチャネル車載用CCFLコントローラ

DS3882

表8. EMI制御レジスタ(EMIC) [Shadowed-EEPROM, F6h]

BIT	R/W	FACTORY DEFAULT	NAME	FUNCTION				
0	R/W	0	SS0	LAMP OSCILLATOR SPREAD-SPECTRUM MODULATION SELECT				
				SS1	SS0	SELECTED LAMP FREQUENCY SPREAD		
				0	0	Spread-Spectrum Disabled		
1	R/W	0	SS1	0	1	±1.5%		
				1	0	±3.0%		
				1	1	±6.0%		
2	R/W	0	SSM	Lamp Oscillator Spread-Spectrum Modulation Select 0 = Triangular modulation. 1 = Pseudorandom modulation.				
3	—	—	RSVD	Reserved. This bit should be set to zero.				
4	R/W	0	STEPE	Lamp Frequency Step Enable. Logically ORed with the Step Invoked. 0 = Lamp operates at nominal frequency. 1 = Frequency step invoked.				
5	R/W	0	FS0	LAMP OSCILLATOR FREQUENCY STEP SELECT				
				FS2	FS1	FS0	SELECTED LAMP FREQUENCY STEP (SS0 = 0 AND SS1 = 0)	SPREAD-SPECTRUM MODULATION RATE (SS0 AND/OR SS1 = 1)
6	R/W	0	FS1	0	0	0	Step Up 1%	Lamp Frequency x4
				0	0	1	Step Up 2%	Lamp Frequency x2
				0	1	0	Step Up 3%	Lamp Frequency x1
				0	1	1	Step Up 4%	Lamp Frequency x1/2
7	R/W	0	FS2	1	0	0	Step Down 1%	Lamp Frequency x1/4
				1	0	1	Step Down 2%	Lamp Frequency x1/8
				1	1	0	Step Down 3%	Lamp Frequency x1/16
				1	1	1	Step Down 4%	Lamp Frequency x1/32

デュアルチャネル車載用CCFLコントローラ

DS3882

表9. ランプ電流のオーバドライブ制御レジスタ(LCOC) [Shadowed-EEPROM, F7h]

BIT	R/W	FACTORY DEFAULT	NAME	FUNCTION					
				LAMP CURRENT OVERDRIVE SELECT					
0	R/W	0	LCO0	LCO2	LCO1	LCO0	SELECTED LAMP CURRENT OVERDRIVE		
				0	0	0	Nominal Current + 12.50%		
				0	0	1	Nominal Current + 25.00%		
1	R/W	0	LCO1	0	1	0	Nominal Current + 37.50%		
				0	1	1	Nominal Current + 50.00%		
				1	0	0	Nominal Current + 62.50%		
2	R/W	0	LCO2	1	0	1	Nominal Current + 75.00%		
				1	1	0	Nominal Current + 87.50%		
				1	1	1	Nominal Current + 100.00%		
3	R/W	0	LCOE	Lamp Current Overdrive Enable. Logically ORed with the LCO pin. 0 = Lamp operated with nominal current setting. 1 = Lamp overdrive invoked.					
				AUTOMATIC LAMP CURRENT OVERDRIVE TIMEOUT SELECT					
4	R/W	0	TO0	TO3	TO2	TO1	TO0	SELECTED TIMEOUT IN LAMP FREQUENCY CYCLES	EXAMPLE TIMEOUT IF LAMP FREQUENCY IS 50kHz
				0	0	0	0	Disabled	—
5	R/W	0	TO1	0	0	0	1	1×2^{22}	1.4 min
				0	0	1	0	2×2^{22}	2.8 min
				0	0	1	1	3×2^{22}	4.2 min
				0	1	0	0	4×2^{22}	5.6 min
				0	1	0	1	5×2^{22}	7.0 min
6	R/W	0	TO2	0	1	1	0	6×2^{22}	8.4 min
				0	1	1	1	7×2^{22}	9.8 min
				1	0	0	0	8×2^{22}	11.2 min
				1	0	0	1	9×2^{22}	12.6 min
				1	0	1	0	10×2^{22}	14.0 min
7	R/W	0	TO3	1	0	1	1	11×2^{22}	15.4 min
				1	1	0	0	12×2^{22}	16.8 min
				1	1	0	1	13×2^{22}	18.2 min
				1	1	1	0	14×2^{22}	19.6 min
				1	1	1	1	15×2^{22}	21.0 min

デュアルチャネル車載用CCFLコントローラ

I²Cの定義

次の用語は、I²Cのデータ転送の説明として一般的に使用されます。

マスタデバイス(Master Device) : マスタデバイスは、バス上でスレーブデバイスを制御します。マスタデバイスはSCLクロックパルス、スタート、およびストップ条件を生成します。

スレーブデバイス(Slave Devices) : スレーブデバイスは、マスタの要求に応じてデータを送受信します。

バスアイドルまたはノットビジー(Bus Idle or Not Busy) : SDAとSCLの両方が非アクティブでそれらが論理ハイ状態のときの、ストップとスタート条件の間の時間。

スタート条件(START Condition) : スタート条件はマスタによって生成され、スレーブとの新しいデータ転送を開始します。SCLはハイのままでSDAがハイからローに遷移し、スタート条件を生成します。適用可能なタイミングについては、タイミング図を参照してください。

ストップ条件(STOP Condition) : スレーブとのデータ転送を終了するために、ストップ条件はマスタによって生成されます。SCLはハイのままでSDAがローからハイに遷移し、ストップ条件を生成します。適用可能なタイミングについては、タイミング図を参照してください。

再スタート条件(Repeated START Condition) : マスタは、1つのデータ転送の終わりに再スタート条件を使用することができ、現在のデータの後に新しいデータ転送をマスタが即座に開始することを示します。再スタートは一般的に読取り動作の間に使用され、データ転送を始める特定のメモリアドレスを確認します。再スタート条件は、通常のスタート条件と全く同じように送出されます。適用可能なタイミングについては、タイミング図を参照してください。

ビット書込み(Bit Write) : SDAの遷移は、SCLがロー状態の間に発生しなければなりません。SCLのハイパルスの期間および必要とするセットアップとホールド時間の間は、SDA上のデータは有効で、変化してはなりません(図9を参照)。データは、SCLの立ち上がりエッジの間にデバイスにシフト入力されます。

ビット読取り(Bit Read) : 書込み動作の終わりに、ビット読取りの次のSCLの立ち上がりエッジの前に、マスタは適切な長さのセットアップ時間の間(図9) SDAのバスラインを開放しなければなりません。デバイスは、前のSCLパルスの立下りエッジでSDA上にデータの各ビットをシフト出力し、そのデータビットは、現在のSCLパルスの立ち上がりエッジで有効です。スレーブからビットを読み取っている時を含めて、マスタがすべてのSCLクロックパルスを生成することを覚えておいてください。

確認応答(ACKおよびNACK) : 確認応答(ACK)または否定確認応答(NACK)は、1バイト転送の間に送られる常に9番目のビットです。データを受信しているデバイスは(読取り期間中のマスタ、または書込み動作中のスレーブ)、9番目のビットでゼロを送信しACKを実行します。デバイスは、9番目のビットで1を送信してNACKを実行します。ACKとNACK用のタイミング(図9)は、他のすべてのビット書込みと同じです。ACKは、そのデバイスがデータを正しく受け取っているという承認です。NACKは、読取りシーケンスを中止させるため、またはそのデバイスがデータを受信していないことを示すために使用されます。

バイト書込み(Byte Write) : バイト書込みは、マスタからスレーブに転送される情報の8ビット(最上位ビットを先頭)とスレーブからマスタへの1ビットの確認応答で構成されます。マスタによって送信される8ビットはビット書込みの定義に従って行われ、その確認応答は、ビット読取りの定義を用いて読み取られます。

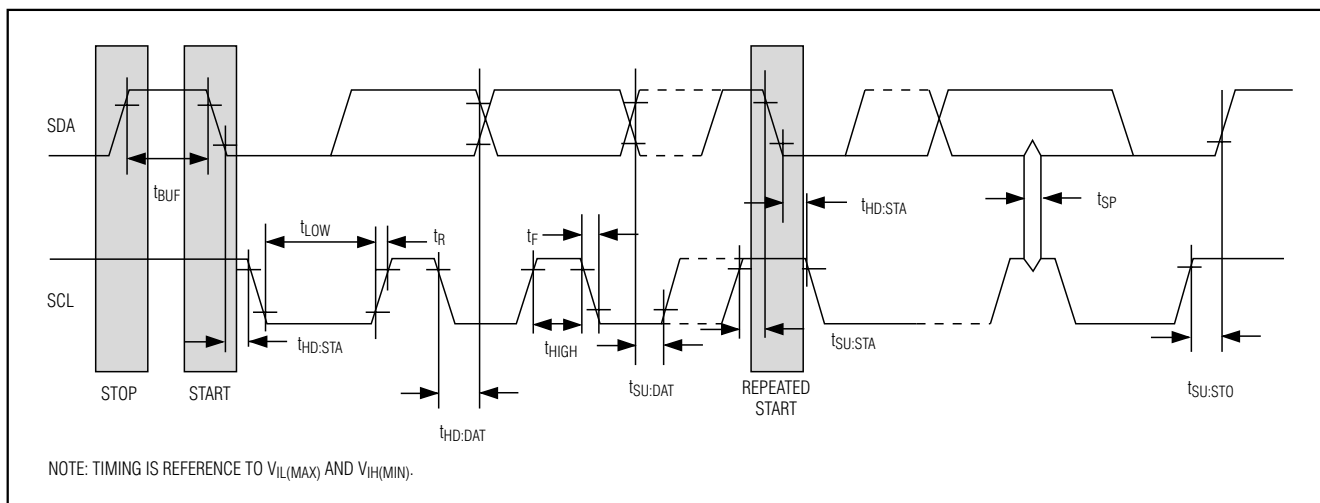


図9. I²Cのタイミング図

バイト読取り(Byte Read) : バイト読取りは、スレーブからマスタに転送される8ビット情報と、さらに、マスタからスレーブへの1ビットのACKまたはNACKです。スレーブからマスタに転送される(最上位ビットを先頭)8ビットの情報は、上述のビット読取りの定義を使ってマスタによって読み取られ、そして、マスタはビット書き込みの定義を使ってACKを送り、追加のデータバイトを受信します。マスタは、スレーブがSDAの制御をマスタに返すように、通信を終了させる最終バイトの読取りをNACKする必要があります。

スレーブアドレスバイト(Slave Address Byte) : I²Cバス上の各スレーブは、スタート条件に続いて即座に送信されるスレーブのアドレス指定バイトに応答します。スレーブアドレスバイト(図10)は、最上位の7ビットにスレーブアドレス、およびその最下位ビットにR/ \bar{W} ビットを含んでいます。DS3882のスレーブアドレスは10100A₁A₀0(バイナリ)で、A₀とA₁はアドレス端子の値(A₀とA₁)です。このアドレス端子によって、デバイスが4つの可能なスレーブアドレスのうちの1つに応答が可能となります。R/ \bar{W} = 0として正しいスレーブアドレスを書き込むことによって、マスタはスレーブへの書き込みを示します。R/ \bar{W} = 1であれば、マスタはスレーブからデータを読み取ります。間違ったスレーブアドレスが書き込まれた場合、DS3882は、マスタが別のI²Cデバイスと通信していると思われ、次のスタート条件が送られるまで通信を無視します。

メモリアドレス(Memory Address) : I²Cの書き込み動作中に、スレーブがデータを格納するメモリの位置を特定するために、マスタはメモリアドレスを送らなければなりません。メモリアドレスは、スレーブアドレスバイトに続いて書き込み動作期間に送られる常に2番目のバイトです。

I²C通信

スレーブへのデータバイトの書き込み : マスタはスタート条件を発生し、スレーブアドレスバイト(R/ \bar{W} = 0)を書き込み、メモリアドレスを書き込み、データバイトを書き込み、そしてストップ条件を発生しなければなりません。マスタは、すべてのバイト書き込み動作中にスレーブの確認応答を読み取らなければならないことを覚えておいてください。詳細については図11を参照してください。

確認応答のポーリング(Acknowledge Polling) : EEPROMが書き込まれる時はいつでも、DS3882はストップ条件の後にEEPROM書き込み時間(t_W)を必要とし、EEPROMに内容を書き込みます。DS3882はEEPROMの書き込み時間の間はビジーであり、そのスレーブアドレスを確認応答しません。DS3882に繰り返してアドレス指定することにより、その特性を利用することが可能で、このことにより、DS3882がデータを受け取る用意ができるとすぐに、次のデータバイトが書き込まれることが可能です。確認応答ポーリングを代替するほかの方法は、DS3882への再書き込みを試みる前にt_Wの最大期間が経過するのを待つことです。

EEPROMの書き込みサイクル : DS3882のEEPROMの書き換え可能回数は、「NONVOLATILE MEMORY CHARACTERISTICS (不揮発性メモリの特性)」表に規定されています。この仕様は、最悪の書き込み温度に対して示されています。書き込みが室温で行われる場合は、DS3882は一般的により多くの書き込みサイクルを扱うことが可能です。

スレーブからのデータバイトの読取り : スレーブからの1バイトの読取りは、マスタがスタート条件を発生し、R/ \bar{W} = 0でスレーブアドレスのバイトを書き込み、メモリアドレスを書き込み、再スタート条件を発生し、R/ \bar{W} = 1でそのスレーブアドレスを書き込み、転送の終了を指示するためにNACKでデータバイトを読み取り、そしてストップ条件を発生します。詳細については図11を参照してください。

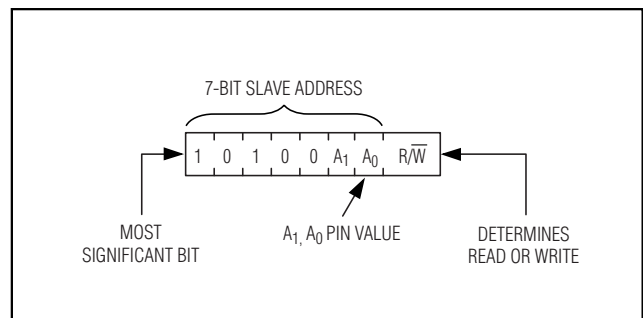
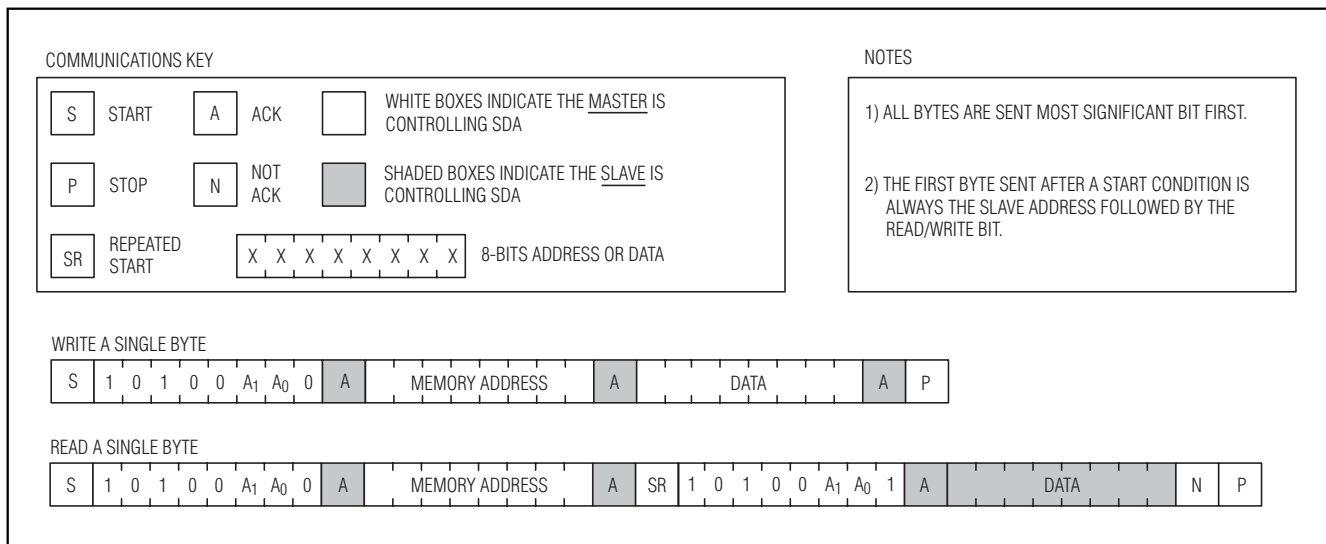


図10. DS3882のスレーブアドレスバイト

デュアルチャネル車載用CCFLコントローラ

図11. I²Cの通信例

アプリケーション情報

共通のI²Cバス上の複数のDS3882のアドレス指定

各DS3882は、アドレス入力端子(A0とA1)の状態に基づいて4つの可能なスレーブアドレスのうちの1つにตอบสนองします。デバイスのアドレス指定に関する情報については、「I²C通信」の項を参照してください。

RMSランプ電流の設定

「標準動作回路」の抵抗のR7とR8によってランプ電流を設定します。R7とR8が140Ωの場合、電流波形が正弦波に近い限り、これは5mA_{RMS}のランプ電流に対応します。所定の正弦波のランプ電流に対する抵抗値を決定するための式は次のとおりです：

$$R_{7/8} = \frac{1}{I_{LAMP(RMS)} \times \sqrt{2}}$$

部品の選択

外付け部品の選択は、システム全体の性能とコストに大きく影響します。2つの最も重要な外付け部品は、トランスとnチャンネルMOSFETです。

トランスは、DS3882の40kHz~80kHzの周波数範囲で動作しなくてはならず、巻数比は、MOSFETドライバが安定状態で動作中に28%~35%のデューティサイ

クルで動作するように選ぶ必要があります。トランスは、ランプを点灯するために使用される高い開回路電圧に耐える必要があります。その上、その1次/2次巻線の抵抗とインダクタンス特性は、これらがシステムの効率や過渡応答の決定に大きく寄与するため、考慮する必要があります。表10は、12Vのインバータ電源と438mm x 2.2mmのランプ用の設計に使用されるトランスの仕様を示しています。

nチャンネルMOSFETは、論理レベル信号で動作するのに十分低いスレッシュホールド電圧、効率を最大限にしてnチャンネルMOSFETの消費電力を抑えるための低いオン抵抗、および過渡応答を取り扱うのに十分な高いブレイクダウン電圧を備える必要があります。ブレイクダウン電圧は、最低限、インバータ電圧の電源の3倍とする必要があります。さらに、総ゲート電荷はQ_G未満でなければならない、「Recommended Operating Conditions (推奨動作条件)」表に指定されています。これらの仕様は、現在、8ピンのSOPパッケージで入手が可能な多くのデュアルnチャンネルMOSFETで容易に満たされます。

「標準動作回路」で使用されている外部抵抗とコンデンサの推奨値を表11に示します。

デュアルチャネル車載用CCFLコントローラ

DS3882

表10. トランスの仕様(「標準動作回路」で使用される場合)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Turns Ratio (Secondary/Primary)	(Notes 1, 2, 3)		40		
Frequency		40		80	kHz
Output Power				6	W
Output Current			5	8	mA
Primary DCR	Center tap to one end		200		mΩ
Secondary DCR			500		Ω
Primary Leakage			12		μH
Secondary Leakage			185		mH
Primary Inductance			70		μH
Secondary Inductance			500		mH
Secondary Output Voltage	100ms minimum	2000			V _{RMS}
	Continuous	1000			

注1：1次側は、センタタップ接続のバイファイラ巻である必要があります。

注2：巻数比は、2次側巻線数を1次側の両巻線の合計で除算した値で定義されます。

注3：40：1は、12Vの電源で438mm x 2.2mmのランプを動作させるための標準巻数比です。追加情報に関してはアプリケーションノート3375を参照してください。

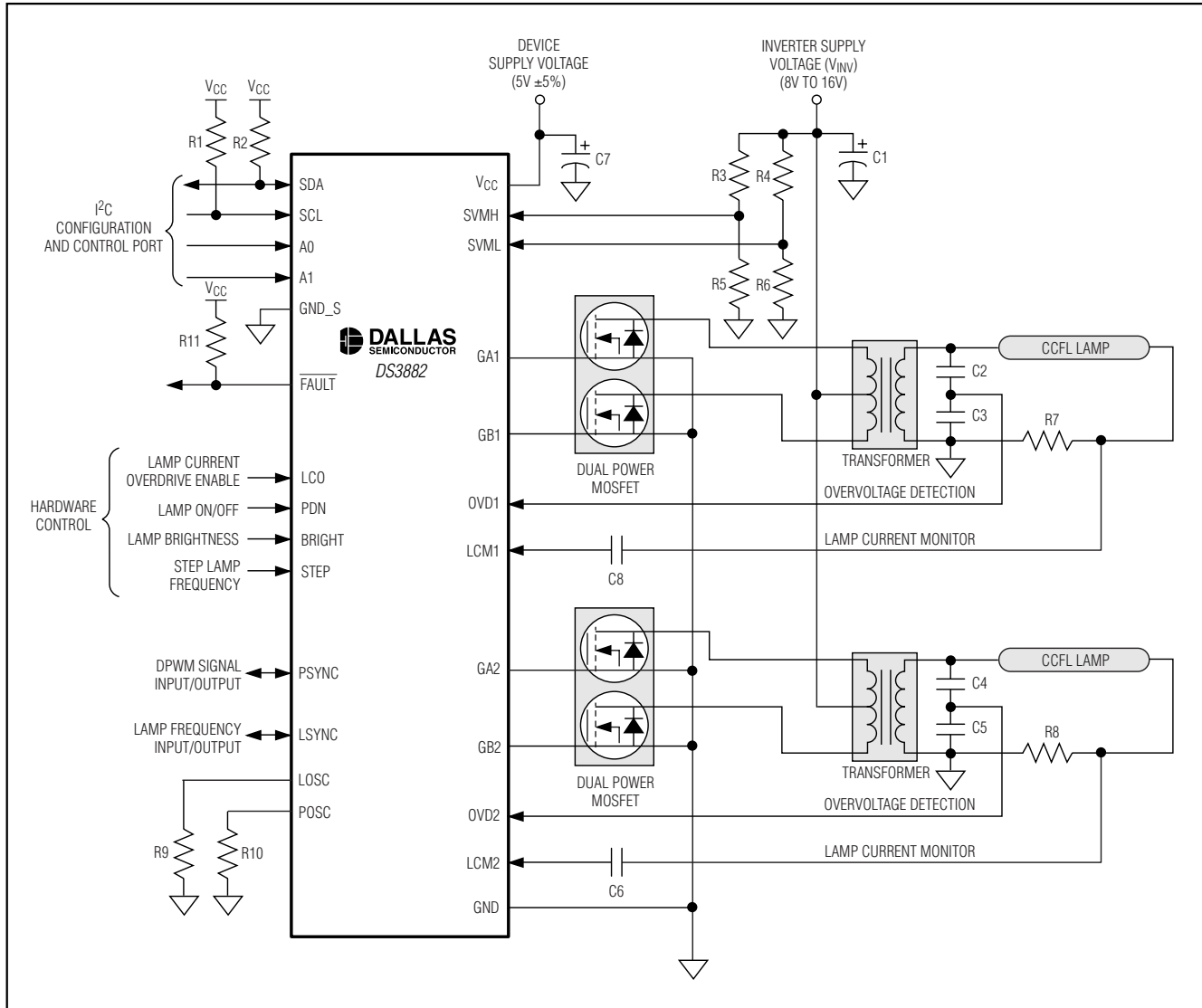
表11. 抵抗とコンデンサの選択ガイド

DESIGNATOR	QTY	VALUE	TOLERANCE (%) AT +25°C	TEMPERATURE COEFFICIENT	NOTES
R5, R6	1	10kΩ	1	—	—
R3, R4	1	12.5kΩ to 105kΩ	1	—	See the <i>Setting the SVM Threshold Voltage</i> section.
R9	1	20kΩ to 40kΩ	1	≤153ppm/°C	2% or less total tolerance. See the <i>Lamp Frequency Configuration</i> section to determine value.
R10	1	18kΩ to 45kΩ	1	≤153ppm/°C	2% or less total tolerance. See the <i>Lamp Frequency Configuration</i> section to determine value.
R1	1	4.7kΩ	5	Any grade	—
R2	1	4.7kΩ	5	Any grade	—
R11	1	4.7kΩ	5	Any grade	—
R7, R8	1/Chan	140Ω	1	—	See the <i>Setting the RMS Lamp Current</i> section.
C6, C8	1/Chan	100nF	10	X7R	Capacitor value will also affect LCM bias voltage during power-up. A larger capacitor may cause a longer time for V _{DCB} to reach its normal operating level.
C2	1/Chan	10pF	5	±1000ppm/°C	2kV to 4kV breakdown voltage required.
C3	1/Chan	27nF	5	X7R	Capacitor value will also affect LCM bias voltage during power-up. A larger capacitor may cause a longer time for V _{DCB} to reach its normal operating level.
C1	1/Chan	33μF	20	Any grade	—
C7	2/DS3882	0.1μF	10	X7R	Place close to V _{CC} and GND on DS3882.

デュアルチャネル車載用CCFLコントローラ

DS3882

標準動作回路



電源のデカップリング

最高の結果を得るために、ICの電源端子にデカップリングコンデンサを使用することを強くお勧めします。デカップリングコンデンサの代表値は、0.01 μ Fか0.1 μ Fです。高品質のセラミック表面実装コンデンサを使い、配線のインダクタンスを最小限にするために、ICのV_{CC}端子とGND端子のできるだけ近くに取り付けてください。

チップ情報

TRANSISTOR COUNT: 38,000
SUBSTRATE CONNECTED TO GROUND

パッケージ

最新のパッケージ情報は、japan.maxim-ic.com/DallasPackInfo をご参照ください。

改訂履歴

Rev1での変更ページ：1、21

マキシム・ジャパン株式会社

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

30 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

MAXIM is a registered trademark of Maxim Integrated Products, Inc.
DALLAS SEMICONDUCTOR is a registered trademark of Dallas Semiconductor Corporation.
© 2006 Maxim Integrated Products, Inc. All rights reserved.