

概要

DS3174DK は DS3174 用の使いやすいデモキットです。表面実装の DS3174 とアナログ信号トレースの注意深いレイアウトによって、DS3174 の送受信機能を検証する最大限の信号完全性を備えています。搭載したダラス 8051 互換マイクロコントローラおよび同梱のソフトウェアによって、パソコンからコンフィギュレーションレジスタとステータスレジスタにポイントアンドクリックでアクセスすることができます。ボード上の汎用 LED は、4 ポートすべてに対する各種アラーム状態を表示するように容易に構成することができます。このボードは、ライン側の送信および受信差動ペア用の 8 個の BNC コネクタ、およびオーバヘッド機能用の 2 個の FPGA を備えています。すべての LED とコネクタは、関連する信号を識別できるようにシルクスクリーン印刷ではっきりラベル表示されています。

デモキットの内容

DS3174DK ボード
CD-ROM

ChipView ソフトウェア
DS3174 定義ファイル
DS3174DK データシート
DS3174 データシート

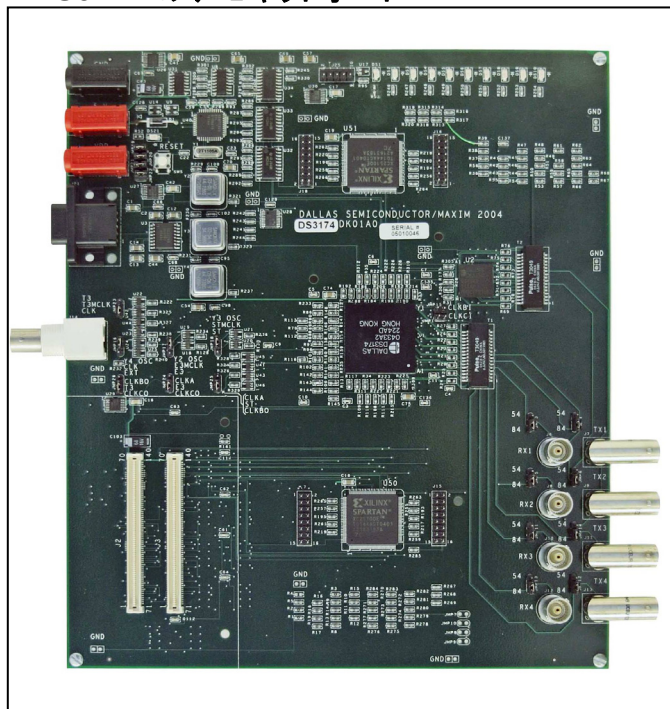
型番

PART	DESCRIPTION
DS3174DK	Demo Kit for the DS3174

特長

- 最良の信号完全性を得るために半田付けされた DS3174
- 4 個すべての LIU に対する BNC コネクタ、トランス、および受動終端
- アナログ信号経路に対する注意深いレイアウト
- DS3、E3、および STS-1 用の水晶発振器搭載
- DS3174 を完全に制御するため、CPU バス動作に合わせて構成
- 搭載したダラスマイクロコントローラおよび同梱のソフトウェアによって DS3174 レジスタセットにポイントアンドクリックアクセス可能
- 汎用 LED を各種のアラーム状態に合わせて構成可能
- V_{DD}およびGND用バナナジャックコネクタで、実験室用電源使用可能
- I_{DD}測定を可能とする独立したDS3174 用のV_{DD}
- すべてのコネクタ、ジャンパ、および LED に対応する信号を明示した読みやすいシルクスクリーン印刷ラベル

DS3174 のデモキットオード



部品リスト

DESIGNATION	QTY	DESCRIPTION	MANUFACTURER	PART
C1, C2, C12, C13, C14, C18, C19, C44, C54, C57, C65, C69, C70, C74, C75	15	10 μ F \pm 20%, 10V ceramic capacitors (1206)	Panasonic	ECJ-3YB1A106M
C3–C7, C9, C10, C11, C20, C21, C24–C38, C46, C47, C58–C64, C66, C67, C68, C76–C87, C95, C98, C100, C102, C109–C137	82	0.1 μ F \pm 20%, 16V X7R ceramic capacitors	AVX	0603YC104MAT
C8, C15, C39, C40	4	4.7 μ F \pm 10%, 25V X5R ceramic capacitors	Panasonic	ECJ-3YB1E475K
C16, C17, C41, C42	4	6.8 μ F 10%, 6.3V X5R ceramic capacitors (1206)	Panasonic	ECJ-3YB0J685K
C22, C23	2	22pF \pm 5%, 25V NPO ceramic capacitors	AVX	06033A220JAT
C43, C103	2	68 μ F \pm 20%, 16V tantalum capacitors (D case)	Panasonic	ECS-T1CD686R
D1	1	Diode, 1A, 50V, general-purpose silicon	General Semiconductor	1N4001
DS1, DS10	2	Green SMD LEDs	Panasonic	LN1351C
DS2–DS9	8	Red SMD LEDs	Panasonic	LN1251C
DS21	1	Red SMD LED	Panasonic	LN1251C
J1, J4	2	Sockets, banana plug, horizontal, red	Mouser (distributor)	164-6219
J2, J3	2	Plugs, SMD, 140-pin, 0.8mm, 2-row vertical	AMP	179031-6
J5	1	Socket, banana plug, horizontal, black	Mouser (distributor)	164-6218
J6, J8, J10, J12	4	BNC connectors 75 Ω , vertical, 5-pin	Cambridge	CP-BNCPC-004
J7, J9, J11, J13	4	Connector, BNC, 75 ohm, right angle, 5-pin	Trompeter	UCBJR220
J14	1	Amphenol, right-angle BNC	Amphenol	31-5431
J15–J18	4	Terminal strip, 16-pin, dual-row, vertical	Samtec	TSW-108-07-T-D
J21	1	Connector, DB9, right-angle, long case	AMP	747459-1
J25	1	Terminal strip, 10-pin, dual-row, vertical	—	—
JMP1, JMP2, JMP15	3	2-pin header, 0.100 centers, vertical	Samtec	TSW-102-07-T-S
JMP3–JMP6, JMP11–JMP14, JMP16, JMP17, JMP18, JMP23–JMP26	15	3-pin header, 0.100 centers, vertical	Samtec	TSW-103-07-T-S
JMP7–JMP10, JMP19–JMP22	8	Do not place, open 2 pin TH jumper	—	—
R1, R2, R3, R16–R19, R36–R39, R41–R51, R53–R59, R61–R68, R229–R231, R244	41	0 Ω \pm 1%, 1/16W resistors (0603)	AVX	CJ10-000F
R4, R146, R147, R148, R158, R159, R160	7	Resistors (0603) Do not populate	—	—
R5, R8–15, R92, R93, R95, R161, R270–R285, R313–R320	37	10k Ω \pm 5%, 1/16W resistors (0603)	Panasonic	ERJ-3GEYJ103V

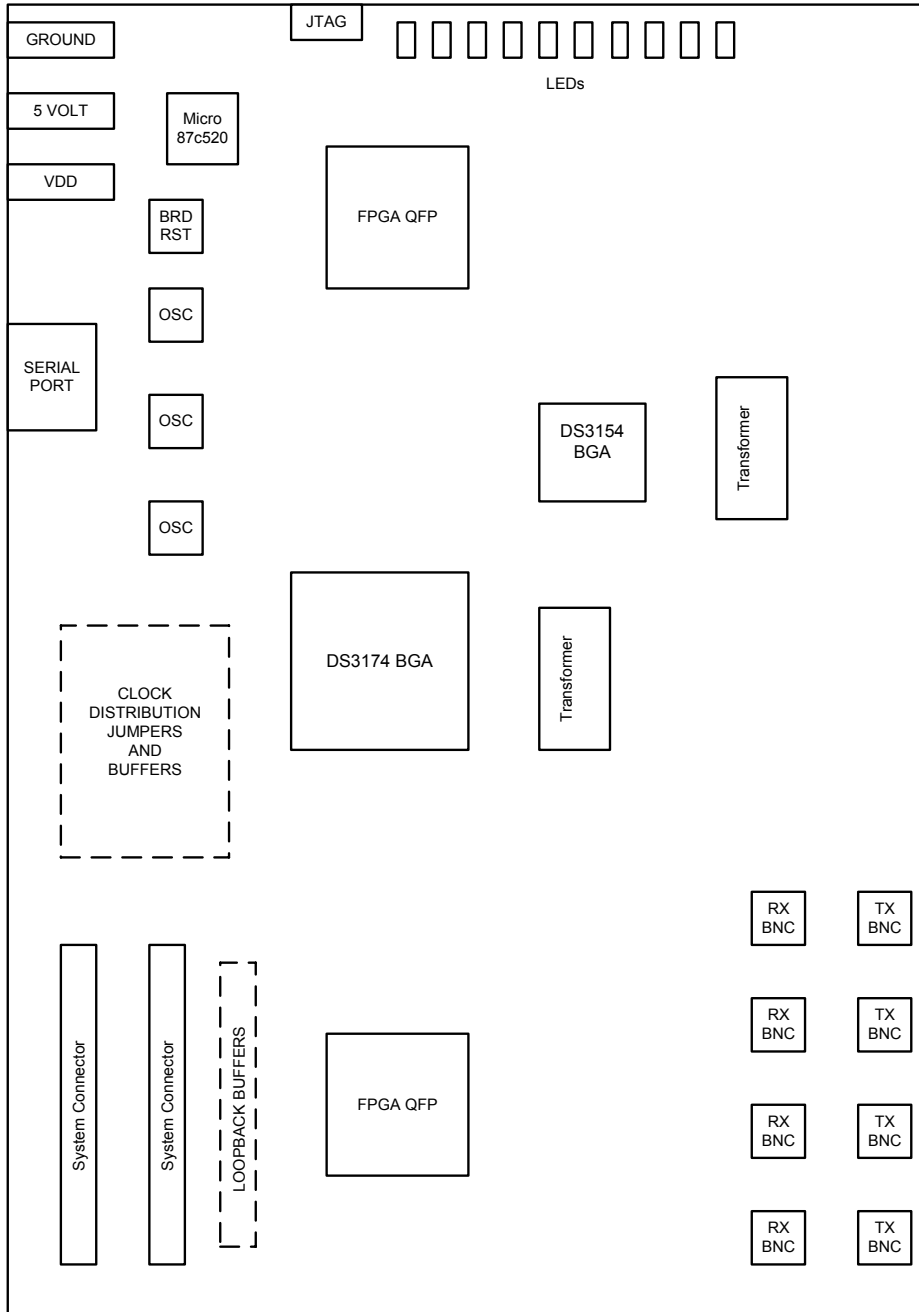
DESIGNATION	QTY	DESCRIPTION	MANUFACTURER	PART
R6, R7, R28–R35, R77–R91, R94, R96–R145, R149– R157, R162–R228, R233–R240, R255– R266, R305–R312, R321–R329	189	33Ω ±5%, 1/16W resistors (0603)	Panasonic	ERJ-3GEYJ330V
R20–R27, R69–R76	16	332Ω ±1%, 1/16W resistors (0603)	Panasonic	ERJ-3EKF3320V
R52, R246–R254	10	330Ω ±5%, 1/16W resistors (0603)	Panasonic	ERJ-3GEYJ331V
R232	1	51.1Ω ±1%, 1/16W resistor (0603)	Panasonic	ERJ-3EKF51R1V
R241	1	3.3kΩ ±5%, 1/16W resistor (0603)	Panasonic	ERJ-3GEYJ332V
R242, R243, R245, R267, R268, R269	6	4.7kΩ ±5%, 1/16W resistors (0603)	Panasonic	ERJ-3GEYJ472V
R286–R304, R330	20	100Ω ±5%, 1/16W resistors (0603)	Panasonic	ERJ-3GEYJ101V
SW5	1	Switch, momentary, 4-pin, single pole	Panasonic	EVQPAE04M
T1, T2	2	Octal T3/E3 transformers, 1 to 2, SMD 32-pin	Pulse Engineering	T3049
TP3–TP10, TP17, TP21–TP32, TP70	22	Test points, 1 plated hole, do not stuff	—	—
U1	1	Quad DS3VE3 single-chip transceiver (400-pin CSBGA)	Dallas Semiconductor	DS3174
U2	1	Quad DS3/E3/STS1 LIU (144-pin CSBGA)	Dallas Semiconductor	DS3154
U3	1	Dual RS-232 transmitter/receiver (16-pin SO, 300 mils)	Dallas Semiconductor	DS232AS
U4, U5, U6, U10, U11, U12	6	IC, 3.3V octal buffer/driver (20-pin narrow SOP)	Texas Instruments	SN74ALVC244NSR
U8	1	IC, 3-line to 8-line decoder/demultiplexer (16-pin SOIC)	Texas Instruments	SN74HC138NSR
U9	1	Microprocessor voltage monitor, 3.08V reset (4-pin SOT143)	Maxim	MAX811TEUS-T
U13	1	IC, TinyLogic ultra-high-speed 2-input exclusive- OR gate (5-pin SOT23)	Fairchild	NC7SZ86M5
U14	1	Microprocessor voltage monitor, 4.38V reset (4-pin SOT143)	Maxim	MAX812MEUS-T
U17	1	Microprocessor reset circuit, 3.08V reset (3-pin SC70)	Maxim	MAX803TEXR-T
U18–U25, U41–U46	14	IC, TinyLogic ultra-high-speed 2-input OR gate (5-pin SOT23)	Fairchild	NC7SZ32M5
U26, U27, U29	3	3.3V linear regulator (16-pin TSSOP-EP)	Maxim	MAX1793EUE-33
U28	1	IC, Xilinx platform flash in-system-programmable config PROM (20-pin TSSOP)	Xilinx	XCF04SVO20C
U30	1	1.8V linear regulator (16-pin TSSOP-EP)	Maxim	MAX1793EUE-18
U31	1	IC, hex inverter, SOIC	Toshiba	TC74HC04AFN

DESIGNATION	QTY	DESCRIPTION	MANUFACTURER	PART
U32, U33, U34	3	IC, 5.0V octal buffer/driver (20-pin narrow SOIC)	Texas Instruments	SN74HC244NSR
U40	1	High-speed microcontroller (44-pin TQFP)	Dallas Semiconductor	DS87C520-ECL
U50, U51	2	IC, Xilinx Spartan 100k gate, 1.8V FPGA (144-pin TQFP)	Xilinx	XC2S100E-6TQ144C
Y1	1	11.0592MHz low-profile crystal	Pletronics	LP49-33-11.0592M
Y2	1	3.3V, 34.368MHz oscillator	Saronix	NTH089AA3-34.368
Y4	1	3.3V, 44.736MHz oscillator	Saronix	NTH089AA3-44.736
Y3	1	3.3V, 51.840MHz oscillator	Saronix	NTH089AA3-51.840

基板フロアプラン

図 1はDS3174DKのフロアプランを示します。DS3174 はボードの中心近くにあります。アナログ回路はボードの右側にあり、ボードにはトランスとBNCコネクタが実装されています。オプションとして、なんらかの構成として使用することができる外部LIU (DS3154)があります。DS3174 の上方と下方に 1 個ずつ、計 2 個のFPGAが配置されており、ヘッダとともにオーバヘッド信号へのアクセスに使用されます。マイクロプロセッサはボードの左上にあり、クロック分配は左中央にあり、システムインターフェースは左下ににあります。構成可能な出力によって駆動される汎用LEDは、基板の上端に配置されています。左上隅にはグランド、5V (ボードのV_{DD}に安定化して供給する)、および独立したDS3174 のV_{DD} (DS3174 のI_{DD}測定に有用)用のバナナジャックがあります。マイクロプロセッサとJTAGチェーンとのシリアルインターフェース用にコネクタが備えられています。さらに、ボードには、DS3、E3、およびSTS-1 の各発振器、ならびにDS3174 とDS3154 の両方のクロッキングの構成に必要なジャンパが搭載されています。

図1. ボードフロアプラン



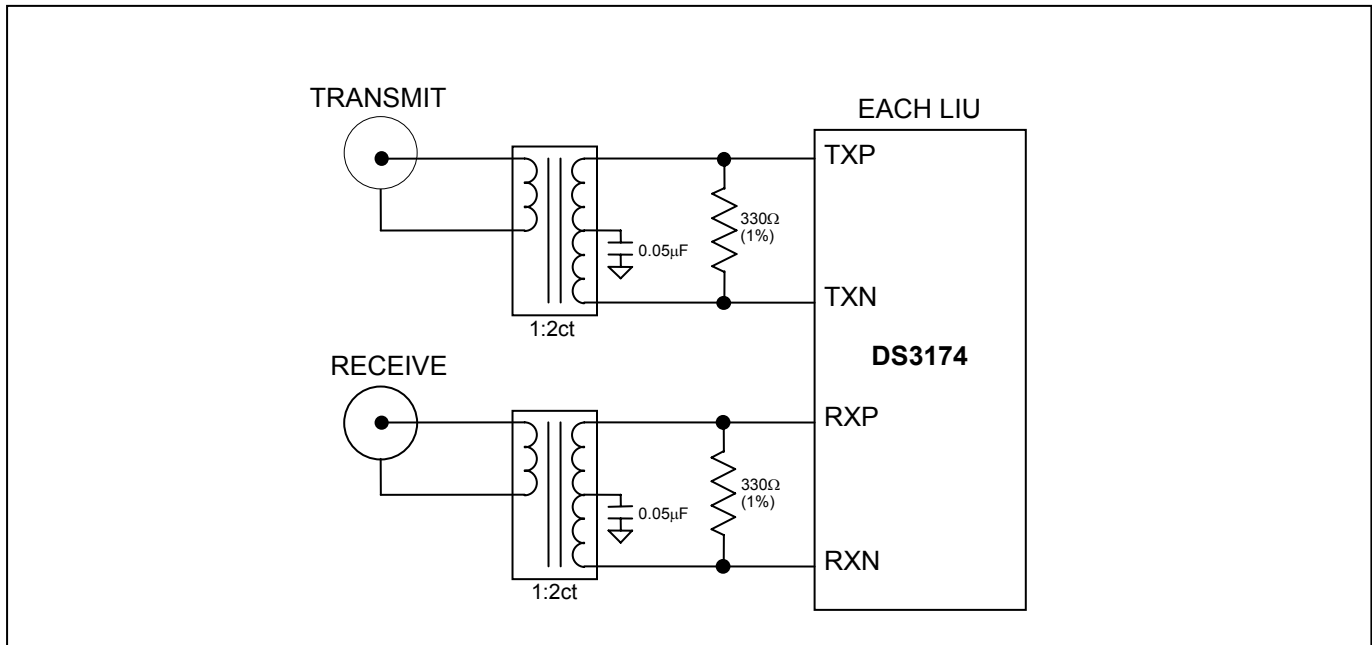
クロックジャンパ

ジャンパ JMP16 (ボードの左中央)によって、DS3174 の CLKA とシステムクロックの両方に対するクロックソース(外部用 BNC または内蔵発振器)を選択します。ジャンパ JMP17、JMP18、および JMP23 によって、搭載された発振器または DS3174 の CLAD 出力とすることができる外部 LIU (DS3154)へのクロックソースを選択します。ジャンパ JMP24、JMP25、および JMP26 によって、DS3154 の LIU クロック入力に接続される特定の CLAD 出力を選択します。

ライン側接続

DS3174DKは、DS3174 データシートで推奨され、[図 2](#)に示された送信(Tx)および受信(Rx)ラインインタフェースネットワークを実装しています。LIU1 用のBNCコネクタにはTX1 およびRX1 とラベル表示されています。LIU2 用のBNCコネクタにはTX2 およびRX2 とラベル表示されています。LIU3 用のBNCコネクタにはTX3 およびRX3 とラベル表示されています。LIU4 用のBNCコネクタにはTX4 およびRX4 とラベル表示されています。

図2. ライン側回路



システムコネクタ

システムインタフェースコネクタ J2 と J3 は、このボードの DS3174DK バージョンでは使用されません。

マイクロコントローラ

マイクロコントローラの DS87C520 は、内蔵の不揮発性メモリに出荷時にインストールされたファームウェアを備えています。このファームウェアは、RS-232 シリアルポートからのメモリアクセス要求を DS3174 のレジスタアクセスに変換します。マイクロコントローラが起動すると、DS1 の緑色 LED がオンになりコントローラが正しく動作していることを示します。

電源コネクタ

正常な動作を行わせるために、赤色 J1 と黒色 J5 (GND)のバナナジャックの間に、電流定格が 1A 以上の 5.0V 電源を接続してください。バナナジャック J4 は DS3174 の IDD 測定用です。IDD 測定は、ジャンパ 19、20、21、および 22 を取り外すことによってボードの VDD から DS3174 の VDD 接続部を切り離して行われます。ダイオード D1 によって、電源の逆接続が保護されます。LED の DS21 によって、5V 電源が正しく接続されていることが示されます。5V 電源は、ボード上の各種の回路に適正な電圧が供給されるよう安定化されたものとします。

コンピュータへの接続

標準 DB-9 シリアルケーブルを DS3174DK のシリアルポートとホストコンピュータの空いているシリアルポートの間に接続してください。ホストコンピュータは Windows®ベースの PC とします。ケーブルはヌルモデムケーブルでなく必ず標準のストレートスルーケーブルとしてください。ヌルモデムケーブルを使用すると正常な動作が行われなくなります。

ソフトウェアのインストールと実行

ChipViewは、多くのダラスセミコンダクタデモキットをサポートする汎用プログラムです。ChipViewソフトウェアをインストールするためには、DS3174DKボックスに同梱されたディスク、または当社ウェブサイトjapan.maxim-ic.com/DS3174DKでダウンロード可能なzipファイルからSETUP.EXEを実行してください。

インストール後、DS3174DK ボードの電源を投入しこのボードを PC に接続して ChipView プログラムを実行してください。デフォルトのインストールオプションを使用する場合、ChipView を簡単に実行するには、Windows ツールバーの **Start** ボタンをクリックして Programs→ChipView→ChipView の順に選択します。開いた画面で **Register View** ボタンをクリックしてください(**Demo** および **Terminal** ボタンは DS3174DK ではサポートされていません)。Port Selection ダイアログボックスで正しいシリアルポートを選択した後、OK をクリックしてください。

次に、Definition File Assignment ウィンドウが表示されます。このウィンドウにはサブウィンドウがあり、他のダラス評価プラットフォーム上にある最大 4 枚の個別ボード用の定義ファイルを選択できます。ChipView は DS3174DK と通信しているため、1 つのサブウィンドウだけがアクティブです。アクティブなサブウィンドウで、表示されたリストから **DS3174.DEF** 定義ファイルを選択するか、別のディレクトリを参照してこのファイルを探してください。Continue ボタンを押してください。

定義ファイルを選択すると、ChipView ウィンドウの主要部分に DS3174 のレジスタマップ(DS3174 データシートに記載)が表示されます。レジスタマップでレジスタをクリックして選択してください。レジスタを選択すると、レジスタとそのビットマップのフルネームが ChipView ウィンドウの下端に表示されます。ロジック 0 のビットは白色で、ロジック 1 のビットは緑色で表示されます。

ChipView ソフトウェアは下記の動作をサポートしています。

- **Toggle a bit** (ビットのトグル)。レジスタマップでレジスタを選択した後、ビットマップで対象ビットをクリックしてください。
- **Write a register** (レジスタの書込み)。レジスタを選択し、**Write** ボタンをクリックし、書き込む値を入力してください。
- **Write all registers** (全レジスタの書込み)。**Write All** ボタンをクリックし、書き込む値を入力してください。
- **Read a register** (レジスタの読取り)。レジスタマップでレジスタを選択し、**Read** ボタンをクリックしてください。
- **Read all registers** (全レジスタの読取り)。**Read All** ボタンをクリックしてください。

Windows は Microsoft Corp. の登録商標です。

DS3174DK の基本構成

下記の例の DS3 構成は、DS3174DK を使用するためのクイックスタートを提供します。DS3174 と DS3174DK は、他にも多くの構成方法が可能です。他の構成を設定するためには、DS3174 データシートのセクション 9 とこのデータシートの他のセクションを参照してください。

下記の構成はポート 1 のみをサポートしています。同じ指示は、個々のポートをサポートする DEF ファイルを使ってその他のポートにも適用されます。

- J1 と J5 の間に 5V を接続し、ジャンパ 19～22 が取り付けられていることを確認してください。LED の DS1 と DS21 がオンであることを確認してください。75Ω の同軸ケーブルをコネクタ J6 (Rx) と J7 (Tx) に接続してください。ジャンパ J3 と J4 が 84 の位置に設定されていることを確認してください。
- コンピュータのシリアルポートを J21 に接続してください。ChipView アプリケーションを実行して、キットとともに提供される DS3174.DEF という名前の定義ファイルをロードしてください。

DS3174 の下記のレジスタを構成する必要があります。ChipView 固有のヘルプについては、ChipView マニュアルを参照してください。

「DEF File Selection」メニューから「DS3174.def slot_0」を選択してください。

Read All をクリックしてください。

グローバルリセットを起動することによって全レジスタをそれらのデフォルト値に設定して、DS3174 を既知の状態にしてください。

SET	GCR1L.RST		
CLEAR	GCR1L.RST		
CLEAR	GCR1L.RSTDP		データ経路リセットをクリア

注: 4 つのポートすべてを同時に構成するためには、GCR1U.GWRM を設定してください。

SET	GCR1U.SIW[1:0]	=	01	16ビットシステムインタフェース
SET	GCR1U.SIM[1:0]	=	11	POS PHY L3

注: UTOPIA L2 は、デフォルト設定: GCR1U.SIM[1:0] = 00 です。

内部 CLAD を構成してください。

注: 下記の CLAD 構成には CLKA に印加される DS3 クロックが必要です (CLKB と CLKC はローに駆動してください)。

他の構成については DS317x データシートで CLAD 表を参照してください。

CLEAR	GCR2L.CLAD3
SET	GCR2L.CLAD2
CLEAR	GCR2L.CLAD1
CLEAR	GCR2L.CLAD0

「DEF File Selection」メニューから「ports.def slot_0」を選択してください。

Read All をクリックしてください。

CLEAR	PCR1L.RSTDP	通常動作
CLEAR	PCR1L.PD	
SET	PCR1U.PAIS2	ペイロード AIS をディセーブル
SET	PCR1U.PAIS1	
SET	PCR1U.PAIS0	
SET	PCR1U.LAIS1	ライン AIS をディセーブル
SET	PCR1U.LAIS0	

フレームと LIU を構成してください。

DS3 C ビット形式(デフォルトモード)の場合

CLEAR	PCR2L.FM5	
CLEAR	PCR2L.FM4	
CLEAR	PCR2L.FM3	
CLEAR	PCR2L.FM2	
CLEAR	PCR2L.FM1	
CLEAR	PCR2L.FM0	
SET	PCR2U.LM0	LIU オン、JA なし
SET	PCR2U.LM1	RX 経路で JA オン

PCB レイアウトの推奨事項

DS3174 用の PCB を設計する際は、標準の高速レイアウトガイドラインを順守する必要があります。下記のガイドラインは、デバイス間の安定した電源電圧と信号完全性の実現に役立ちます。DS3174 は、プレーン層と適切なデカップリング回路によって実現されるローインピーダンス電源経路を備えている必要があります。デカップリングコンデンサは、最短トレース長でプレーンにじかに接続してください。十分なデカップリングを行うために、各電源端子に 1 個の 0.1 μ F の表面実装型コンデンサを使用してください。低周波のデカップリングには、大容量のタンタルタイプのバルクコンデンサを電源接続部の近くに使用してください。反射を防ぐために、DS3174 に対するすべての高速接続部は、インピーダンスを制御して適切な終端を施す設計としてください。トランスの一次側、すなわちシステム側への差動接続は、DS3174 からのトレースを短くして差動ペアを並走させるものとします。トランスの 2 次側、すなわちネットワーク側の接続部は、トレースが 75 Ω に制御されたトレースとしてください。

DS3174 情報

当社ウェブサイトの DS3174 クイックビューページには、最新の DS3174 データシート、アプリケーションノート、およびダウンロードが掲載されています。<http://japan.maxim-ic.com/DS3174> をご覧ください。

DS3174DK 情報

当社ウェブサイトの DS3174DK クイックビューページには、最新の DS3174DK データシート、ChipView ソフトウェア更新、およびダウンロードが掲載されています。<http://japan.maxim-ic.com/DS3174DK> をご覧ください。

テクニカルサポート

テクニカルサポートをご希望の場合は、telecom.support@dalsemi.com にご質問を電子メールでお寄せください(英語のみの対応となります)。

接続図

以下の 13 ページに DS3174DK の回路図を示します。

マキシム・ジャパン株式会社

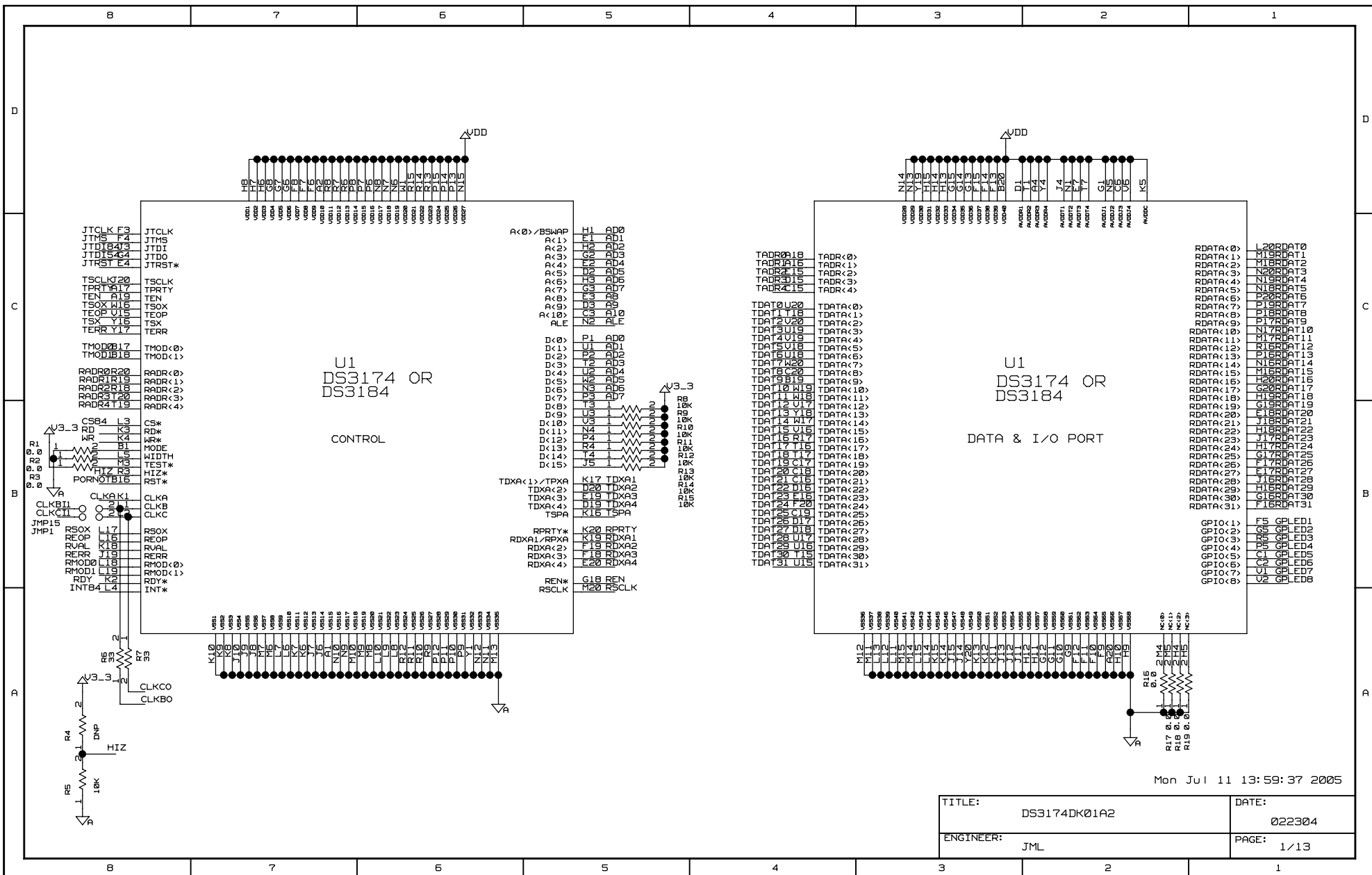
〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600

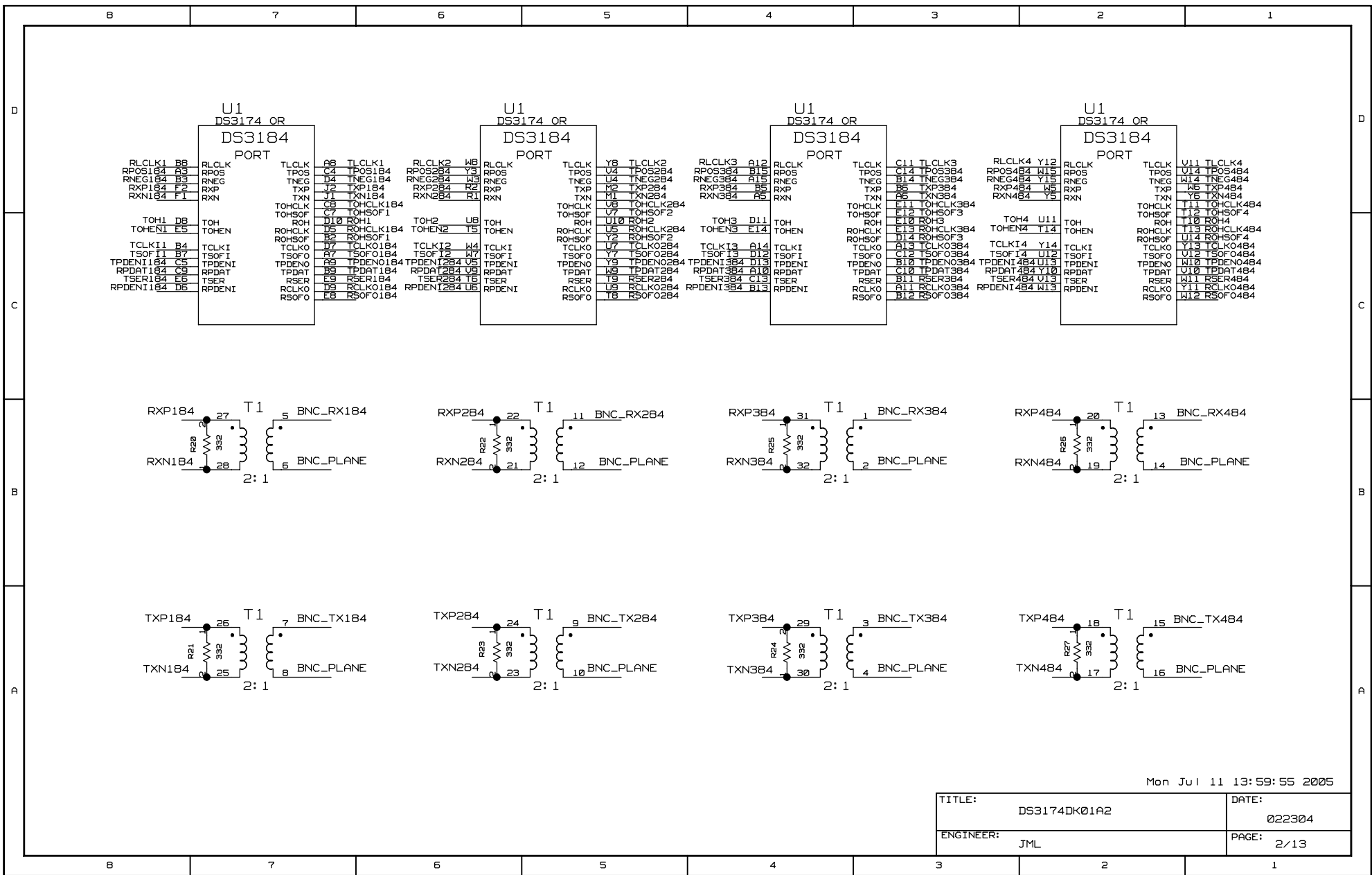
© 2006 Maxim Integrated Products, Inc. All rights reserved.

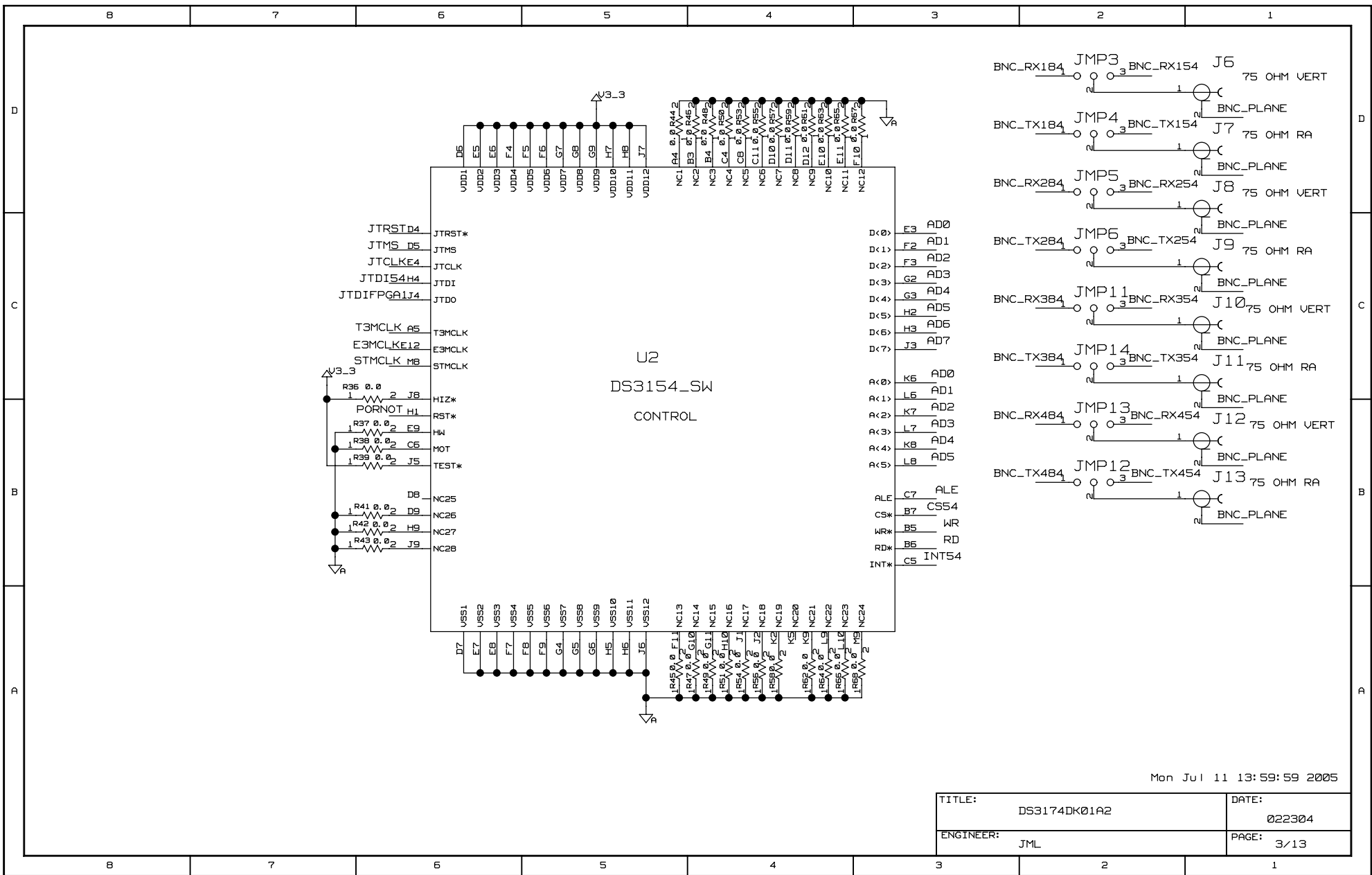
The Maxim logo is a registered trademark of Maxim Integrated Products, Inc. The Dallas logo is a registered trademark of Dallas Semiconductor Corporation.



Mon Jul 11 13:59:37 2005

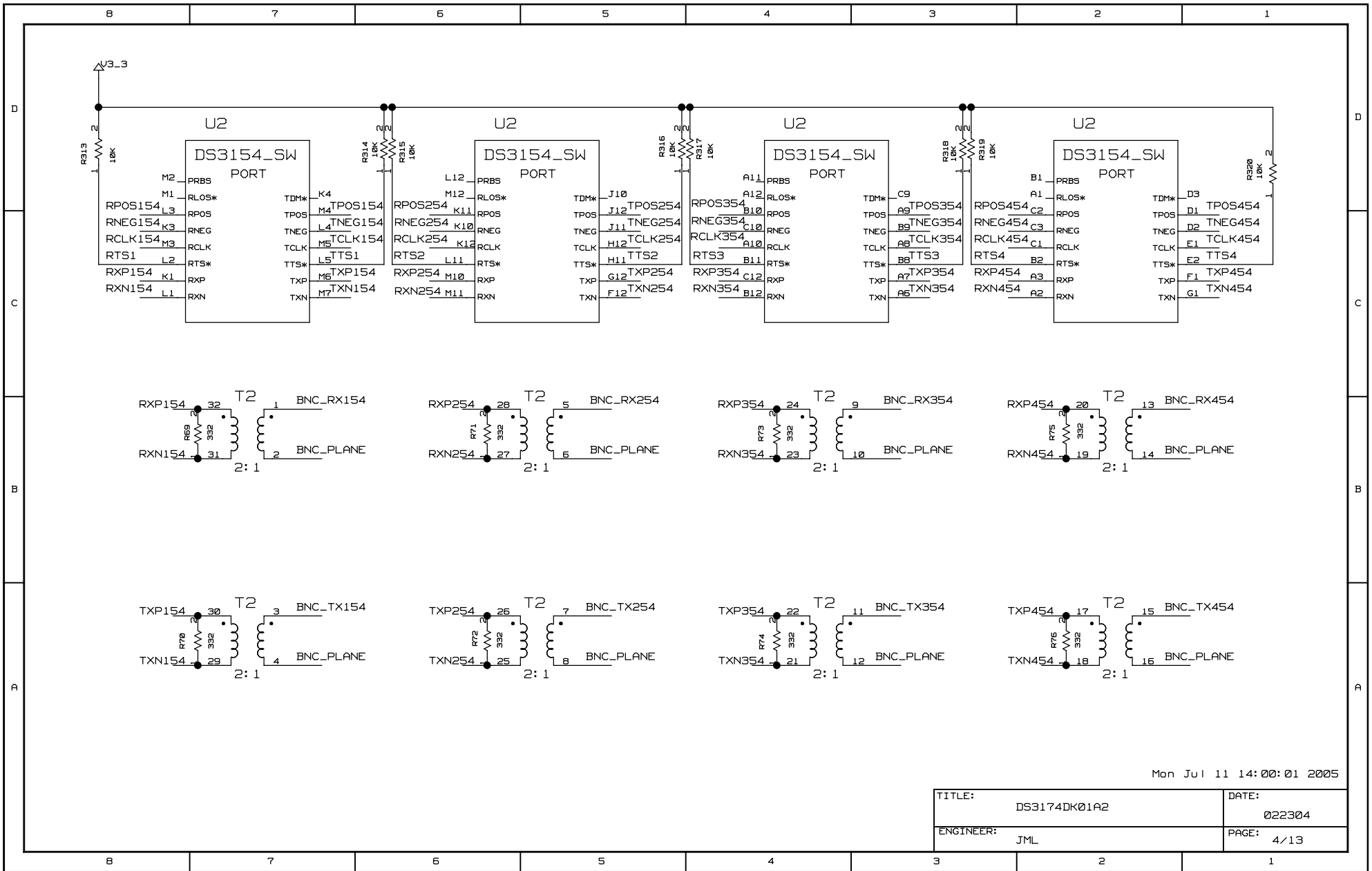
TITLE:	DS3174DK01A2	DATE:	022304
ENGINEER:	JML	PAGE:	1/13

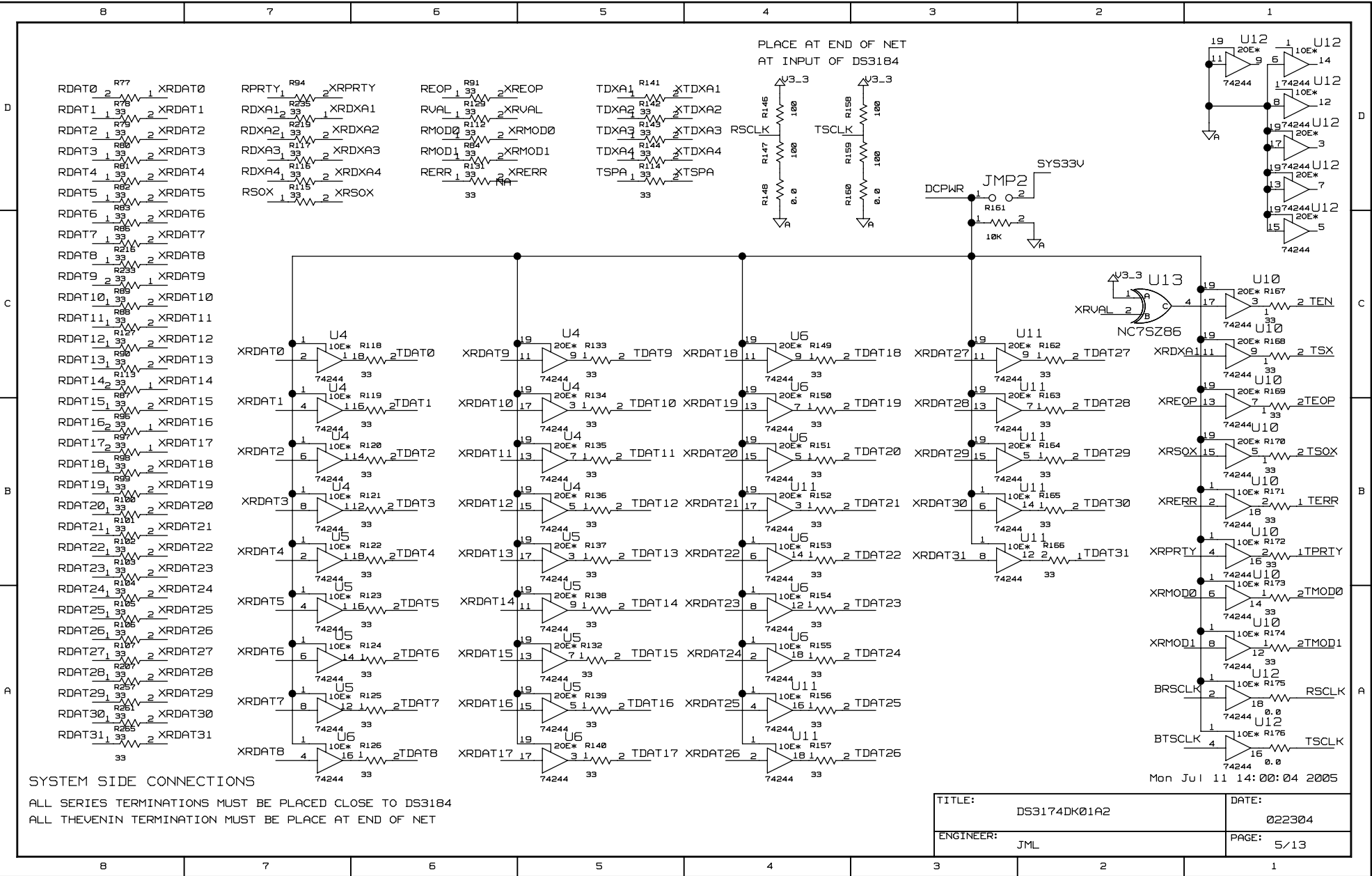




Mon Jul 11 13:59:59 2005

TITLE:	DS3174DK01A2	DATE:	022304
ENGINEER:	JML	PAGE:	3/13





SYSTEM SIDE CONNECTIONS

ALL SERIES TERMINATIONS MUST BE PLACED CLOSE TO DS3184
 ALL THEVENIN TERMINATION MUST BE PLACED AT END OF NET

TITLE:	DS3174DK01A2	DATE:	022304
ENGINEER:	JML	PAGE:	5/13

D

C

B

A

D

C

B

A

PLUG
P1
J3

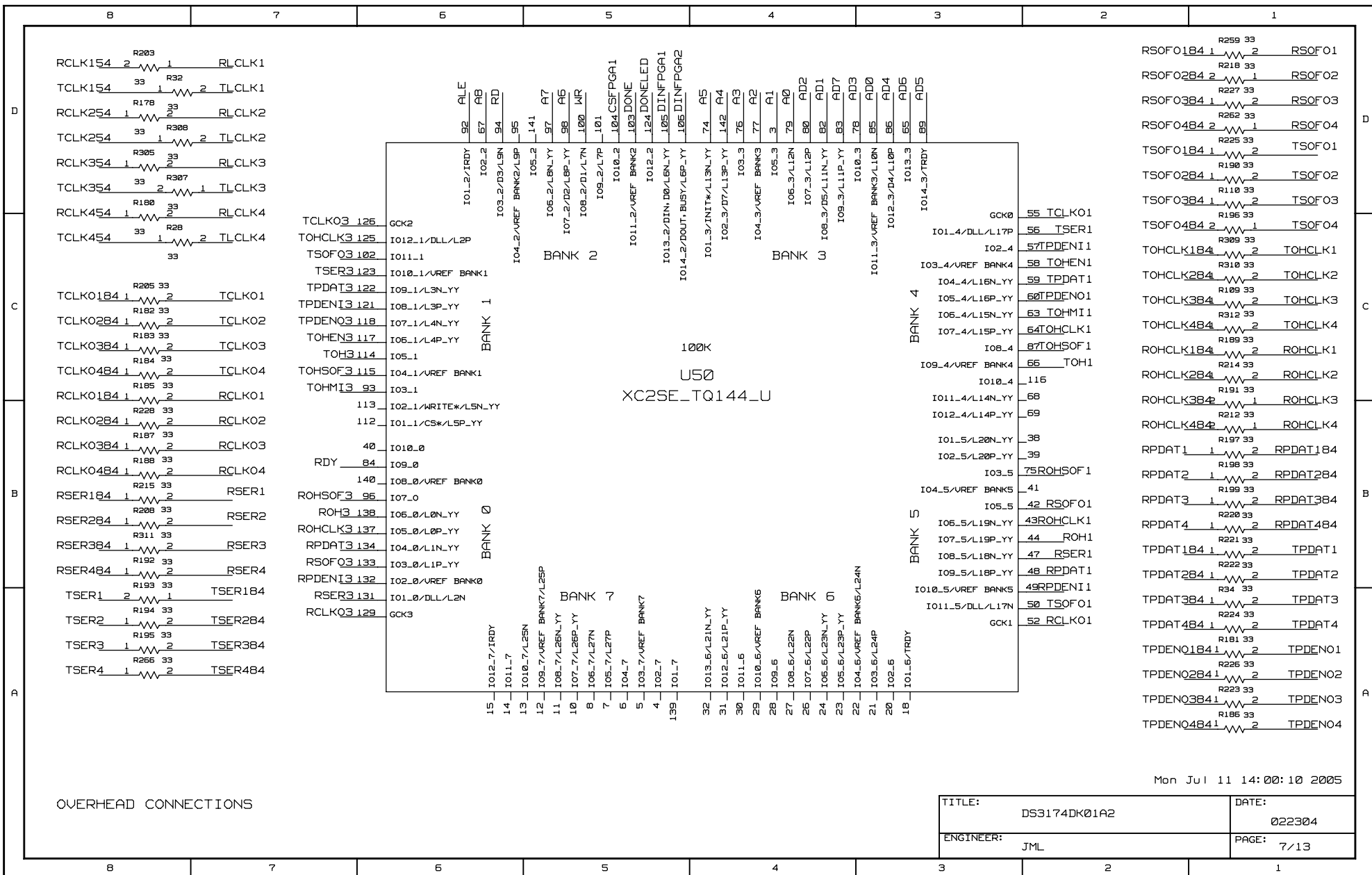
TDAT0	1	1	71	71	GND
TDAT2	2	2	72	72	GND
GND	3	3	73	73	TDAT3
TDAT4	4	4	74	74	TDAT3
TDAT5	5	5	75	75	GND
GND	6	6	76	76	TDAT5
GND	7	7	77	77	TDAT7
TDAT9	8	8	77	78	SYS33V
GND	9	9	78	79	TDAT8
TDAT11	10	10	80	80	TDAT10
TDAT13	11	11	81	81	GND
TDAT14	12	12	82	82	TDAT12
TDAT14	13	13	83	83	
TDAT16	14	14	84	84	GND
GND	15	15	85	85	TDAT15
TDAT18	16	16	86	86	TDAT17
TDAT20	17	17	87	87	GND
GND	18	18	88	88	TDAT19
TDAT23	19	19	89	89	TDAT21
GND	20	20	90	90	SYS33V
TDAT23	21	21	91	91	TDAT22
GND	22	22	92	92	TDAT24
TDAT25	23	23	93	93	GND
TDAT27	24	24	94	94	TDAT26
TDAT28	25	25	95	95	
TDAT30	26	26	96	96	GND
GND	27	27	97	97	TDAT29
TDAT32	28	28	98	98	TDAT31
TDAT34	29	29	99	99	GND
TADR0	30	30	100	100	T50K
GND	31	31	101	101	TADR1
TADR3	32	32	102	102	SYS33V
GND	33	33	103	103	TADR2
XTDXA1	34	34	104	104	TADR4
XTDXA3	35	35	105	105	GND
XTDXA4	36	36	106	106	XTDXA2
GND	37	37	107	107	
GND	38	38	108	108	GND
GND	39	39	109	109	
GND	40	40	110	110	GND
GND	41	41	111	111	
GND	42	42	112	112	
GND	43	43	113	113	
GND	44	44	114	114	SYS33V
TEN	45	45	115	115	
GND	46	46	116	116	TEOP
TEPR	47	47	117	117	GND
TMOD1	48	48	118	118	TMOD0
TSX	49	49	119	119	
TSCLK	50	50	120	120	GND
GND	51	51	121	121	XTSPA
GND	52	52	122	122	
GND	53	53	123	123	GND
GND	54	54	124	124	
GND	55	55	125	125	
GND	56	56	126	126	SYS33V
GND	57	57	127	127	
GND	58	58	128	128	GND
ADD	59	59	129	129	
ADD	60	60	130	130	
AD1	61	61	131	131	GND
AD3	62	62	132	132	AD2
GND	63	63	133	133	AD4
AD5	64	64	134	134	GND
AD7	65	65	135	135	GND
GND	66	66	136	136	AD6
GND	67	67	137	137	CSA
RD	68	68	138	138	SYS33V
GND	69	69	139	139	CSB
GND	70	70	140	140	WR

PLUG
P2
J2

XRDAT0	1	1	71	71	GND
XRDAT2	2	2	72	72	XRDAT1
GND	3	3	73	73	XRDAT3
XRDAT4	4	4	74	74	XRDAT3
XRDAT5	5	5	75	75	GND
GND	6	6	76	76	XRDAT5
GND	7	7	77	77	XRDAT7
XRDAT9	8	8	77	78	SYS33V
XRDAT9	9	9	78	79	XRDAT8
GND	10	10	80	80	XRDAT10
XRDAT11	11	11	81	81	GND
XRDAT13	12	12	82	82	XRDAT12
XRDAT14	13	13	83	83	
XRDAT14	14	14	84	84	GND
XRDAT16	15	15	84	85	XRDAT15
GND	16	16	85	85	XRDAT17
XRDAT18	17	17	86	86	XRDAT17
XRDAT20	18	18	87	87	GND
GND	19	19	88	88	XRDAT19
XRDAT23	20	20	89	89	XRDAT21
GND	21	21	90	90	SYS33V
XRDAT23	22	22	91	91	XRDAT22
XRDAT25	23	23	92	92	XRDAT24
XRDAT27	24	24	93	93	GND
XRDAT28	25	25	94	94	XRDAT26
XRDAT28	26	26	95	95	
XRDAT30	27	27	96	96	GND
GND	28	28	97	97	XRDAT29
XRPRTY	29	29	98	98	XRDAT31
XRSOX	30	30	99	99	GND
GND	31	31	100	100	XRVAL
XRMOD1	32	32	101	101	XRDXA1
GND	33	33	102	102	SYS33V
GND	34	34	103	103	XRMOD0
XREOP	35	35	104	104	XRERR
RADRL	36	36	105	105	GND
RADR2	37	37	106	106	RADR0
RADR4	38	38	107	107	GND
GND	39	39	108	108	RADR3
XRDXA3	40	40	109	109	XRDXA2
GND	41	41	110	110	GND
GND	42	42	111	111	XRDXA4
GND	43	43	112	112	
GND	44	44	113	113	
GND	45	45	114	114	SYS33V
GND	46	46	115	115	
GND	47	47	116	116	GND
GND	48	48	117	117	
REN	49	49	118	118	
GND	50	50	119	119	GND
GND	51	51	120	120	RSCLK
GND	52	52	121	121	
GND	53	53	122	122	GND
GND	54	54	123	123	
GND	55	55	124	124	
GND	56	56	125	125	SYS33V
A1	57	57	126	126	
A3	58	58	127	127	A0
A5	59	59	128	128	A2
A6	60	60	129	129	GND
A7	61	61	130	130	A4
A8	62	62	131	131	GND
GND	63	63	132	132	AD2
A10	64	64	133	133	AD4
GND	65	65	134	134	AD6
GND	66	66	135	135	GND
GND	67	67	136	136	A11
GND	68	68	137	137	
GND	69	69	138	138	ICPWR
GND	70	70	139	139	
GND	70	70	140	140	

Mon Jul 11 14:00:07 2005

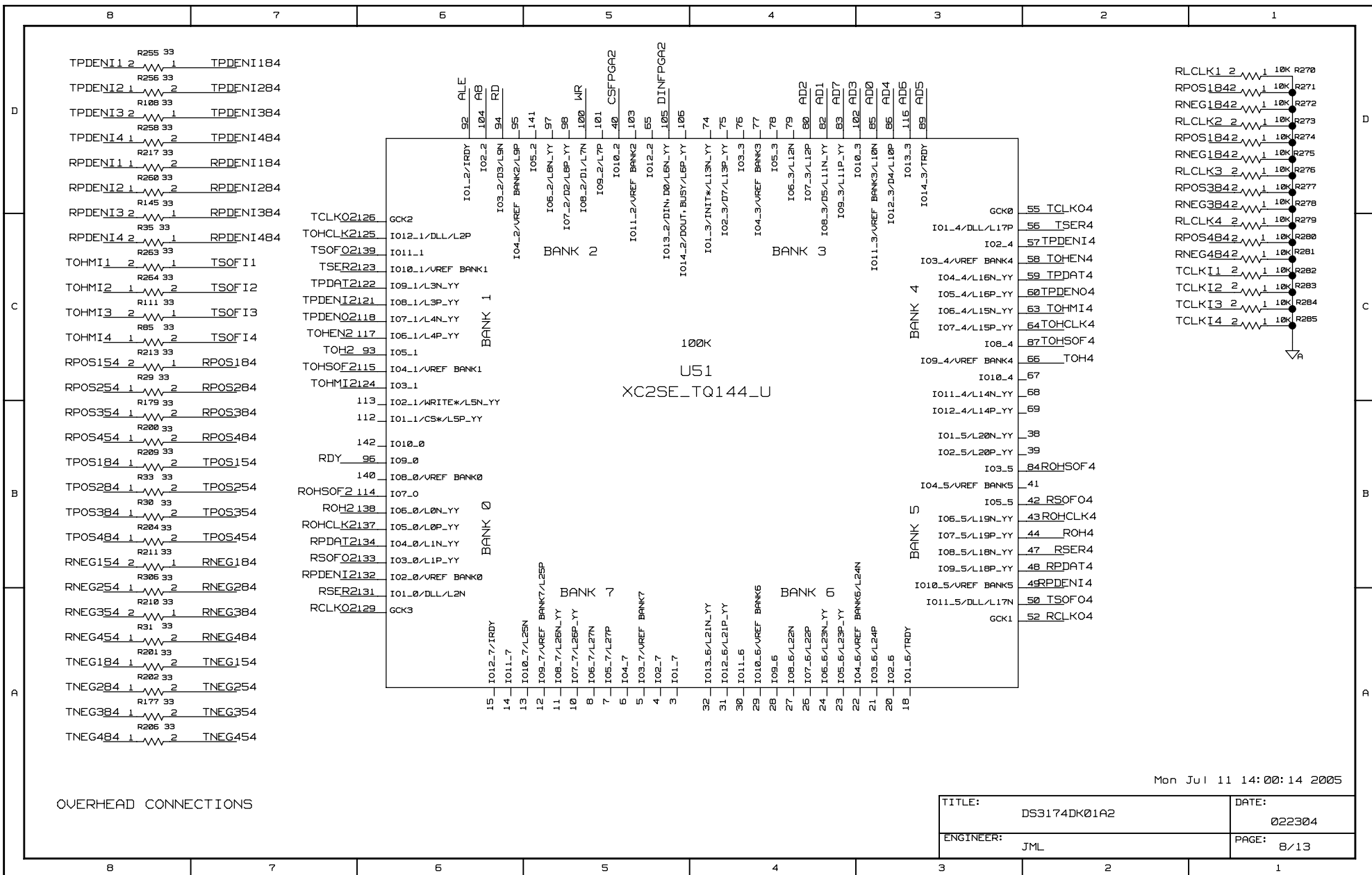
TITLE:	DS3174DK01A2	DATE:	022304
ENGINEER:	JML	PAGE:	6 OF 13



OVERHEAD CONNECTIONS

Mon Jul 11 14:00:10 2005

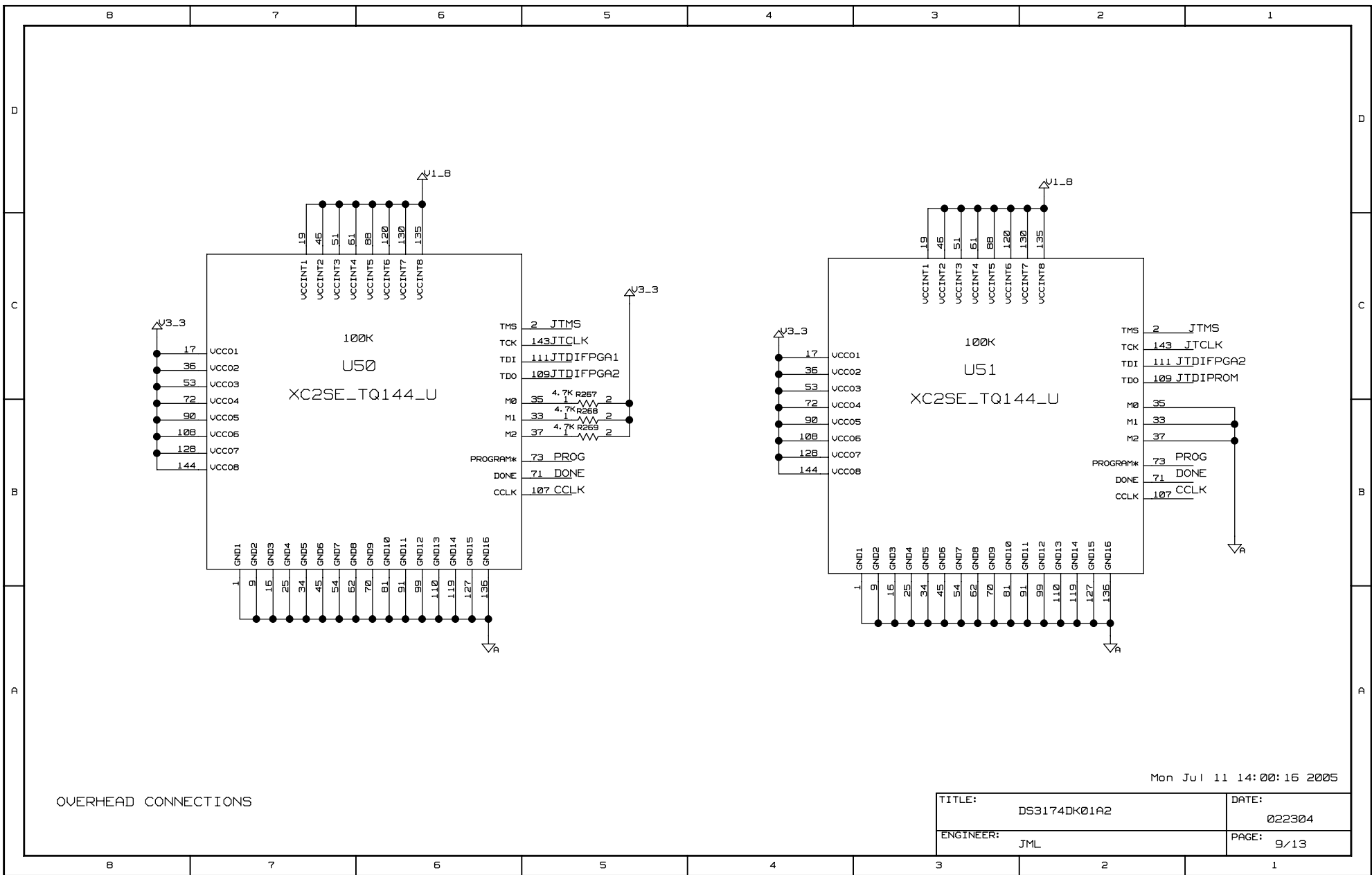
TITLE:	DS3174DK01A2	DATE:	022304
ENGINEER:	JML	PAGE:	7/13



OVERHEAD CONNECTIONS

Mon Jul 11 14:00:14 2005

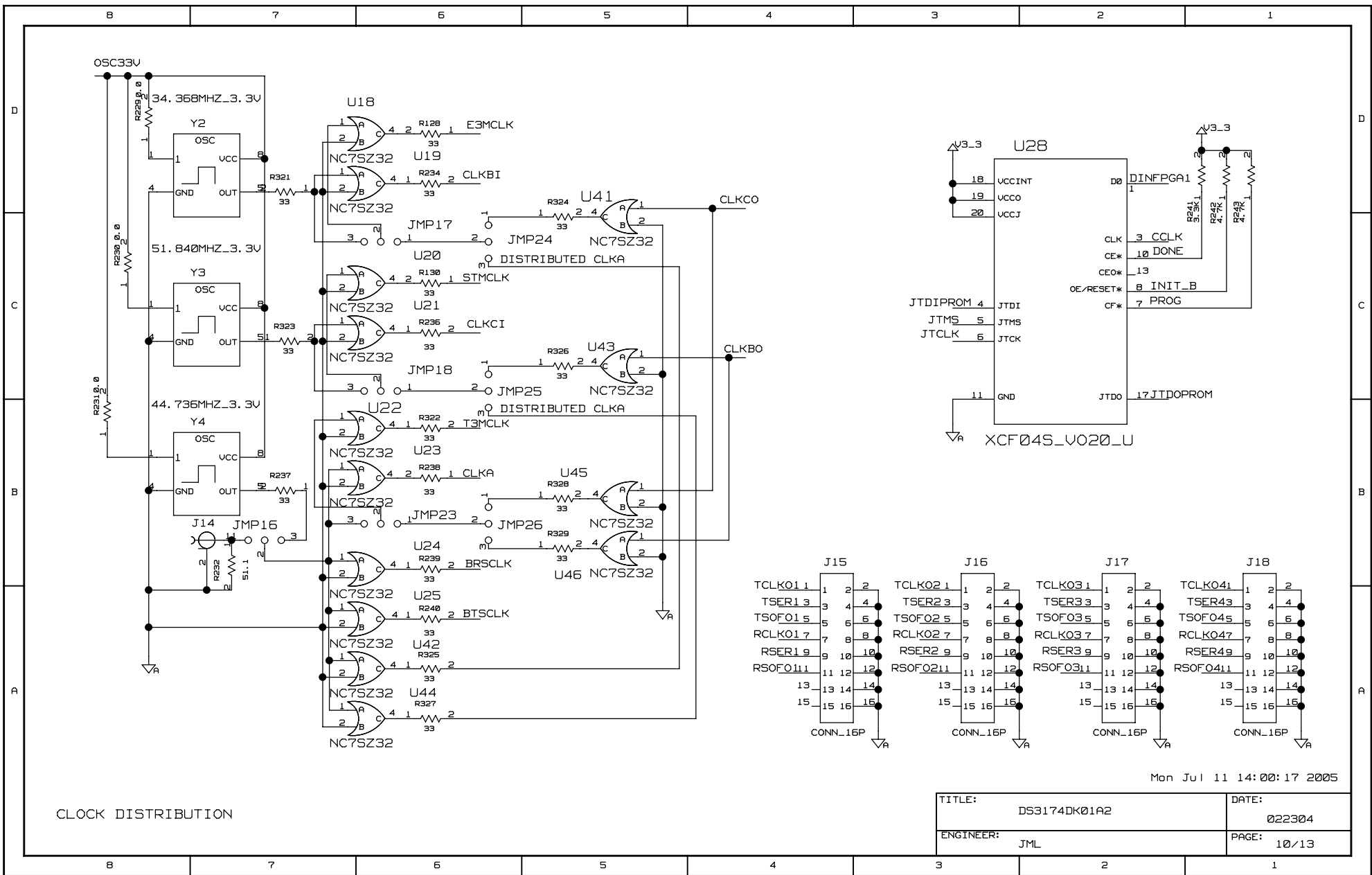
TITLE:	DS3174DK01A2	DATE:	022304
ENGINEER:	JML	PAGE:	8/13



OVERHEAD CONNECTIONS

Mon Jul 11 14:00:16 2005

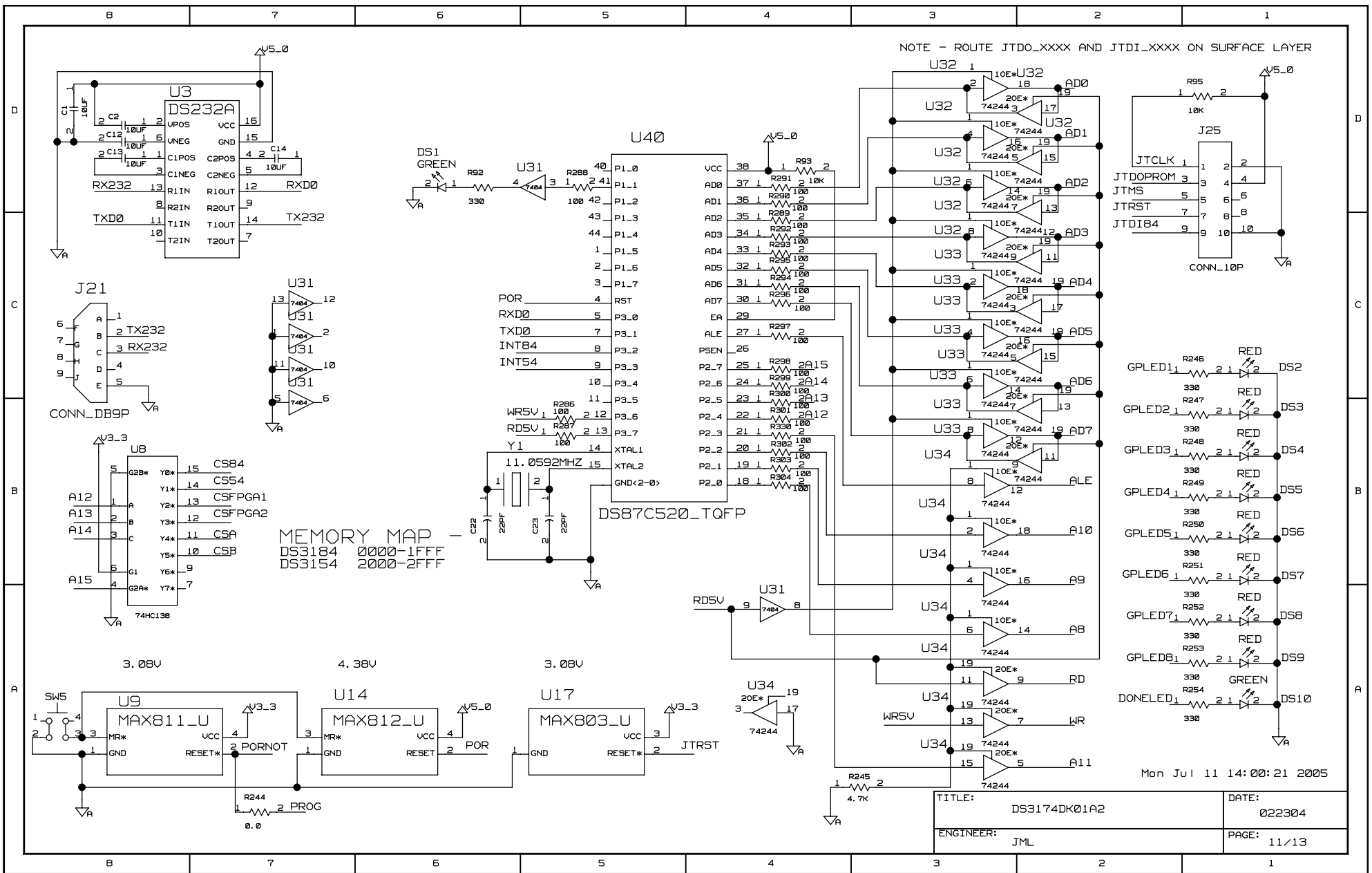
TITLE:	DS3174DK01A2	DATE:	022304
ENGINEER:	JML	PAGE:	9/13

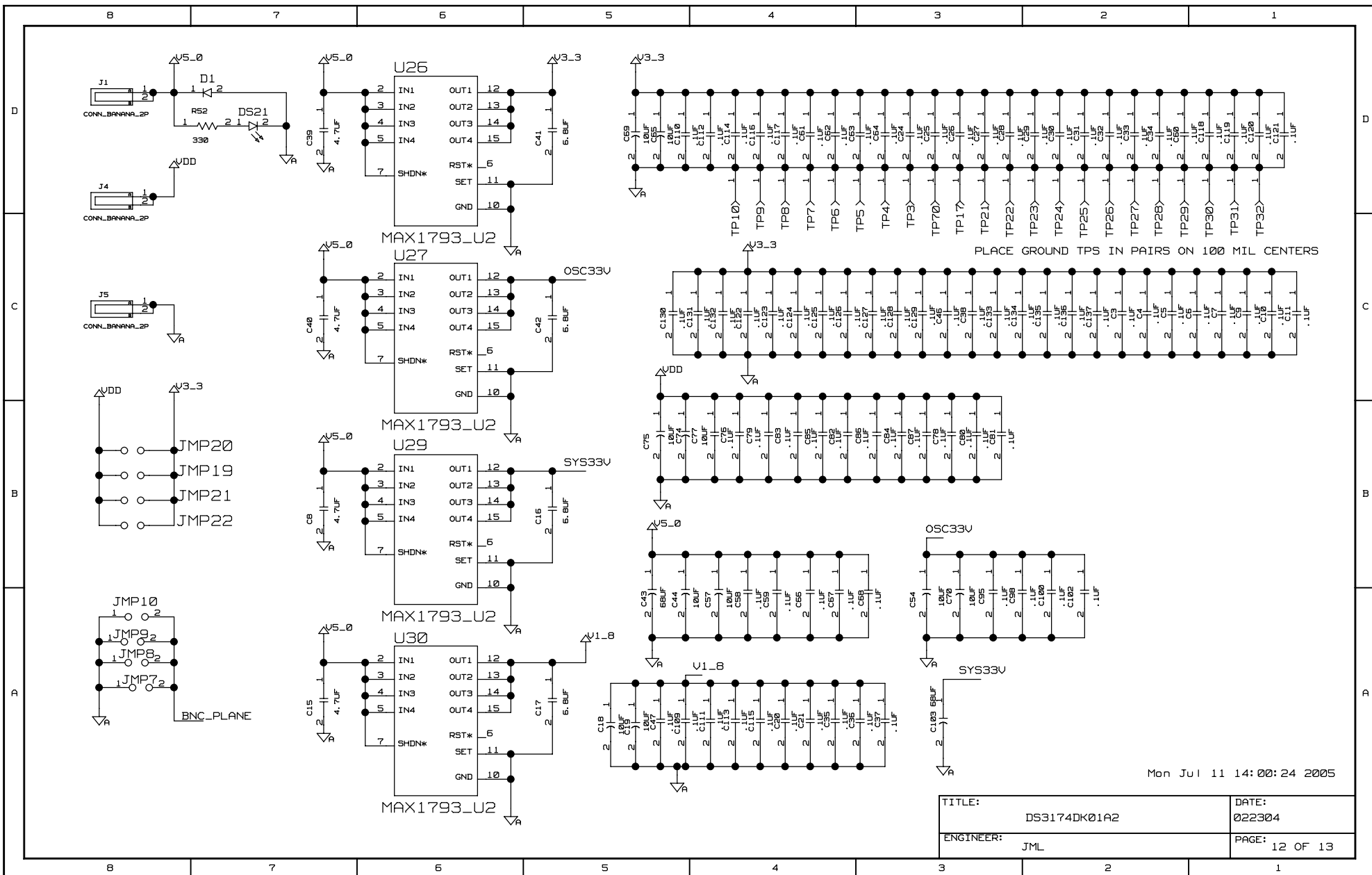


CLOCK DISTRIBUTION

Mon Jul 11 14:00:17 2005

TITLE:	DS3174DK01A2	DATE:	022304
ENGINEER:	JML	PAGE:	10/13





PLACE GROUND TPS IN PAIRS ON 100 MIL CENTERS

Mon Jul 11 14:00:24 2005

TITLE: DS3174DK01A2	DATE: 022304
ENGINEER: JML	PAGE: 12 OF 13

REVISION HISTORY -

- 062904 - A0 - INITIAL RELEASE
- 040805 - A1 - ADDED MISSING SIGNAL NAMES ON PAGE 12 & CLEANED-UP TEXT ON VARIOUS PAGES.
- 070705 - A2 - ADDED VDD CONNECTION TO TTS/RTS NET
FIXED XRMOD1/RVAL CONNECTIONS
FIXED ALE SHORT ACROSS U34
CHANGED R92 VALUE TO 330 OHMS
CHANGED R175 AND R176 TO 33 OHMS FROM 0
CHANGED R148 AND R160 FROM DNP TO 0
CHANGED R146, R147, R158, R159 FROM DNP TO 100 OHMS
CHANGED JMP19 TO JMP22 FROM DNP TO PLACE
ALL A2 CHANGES ARE DOCUMENT CHANGES TO MATCH MODIFIED BOARDS WITH SCHEMATIC

TITLE:	DS3174DK01A2	DATE:	022304
ENGINEER:	JML	PAGE:	13 OF 13