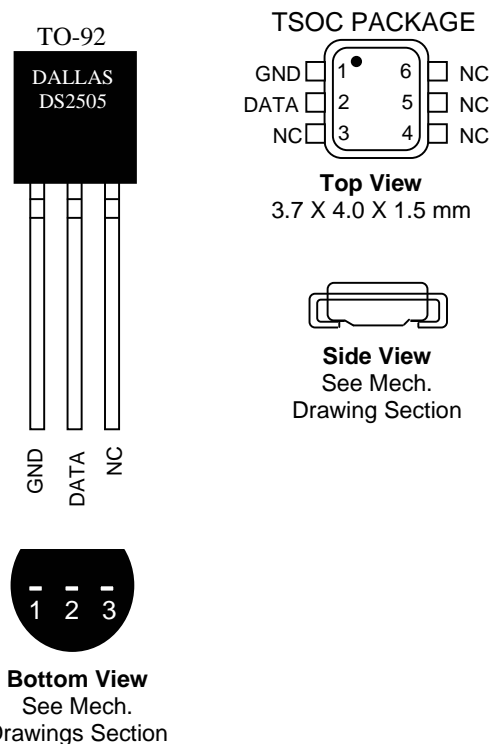


特長

- 16384 ビットの電氣的にプログラム可能な読取り専用メモリ(EPROM)と信号 1 本とグランドによる安価なインタフェースを使って通信可能
- 出荷時レーザを使って書き込まれた試験済みの、固有の 64 ビット登録番号(8 ビットファミリコード + 48 ビットシリアル番号 + 8 ビット CRC テスタ)によって同一登録番号がないため、絶対追跡が可能
- 内蔵のマルチドロップコントローラが他の 1-Wire ネットワーク製品とのコンパチビリティを保証
- ランダムにアクセス可能なパケット化データレコードとするために 64 x 256 ビットページに分割された EPROM
- 不正書換えを防ぐために各メモリページの恒久的な書込み保護が可能
- デバイスは、書込み済みのデータに影響を及ぼすことなく追加データを EPROM にプログラムすることが可能な「アドオンリー」メモリ
- 古いページを新たにプログラムされたページで置き換えることによってデータをパッチすることが可能なソフトウェアアーキテクチャ
- 制御、アドレス、データ、電源、及びプログラミング信号を単一データ端子に統合
- マイクロプロセッサの単一ポート端子に直接接続して最高 16.3kbps で通信
- 8 ビットファミリコードが読取り装置に対して DS2505 の通信要件を規定
- 読取り装置が初めて電圧を印加したことをプレゼンス検出器が応答
- 低コスト TO-92、または 6 ピン TSOC 表面実装型パッケージ
- 低コスト TO-92、または 6 ピン TSOC 表面実装型 2.8V ~ 6.0V(-40 ~ +85)の広い電圧範囲で読取り可能; 11.5V ~ 12.0V(-40 ~ +50)でプログラミング

ピン配置



型番

DS2505	TO-92 Package
DS2505P	6-pin TSOC Package
DS2505/T&R	Tape & Reel version of DS2505
DS2505P/T&R	Tape & Reel version of DS2505P

シリコンラベルの説明

16kb アドオンリーメモリの DS2505 は、このデバイスが関わる製品の関連情報を識別して保存します。このロットまたは製品固有の情報は、マイクロコントローラの単一ポート端子など、最小限のインタフェースによってアクセスすることができます。DS2505 は、固有の 48 ビットシリアル番号、8 ビット CRC、及び 8 ビットファミリコード(OBH)からなる出荷時にレーザで書き込まれた登録番号ならびに 16k ビットのユーザプログラマブル EPROM から構成されます。DS2505 のプログラミングと読取りに必要な電源はすべて 1-Wire[®]通信ラインから供給されます。データは、1 本のデータラインとグランドリターンのみを必要とする 1-Wire プロトコルによってシリアルに伝送されます。デバイス全体はプログラムすることができ、また必要に応じて書き込み保護が可能です。別の方法として、デバイスは、新たなデータを既存のデータに追加して何度でもプログラムすることができますが、デバイスの後続の各プログラミングでは既存のデータを上書きすることはできません。注:個々のビットは、ロジック 1 からロジック 0 にのみ変更することができますが、ロジック 0 からロジック 1 に変更することはできません。データのある 1 ページまたは複数のページのデータが、もはや正しくなくなっており、新しい、または更新されたデータで置き換えられて代替のページアドレスに保持されていることを示す手段が用意されています。ソフトウェアは、このページアドレスを再配置することによって、データのパッチを可能とし、スタンドアロンデータベースとしてのデバイスの柔軟性を高めることができます。出荷時に各 DS2505 にレーザで書き込まれた 48 ビットのシリアル番号は、固有の識別機能を保証しており、これによって絶対追跡を可能とします。TO-92 または TSOC パッケージは小型のエンクロージャであり、標準の組立て装置を使ってデバイスのプリント基板への実装や配線を容易に行うことができます。標準アプリケーションとして、較正定数の保存、保守レコード、資産追跡管理、製品改訂状況、及びアクセスコードが挙げられます。

概要

図 1 のブロック図は、DS2505 の主要制御部とメモリ部の関係を示します。DS2505 は、1) 64 ビットレーザ書き込み ROM、2) 16384 ビット EPROM データメモリ、及び 3) 704 ビット EPROM ステータスメモリの 3 つの主要なデータ構成要素を備えています。このデバイスは、1-Wire 通信ラインからの読取り動作によって、信号ラインがハイのときに内蔵のコンデンサにエネルギーを蓄積して、1-Wire がローとなっている間は、連続してオフとして動作させ、再びハイになると、この寄生電源に給電することによってその電力をすべてまかないます。プログラミングの際、1-Wire 通信は通常の電圧レベルで行われ、その後、一定時間プログラミング電圧をパルス的に印加して選択された EPROM ビットがプログラムされます。1-Wire ラインは、デバイスの EPROM 部を確実にプログラムするために 12V と 10mA を供給することが可能でなければなりません。1-Wire ライン上にプログラミング電圧が存在する場合は、DS2505 内部の特別な高電圧検出回路がこの状態を示す内部ロジック信号を発生します。1-Wire プロトコルの階層構造を図 2 に示します。バスマスタは、1) Read ROM、2) Match ROM、3) Search ROM、及び 4) Skip ROM、の 4 つの ROM 機能コマンドの 1 つをまず実行する必要があります。これらのコマンドは、各デバイスの 64 ビットレーザ書き込み ROM 部分に作用し、1-Wire ライン上に多数のデバイスが存在する場合は特定のデバイスを選別するとともに、存在するデバイスの数とタイプをバスマスタに知らせます。これらの ROM 機能コマンドに必要なプロトコルを図 8 に示します。ROM 機能コマンドが正常に実行されると、DS2505 の EPROM 部分に作用するメモリ機能はアクセスが可能になり、バスマスタは DS2505 に有効な 5 つのメモリ機能コマンドのどれか 1 つを送出して各種データフィールドの読取りやプログラミングを行います。これらのメモリ機能コマンドのプロトコルを図 5 に示します。データはすべて、最下位ビットから読み書きされます。

64 ビットレーザ書き込み ROM

各 DS2505 は、64 ビット長の固有の ROM コードを備えています。最初の 8 ビットは 1-Wire ファミリコードです。次の 48 ビットは固有のシリアル番号です。最後の 8 ビットは先頭の 56 ビットの CRC です(図 3 参照)。64 ビット ROM と ROM 機能制御部では、DS2505 を 1-Wire デバイスとして動作させ、「1-Wire バスシステム」の項に詳述した 1-Wire プロトコルに従います。DS2505 の EPROM 部の読取りとプログラミングに必要なメモリ機能は、ROM 機能のプロトコルが満た

されるまでアクセスすることができません。このプロトコルを ROM 機能フローチャート(図 8)に示します。1-Wire バスマスタは、1) Read ROM、2) Match ROM、3) Search ROM、または 4) Skip ROM、の 4 つの ROM 機能コマンドの 1 つをまず実行する必要があります。ROM 機能コマンドが正常に実行されると、バスマスタは DS2505 に有効なメモリ機能コマンドのいずれか 1 つを実行することができます(図 5)。

レーザで書き込まれる ROM の 1-Wire CRC は、多項式 $X^8 + X^5 + X^4 + 1$ を使用して生成されます。ダラスセミコンダクタの 1-Wire 巡回冗長検査の詳細は、「Book of DS19xx iButton Standards」に記載されています。CRC アキュムレータとして働くシフトレジスタは、0 に初期化されます。続いて、ファミリコードの最下位ビットから 1 度に 1 ビットずつシフトインされます。ファミリコードの 8 番目のビットが入力されると、シリアル番号が入力されます。シリアル番号の 48 番目のビットが入力されると、シフトレジスタには CRC の値が保存されています。CRC の 8 ビットをシフトインしたとすると、シフトレジスタはすべてゼロに戻るはずですが。

図 1. DS2505 のブロック図

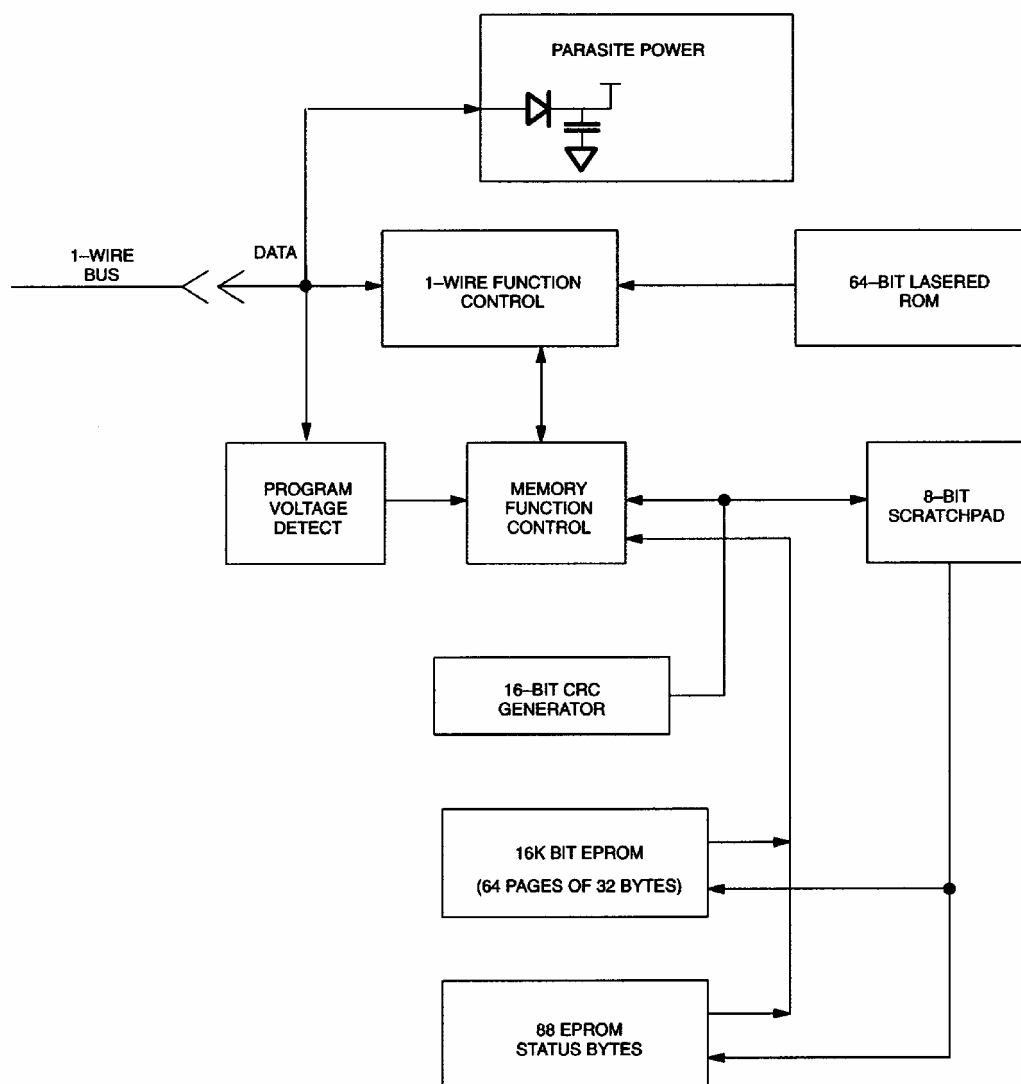


図 2. 1-Wire プロトコルの階層構造

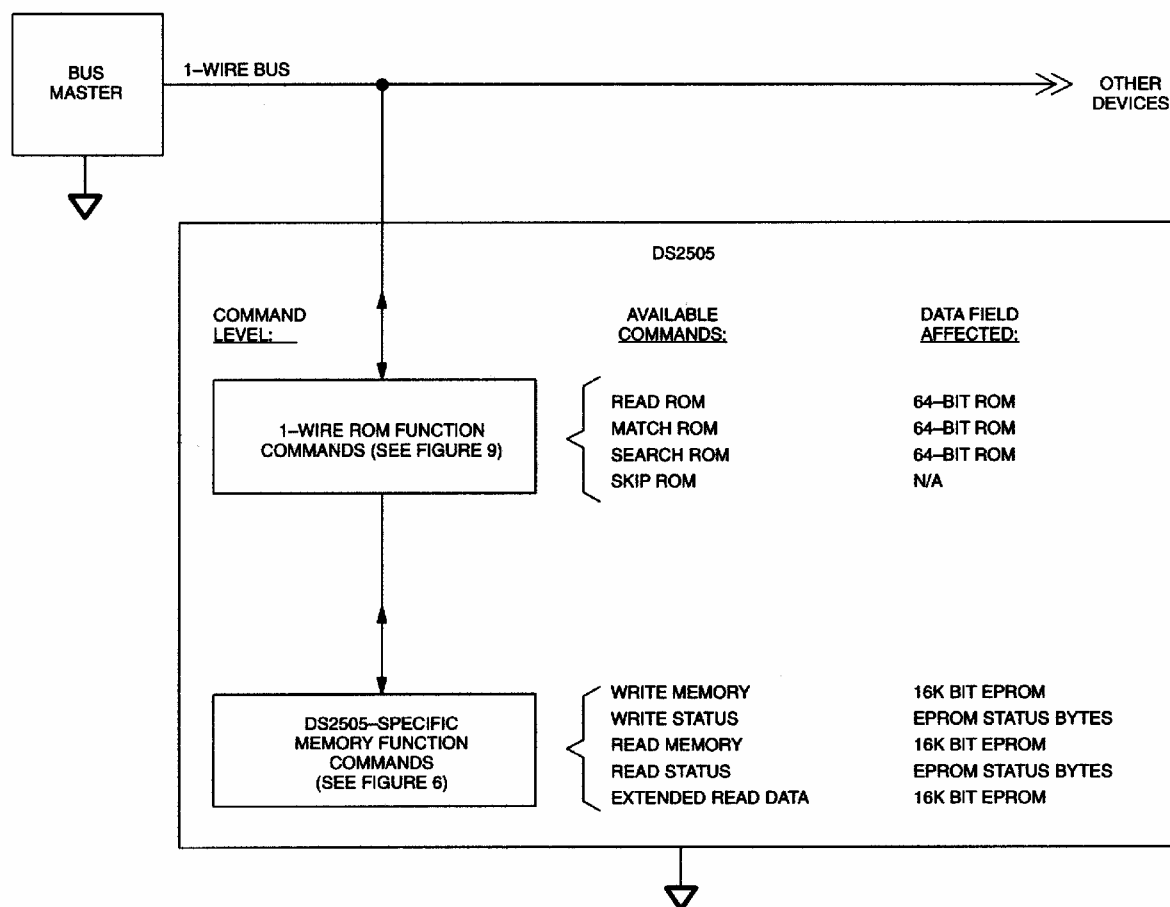


図 3. 64 ビットレーザ書き込み ROM

8-Bit CRC Code		48-Bit Serial Number				8-Bit Family Code (0BH)	
MSB	LSB	MSB	LSB	MSB	LSB	MSB	LSB

16384 ビット EPROM

図 4 のメモリマップは、各々が 32 バイトの 64 ページとして構成される DS2505 の 16384 ビット EPROM 部を示します。8 ビットのスクラッチパッドは、メモリをプログラミングする際にバッファとして働く補助レジスタです。データは、まずスクラッチパッドに書き込まれ、データとアドレスが正しく受信されたことを確認する 16 ビット CRC を DS2505 から読み取ることによって検証されます。バッファの内容が正しければ、プログラミング電圧が印加されるべきであり、そのデータバイトがメモリの選択されたアドレスに書き込まれます。このプロセスが、メモリをプログラミングする際のデータのインテグリティを保証します。DS2505 の 16384 ビット EPROM 部分の読取りとプログラミングに関する詳細は、「メモリ機能コマンド」の項に記載されています。

EPROM ステータスバイト

データメモリの 16384 ビットの他に、DS2505 は別のコマンドによってアクセス可能な 704 ビットのステータスメモリを備えています。

EPROM ステータスバイトの読取りやプログラミングによって、DS2505 を探索するソフトウェアに様々な状況を知らせることができます。EPROM ステータスメモリの最初の 8 バイト(アドレス 000 ~ 007H)は、書込み防止ページビットを含んでおり、該当する書込み防止ビットがプログラムされると 16384 ビットのメインメモリ領域の対応するページのプログラミングを禁止します。ステータスメモリの書込み防止ページ部に、あるビットが設定されると、このビットに対応する 32 バイトページ全体が変更不可能になりますが読み取ることは可能です。

EPROM ステータスメモリの次の 8 バイト(アドレス 020 ~ 027H)は、16384 ビットのメインメモリ領域の各ページに対応したページアドレス変更バイトの変更を禁止する書込み防止ビットを含んでいます。

EPROM ステータスメモリの次の 8 バイト(040 ~ 047H)は、iButton のオペレーティングソフト TMEX に使用するためにリザーブされています。この目的は、既に使用されているメモリページを表示することです。本来、これらのビットはいずれも設定されないため、デバイスがデータを保存していないことを表わします。TMEX によって制御されているデバイスのあるページにデータが書き込まれると、直ちにこのページに対応したこのビットマップ内のビットが 0 に設定されてこのページが使用されているものとして記録されます。これらのビットは、アプリケーション用としてのフラグのみとして使われ、DS2505 の内部ロジックには影響を与えません。

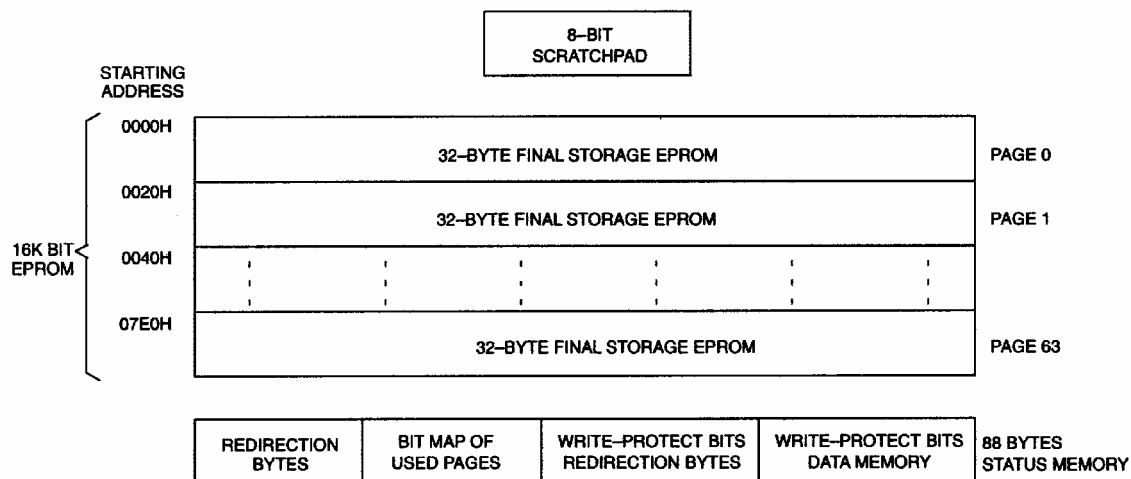
EPROM ステータスメモリの次の 64 バイト(アドレス 100H ~ 13FH)はページアドレス変更バイトを含んでおり、このページアドレス変更バイトは 16384 ビット EPROM 部のデータの少なくとも 1 ページがソフトウェアによって無効にされ、該当するアドレス変更バイトに含まれるページアドレスに入出力先が変更されているかどうかを示します。DS2505 のハードウェアは、ページアドレス変更バイトの内容に基づく決定をしません。ステータス EPROM のこれらの補助バイトは、ページ全体の入出力先を別のページアドレスに変更して、元のページのデータはもはや意味がないか有効でないことを示します。EPROM 技術を使用すると、ページ内のビットはプログラミングによってロジック 1 からロジック 0 に変更することができますが、この逆の変更は不可能です。したがって、データが変更や更新を要する場合、ページの単なる書替えは可能ではありませんが、元の(置換される)ページに対応したページアドレス変更バイトに新しいページアドレスの 1 の補数を書き込むことによって、空き領域の許す範囲でデータのページ全体の入出力先を DS2505 内の別のページに変更することができます。

このアーキテクチャでは、ユーザのソフトウェアが特定ページをページアドレス変更バイトに示されたページで置き換えるよう指示することによって EPROM の「データパッチ」を行うことができます。データパッチの確実な追跡記録を残すために、ページの入出力先を設定した後でページアドレス変更バイトの書込み防止ビットを設定することを推奨します。この保護がなくても、ページアドレス変更バイトを訂正して真のメモリページとは異なるメモリページを指定することも可能です。

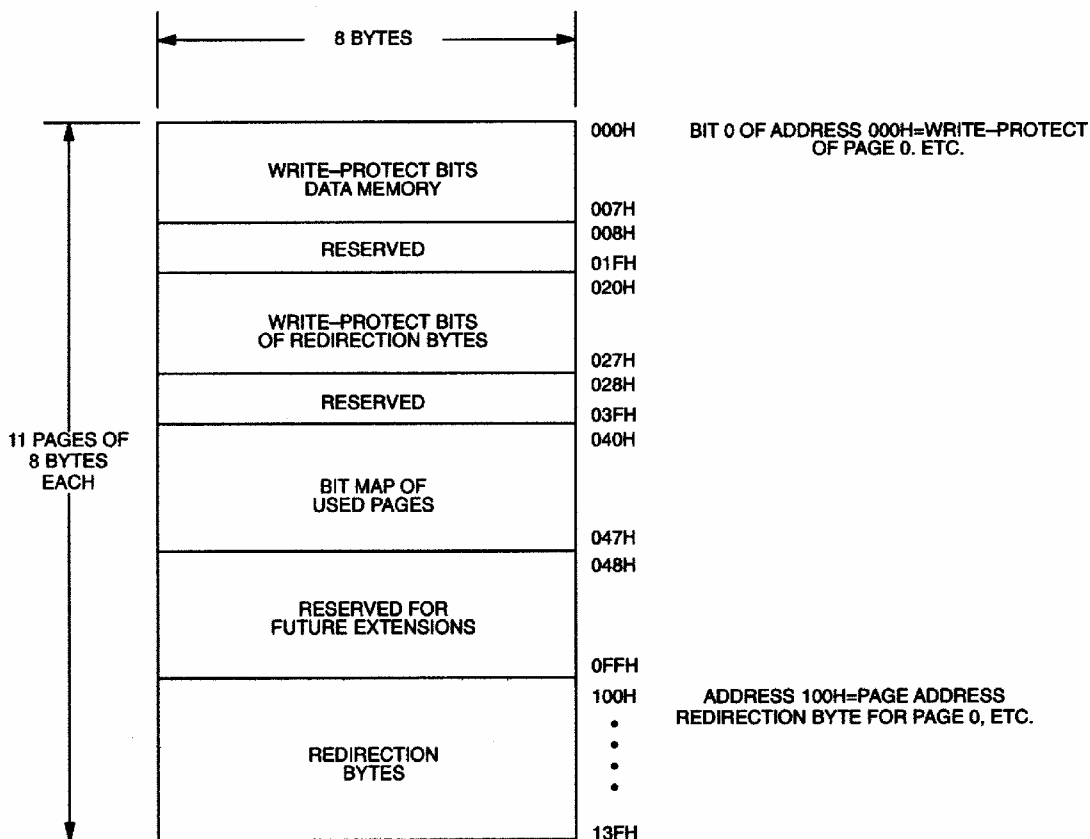
ページアドレス変更バイトの値が FFH であれば、このページに対応したメインメモリのデータは有効です。ページアドレス変更バイトが他の 16 進値であれば、この変更バイトに対応したページのデータは無効で、この場合有効なデータはそのページが持つページアドレス変更バイトに保存された 16 進値の 1 の補数が示すページアドレスにあります。たとえば、ページ 1 のアドレス変更バイトの値が FDH の場合は、更新データが現在ページ 2 にあることを表わします。DS2505 の EPROM ステータスメモリ部分の読取りとプログラミングの詳細は、「メモリ機能コマンド」の項に記載されています。

DS2505 のステータスメモリアドレスは、000 ~ 13FH の範囲にあります。メモリ位置の 008H ~ 01FH、028H ~ 03FH、048H ~ 0FFH、及び 140H ~ 7FFH は、物理的に実現されません。これらの位置の読取りは、通常 FFH の値をもつバイトとなります。これらの位置に書き込もうとしても無視されます。バスマスタが 7FFH よりも大きい先頭アドレスを送信すると、最上位の 5 アドレスビットがチップの内部回路によって 0 に設定されます。これによって、DS2505 が計算した CRC とバスマスタが計算した CRC の不一致が生じてエラー状態が表示されます。

図 4. DS2505 メモリマップ



ステータスメモリマップ



メモリ機能コマンド

「メモリ機能フローチャート」(図 5)は DS2505 内の様々なデータフィールドへのアクセスに必要なプロトコルを示します。メモリ機能制御部、8 ビットのスクラッチパッド、及びプログラム電圧検出回路の組合せによって、バスマスタが送出するコマンドを解釈しデバイス内で正確な制御信号を生成します。バスマスタは 3 バイトのプロトコルを発行します。これは、動作タイプを判別するコマンドバイト、及びデータフィールド内の特定の開始バイト位置を判別する 2 バイトのアドレスバイトで構成されます。コマンドバイトは、デバイスの読取りまたは書込みが必要であるか否かを示します。データの書込みには、正しいコマンドシーケンスの送出だけでなく適切な時点での 12V のプログラミング電圧の供給も必要です。書込みシーケンスを実行するためには、1 バイトのデータをまずスクラッチパッドにロードしてから選択されたアドレスにプログラムされます。書込みシーケンスは、必ず 1 度に 1 バイトずつ行われます。読取りシーケンスを実行するために、バスマスタが先頭アドレスを送出し、その先頭位置から選択されたデータフィールドの末尾まで、またはリセットシーケンスが送出されるまで続く部分からデータを読み取ります。DS2505 に転送され、返送されてバスマスタによって受信されるビットはすべて、最下位ビットを先頭として送信されます。

READ MEMORY[F0H]

Read Memory コマンドは、16384 ビット EPROM データフィールドからのデータの読取りに使用されます。バスマスタは、データフィールド内の開始バイト位置を示す 2 バイトアドレス(TA1 = (T7:T0)、TA2 = (T15:T8))をコマンドバイトに続けて送出します。後続の各読取りデータタイムスロットでは、先頭アドレスから始まり、16384 ビットのデータフィールドの末尾に達するまで、またはリセットパルスが送出されるまで続くデータをバスマスタは DS2505 から受け取ります。読取りがメモリ空間の最後まで行われる場合は、バスマスタがさらに 16 の読取りタイムスロットを送出することができ、DS2505 はコマンド、アドレスバイト、及びメモリの最初の開始バイトから最終バイトまでに読み取られるすべてのデータバイトの 16 ビット CRC を応答します。この CRC は、CRC 発生器をクリアし、コマンドバイト、2 バイトのアドレスバイト及びアドレス指定された先頭のメモリ位置から始まり EPROM データメモリの最終バイトまで続くデータバイトをシフトインした結果の CRC です。CRC がバスマスタによって受信されると、リセットパルスが送出されるまで後続の読取りタイムスロットがロジック 1 として現れます。メモリの最後に達する前にリセットパルスによって読取りが終了すると、16 ビットの CRC を利用することができません。

一般に、16 ビットの CRC がデータの各ページに保存されると、高速でエラーのないデータ転送が保証されるため、受信されたデータが正しいか否かを判定するためにページを何度も読み取る必要がなくなります。(1-Wire 環境に使用する推奨ファイル構造については、「Book of DS19xx iButton Standards」の 7 章を参照してください。) CRC の値がデータ内部に組み込まれている場合は、Read Memory コマンドの使用中にメモリ空間の最後にリセットパルスを送出することができます。

READ STATUS[AAH]

読取りステータスコマンドは、EPROM ステータスデータフィールドからのデータの読取りに使用されます。バスマスタは、コマンドバイトの後に、データフィールド内の開始バイト位置を示す 2 バイトアドレス(TA1 = (T7:T0)、TA2 = (T15:T8))を続けます。後続の各読取りデータタイムスロットでは、バスマスタによる DS2505 からのデータの受信は与えられたアドレスから始まり、EPROM ステータスデータフィールドの 8 バイトページの末尾に達するまで続きます。この時点で、バスマスタはコマンドバイト、アドレスバイト、及びステータスデータバイトの 16 ビット CRC を受信します。この CRC は、DS2505 によって計算され、バスマスタによって読み戻されてコマンドワード、先頭アドレス、及びデータが正しく受信されたかどうかチェックされます。バスマスタによる CRC の読取りが正しくない場合は、リセットパルスを送出してシーケンス全体を反復する必要があります。

図 5. メモリ機能フローチャート

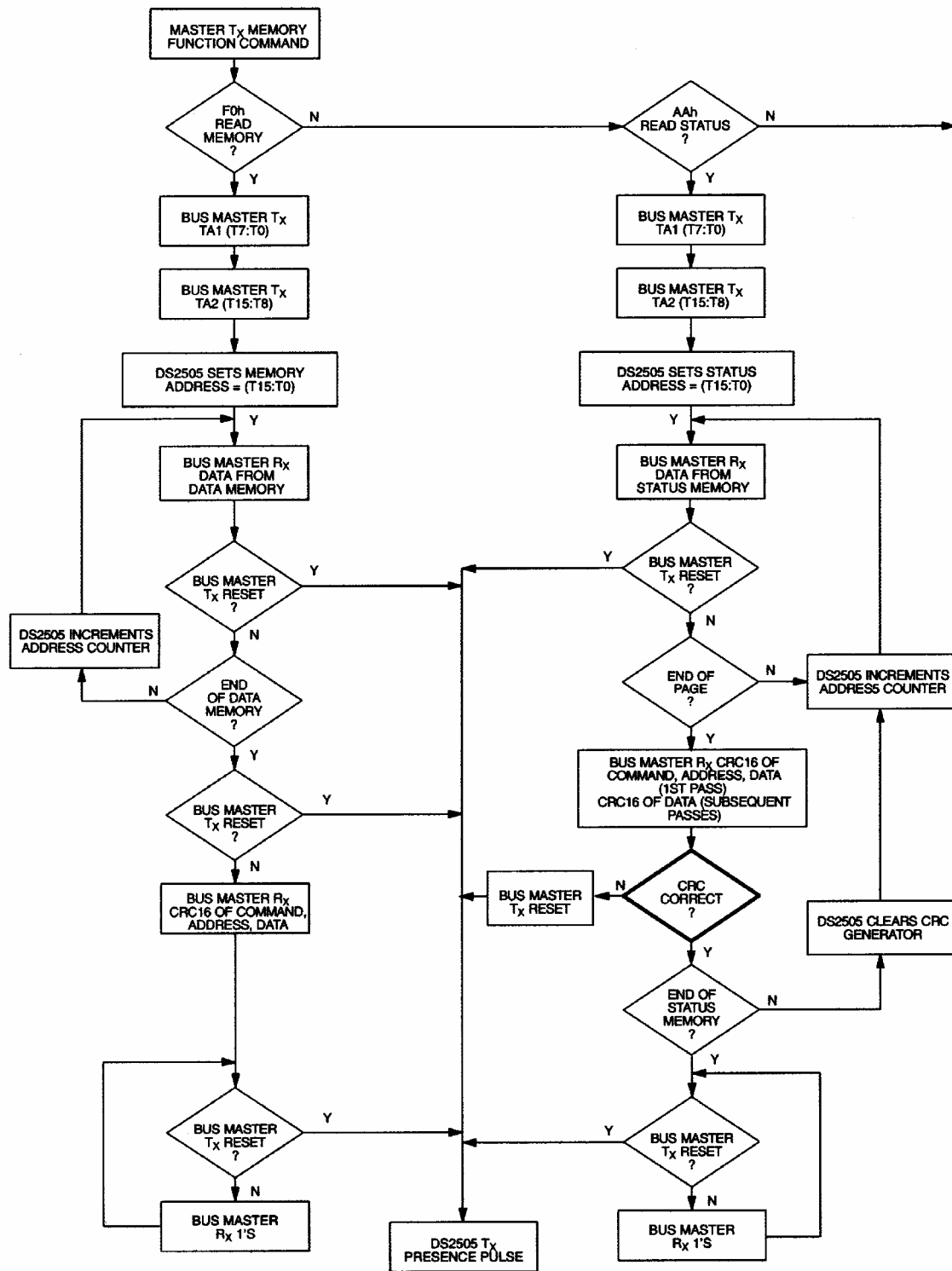


図 5. メモリ機能フローチャート(続き)

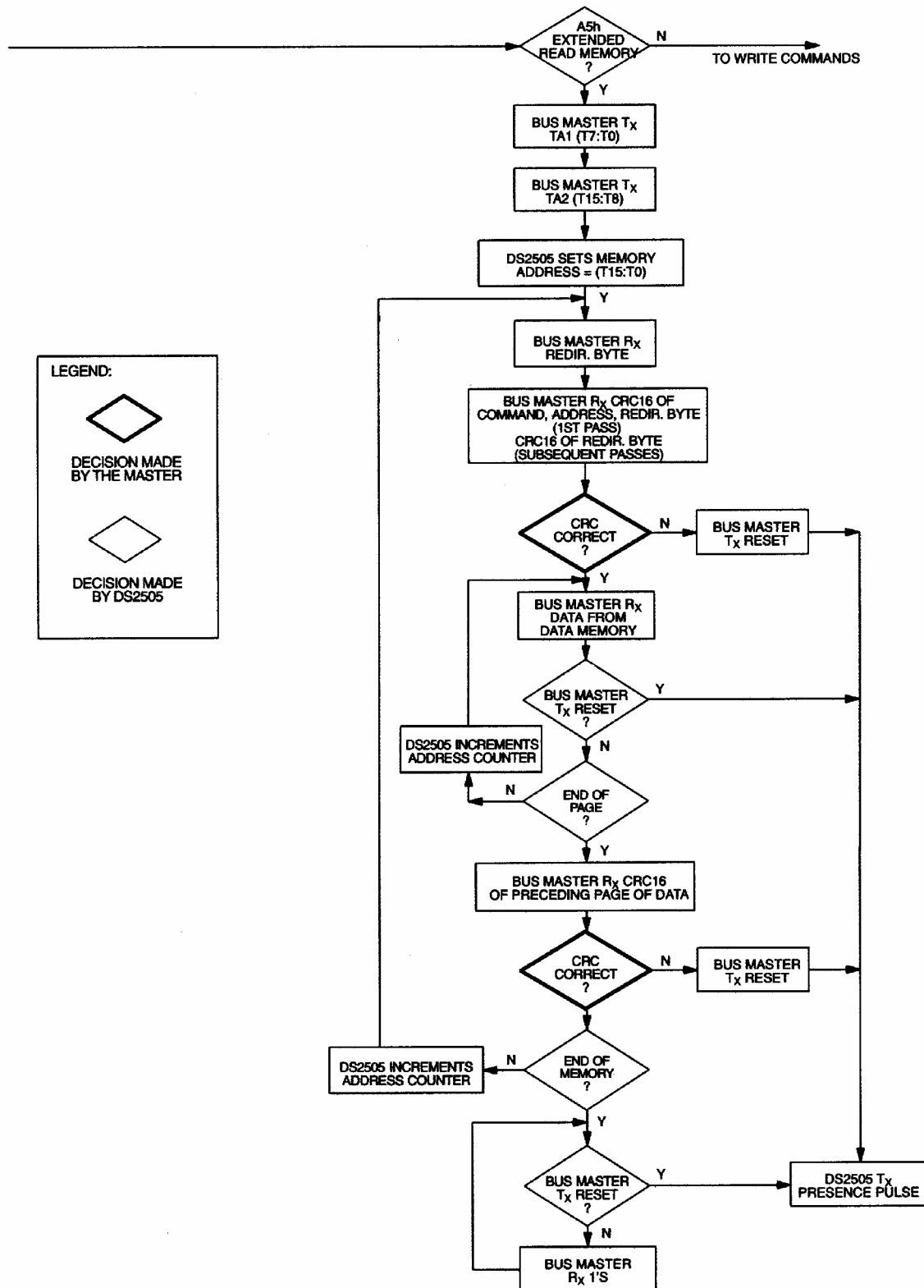
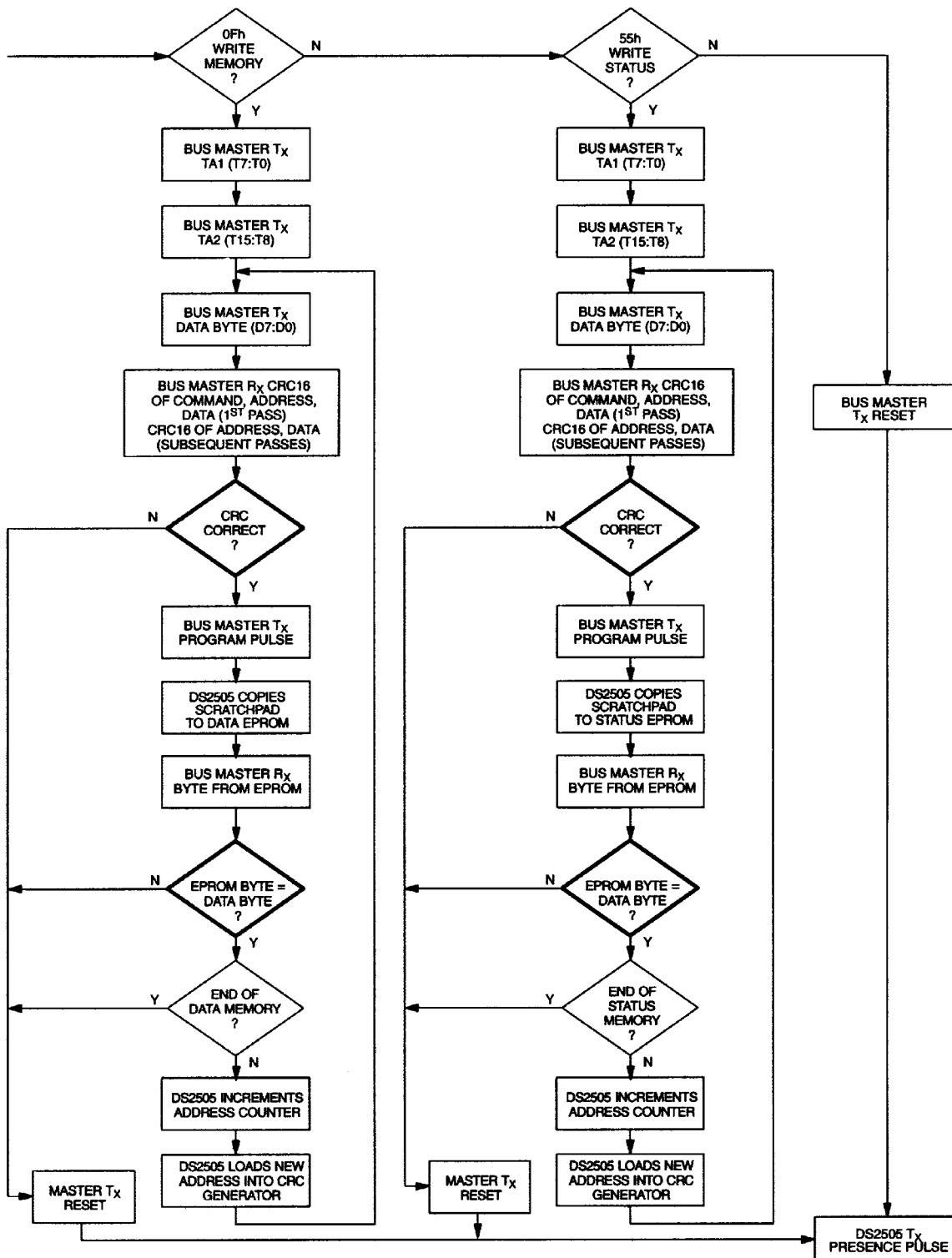


図 5. メモリ機能フローチャート(続き)



Read Status フローチャートの最初の処理では、CRC 発生器をクリアし、コマンドバイトに続いて 2 バイトのアドレスバイト、及び最初にアドレス指定されたメモリ位置で始まりアドレス指定された EPROM ステータスデータページの最終バイトまで続くデータバイトをシフトインした結果である 16 ビット CRC 値が生成されます。ステータスデータページの最終バイトには、xx7 または xxFH の最終アドレスが必ず含まれています。Read Status フローチャートの後続処理では、CRC 発生器をクリアし、EPROM ステータスデータフィールドの次ページの最初のバイトで始まる新しいデータバイトをシフトインした結果である 16 ビット CRC 値が生成されます。

EPROM ステータス情報は時間とともに変化する可能性があり 1 度データを設定して常に有効な CRC を維持することが不可能であることから、この機能が備えられています。したがって、Read Status コマンドは、EPROM ステータスデータフィールドに保存された現在のデータに基づいてこのデータと常に矛盾しない 16 ビット CRC を提供します。最終 EPROM ステータスデータページの 16 ビット CRC が読み取られると、リセットパルスが送出されるまでバスマスタは DS2505 からロジック 1 を受信します。読取りステータスコマンドシーケンスは、随時リセットパルスを送出することによって終了することができます。

拡張 READ MEMORY[A5H]

拡張 Read Memory コマンドは、16384 ビット EPROM データフィールドからデータを読み取る際のページアドレス変更をサポートしています。拡張 Read Memory と基本 Read Memory コマンドの 1 つの大きな違いは、アドレス指定されたメモリ位置からのデータ読取りに時間を割り当てる前にまずバスマスタがページアドレス変更バイトを受信することです。こうすることで、バスマスタは選択された先頭ページからのデータを続けてアクセスするか、またはそれを終結して変更されたページアドレスから読取り処理を再開するかを素早く決定することができます。ページアドレスが変更されないページは値が FFH のアドレス変更バイトによって識別されます (EPROM ステータスバイトの説明を参照してください)。アドレス変更バイトがこれと異なる場合は、マスタがこの補数値を持つ新しいページ番号を得る必要があります。ページ番号に 32(20H) を乗算すると、古いデータに置き換わる更新データを読み取るためにマスタが DS2505 に送信する必要のある新しいアドレスが得られます。ページのアドレス変更の数にロジック上の制約はありません。唯一の制約は、DS2505 内で使用可能なメモリページ数です。

拡張 Read Memory コマンドは、ページのアドレス変更の他に、ユーザがデータ自身の 16 ビット CRC を保存することができない「ビット指向」アプリケーションもサポートしています。「ビット指向」アプリケーションでは、EPROM 情報がページ境界内で時間とともに変化する可能性があることから常に有効な CRC を維持することが不可能です。そのため、拡張 Read Memory コマンドは、16384 ビット EPROM データフィールドの各ページに保存された現在のデータに基づいて (したがってこのデータと常に整合する) 16 ビット CRC を生成し供給する DS2505 によって各ページを完結します。

バスマスタは、拡張 Read Memory コマンドのコマンドコードを送信した後、データフィールド内の開始バイト位置を示す 2 バイトアドレス (TA1 = (T7:T0)、TA2 = (T15:T8)) をそれに続けて送信します。マスタは、8 つの読取りデータタイムスロットを送信することによって、先頭アドレスが指定したページに関するアドレス変更バイトを受信します。次の 16 の読取りデータタイムスロットでは、バスマスタはコマンドバイト、アドレスバイト、及びアドレス変更バイトの 16 ビット CRC を受信します。この CRC は、DS2505 によって計算され、バスマスタに読み返されてコマンドワード、先頭アドレス、及びアドレス変更バイトが正しく受信されたかどうかチェックされます。

バスマスタによる CRC の読取りが正しくない場合は、リセットパルスを送出してシーケンス全体を反復する必要があります。バスマスタによって受信された CRC が正しければ、バスマスタは、読取りタイムスロットを送出し、初期アドレスで始まり 32 バイトページの最後まで続く DS2505 からのデータを受信します。この時点で、バスマスタはさらに 16 の読取りタイムスロットを送信し、初期の開始バイトから現在のページの最終バイトまでのデータバイトすべてを CRC 発生器にシフトインした結果である 16 ビット CRC を受信します。

次の 24 の読取りデータスロットによって、マスタは次ページのアドレス変更バイトに続いてアドレス変更バイトの 16 ビット CRC を受信します。この後、16384 ビット EPROM データフィールドの新しいページの最初からデータが再び読み取られます。このシーケンスは、最終ページとこれに付随する CRC をバスマスタが読み取るまで続きます。

拡張 Read Memory コマンドでは、トランザクションフローチャート内の以下の 2 つの位置で 16 ビット CRC を提供します。すなわち、1) アドレス変更バイトの後、及び 2) 各メモリページの末尾です。メモリページの末尾にある CRC は常に、CRC 発生器をクリアし、EPROM データページの先頭のアドレス指定メモリ位置から始まるデータバイトをこのページの最終バイトまでシフトインした結果です。バスマスタがアドレス変更バイトのすぐ後に受信する CRC は、2 種類の方法で計算されます。拡張 Read Memory フローチャートの最初の処理では、アドレス変更バイトの後の 16 ビット CRC 値はクリアされた CRC 発生器にコマンドバイトをシフトインした結果であり、2 バイトのアドレスバイトとアドレス変更バイトが後に続きます。拡張 Read Memory フローチャートの後続処理では、CRC 発生器をクリアし、アドレス変更バイトのみをシフトインした結果である 16 ビット CRC が生成されます。

最終ページの 16 ビット CRC が読み取られると、バスマスタはリセットパルスが送出されるまで DS2505 からロジック 1 を受信します。拡張 Read Memory のコマンドシーケンスは、随時リセットパルスを送出することによって終了することができます。

WRITE MEMORY[0FH]/SPEED WRITE MEMORY[F3]

Write Memory コマンドは、16384 ビット EPROM データフィールドのプログラミングに使用されます。バスマスタは、2 バイトの先頭アドレス(TA1 = (T7:T0)、TA2 = (T15:T8))と 1 バイトのデータ(D7:D0)をコマンドバイトの後に続けます。コマンドバイト、アドレスバイト、及びデータバイトによる 16 ビット CRC は、DS2505 によって計算され、バスマスタによって読み返されてコマンドワード、先頭アドレス、及びデータバイトが正しく受信されたかどうかを確認されます。

DS2505 内の最上位の先頭アドレスは 07FFH です。バスマスタがこれよりも上位の先頭アドレスを送信すると、最上位の 5 アドレスビットがチップの内部回路によって 0 に設定されます。これによって、DS2505 が計算した CRC とバスマスタが計算した CRC の間に不一致が生じエラー状態を示します。

バスマスタが読み取った CRC が正しくなければ、リセットパルスが送出されてシーケンス全体が反復される必要があります。バスマスタが受信した CRC が正しければ、バスマスタはプログラミングパルス(1-Wire バス上、480 μ s、12V)を送出します。プログラミングの前に、プログラムされていない 16384 ビット EPROM データフィールド全体がロジック 1 となっています。バスマスタが送信するロジック 0 に設定されたデータバイトの各ビットでは、プログラミングパルスがそのバイト位置に加えられると 16384 ビット EPROM の選択されたバイト内の対応するビットがロジック 0 に設定されます。

480 μ s のプログラミングパルスが加えられてデータラインがアイドル状態に戻ると、バスマスタは 8 つの読取りタイムスロットを送出して適切なビットがプログラムされているかどうかを確認します。DS2505 は、選択された EPROM アドレスから LSB を先頭としてデータを送ることで応答します。このバイトは、この EPROM データアドレスに書き込まれたすべてのバイトの論理積を含んでいます。マスタによって送出されたバイトが 0 を持つビット位置に EPROM データバイトが 1 を持つ場合は、リセットパルスが送出されて現在のバイトアドレスが再度プログラムされなければなりません。DS2505 の EPROM データバイトがこのデータバイトと同じビット位置に 0 を含む場合は、プログラミングが正しく行われており DS2505 はそのアドレスカウンタを自動的にインクリメントして 16384 ビット EPROM データフィールドの次のバイトを選択します。また、新しい 2 バイトアドレスは、開始値として 16 ビット CRC 発生器にロードされます。バスマスタは、8 つの書込みタイムスロットを使用してデータの次のバイトを送出します。

DS2505 は、このデータバイトをスクラッチパッドに書き込むと、そのデータを現在のアドレスが予めロードされた CRC 発生

器にシフトインし、その結果、新しいデータバイトと新しいアドレスの 16 ビット CRC が生成されます。このデータバイトの供給後に、バスマスタは、16 の読取りタイムスロットによって DS2505 から 16 ビット CRC を読み取って、アドレスが正しくインクリメントされてデータバイトが正しく受信されていることを確認します。CRC が正しくなければ、リセットパルスを送出して Write Memory コマンドシーケンスを再起動する必要があります。CRC が正しければ、バスマスタはプログラミングパルスを送出してメモリ内で選択されたバイトをプログラムします。

書込みメモリフローチャートの最初の処理では、CRC 発生器にコマンドバイトをシフトインし、それに続いて 2 バイトのアドレスバイトと最後にデータバイトがシフトインされた結果の 16 ビット CRC が生成されることに注意してください。書込みメモリフローチャートの後続処理では、DS2505 がそのアドレスカウンタを自動的にインクリメントすることによって、新しい(インクリメントされた)アドレスを CRC 発生器にロード(シフトではなく)し、さらに新しいデータバイトをシフトインした結果である 16 ビット CRC が生成されます。

いずれの場合も、続行するかどうか(DS2505 にプログラミングパルスを加えるかどうか)は、すべてバスマスタによって判断されます。これは、バスマスタが計算した 16 ビット CRC と DS2505 が計算した 16 ビット CRC が一致しているかどうかを DS2505 は判断することができないためです。バスマスタによって不正な CRC が無視されプログラミングパルスが加えられ、DS2505 内で不正なプログラミングが行われる可能性があります。さらに、DS2505 は、選択された EPROM バイトのプログラミングの確認に使用される 8 つの読取りタイムスロットを受信した後、内部アドレスカウンタを必ずインクリメントします。続行するかどうかは、やはりすべてバスマスタによって判断されます。従って、EPROM のデータバイトが供給されたデータバイトと一致しないにもかかわらずバスマスタが Write Memory コマンドを送出し続けると、DS2505 内で不正なプログラミングが行われる可能性があります。Write Memory コマンドシーケンスは、随時リセットパルスを送出することによって終了することができます。

DS2505 のデータメモリの複数連続バイトの書込み時間を節約するために、データが EPROM メモリにコピーされる前にデータとアドレスの確認が可能な 16 ビット CRC の読取りを省くことができます。このことにより、プログラムの対象となるすべてのバイトに対して 16 のタイムスロット、すなわち 976 μ s が節約されます。この高速プログラミングモードは、0FH の代わりにコマンドコード F3H を使用してアクセスされます。これは、Write Memory コマンドと基本的に同じフローチャートに従いますが、プログラミングパルス直前の CRC の送信をスキップします。このコマンドは、バスマスタと DS2505 の間の電氣的接触が安定している場合に限定して使用されるべきで、接触が不安定な場合は EPROM メモリ内のデータが破壊されるおそれがあります。

WRITE STATUS[55H]/SPEED WRITE STATUS[F5]

Write Status コマンドは、EPROM ステータスデータフィールドのプログラミングに使用されます。バスマスタは、コマンドバイトの後に 2 バイトの先頭アドレス(TA1=(T7:T0)、TA2=(T15:T8))及びステータスデータバイト(D7:D0)を続けます。コマンドバイト、アドレスバイト、及びデータバイトの 16 ビット CRC は、DS2505 によって計算され、バスマスタによって読み返されてコマンドワード、先頭アドレス、及びデータバイトが正しく受信されたかどうかを確認されます。

バスマスタが読み取った CRC が正しくなければ、リセットパルスが送出されてシーケンス全体が反復される必要があります。バスマスタが受信した CRC が正しければ、バスマスタはプログラミングパルス(1-Wire バス上、480 μ s、12V)を送出します。プログラミングの前の EPROM ステータスデータフィールドはロジック 1 となっています。バスマスタが送信するロジック 0 に設定されたデータバイトの各ビットでは、プログラミングパルスがそのバイト位置に加えられると EPROM ステータスデータフィールドの選択されたバイト内の対応するビットがロジック 0 に設定されます。

480 μ s のプログラミングパルスが加えられてデータラインがアイドルレベルに戻ると、バスマスタは 8 つの読取りタイムスロットを送出して正しいビットが設定されているかどうかを確認します。DS2505 は、選択された EPROM ステータス

アドレスから LSB を先頭としてデータを送出する応答を行います。このバイトは、この EPROM ステータスバイトアドレスに書き込まれたすべてのバイトの論理積を含んでいます。マスタによって送られたバイトが 0 を含むビット位置に EPROM ステータスバイトが 1 を含む場合は、リセットパルスが送られるとともに現在のバイトアドレスが再設定されなければなりません。DS2505 の EPROM ステータスバイトがデータバイトと同じビット位置に 0 を含んでいると、プログラミングが正常に行われ、DS2505 はそのアドレスカウンタを自動的にインクリメントして EPROM ステータスデータフィールド内の次のバイトを選択します。さらに、新しい 2 バイトのアドレスが開始値として 16 ビット CRC 発生器にロードされます。バスマスタは、8 つの書込みタイムスロットを用いて次のデータバイトを送出します。

DS2505 は、このデータバイトをスクラッチパッドに書き込むと同時に、そのデータを現在のアドレスが先にロードされた CRC 発生器にシフトインし、その結果、新しいデータバイトと新しいアドレスの 16 ビット CRC が生成されます。このデータバイトの供給後に、バスマスタは、16 の読取りタイムスロットによって DS2505 からこの 16 ビット CRC を読み取って、アドレスが正しくインクリメントされてデータバイトが正しく受信されていることを確認します。CRC が正しくなければ、リセットパルスを送出して書込みステータスコマンドシーケンスを再起動する必要があります。CRC が正しければ、バスマスタはプログラミングパルスを送出してメモリで選択されたバイトをプログラムします。

書込みステータスフローチャートの最初の処理では、CRC 発生器にコマンドバイト、2 バイトのアドレスバイトと最後にデータバイトがシフトインされた結果の 16 ビット CRC が得られることに注意してください。アドレスカウンタを自動的にインクリメントする DS2505 による書込みステータスフローチャートの後続処理では、新しい(インクリメントされた)アドレスを CRC 発生器にロード(シフトではなく)し、新しいデータバイトをシフトインした結果である 16 ビット CRC が生成されます。

いずれの場合も、続行するかどうか(DS2505 にプログラミングパルスを加えるかどうか)は、すべてバスマスタによって判断されます。これは、バスマスタが計算した 16 ビット CRC と DS2505 が計算した 16 ビット CRC が一致しているかどうかを DS2505 は判断することができないためです。バスマスタによって不正な CRC が無視されプログラミングパルスが加えられると、DS2505 内で不正なプログラミングが行われる可能性があります。さらに、DS2505 は、選択された EPROM バイトのプログラミングの確認に使用される 8 つの読取りタイムスロットを受信した後、内部アドレスカウンタを必ずインクリメントします。続行するかどうかは、やはりすべてバスマスタによって判断されるため、EPROM のデータバイトが供給されたデータバイトと一致しないにも関わらずバスマスタが書込みステータスコマンドを送出し続けると、DS2505 内で不正なプログラミングが行われる可能性があります。書込みステータスコマンドシーケンスは、随時リセットパルスを送出することによって終了することができます。

DS2505 のステータスメモリの複数連続バイトの書込み時間を節約するために、データが EPROM メモリにコピーされる前にデータとアドレスの確認が可能な 16 ビット CRC の読取りを省くことができます。これで、プログラムの対象となるすべてのバイトに対して 16 のタイムスロット、すなわち 976 μ s が短縮されます。この高速プログラミングモードは、55H の代わりにコマンドコード F5H によってアクセスされます。これは、書込みステータスコマンドと基本的に同じフローチャートに従いますが、プログラミングパルス直前の CRC の送信をスキップします。このコマンドは、バスマスタと DS2505 の間の電氣的接触が安定している場合に限定して使用されるべきで、接触が不安定な場合は EPROM ステータスメモリ内のデータが破壊されるおそれがあります。

1-Wire バスシステム

1-Wire バスは、単一のバスマスタと少なくとも 1 個のスレーブを備えたシステムです。DS2505 は、いかなる場合もスレーブデバイスです。バスマスタは、通常マイクロコントローラです。このバスシステムの説明は、ハードウェア構成、トランザクションシーケンス、及び 1-Wire 信号方式(信号の種類とタイミング)の 3 つの項目に分けられます。1-Wire プロトコルは、バスマスタからの同期パルスの立下りエッジで始まる規定されたタイムスロットの期間内のバス状態によってバストランザクションを規定します。プロトコルの詳細については、「Book of DS19xx iButton Standards」の 4 章を参照

してください。

ハードウェアの構成

1-Wire バスは、その名の通り 1 本のラインのみで構成されます。バス上の各デバイスは適時ラインを駆動可能であることが重要です。これを容易にするために、1-Wire バスに接続された各デバイスは、オープンドレイン接続またはトライステート出力を備えている必要があります。DS2505 は、図 6 に示すものと内部回路が等価なオープンドレインデバイスです。バスマスタも、同じ等価回路とすることができます。双方向端子を利用することができなければ、独立した出力端子と入力端子を互いに接続することが可能です。

バスマスタは、図 7a と 7b に示すものと等価なバスマスタ回路を備えており、バスのマスタ端にプルアップ抵抗器を必要とします。プルアップ抵抗器の値は、短いラインでは約 5k Ω とする必要があります。

マルチドロップバスは、複数のスレーブが接続された 1-Wire バスによって構成されます。1-Wire バスは、最高データレートが 16.3kbps です。また、バスマスタが DS2505 の EPROM 部分のプログラミングを行わなければならない場合は、12V で 480 μ s、最大 10mA を供給することができるプログラム電源が必要になります。1-Wire バスのアイドル状態はハイです。何らかの理由でトランザクションを中止して後で再開する必要がある場合は、バスをアイドル状態にしておかなければなりません。アイドル状態にせずに、バスを 120 μ s 以上の間ローにすると、バス上の少なくとも 1 個のデバイスがリセットされることがあります。

トランザクションシーケンス

1-Wire ポートを介して DS2505 にアクセスするためのシーケンスは次の通りです。

- 初期化
- ROM 機能コマンド
- メモリ機能コマンド
- 読取り/書込みメモリステータス

初期化

1-Wire バス上のすべてのトランザクションは、初期化シーケンスから始まります。初期化シーケンスは、バスマスタが送信するリセットパルスとこれに続いてスレーブが送信するプレゼンスパルスで構成されます。

プレゼンスパルスは、DS2505 がバス上にあり動作可能な状態にあることをマスタに知らせます。詳しくは、「1-Wire 信号方式」の項をご覧ください。

ROM 機能コマンド

バスマスタは、プレゼンスを検出すると、4 つの ROM 機能コマンドの 1 つを送出することができます。ROM 機能コマンドはすべて 8 ビット長です。これらのコマンドを以下に説明します(図 8 のフローチャート参照)。

Read ROM[33H]

バスマスタは、このコマンドによって DS2505 の 8 ビットのファミリコード、固有の 48 ビットのシリアル番号、及び 8 ビットの CRC を読み取ることができます。このコマンドは、バス上に 1 個の DS2505 がある場合のみ使用することができます。複数のスレーブがバス上に存在する場合は、すべてのスレーブが同時に送信しようとするデータの衝突が起こります(オープンドレインは、ワイヤード AND 出力を生成します)。

図 6. DS2505 の等価回路

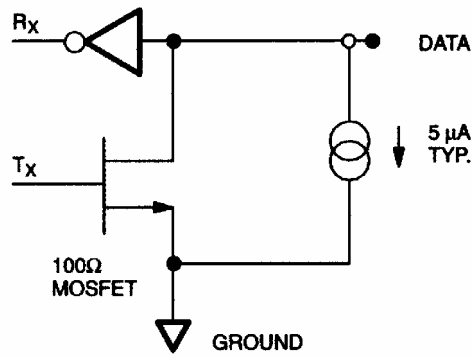


図 7. バスマスタ回路

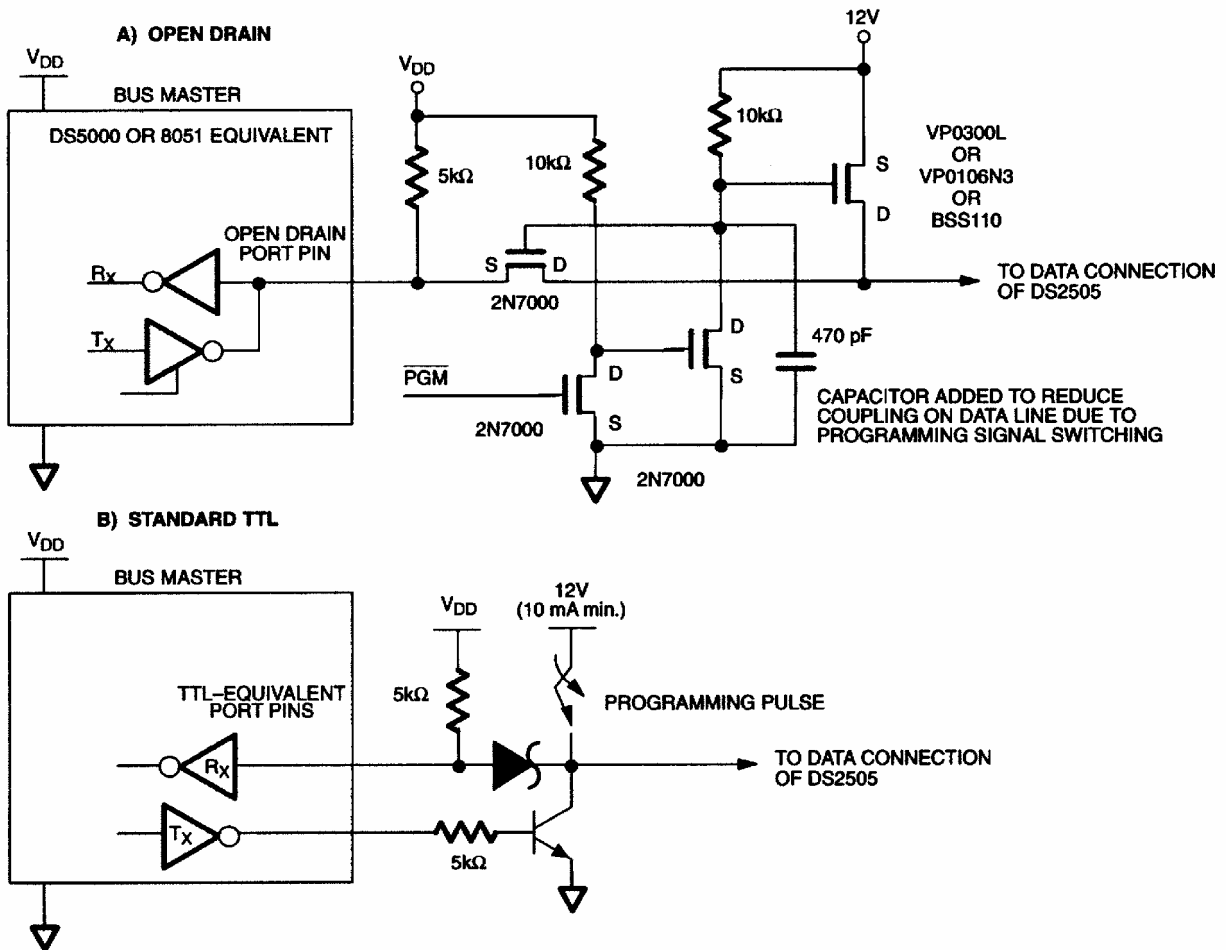
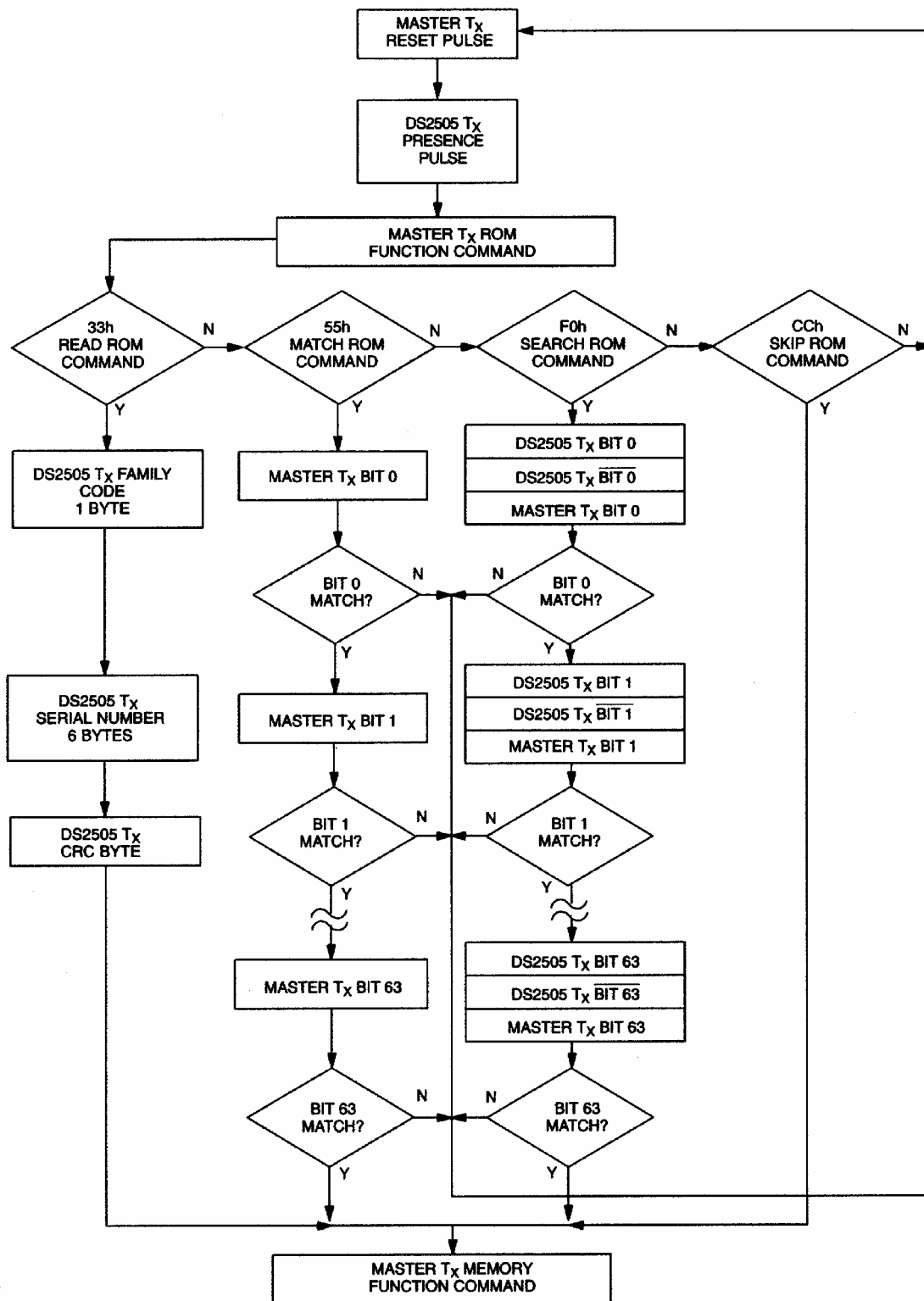


図 8. ROM 機能フローチャート



(SEE FIGURE 5)

Match ROM[55H]

Match ROM コマンドとこれに続く 64 ビット ROM シーケンスによって、バスマスタはマルチドロップバス上の特定の DS2505 をアドレス指定することができます。64 ビット ROM シーケンスに正確に一致する DS2505 のみが後続のメモリ機能コマンドに応答します。64 ビット ROM シーケンスに一致しないスレーブはすべて、リセットパルスを待ちます。このコマンドは、バス上の単一または複数のデバイスに使用することができます。

Skip ROM[CCH]

このコマンドは、64 ビット ROM コードを使用せずにバスマスタがメモリ機能にアクセスすることによってシングルドロップバスシステムの時間を節約することができます。バス上に複数のスレーブが存在し Skip ROM コマンドに続いて読取りコマンドが送出される場合、複数のスレーブが同時に送信するとバス上でデータの衝突が起こります(オープンドレインのプルダウンはワイヤード AND 出力を生成します)。

Search ROM[F0H]

システムを初めて立ち上げたとき、バスマスタは 1-Wire バス上のデバイス数またはその 64 ビット ROM コードを認識できない場合があります。バスマスタは、Search ROM コマンドによって排除プロセスを使用して、バス上に存在するすべてのスレーブデバイスの 64 ビット ROM コードを識別することができます。ROM 検索処理は、1 ビットの読取り、そのビットの補数の読取り、さらにそのビットの所望値の書込み、の簡単な 3 ステップのルーチンを繰り返します。バスマスタは、この簡単な 3 ステップのルーチンを ROM の各ビットについて実行します。1 回の処理を終了したバスマスタは、1 デバイス内の ROM の内容を認識します。残るデバイス数とその ROM コードは、さらに処理を続行することによって識別することができます。実例を含む ROM 検索の総合的な説明については、「Book of DS19xx iButton Standards」の 5 章を参照してください。

1-Wire 信号方式

DS2505 は、データのインテグリティを保証するために厳格なプロトコルを必要とします。プロトコルは、1 ライン上のリセットパルスとプレゼンスパルスによるリセットシーケンス、Write 0、Write 1、読取りデータ、及びプログラミングパルス、の 5 種類の信号で構成されます。プレゼンスパルスを除くこれらの信号はすべて、バスマスタによって生成されます。DS2505 との通信を開始するために必要な初期化シーケンスを図 9 に示します。リセットパルスとこれに続くプレゼンスパルスは、DS2505 による ROM コマンドの受入れ準備が整っていることを示します。バスマスタはリセットパルス(t_{RSTL} 、最小 480 μ s)を送信(TX)します。その後、バスマスタはラインを解放して受信(RX)モードに入ります。1-Wire バスは、プルアップ抵抗器によってハイ状態になります。DS2505 は、データ端子において立上りエッジを検出すると、待機(t_{PDH} 、15 ~ 60 μ s)した後、プレゼンスパルス(t_{PDL} 、60 ~ 240 μ s)を送信します。

読取り/書込みタイムスロット

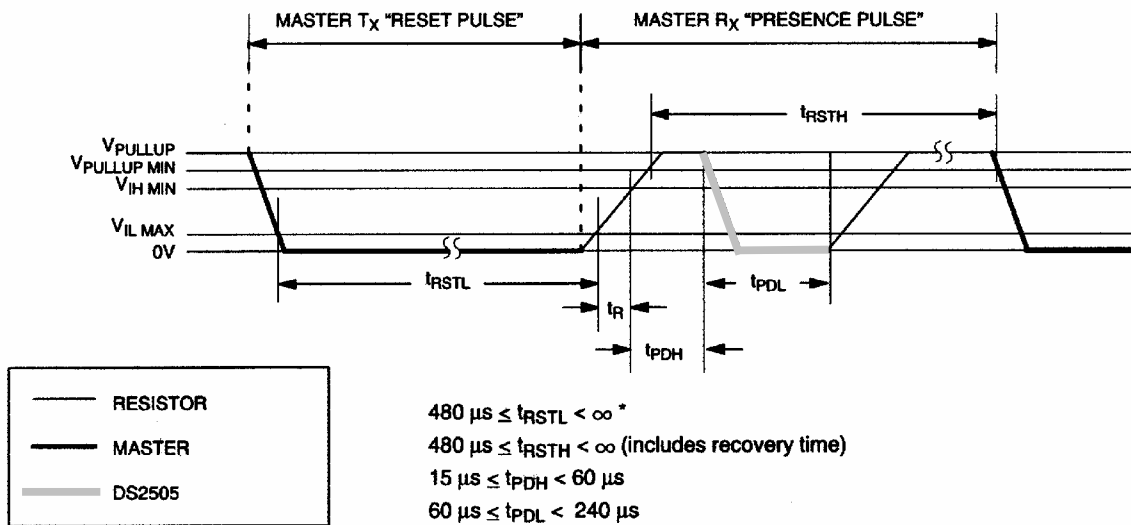
書込みと読取りのタイムスロットの定義を図 10 に示します。タイムスロットはすべて、マスタがデータラインをローに駆動することによって生成されます。データラインの立下りエッジで DS2505 内の遅延回路をトリガすることによって、DS2505 はマスタに同期します。書込みタイムスロット中に、DS2505 がデータラインをサンプリングする時点を遅延回路が判断します。読取りデータタイムスロットでは、「0」を送信する必要がある場合、DS2505 がマスタによって生成された 1 を無効にしてデータラインをローに保持する時間を遅延回路が決定します。データビットが「1」であれば、デバイスは読取りデータタイムスロットを不変の状態に保ちます。

プログラムパルス

8 ビットスクラッチパッドから EPROM データまたはステータスメモリにデータをコピーするために、現在のバイトの CRC が正しいことをバスマスタが確認した後で 12V のプログラミングパルスがデータラインに加えられます。プログラミングの期間

では、データラインがプルアップ抵抗器によってハイにアイドルしている状態から最小 10mA の電流が DS2505 に供給されてデータラインがアクティブに 12V のプログラミング電圧に駆動されている状態への遷移をバスマスタが制御します。このプログラミング電圧(図 11)は、480 μ s の間印加され、その後バスマスタはプルアップ抵抗器によって制御されたハイのアイドル状態にデータラインを戻します。すべての 1-Wire EPROM デバイスのプログラミングに高電圧が必要であるため、プログラミングの際に DS2505 と非 EPROM ベースの 1-Wire デバイスをマルチドロップとすることは不可能です。非 EPROM ベースの 1-Wire デバイスに内蔵されたダイオードは、データラインを約 8V にクランプしようとするのでこれらのデバイスを損傷するおそれがあります。

図 9. 初期化方法「リセット及びプレゼンスパルス」



* 1-Wire バス上の他のデバイスによる割込み信号をマスクしないために、 $t_{\text{RSTL}} + t_{\text{R}}$ は常に 960 μ s 以下としなくてはなりません。

図 10. 読取り/書き込みタイミング図

Write-one Time Slot

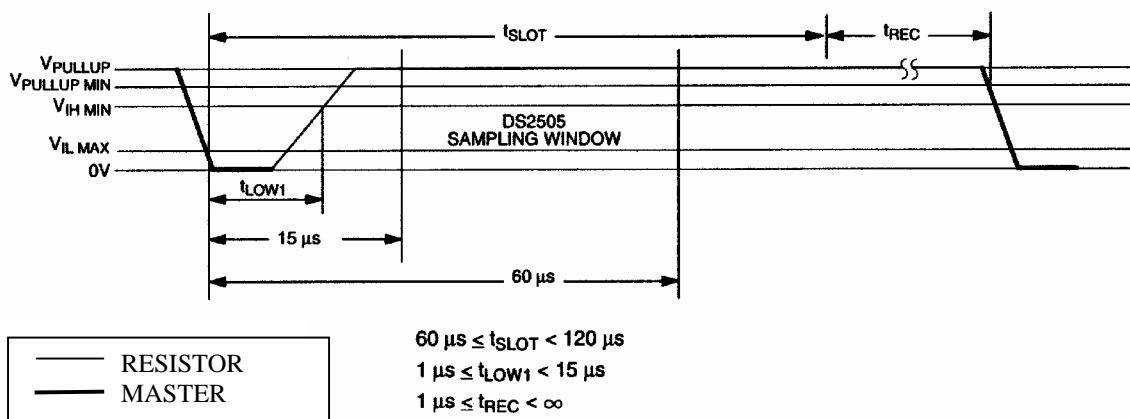
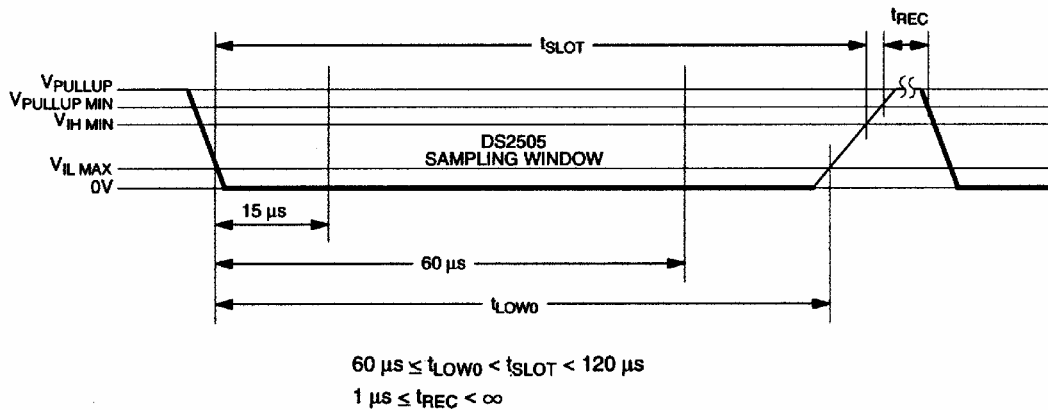
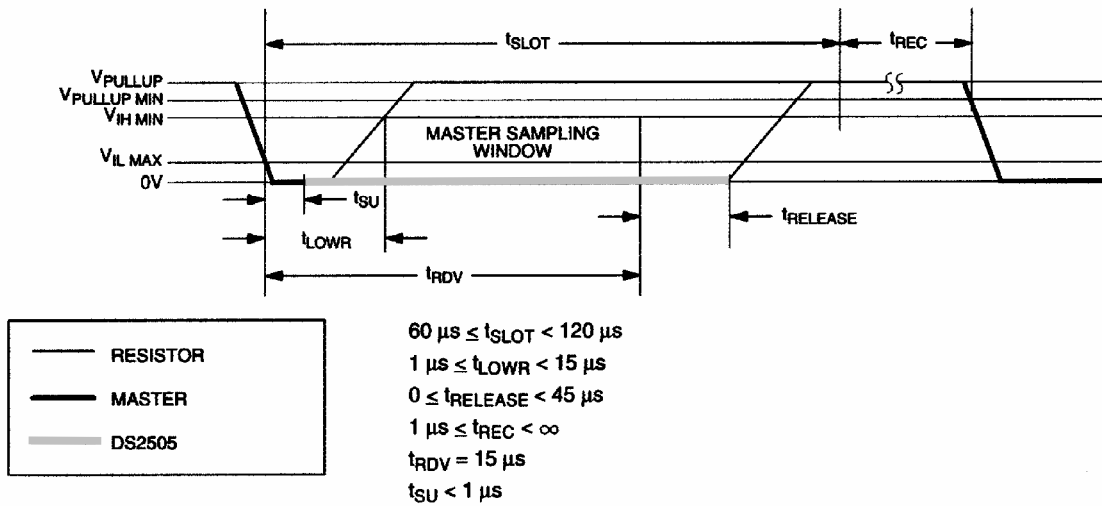


図 10. 読取り/書き込みタイミング図(続き)

Write-zero Time Slot



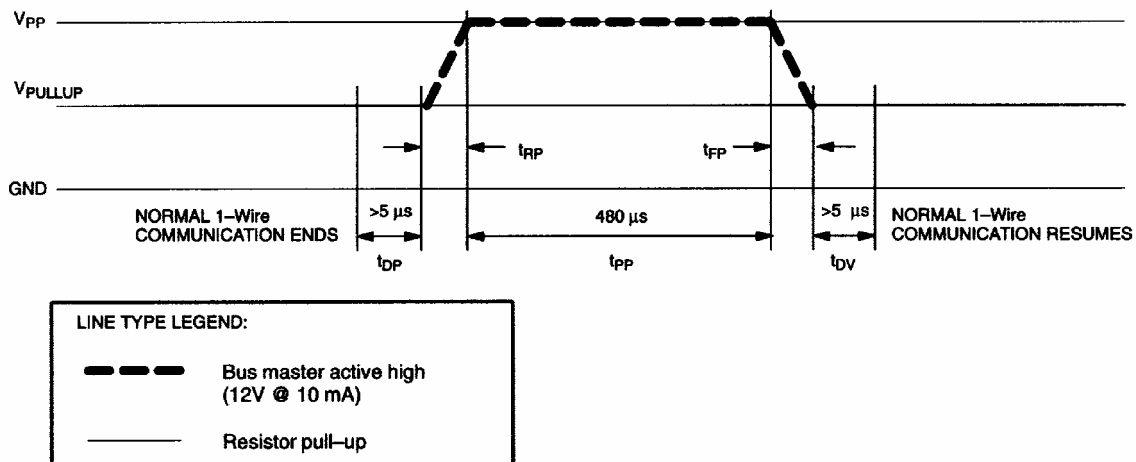
Read-Data Time Slot



注:

読取りデータタイムスロットの場合、マスタにとって最適なサンプリングポイントは $15 \mu\text{s}$ のウィンドウを超えない範囲で t_{RDV} 期間の最終点にできる限り近いポイントです。こうすると、読取り 1 のタイムスロットの場合、プルアップ抵抗器がラインをハイ電位に復帰させる時間が最大になります。読取り 0 のタイムスロットでは、最高速の 1-Wire デバイスがラインを解放する前に ($t_{\text{RELEASE}} = 0$) 確実に読取りが行われます。

図 11. プログラムパルスのタイミング図



CRC の生成

DS2505 には、2 種類の CRC(巡回冗長検査)があります。その 1 つは、8 ビットタイプで 64 ビット ROM の最上位バイトに保存されます。バスマスタは、64 ビット ROM の最初の 56 ビットから CRC 値を計算し、これを DS2505 内に保存された値と比較して ROM データがバスマスタによってエラーなしで受信されているかどうかを判断します。この CRC の等価多項式関数は、 $X^8 + X^5 + X^4 + 1$ です。この 8 ビット CRC は、DS2505 の ROM を読み取る際に真値(非反転)形式で受信されます。これは、出荷時に一度計算されて ROM にレーザで書き込まれます。

もう 1 つの CRC は、16 ビットタイプで、標準化された CRC16 多項式関数 $X^{16} + X^{15} + X^2 + 1$ に従って生成されます。この CRC は、データメモリまたはステータスメリを読み取る際にユーザ定義の EPROM データを保護するために使用されます。これは、iButton ファイル構造のデータパケットを保護するために NV RAM ベースの iButton に使用される CRC と同じタイプです。8 ビット CRC とは対照的に、16 ビット CRC は必ず補数(反転)形式で返されます。DS2505 チップ内部の CRC 発生器(図 12)は、図 5 のコマンドフローチャートに示したあらゆる状況において新しい 16 ビット CRC を計算します。

DS2505 は、この CRC 値をバスマスタに提供してバスマスタとの間のコマンド、アドレス、及びデータの転送を確認します。16 ビット CRC は、Read Memory コマンドによって DS2505 のデータメモリを読み取る場合にメモリの最後のバイトに到達した後にだけ送出されます。この CRC は、CRC 発生器をクリアして生成され、コマンド、ローアドレス、ハイアドレス、及びアドレス指定された先頭のメモリ位置で始まりデータメモリの最後に達するまで続く全データバイトをシフトインして生成されます。

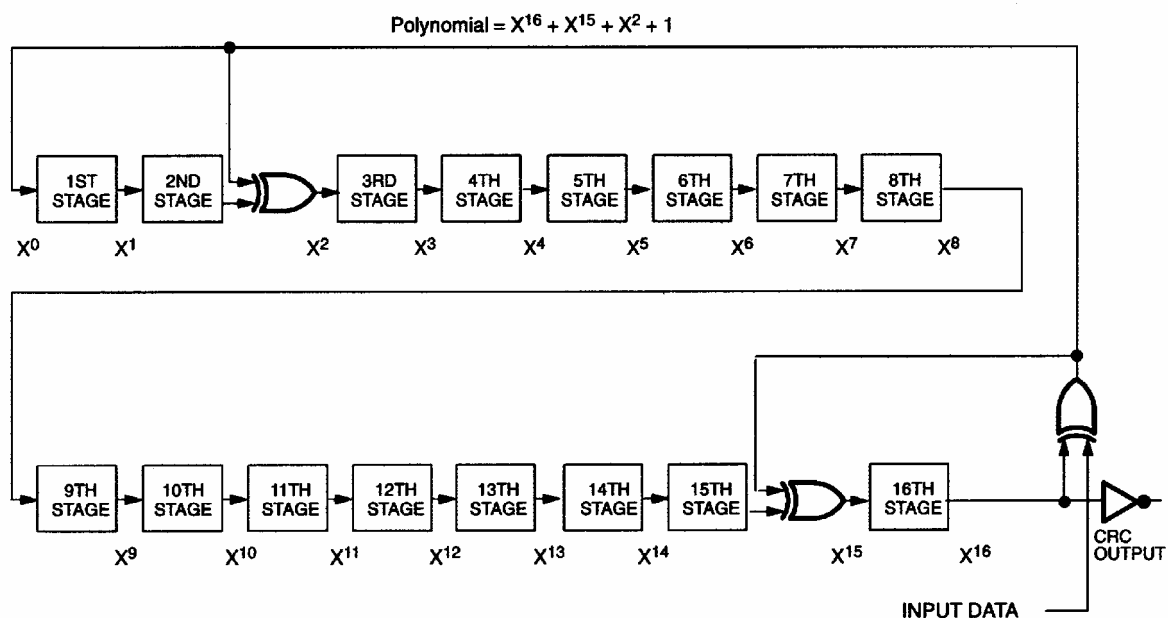
16 ビット CRC は、Read Status コマンドによってステータスメリを読取る際にステータスメリの各 8 バイトページの最後に達した後、送出されます。Read Status フローチャートの最初の処理で、16 ビット CRC は CRC 発生器をクリアして、コマンドバイト、下位アドレス、上位アドレス、及び最初にアドレス指定されたメモリ位置で始まりアドレス指定された EPROM ステータスデータページの最終バイトに達するまで続くデータバイトをシフトインして生成されます。Read Status フローチャートの後続の処理では、CRC 発生器をクリアし、EPROM ステータスデータフィールドの次ページの最初のバイトで始まりこのページの最終バイトに達するまで続く新しいデータバイトをシフトインした結果である 16 ビット CRC が生成されます。

拡張 Read Memory コマンドによって DS2505 のデータメモリを読み取る際、16 ビット CRC が送出される状況として 2 つあります。各アドレス変更バイトの後の 16 ビット CRC がその 1 つであり、メモリデータページの最終バイトが読み取られた後に受信される 16 ビット CRC がもう 1 つの CRC です。メモリページの最後の CRC は、常に、CRC 発生器をクリアし、EPROM データページの最初にアドレス指定されたメモリ位置で始まりこのページの最終バイトまで続くデータバイトをシフトインした結果、得られるものです。拡張 Read Memory フローチャートの最初の処理では、16 ビット CRC 値は、クリアされた CRC 発生器にコマンドバイトをシフトインし、2 バイトのアドレスバイト及びアドレス変更バイトがこれに続いてシフトインした結果です。拡張 Read Memory フローチャートの後続の処理では、CRC 発生器をクリアし、アドレス変更バイトのみをシフトインした結果である 16 ビット CRC が生成されます。

DS2505(データメモリまたはステータスメモリのいずれか)に書き込む際、バスマスタは 16 ビット CRC を受信してプログラミングパルスを印加する前にデータが正しく転送されたかどうかを確認します。Write Memory/Status フローチャートの最初の処理では、16 ビット CRC は、CRC 発生器をクリアし、コマンド、アドレスロー、アドレスハイ、及びデータバイトをシフトインすることによって生成されます。DS2505 がそのアドレスカウンタを自動的にインクリメントすることによる Write Memory/Status フローチャートの後続の処理では、新しい(インクリメントされた)アドレスを CRC 発生器にロード(シフトではなく)してからその新しいデータバイトをシフトインした結果である 16 ビット CRC が生成されます。

CRC 値の比較と動作を続行するかどうかの判断は、すべてバスマスタによって行われます。DS2505 に保存された、または DS2505 によって計算された CRC がバスマスタによって生成された値と一致しない場合にコマンドシーケンスの進行を停止する回路は、DS2505 にはありません。ハードウェアとソフトウェアの実施例を含む CRC 値生成の詳細については、「Book of DS19xx iButton Standards」をご覧ください。

図 12. CRC-16 のハードウェアの説明と多項式



ABSOLUTE MAXIMUM RATINGS*

Voltage on any Pin Relative to Ground	-0.5V to +12.0V
Operating Temperature	-40°C to +85°C
Storage Temperature	-55°C to +125°C
Soldering Temperature	See J-STD-020A specification

* This is a stress rating only and functional operation of the device at these or any other conditions outside those indicated in the operation sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods of time may affect reliability.

DC ELECTRICAL CHARACTERISTICS(V_{PUP}=2.8V to 6.0V; -40°C to +85°C)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Logic 1	V _{IH}	2.2			V	1, 6
Logic 0	V _{IL}	-0.3		+0.8	V	1, 10
Output Logic Low @ 4 mA	V _{OL}			0.4	V	1
Output Logic High	V _{OH}		V _{PUP}	6.0	V	1, 2
Input Load Current	I _L		5		μA	3
Operating Charge	Q _{OP}			30	nC	7, 8
Programming Voltage @ 10 mA	V _{PP}	11.5		12.0	V	11

CAPACITANCE(t_A = 25°C)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Data (1-Wire)	C _{IN/OUT}			800	pF	9

AC ELECTRICAL CHARACTERISTICS(V_{PUP}=2.8V to 6.0V; -40°C to +85°C)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Time Slot	t _{SLOT}	60		120	μs	
Write 1 Low Time	t _{LOW1}	1		15	μs	
Write 0 Low Time	t _{LOW0}	60		120	μs	
Read Data Valid	t _{RDV}		15		μs	12
Release Time	t _{RELEASE}	0	15	45	μs	
Read Data Setup	t _{SU}			1	μs	5
Recovery Time	t _{REC}	1			μs	
Reset Time High	t _{RSTH}	480			μs	4
Reset Time Low	t _{RSTL}	480			μs	
Presence Detect High	t _{PDH}	15		60	μs	
Presence Detect Low	t _{PDL}	60		240	μs	
Delay to Program	t _{DP}	5			μs	
Delay to Verify	t _{DV}	5			μs	
Program Pulse Width	t _{PP}	480			μs	11
Program Voltage Rise Time	t _{RP}	0.5		5.0	μs	11
Program Voltage Fall Time	t _{FP}	0.5		5.0	μs	11

NOTES:

1. All voltages are referenced to ground.
2. V_{PUP} = external pullup voltage. If V_{PUP} is lower than 3.0V the first byte read (any read command) may not reproduce the correct memory contents. Therefore, under low voltage conditions, it is recommended to set either the most significant bit or all five most significant bits of TA2 to 1. Internal circuitry of the chip will force these 5 bits back to 0 **before** they are shifted in the address counter and CRC generator.
3. Input load is to ground.
4. An additional reset or communication sequence cannot begin until the reset high time has expired.
5. Read data setup time refers to the time the host must pull the 1-Wire bus low to read a bit. Data is guaranteed to be valid within 1 μ s of this falling edge and will remain valid for 14 μ s minimum. (15 μ s total from falling edge on 1-Wire bus.)
6. V_{IH} is a function of the external pullup resistor and V_{PUP} .
7. 30 nanocoulombs per 72 time slots @ 5.0V.
8. At $V_{CC}=5.0V$ with a 5 k Ω pullup to V_{CC} and a maximum time slot of 120 μ s.
9. Capacitance on the data pin could be 800 pF when power is first applied. If a 5 k Ω resistor is used to pull up the data line to V_{CC} , 5 μ s after power has been applied the parasite capacitance will not affect normal communications.
10. Under certain low voltage conditions V_{ILMAX} may have to be reduced to as much as 0.5V to always guarantee a presence pulse.
11. Operational temperature range for memory programming is -40°C to +50°C.
12. For read-data time slots the optimal sampling point for the master is as close as possible to the end of the t_{RDV} period without exceeding the 15 μ s window. For the case of a read-one time slot, this maximizes the amount of time for the pull-up resistor to recover the line to a high land. For a read-zero time slot it ensures that a read will occur before the fastest 1-Wire device releases the line ($t_{RELEASE} = 0$)