

# シングルチャネル1-Wireマスタ

DS2482-100

## 概要

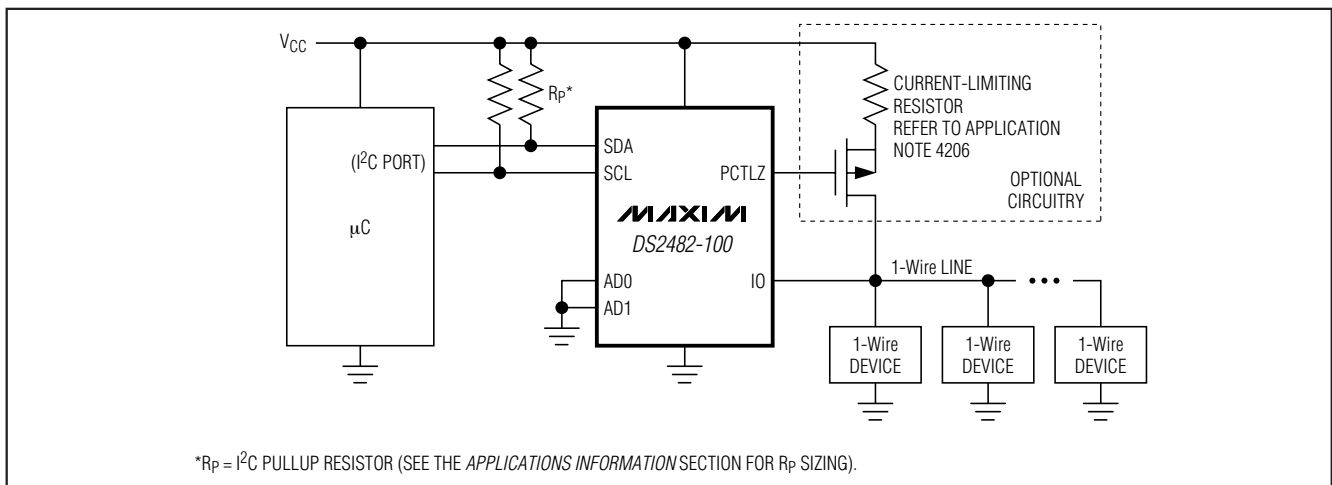
DS2482-100はI<sup>2</sup>Cと1-Wire<sup>®</sup>間のブリッジデバイスで、標準(100kHz max)または高速(400kHz max)のI<sup>2</sup>Cマスタとじかにインタフェースし、I<sup>2</sup>Cマスタと任意のダウンストリーム1-Wireスレーブデバイスとの間で双方向のプロトコル変換を行います。接続されたすべての1-Wireスレーブデバイスに対して、DS2482-100は1-Wireマスタとなります。出荷時に微調整された内蔵のタイマーは、速度が重視される1-Wire波形の生成からシステムのホストプロセッサを解放し、標準およびオーバドライブ両方の1-Wire通信速度をサポートします。DS2482-100は、1-Wire波形生成を最適化するために1-Wireの立上りおよび立下りエッジのスルーレート制御を行うとともに、駆動特性を1-Wireスレーブ環境に適合させるためのプログラマブルな機能も備えています。プログラマブルなストロングプルアップ機能は、EEPROMやセンサなどの1-Wireデバイスへの1-Wire給電をサポートします。DS2482-100はこれらの機能を出力と組み合わせ、拡張されたストロングプルアップアプリケーション用の外付けMOSFETを制御します。I<sup>2</sup>Cスレーブアドレスの割当は2つのバイナリアドレス入力によって制御され、システム内の他のI<sup>2</sup>Cスレーブデバイスとの競合が起こることを解決します。

## アプリケーション

プリンタ	産業用センサ
医療用機器	携帯電話、PDA

ピン配置はデータシートの最後に記載されています。

## 標準動作回路



1-WireはMaxim Integrated Products, Inc.の登録商標です。

## 特長

- ◆ I<sup>2</sup>Cホストインタフェースは100kHzおよび400kHzのI<sup>2</sup>C通信速度をサポート
- ◆ アクティブまたはパッシブの1-Wireプルアップを選択可能な1-WireマスタIO
- ◆ リセット/プレゼンス、8ビット、シングルビット、および3ビットの1-Wire IOシーケンスを提供
- ◆ 標準およびオーバドライブ1-Wire通信速度
- ◆ スルーレート制御された1-Wireエッジ
- ◆ 内部の低インピーダンス信号経路によるストロング1-Wireプルアップを装備
- ◆ ストロングプルアップが必要な場合に外部のMOSFETをオプションとして制御するためのPCTLZ出力
- ◆ I<sup>2</sup>Cアドレス割当用の2つのアドレス入力
- ◆ 動作範囲：2.9V~5.5V、-40°C~+85°C
- ◆ 8ピン(150mil) SOパッケージおよび9ピンWLPパッケージ

## 型番

PART	TEMP RANGE	PIN-PACKAGE
DS2482S-100+	-40°C to +85°C	8 SO (150 mils)
DS2482S-100+T&R	-40°C to +85°C	8 SO (150 mils)
DS2482X-100+T	-40°C to +85°C	9 WLP (2.5k pieces)

+は鉛(Pb)フリー/RoHS準拠パッケージを表します。  
T/T&R = テープ&リール

# シングルチャネル1-Wireマスタ

DS2482-100

## ABSOLUTE MAXIMUM RATINGS

Voltage Range on Any Pin Relative to Ground.....-0.5V to +6V  
 Maximum Current into Any Pin.....±20mA  
 Operating Temperature Range .....-40°C to +85°C

Junction Temperature.....+150°C  
 Storage Temperature Range .....-55°C to +125°C  
 Soldering Temperature.....Refer to the IPC/JEDEC  
 J-STD-020 Specification.

*Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.*

## ELECTRICAL CHARACTERISTICS

(V<sub>CC</sub> = 2.9V to 5.5V, T<sub>A</sub> = -40°C to +85°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Voltage	V <sub>CC</sub>	3.3V	2.9	3.3	3.7	V
		5V	4.5	5.0	5.5	
Operating Current	I <sub>CC</sub>	(Note 1)			0.75	mA
1-Wire Input High (Notes 2, 3)	V <sub>IH1</sub>	3.3V	1.9			V
		5V	3.4			
1-Wire Input Low (Notes 2, 3)	V <sub>IL1</sub>	3.3V			0.9	V
		5V			1.2	
1-Wire Weak Pullup Resistor	R <sub>WPU</sub>	(Note 4)	1000		1675	Ω
1-Wire Output Low	V <sub>OL1</sub>	At 4mA load			0.4	V
Active Pullup On Time (Notes 4, 5)	t <sub>APUOT</sub>	Standard	2.3	2.5	2.7	μs
		Overdrive	0.4	0.5	0.6	
Strong Pullup Voltage Drop	ΔV <sub>STRPU</sub>	V <sub>CC</sub> ≥ 3.2V, 1.5mA load			0.3	V
		V <sub>CC</sub> ≥ 5.2V, 3mA load			0.5	
Pulldown Slew Rate (Note 6)	P <sub>DSRC</sub>	Standard (3.3V ±10%)	1		4.2	V/μs
		Overdrive (3.3V ±10%)	5		22.1	
		Standard (5.0V ±10%)	2		6.5	
		Overdrive (5.0V ±10%)	10		40	
Pullup Slew Rate (Note 6)	P <sub>USRC</sub>	Standard (3.3V ±10%)	0.8		4	V/μs
		Overdrive (3.3V ±10%)	2.7		20	
		Standard (5.0V ±10%)	1.3		6	
		Overdrive (5.0V ±10%)	3.4		31	
Power-On Reset Trip Point	V <sub>POR</sub>				2.2	V
<b>1-Wire TIMING (Note 5) (See Figures 4, 5, and 6)</b>						
Write-One/Read Low Time	t <sub>W1L</sub>	Standard	7.6	8	8.4	μs
		Overdrive	0.9	1	1.1	
Read Sample Time	t <sub>MSR</sub>	Standard	13.3	14	15	μs
		Overdrive	1.4	1.5	1.8	
1-Wire Time Slot	t <sub>SLOT</sub>	Standard	65.8	69.3	72.8	μs
		Overdrive	9.9	10.5	11.0	

## ELECTRICAL CHARACTERISTICS (continued)

(V<sub>CC</sub> = 2.9V to 5.5V, T<sub>A</sub> = -40°C to +85°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Fall Time High-to-Low (Notes 6, 7)	t <sub>F1</sub>	Standard (3.3V to 0V)	0.54		3.0	μs
		Overdrive (3.3V to 0V)	0.10		0.59	
		Standard (5.0V to 0V)	0.55		2.2	
		Overdrive (5.0V to 0V)	0.09		0.44	
Write-Zero Low Time	t <sub>WOL</sub>	Standard	60	64	68	μs
		Overdrive	7.1	7.5	7.9	
Write-Zero Recovery Time	t <sub>RECO</sub>	Standard	5.0	5.3	5.6	μs
		Overdrive	2.8	3.0	3.2	
Reset Low Time	t <sub>RSTL</sub>	Standard	570	600	630	μs
		Overdrive	68.4	72	75.6	
Presence-Detect Sample Time	t <sub>MSP</sub>	Standard	66.5	70	73.5	μs
		Overdrive	7.1	7.5	7.9	
Sampling for Short and Interrupt	t <sub>SI</sub>	Standard	7.6	8	8.4	μs
		Overdrive	0.7	0.75	0.8	
Reset High Time	t <sub>RSTH</sub>	Standard	554.8	584	613.2	μs
		Overdrive	70.3	74	77.7	
<b>CONTROL PIN (PCTLZ)</b>						
Output Low Voltage	V <sub>OLP</sub>	V <sub>CC</sub> = 2.9V, 1.2mA load current			0.4	V
Output High Voltage	V <sub>OHP</sub>	0.4mA load current	V <sub>CC</sub> - 0.5V			V
<b>I<sup>2</sup>C PINS (SCL, SDA, AD0, AD1) (Note 8) (See Figure 9)</b>						
Low-Level Input Voltage	V <sub>IL</sub>	V <sub>CC</sub> = 2.9V to 3.7V	-0.5		0.25 × V <sub>CC</sub>	V
		V <sub>CC</sub> = 4.5V to 5.5V	-0.5		0.22 × V <sub>CC</sub>	
High-Level Input Voltage	V <sub>IH</sub>		0.7 × V <sub>CC</sub>		V <sub>CC</sub> + 0.5V	V
Hysteresis of Schmitt Trigger Inputs	V <sub>HYS</sub>		0.05 × V <sub>CC</sub>			V
Low-Level Output Voltage at 3mA Sink Current	V <sub>OL</sub>				0.4	V
Output Fall Time from V <sub>IH(MIN)</sub> to V <sub>IL(MAX)</sub> with a Bus Capacitance from 10pF to 400pF	t <sub>OF</sub>		60		250	ns
Pulse Width of Spikes That Are Suppressed by the Input Filter	t <sub>SP</sub>	SDA and SCL pins only			50	ns
Input Current Each Input/Output Pin with an Input Voltage Between 0.1 × V <sub>CC(MAX)</sub> and 0.9 × V <sub>CC(MAX)</sub>	I <sub>I</sub>	(Notes 9, 10)	-10		+10	μA

# シングルチャネル1-Wireマスタ

DS2482-100

## ELECTRICAL CHARACTERISTICS (continued)

(V<sub>CC</sub> = 2.9V to 5.5V, T<sub>A</sub> = -40°C to +85°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input Capacitance	C <sub>I</sub>	(Note 9)			10	pF
SCL Clock Frequency	f <sub>SCL</sub>		0		400	kHz
Hold Time (Repeated) START Condition (After this period, the first clock pulse is generated.)	t <sub>HD:STA</sub>		0.6			μs
Low Period of the SCL Clock	t <sub>LOW</sub>		1.3			μs
High Period of the SCL Clock	t <sub>HIGH</sub>		0.6			μs
Setup Time for a Repeated START Condition	t <sub>SU:STA</sub>		0.6			μs
Data Hold Time	t <sub>HD:DAT</sub>	(Notes 11, 12)			0.9	μs
Data Setup Time	t <sub>SU:DAT</sub>	(Note 13)	250			ns
Setup Time for STOP Condition	t <sub>SU:STO</sub>		0.6			μs
Bus Free Time Between a STOP and START Condition	t <sub>BUF</sub>		1.3			μs
Capacitive Load for Each Bus Line	C <sub>B</sub>	(Note 14)			400	pF
Oscillator Warmup Time	t <sub>OSCWUP</sub>	(Note 15)			100	μs

- Note 1:** Operating current with 1-Wire write-byte sequence followed by continuously reading the Status Register at 400kHz in overdrive.
- Note 2:** With standard speed, the total capacitive load of the 1-Wire bus should not exceed 1nF. Otherwise, the passive pullup on threshold V<sub>IL1</sub> may not be reached in the available time. With overdrive speed, the capacitive load on the 1-Wire bus must not exceed 300pF.
- Note 3:** Active pullup guaranteed to turn on between V<sub>IL1(MAX)</sub> and V<sub>IH1(MIN)</sub>.
- Note 4:** Active or resistive pullup choice is configurable.
- Note 5:** Except for t<sub>F1</sub>, all 1-Wire timing specifications and t<sub>APUOT</sub> are derived from the same timing circuit. Therefore, if one of these parameters is found to be off the typical value, it is safe to assume that all these parameters deviate from their typical value in the same direction and by the same degree.
- Note 6:** These values apply at full load, i.e., 1nF at standard speed and 0.3nF at overdrive speed. For reduced load, the pulldown slew rate is slightly faster.
- Note 7:** Fall time high-to-low (t<sub>F1</sub>) is derived from PD<sub>SRC</sub>, referenced from 0.9 x V<sub>CC</sub> to 0.1 x V<sub>CC</sub>.
- Note 8:** All I<sup>2</sup>C timing values are referred to V<sub>IH(MIN)</sub> and V<sub>IL(MAX)</sub> levels.
- Note 9:** Applies to SDA, SCL, AD0 and AD1.
- Note 10:** The input/output pins of the DS2482-100 do not obstruct the SDA and SCL lines if V<sub>CC</sub> is switched off.
- Note 11:** The DS2482-100 provides a hold time of at least 300ns for the SDA signal (referred to the V<sub>IH(MIN)</sub> of the SCL signal) to bridge the undefined region of the falling edge of SCL.
- Note 12:** The maximum t<sub>HD:DAT</sub> need only be met if the device does not stretch the low period (t<sub>LOW</sub>) of the SCL signal.
- Note 13:** A fast-mode I<sup>2</sup>C bus device can be used in a standard-mode I<sup>2</sup>C bus system, but the requirement t<sub>SU:DAT</sub> ≥ 250ns must then be met. This is automatically the case if the device does not stretch the low period of the SCL signal. If such a device does stretch the low period of the SCL signal, it must output the next data bit to the SDA line t<sub>R(MAX)</sub> + t<sub>SU:DAT</sub> = 1000 + 250 = 1250ns (according to the standard-mode I<sup>2</sup>C bus specification) before the SCL line is released.
- Note 14:** C<sub>B</sub>—Total capacitance of one bus line in pF. If mixed with high-speed-mode devices, faster fall times according to I<sup>2</sup>C-Bus Specification Version 2.1 are allowed.
- Note 15:** I<sup>2</sup>C communication should not take place for the max t<sub>OSCWUP</sub> time following a power-on reset.

## 端子説明

端子		名称	機能
SO	WLP		
1	B3	V <sub>CC</sub>	電源入力
2	C3	IO	1-Wireライン用入/出力ドライバ
3	C2	GND	グラウンドリファレンス
4	B1	SCL	I <sup>2</sup> Cシリアルクロック入力。プルアップ抵抗を介してV <sub>CC</sub> に接続する必要があります。
5	B2	SDA	I <sup>2</sup> Cシリアルデータ入/出力。プルアップ抵抗を介してV <sub>CC</sub> に接続する必要があります。
6	A1	PCTLZ	外部pチャンネルMOSFET用のアクティブローの制御出力。一時的な動作のために比較的大きい電流が必要な1-Wireデバイスと共に使用する場合、1-Wireラインに追加給電します。
7	A2	AD1	I <sup>2</sup> Cアドレス入力。V <sub>CC</sub> またはGNDに接続する必要があります。これらの入力は、デバイスのI <sup>2</sup> Cのスレーブアドレスを決定します(図8を参照)。
8	A3	AD0	

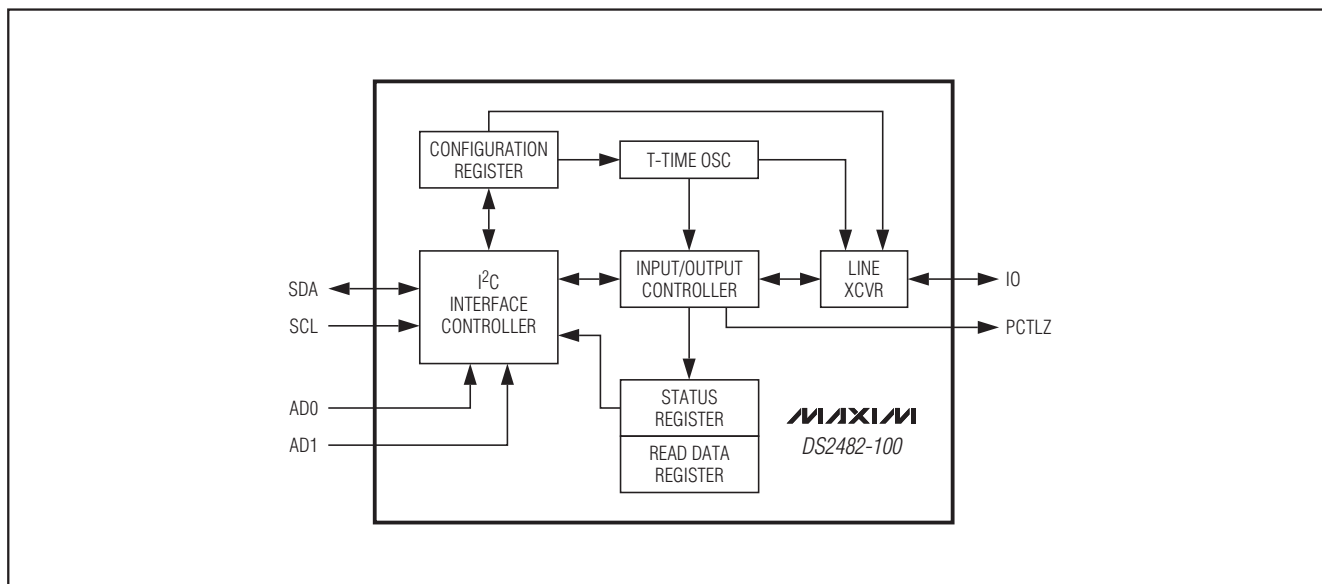


図1. ブロック図

## 詳細

DS2482-100は、標準およびオーバドライブ速度、アクティブプルアップ、および給電用ストロングプルアップを含む、高度な1-Wire波形機能をサポートする自己タイミング型1-Wireマスタです。アクティブプルアップは、1-Wire側の立上りエッジに影響を及ぼします。ストロングプルアップ機能は、アクティブプルアップと同じプルアップトランジスタを使用しますが、異なる制御アルゴリズムを使用します。さらに、ストロングプルアップは、PCTLZ端子をアクティブにしてオプションの外部回路を制御し、オンチップのプルアップトランジスタの能力を超える追加電力を供給します。コマンドとデータが与えられると、DS2482-100の入出力コントローラは、リセット/プレゼンス検出サイクル、読取りバイト、書込みバイト、

シングルビットのR $\bar{W}$ 、およびROM検索(ROM Search)用のトリプレットなどの時間に厳しい1-Wire通信機能をホストプロセッサとの対話を必要とすることなく実行します。ホストは、ステータスレジスタ(Status Register)からのフィードバック(1-Wire機能の終了、プレゼンスパルス、1-Wireの短絡、選定された検索方向)および読取りデータレジスタ(Read Data Register)からのデータを受信します。DS2482-100は、標準モードまたは高速モードでそのI<sup>2</sup>Cバスインタフェースを介してホストプロセッサと通信します。2本のアドレス端子のロジック状態はDS2482-100のI<sup>2</sup>Cスレーブアドレスを決定し、ハブを使用せずに最大4個のデバイスを同一バスセグメント上で動作させることができます。図1のブロック図を参照してください。

# シングルチャネル1-Wireマスタ

DS2482-100

## デバイスレジスタ

DS2482-100は、I<sup>2</sup>Cのホストが読み取ることのできる設定(Configuration)、ステータス(Status)、および読取りデータ(Read Data)の3つのレジスタを備えています。これらのレジスタは、読取りポイントによってアドレスを指定されます。読取りポイントの位置、すなわち、ホストが後続の読取りアクセスで読み取るレジスタは、DS2482-100に最後に実行させた命令によって決まります。特定の1-Wire機能をイネーブルするために、ホストは設定レジスタに対して読取りおよび書込みアクセスを行います。

## 設定レジスタ

DS2482-100は、設定レジスタを介してイネーブルまたは選択される4つの1-Wire機能をサポートします。これらの機能は下記の通りです。

- アクティブプルアップ(APU)
- ストロングプルアップ(SPU)
- 1-Wire速度(1WS)

これらの機能は自由に組み合わせて選択することができます。APUおよび1WSは各状態を維持しますが、ストロングプルアップが終了すると、SPUは直ちにその非アクティブ状態に戻ります。

デバイスリセット(電源投入サイクルまたはDevice Resetコマンドによって開始)の後には、設定レジスタの読取り値は00hになります。設定レジスタへの書込み時、上位ニブル(ビット7~4)が下位ニブル(ビット3~0)の1の補数である場合のみ、新しいデータが受け入れられます。上位ニブルの読取り値は常に0hです。

## 設定レジスタのビット割当

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
1WS	SPU	1	APU	1WS	SPU	0	APU

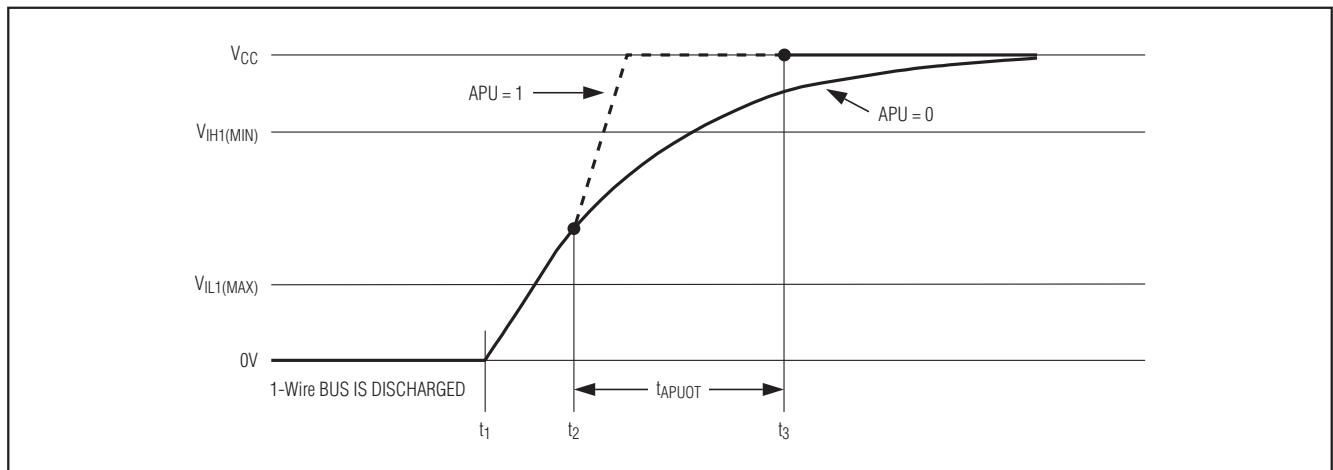


図2. 立上りエッジのプルアップ

## アクティブプルアップ(APU)

APUビットは、1-Wireラインをローからハイに駆動するのにアクティブプルアップ(スルーレート制御されたトランジスタ)またはパッシブプルアップ(R<sub>WPU</sub>抵抗)のいずれを使用するかを制御します。APU = 0のとき、アクティブプルアップがディセーブルされます(抵抗モード)。1-Wireラインに1つしかスレーブが接続されていないというでない限り、アクティブプルアップを常に選択する必要があります。アクティブプルアップは、プレゼンスパルスの立上りエッジや1-Wireラインの短絡後の回復には使用されません。

立上りエッジを制御する回路(図2)は、次のように動作します: t<sub>1</sub>でプルダウン(DS2482-100または1-Wireスレーブの)が終了します。この時点以後、1-WireバスはDS2482-100内部のR<sub>WPU</sub>を介してハイに駆動されます。V<sub>CC</sub>と1-Wireラインの容量負荷がスロープを決定します。アクティブプルアップがディセーブルされている場合(APU = 0)は、実線で示すように抵抗プルアップが継続します。アクティブプルアップがイネーブルされた状態で(APU = 1)は、電圧がV<sub>IL1(MAX)</sub>とV<sub>IH1(MIN)</sub>の間のレベルに達するt<sub>2</sub>において、DS2482-100は1-Wireラインをアクティブハイに駆動して、破線で示すようにスルーレートを制御します。アクティブプルアップは、t<sub>APUOT</sub>が終了するt<sub>3</sub>まで続きます。この時点以後、抵抗プルアップが継続します。プルアップトランジスタをt<sub>3</sub>以降導通させておく方法については、「ストロングプルアップ(SPU)」の項を参照してください。



## ストロングプルアップ(SPU)

SPUビットは、1-Wire Write Byteコマンドまたは1-Wire Single Bitコマンドの前にストロングプルアップ機能をアクティブにするために使用します。ストロングプルアップは、一般に、スクラッチパッドデータをメインメモリにコピーするときの1-Wire EEPROMデバイスの場合や、SHA-1計算を実行する場合、および寄生的に給電する温度センサやA/Dコンバータ場合に使用されます。各デバイスのデータシートには、通信プロトコルにおいてそれ以降ストロングプルアップを行う位置が明記されています。SPUビットは、1-Wireデバイスを追加電源が必要な状態にするコマンドを送出する直前に設定する必要があります。ストロングプルアップは、アクティブプルアップ機能と同じ内部のプルアップトランジスタを使用します。内部のストロングプルアップの強度が不十分な場合、PCTLZ端子は外部のpチャンネルMOSFETを制御して、DS2482-100の能力以上に1-Wireに追加の電力を供給するために使用することができます。デバイスの所定の電流負荷に対して内部のストロングプルアップが十分であるかどうかは、「Electrical Characteristics (電気的特性)」にある $\Delta V_{STRPU}$ パラメータを参照して決定してください。

SPUを1にすると、DS2482-100はアクティブプルアップがアクティブになったかのように、ストロングプルアップが始まる時間スロットの立上りエッジを取り扱います。ただし、アクティブプルアップとは対照的に、1-Wire通信を生成するコマンドをDS2482-100が受信する(標準的な場合)、設定レジスタのSPUビットに0が書き込まれる、またはDevice ResetコマンドをDS2482-

100が受信する、3つの事象のうちの1つが生じるまで、図3に示すように、ストロングプルアップ、すなわち内部のプルアップトランジスタは導通したままになります。ストロングプルアップがアクティブである限りPCTLZ出力はローです。ストロングプルアップが終了すると、SPUビットは自動的に0にリセットされます。ストロングプルアップ機能を使用する場合、設定レジスタ内のAPUビットの状態は変わりません。

## 1-Wire速度(1WS)

1WSビットによって、DS2482-100が生成する1-Wire通信のタイミングが決定されます。すべての1-Wireスレーブデバイスは標準速度(1WS = 0)をサポートしており、この場合、シングルビットの転送(図3の $t_{SLOT}$ )は65 $\mu$ s以内に終了します。多くの1-Wireデバイスは、オーバドライブ速度と呼ばれる高いデータレートでも通信することができます。標準速度からオーバドライブ速度に変更するには、1-Wireデバイスのデータシートに説明されているように、1-WireデバイスはOverdrive-Skip ROMまたはOverdrive-Match ROMコマンドを受信する必要があります。速度の変更は、1-Wireデバイスが速度変更のコマンドコードを受信した直後に行われます。DS2482-100は、同期を維持するためにこの速度変更に参加する必要があります。これは、1-Wireデバイスの速度を変更する1-Wire Byteコマンドの直後に1WSビットを1として設定レジスタに書き込むことによって実現します。1WSビットを0として設定レジスタに書き込んでから1-Wire Resetコマンドを書き込むと、DS2482-100およびアクティブな1-Wireライン上のすべての1-Wireデバイスが標準速度に戻ります。

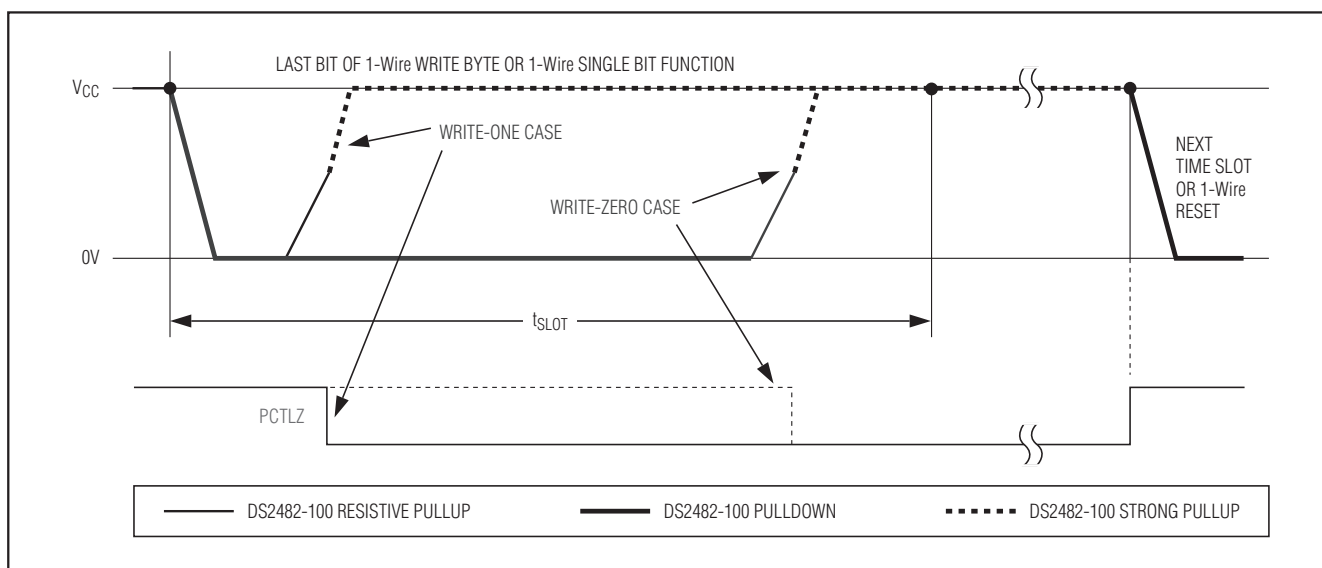


図3. プレゼンスパルスのマスクング

# シングルチャネル1-Wireマスタ

## ステータスレジスタのビット割当

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
DIR	TSB	SBR	RST	LL	SD	PPD	1WB

### ステータスレジスタ

読取り専用のステータスレジスタは、DS2482-100が1-Wire側のビット型データ、1-Wireのビジーステータス、および自身のリセットステータスをホストプロセッサに通知する一般的な手段です。すべての1-Wire通信コマンドとDevice Resetコマンドは、ホストプロセッサが最小限のプロトコルオーバーヘッドで読み取るために、読取りポインタをステータスレジスタに置きます。ステータス情報は、特定のコマンドの実行中にのみ更新されます。詳細は、以下の各種ステータスビットの解説で説明しています。

#### 1-Wireビジー(1WB)

1WBビットによって、1-Wireラインがビジーであるかどうかをホストプロセッサに通知します。1-Wire通信中1WBは1で、コマンドが終了すると1WBはそのデフォルトの0に戻ります。1WBが状態を変える時点と1WBの1に留まる持続時間の詳細は、「機能コマンド」の項に記載されています。

#### プレゼンスパルス検出(PPD)

PPDビットは1-Wire Resetコマンドごとに更新されます。DS2482-100がプレゼンス検出サイクル中の $t_{MSP}$ において1-Wireデバイスからのプレゼンスパルスを検出すると、PPDビットは1に設定されます。プレゼンスパルスが存在しない場合や1-Wireラインが後続の1-Wire Resetコマンド中に短絡される場合は、このビットはそのデフォルト値の0に戻ります。

#### 短絡検出(SD)

SDビットは1-Wire Resetコマンドごとに更新されます。DS2482-100がプレゼンス検出サイクル中の $t_{SI}$ で1-Wireライン上でロジック0を検出すると、SDビットは1に設定されます。短絡が取り除かれると、このビットは後続の1-Wire Resetコマンドによってそのデフォルト値の0に戻ります。SDが1の場合PPDは0です。DS2482-100は、短絡と1-Wire割込みを通知するDS1994やDS2404とを区別することができません。このため、DS2404やDS1994がアプリケーションで使用される場合は、割込み機能をディセーブルする必要があります。割込み信号は、各1-Wireデバイスのデータシートに説明されています。

#### ロジックレベル(LL)

LLビットによって、1-Wire通信を開始せずにアクティブな1-Wireラインのロジック状態が通知されます。この目的のためにステータスレジスタが読み取られるたびに1-Wireラインはサンプリングされます。ホストプロセッサが読取りモード(アクノリッジサイクル中に)でDS2482-100のアドレスを指定した場合、読取りポインタがステータスレジスタを指定している場合、サンプリングとLLビットの更新が行われます。

#### デバイスリセット(RST)

RSTビットが1になるのはDS2482-100がパワーオンリセットまたはDevice Resetコマンド実行のいずれかによって内部リセットサイクルを実行した結果です。DS2482-100がWrite Configurationコマンドを実行して所望の1-Wire機能の選択を復元すると、RSTビットは自動的にクリアされます。

#### シングルビットリザルト(SBR)

SBRビットは、1-Wire Single Bitコマンドまたは1-Wire Tripletコマンドの先頭ビットの $t_{MSR}$ でサンプリングされたアクティブな1-Wireラインのロジック状態を通知します。SBRのパワーオンデフォルトは0です。1-Wire Single Bitコマンドが0ビットを送信すると、SBRは0になるはずですが、1-Wire Tripletコマンドの場合、接続された1-Wireデバイスの応答に応じてSBRは0にも1にもなる可能性があります。これと同じことが1ビットを送信する1-Wire Single Bitコマンドにも言えます。

#### トリプレットセカンドビット(TSB)

TSBビットは、1-Wire Tripletコマンドの第2ビットの $t_{MSR}$ でサンプリングされたアクティブな1-Wireラインのロジック状態を通知します。TSBのパワーオンデフォルトは0です。このビットは、1-Wire Tripletコマンドによってのみ更新され、他のコマンドによって動作することはありません。

#### ブランチディレクション選定(DIR)

1-Wire Tripletコマンドが実行されると、このビットはトリプレットの第3ビットによって選定された検索方向をホストプロセッサに通知します。DIRのパワーオンデフォルトは0です。このビットは1-Wire Tripletコマンドによってのみ更新され、他のコマンドによって動作することはありません。詳細については、1-Wire Tripletコマンドの説明とアプリケーションノート187「1-Wire 検索アルゴリズム」を参照してください。



## 機能コマンド

DS2482-100は8つの機能コマンドを解釈し、これらのコマンドは、デバイス制御、I<sup>2</sup>C通信、1-Wireセットアップ、および1-Wire通信の4つのカテゴリに分類されます。ホストへのフィードバック経路は読取りポイントによって制御され、読取りポイントは、ホストが関連情報に効率的にアクセスするために各機能コマンドによって自動的に設定されます。ホストプロセッサは、これらのコマンドと適用可能なパラメータを、I<sup>2</sup>Cインタフェースを使用して1または2バイトの文字列として送信します。I<sup>2</sup>Cプロトコルは、受取りを確認するために受信サイドで各バイトが肯定応答されるか、またはエラー状態(不正なコードやパラメータ)を示すためや通信を終了するために否定応答を返す必要があります。肯定応答などのI<sup>2</sup>Cプロトコルの詳細については、「I<sup>2</sup>Cインタフェース」の項を参照してください。

機能コマンドは以下の通りです。

- 1) Device Reset (デバイスリセット)
- 2) Set Read Pointer (読取りポイントの設定)
- 3) Write Configuration (書き込み設定)
- 4) 1-Wire Reset (1-Wireリセット)
- 5) 1-Wire Single Bit (1-Wireシングルビット)
- 6) 1-Wire Write Byte (1-Wire書き込みバイト)
- 7) 1-Wire Read Byte (1-Wire読取りバイト)
- 8) 1-Wire Triplet (1-Wireトリプレット)

**表1. 有効なポインタコード**

REGISTER SELECTION	CODE
Status Register	F0h
Read Data Register	E1h
Configuration Register	C3h

## Device Reset

コマンドコード	F0h
コマンドパラメータ	なし
説明	デバイスのステートマシンロジックのグローバルリセットを実行します。進行中のすべての1-Wire通信を終了します。
標準的な用途	電源投入後のデバイス初期化、必要に応じた再初期化(リセット)。
制限	なし(随時実行可能)
エラー応答	なし
コマンド期間	最大525ns。コマンドコード肯定応答ビットのSCL立下りエッジからカウント。
1-Wire動作	コマンドコード肯定応答ビットのSCL立下りエッジ後最大262.5nsで終了します。
読取りポイント位置	ステータスレジスタ(ビジーポーリングに対して)。
影響を受けるステータスビット	RSTが1に設定され、1WB、PPD、SD、SBR、TSB、DIRが0に設定されます。
影響を受ける設定ビット	1WS、APU、SPUが0に設定されます。

## Set Read Pointer

コマンドコード	E1h
コマンドパラメータ	ポインタコード(Pointer Code) (表1を参照)
説明	読取りポイントを指定されたレジスタに設定します。進行中の1-Wire通信コマンドの読取りポイント位置に上書されます。
標準的な用途	1-Wire Read Byteコマンドの結果の読取り準備、レジスタのランダム読取りアクセス。
制限	なし(随時実行可能)
エラー応答	ポインタコードが有効でない場合は、ポインタコードに対して否定応答が返されてコマンドが無視されます。
コマンド期間	なし。読取りポイントはポインタコード肯定応答ビットのSCL立上りエッジで更新されます。
1-Wire動作	影響を受けません。
読取りポイント位置	ポインタコードの指定どおり。
影響を受けるステータスビット	なし
影響を受ける設定ビット	なし

# シングルチャネル1-Wireマスタ

DS2482-100

## Write Configuration

コマンドコード	D2h
コマンドパラメータ	設定バイト(Configuration Byte)
説明	新しい設定バイトを書き込みます。新しい設定は直ちに有効になります。注：設定レジスタに書き込む際、上位ニブル(ビット7~4)が下位ニブル(ビット3~0)の1の補数である場合のみ新しいデータが受け入れられます。読取りの場合、上位ニブルは常に0hです。
標準的な用途	後続の1-Wire通信に関する機能の規定。
制限	1-Wire動作は、DS2482-100がこのコマンドを処理する前に終了している必要があります。
エラー応答	コマンドコードが受信された時点で1WB = 1であれば、コマンドコードとパラメータに対して否定応答が返され、コマンドは無視されます。
コマンド期間	なし。設定レジスタは、設定バイト肯定応答ビットのSCL立上りエッジで更新されます。
1-Wire動作	なし
読取りポインタ位置	設定レジスタ(書き込み確認のため)
影響を受けるステータスビット	RSTは0に設定されます。
影響を受ける設定ビット	1WS、SPU、APUが更新されます。

## 1-Wire Reset

コマンドコード	B4h
コマンドパラメータ	なし
説明	1-Wireラインで1-Wireリセット/プレゼンス検出サイクル(図4)を生成します。1-Wireラインの状態は $t_{SI}$ と $t_{MSP}$ でサンプリングされ、結果はステータスレジスタ、ビットPPDとSDによってホストプロセッサに通知されます。
標準的な用途	1-Wire通信シーケンスの開始または終了。
制限	DS2482-100がこのコマンドを処理する前に1-Wire動作が終了している必要があります。
エラー応答	コマンドコードを受信した時点で1WB = 1であれば、コマンドコードに対して否定応答が返され、コマンドが無視されます。
コマンド期間	$t_{RSTL} + t_{RSTH} +$ 最大262.5ns、コマンドコード肯定応答ビットのSCL立下りエッジからカウント。
1-Wire動作	コマンドコード肯定応答ビットのSCL立下りエッジ後、最大262.5nsで開始します。
読取りポインタ位置	ステータスレジスタ(ビジーポーリングに対して)
影響を受けるステータスビット	1WB ( $t_{RSTL} + t_{RSTH}$ の間で1に設定されます)、PPDは $t_{RSTL} + t_{MSP}$ の時点で更新され、SDは $t_{RSTL} + t_{SI}$ の時点で更新されます。
影響を受ける設定ビット	1WSおよびAPUに適用されます。

## 1-Wire Single Bit

コマンドコード	87h
コマンドパラメータ	ビットバイト(Bit Byte)
説明	1-Wireラインでビットバイトによって指定されたビット値[V]の単一1-Wireタイムスロットを生成します(表2参照)。0bのV値は書込み0タイムスロットを生成(図5)し、1bのV値は、読取りデータタイムスロットとしても機能する書込み1タイムスロットを生成します(図6)。いずれの場合も、1-Wireラインでのロジックレベルが $t_{MSR}$ でテストされ、SBRが更新されます。
標準的な用途	シングルビット通信が必要な場合に、1-Wireラインでシングルビットの書込みまたは読取りを実施(例外)。
制限	DS2482-100がこのコマンドを処理する前に1-Wire動作が終了している必要があります。
エラー応答	コマンドコードを受信した時点で1WB = 1であれば、コマンドコードとビットバイトに対して否定応答が返され、コマンドが無視されます。
コマンド期間	$t_{SLOT}$ + 最大262.5ns、ビットバイトの先頭ビット(MSB)のSCL立下りエッジからカウント。
1-Wire動作	ビットバイトのMSBのSCL立下りエッジ後、最大262.5nsで開始します。
読取りポインタ位置	ステータスレジスタ(ビジーポーリングとデータ読取りに対して)。
影響を受けるステータスビット	1WB ( $t_{SLOT}$ の間、1に設定されます)、SBRは $t_{MSR}$ で更新され、DIR (その状態が変化することができます)。
影響を受ける設定ビット	1WS、APU、SPUに適用されます。

表2. ビットバイトにおけるビット割当

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
V	x	x	x	x	x	x	x

x = 任意

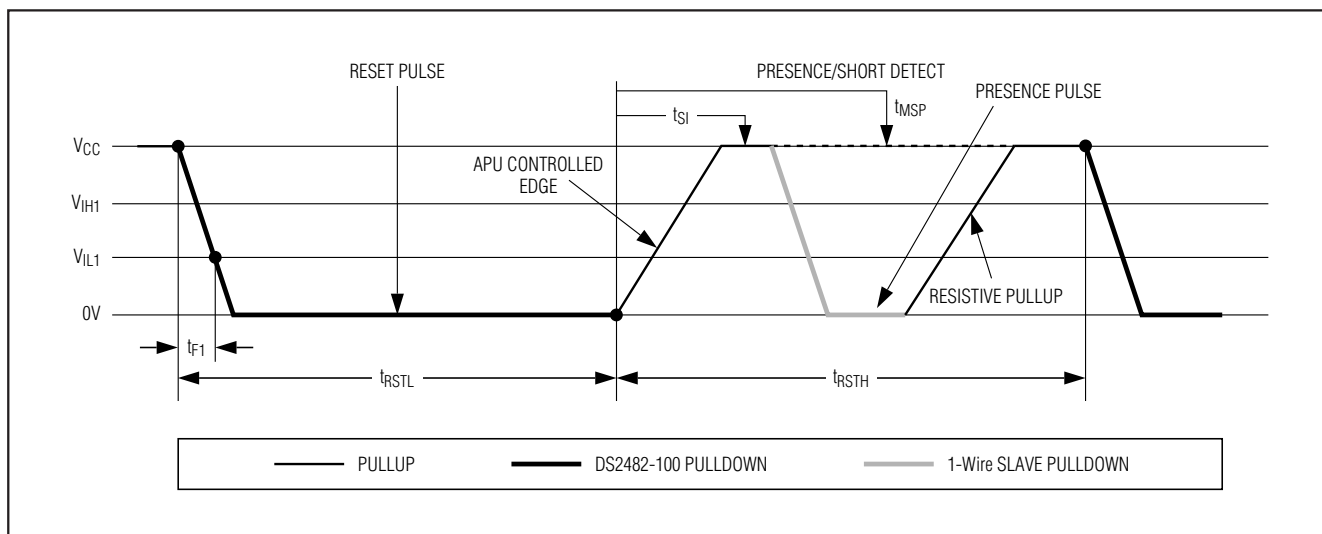


図4. 1-Wireリセット/プレゼンス検出サイクル

# シングルチャネル1-Wireマスタ

DS2482-100

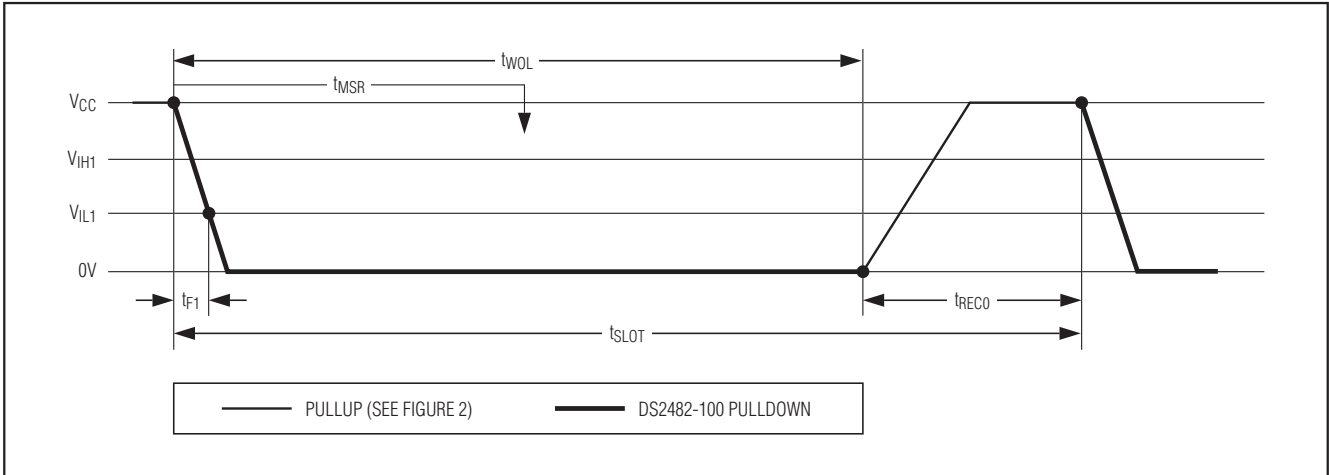


図5. 書き込み0のタイムスロット

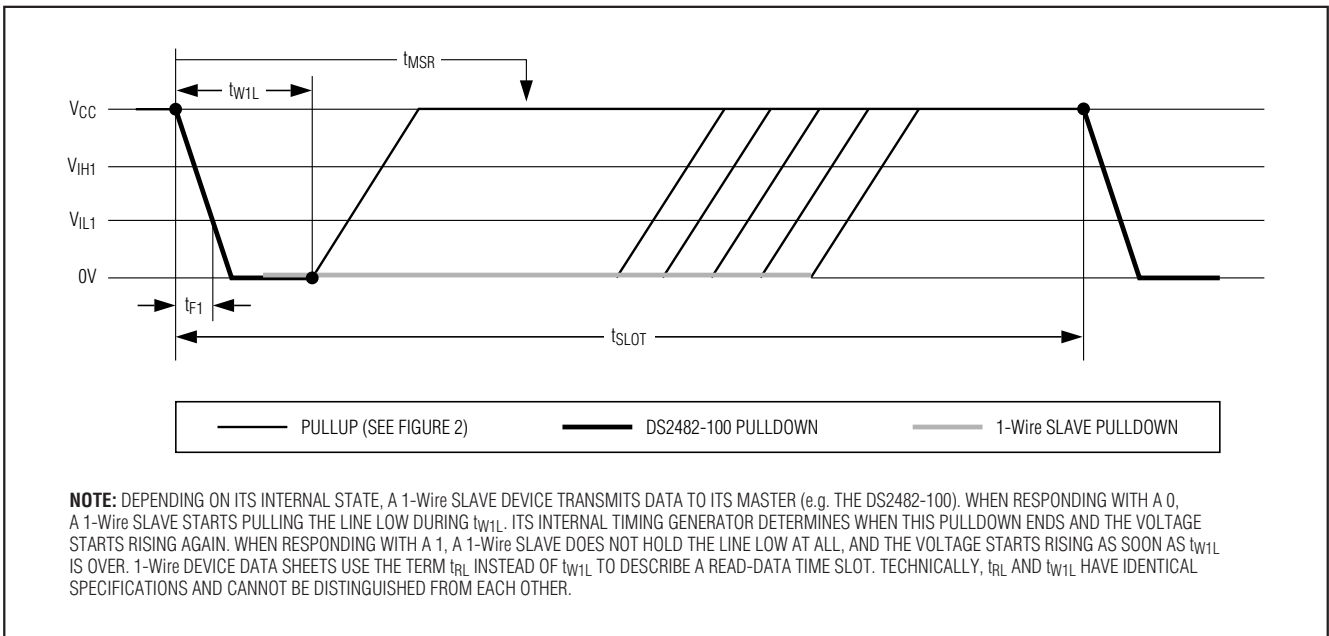


図6. 書き込み1および読み取りデータのタイムスロット

## 1-Wire Write Byte

コマンドコード	A5h
コマンドパラメータ	データバイト(Data Byte)
説明	単一データバイトを1-Wireラインに書き込みます。
標準的な用途	コマンドまたはデータの1-Wireラインへの書き込み。8つの1-Wire Single Bitコマンドを実行することと同じですが、I <sup>2</sup> Cトラフィックが少ないため高速です。
制限	1-Wire動作は、DS2482-100がこのコマンドを処理する前に終了している必要があります。
エラー応答	コマンドコードを受信した時点で1WB = 1であれば、コマンドコードとデータバイトに対して否定応答が返され、コマンドが無視されます。
コマンド期間	8 x t <sub>SLOT</sub> + 最大262.5ns、データバイトの最終ビット(LSB)の立下りエッジからカウント。
1-Wire動作	データバイトのLSBのSCL立下りエッジ後(すなわち、データバイト肯定応答前)、最大262.5nsで開始します。注：I <sup>2</sup> Cバス上と1-Wireライン上のビット順は異なります。(1-Wire：LSB先頭、I <sup>2</sup> C：MSB先頭)。したがって、DS2482-100がフルデータバイトを受信するまでは1-Wire動作を開始することができません。
読取りポインタ位置	ステータスレジスタ(ビジーポーリングに対して)
影響を受けるステータスビット	1WB (8 x t <sub>SLOT</sub> の間、1に設定されます)
影響を受ける設定ビット	1WS、SPU、APUに適用されます。

## 1-Wire Read Byte

コマンドコード	96h
コマンドパラメータ	なし
説明	1-Wireライン上で8つの読取りデータタイムスロットを生成し、結果を読取りデータレジスタに保存します。
標準的な用途	1-Wireラインからのデータの読取り。8つのV = 1とした1-Wire Single Bitコマンド(書き込み1タイムスロット)を実行するのと同じですが、I <sup>2</sup> Cトラフィックが少ないため高速です。
制限	1-Wire動作は、DS2482-100がこのコマンドを処理することができる前に終了している必要があります。
エラー応答	コマンドコードを受信した時点で1WB = 1であれば、コマンドコードに対して否定応答が返され、コマンドが無視されます。
コマンド期間	8 x t <sub>SLOT</sub> + 最大262.5ns、コマンドコード肯定応答ビットのSCL立下りエッジからカウント。
1-Wire動作	コマンドコード肯定応答ビットのSCL立下りエッジ後、最大262.5nsで開始します。
読取りポインタ位置	ステータスレジスタ(ビジーポーリングに対して)。注：1-Wireラインから受信したデータバイトを読み取るためには、Set Read Pointerコマンドを送出し、読取りデータレジスタを選択します。次に、読取りモードでDS2482-100にアクセスします。
影響を受けるステータスビット	1WB (8 x t <sub>SLOT</sub> の間、1に設定されます)
影響を受ける設定ビット	1WS、APUに適用されます。



# シングルチャネル1-Wireマスタ

DS2482-100

## 1-Wire Triplet

コマンドコード	78h
コマンドパラメータ	方向バイト(Direction Byte)
説明	2つの読取りタイムスロットと1つの書込みタイムスロットの3つのタイムスロットを1-Wireラインに生成します。書込みタイムスロットのタイプは、読取りタイムスロットの結果と方向バイトに依存します。両方の読取りタイムスロットが0であれば(標準的な場合)、方向バイトが書込みタイムスロットのタイプを決定します。この場合、V = 1であればDS2482-100は書込み1タイムスロットを生成し、V = 0であれば書込み0タイムスロットを生成します。表3を参照してください。読取りタイムスロットが0と1であれば、書込み0タイムスロットが続きます。読取りタイムスロットが1と0であれば、書込み1タイムスロットが続きます。読取りタイムスロットがともに1であれば(エラーの場合)、後続の書込みタイムスロットは書込み1です。
標準的な用途	1-Wire検索ROM (1-Wire Search ROM)シーケンスの実行用、1個のデバイスを識別してアドレス指定するためには、フルシーケンスによってこのコマンドを64回実行する必要があります。
制限	1-Wire動作は、DS2482-100がこのコマンドを処理する前に終了している必要があります。
エラー応答	コマンドコードを受信した時点で1WB = 1であれば、コマンドコードと方向バイトに対して否定応答が返され、コマンドが無視されます。
コマンド期間	$3 \times t_{\text{SLOT}} + \text{最大}262.5\text{ns}$ 、方向バイトの先頭ビット(MSB)のSCL立下りエッジからカウント。
1-Wire動作	方向バイトのMSBのSCL立下りエッジ後、最大262.5nsで開始します。
読取りポインタ位置	ステータスレジスタ(ビジーポーリングに対して)
影響を受けるステータスビット	1WB ( $3 \times t_{\text{SLOT}}$ の間、1に設定されます)、SBRは最初の $t_{\text{MSR}}$ の時点で更新され、TSBとDIRは2番目の $t_{\text{MSR}}$ (すなわち、 $t_{\text{SLOT}} + t_{\text{MSR}}$ )の時点で更新されます。
影響を受ける設定ビット	1WS、APUに適用されます。

表3. 方向バイトにおけるビット割当

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
V	x	x	x	x	x	x	x

x = 任意

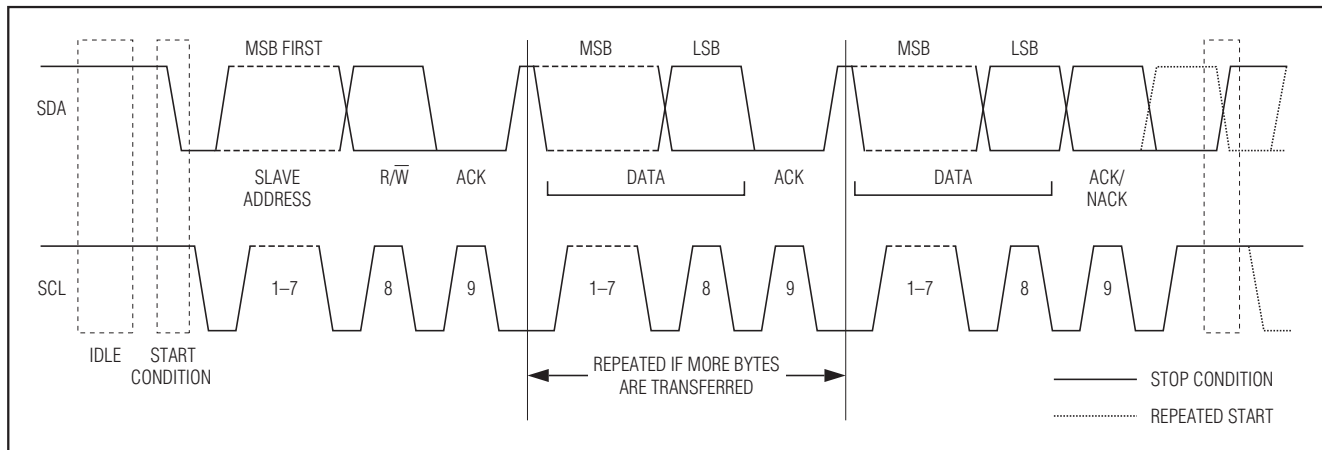


図7. I<sup>2</sup>Cプロトコルの概要

## I<sup>2</sup>Cインタフェース

### 一般特性

I<sup>2</sup>Cバスは、データライン(SDA)とクロック信号(SCL)を通信に使用します。SDAとSCLはともに、プルアップ抵抗を介して正電源電圧に接続される双方向ラインです。通信が行われない場合、両ラインはハイです。バスに接続されるデバイスの出力段は、ワイヤードAND機能を実行するためにオープンドレインまたはオープンコレクタを備えている必要があります。I<sup>2</sup>Cバス上のデータは、標準モードでは最高100kbps、高速モードでは最高400kbpsのレートで転送することができます。DS2482-100は両モードで動作します。

バス上でデータを送信するデバイスはトランスミッタとして定義され、データを受信するデバイスはレシーバとして定義されます。通信を制御するデバイスはマスタと呼ばれます。マスタによって制御されるデバイスはスレーブです。個別にアクセスされるためには、各デバイスはバス上の他のデバイスと競合しないスレーブアドレスを備えている必要があります。

データ転送は、バスがビジーでないときのみ開始することができます。マスタは、シリアルクロック(SCL)の生成、バスアクセスの制御、STARTおよびSTOP条件の生成、およびSTARTとSTOPの間に転送されるデータバイト数の決定を行います(図7)。データは、最上位ビットを先頭に複数バイトで転送されます。各バイトの後に肯定応答ビットが続き、マスタとスレーブの間で同期が保たれます。

### スレーブアドレス

DS2482-100が応答するスレーブアドレスを図8に示します。アドレス端子AD0とAD1のロジック状態によって、アドレスビットA0とA1の値が決定されます。アドレス端子によって、デバイスが4つの可能なスレーブアドレスのうちの1つに応答することが可能です。スレーブアドレスは、スレーブアドレス/制御バイトの一部です。スレーブアドレス/制御バイト(R/W)の最終ビットはデータの方向を定義します。0に設定すると、後続のデータはマスタからスレーブに流れ(書き込みアクセス)、1に設定するとデータはスレーブからマスタに流れ(読み取りアクセス)。

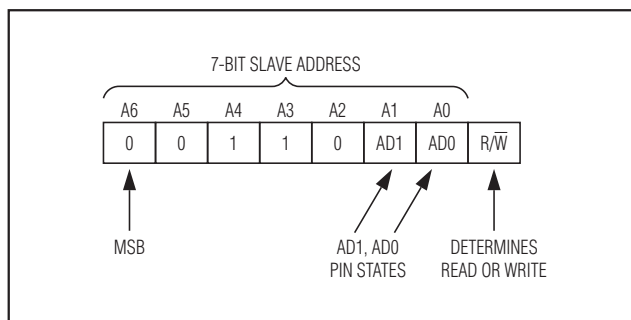


図8. DS2482-100のスレーブアドレス

# シングルチャネル1-Wireマスタ

DS2482-100

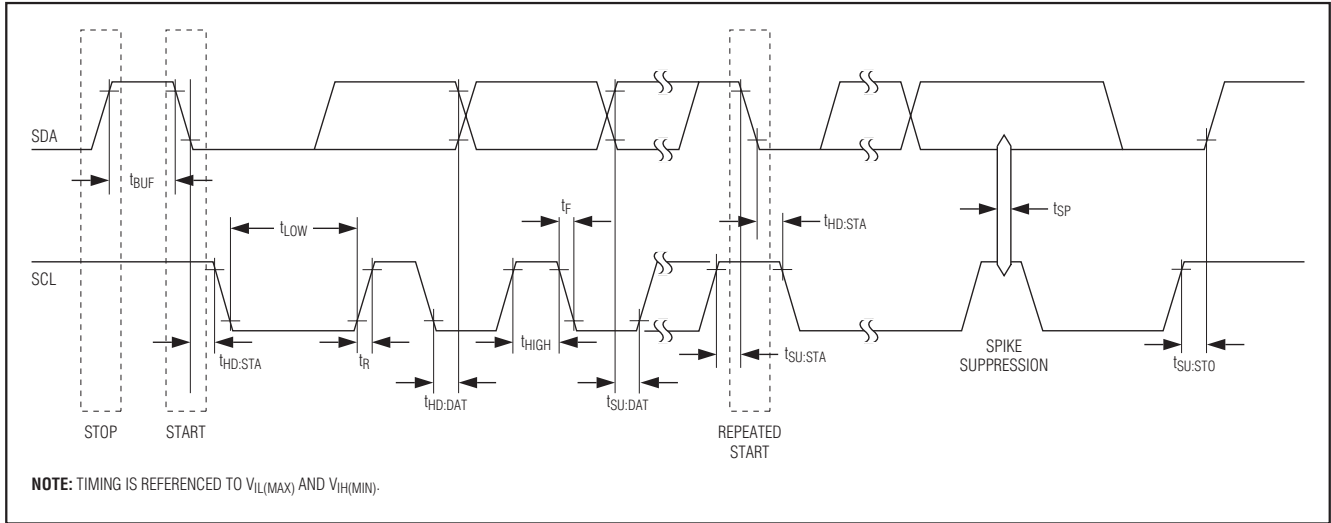


図9. I<sup>2</sup>Cのタイミング図

## I<sup>2</sup>Cの定義

以下の用語はI<sup>2</sup>Cデータ転送の説明のために一般的に使用されます。タイミングリファレンスは図9に規定されています。

**バスアイドルまたは非ビジー**：SDAとSCLはいずれも非アクティブで、ロジックハイ状態にあります。

**START条件**：スレーブとの通信を開始するために、マスタはSTART条件を生成する必要があります。START条件は、SCLがハイ状態にある間にSDAがハイからローに変わる状態変化として定義されます。

**STOP条件**：スレーブとの通信を終了するために、マスタはSTOP条件を生成する必要があります。STOP条件は、SCLがハイ状態にある間にSDAがローからハイに変わる状態変化として定義されます。

**反復START条件**：反復起動(START)は、一般に読取り対象となる特定のデータソースまたはアドレスを選択するための読取りアクセスに使用されます。マスタは、現在のデータ転送に続いて直ちに新たなデータ転送を開始するために、データ転送の最後に反復START条件を使用することができます。反復START条件は、通常のSTART条件と同様に生成されますが、STOP条件後にバスをアイドル状態にしません。

**データ有効**：STARTおよびSTOP条件を除いて、SDAの遷移はSCLがロー状態にある間にのみ行うことができます。SDAのデータは、SCLのハイパルスの全期間および必要なセットアップ時間とホールド時間(SCLの立下りエッジ後の $t_{HD:DAT}$ およびSCLの立上りエッジ前の $t_{SU:DAT}$ 、図9を参照)の間、有効の状態を保ちかつ不変である必要があります。データの各

ビットにつき1クロックパルスが存在します。データは、SCLの立上りエッジの間に受信デバイスにシフトインされます。

書き込みを終了したマスタは、読取りを開始するSCLの次の立上りエッジ前に十分なセットアップ時間で(図9の最小 $t_{SU:DAT} + t_R$ ) SDAラインを解放する必要があります。スレーブは先行SCLパルスの立下りエッジでSDAの各データビットをシフトアウトし、データビットは現在のSCLパルスの立上りエッジで有効になります。マスタは、スレーブからの読取りに必要なクロックパルスを含むすべてのSCLクロックパルスを生成します。

**肯定応答**：標準的には、アドレス指定された受信デバイスは、各バイトの受信後に肯定応答を強制的に生成します。マスタは、この肯定応答ビットに関わるクロックパルスを生成する必要があります。肯定応答を返すデバイスは、肯定応答クロックパルスの際にSDAをローに駆動して、肯定応答に関わるクロックパルスのハイ期間と必要なセットアップ時間とホールド時間(SCLの立下りエッジ後の $t_{HD:DAT}$ およびSCLの立上りエッジ前の $t_{SU:DAT}$ )の間、SDAが安定なロー状態になるようにする必要があります。

**スレーブによる否定応答**：スレーブデバイスは、あるリアルタイム機能を実行中であるなどの理由で、データを送受信することができない場合があります。この場合、スレーブデバイスは、そのスレーブアドレスを肯定応答せずにSDAラインをハイに保ちます。通信準備が完了したスレーブデバイスは、少なくともそのスレーブアドレスの肯定応答を返します。しかし、コマンドコードやパラメータが不正であるなど

の理由から、しばらくしてスレーブがデータの受入れを拒否する場合があります。この場合、スレーブデバイスは、拒否するバイトのいずれかの否定応答を返してSDAをハイに保ちます。いずれにしても、スレーブが否定応答を返した後、マスタはまず反復START条件を生成するか、またはSTOP条件に続いてSTART条件を生成して新たなデータ転送を開始する必要があります。

**マスタによる否定応答：**マスタは、データを受信した時点でデータの終了をスレーブデバイスに伝える必要があります。これを行うために、マスタはスレーブから受信した最終バイトの否定応答を返します。これに対して、スレーブはSDAを解放して、マスタはSTOP条件を生成することができます。

## DS2482-100への書き込み

DS2482-100に書き込むためには、マスタは書き込みモードでデバイスにアクセスする必要があります。すなわち、方向ビットを0に設定してスレーブアドレスを送信する必要があります。送信される次のバイトはコマンドコードで、コマンドによってはコマンドコードの後にコマンドパラメータが続く場合があります。DS2482-100は、有効なコマンドコードおよび期待される/有効なコマンドパラメータの肯定応答を返します。追加されたバイトや不正なコマンドパラメータに対しては、必ず否定応答が返されます。

## DS2482-100からの読取り

DS2482-100から読み取るために、マスタは読取りモードでデバイスにアクセスする必要があります。すなわち、方向ビットを1に設定してスレーブアドレスを送信する必要があります。読取りポインタは、マスタが読み取るレジスタを決定します。マスタは、例えば1WBが1から0に変化するのを監視するために、同じレジスタの読取りをデバイスのアドレス指定をしておさず、何度も続けることができます。別のレジスタから読み取るためには、マスタはSet Read Pointerコマンドを送出してから読取りモードでDS2482-100に再度アクセスする必要があります。

## I<sup>2</sup>C通信の例

I<sup>2</sup>C通信の凡例とデータの方向コードについては表4と表5を参照してください。

表4. I<sup>2</sup>C通信—凡例

SYMBOL	DESCRIPTION
S	START Condition
AD, 0	Select DS2482-100 for Write Access
AD, 1	Select DS2482-100 for Read Access
Sr	Repeated START Condition
P	STOP Condition
A	Acknowledged
A\	Not Acknowledged
(Idle)	Bus Not Busy
<byte>	Transfer of One Byte
DRST	Command "Device Reset", F0h
SRP	Command "Set Read Pointer", E1h
WCFG	Command "Write Configuration", D2h
1WRS	Command "1-Wire Reset", B4h
1WSB	Command "1-Wire Single Bit", 87h
1WWB	Command "1-Wire Write Byte", A5h
1WRB	Command "1-Wire Read Byte", 96h
1WT	Command "1-Wire Triplet", 78h

表5. データ方向コード

Master-to-Slave	Slave-to-Master
-----------------	-----------------

# シングルチャネル1-Wireマスタ

## I<sup>2</sup>C通信の例(続き)

### Device Reset (After Power-Up)

S	AD,0	A	DRST	A	<u>Sr</u>	<u>AD,1</u>	<u>A</u>	<byte>	<u>A\</u>	P
---	------	---	------	---	-----------	-------------	----------	--------	-----------	---

Activities that are underlined denote an optional read access to verify the success of the command.

### Set Read Pointer (To Read from Another Register)

Case A: Valid Read Pointer Code

S	AD,0	A	SRP	A	C3h	A	P
---	------	---	-----	---	-----	---	---

C3h is the valid read pointer code for the Configuration Register.

Case B: Invalid Read Pointer Code

S	AD,0	A	SRP	A	E5h	A\	P
---	------	---	-----	---	-----	----	---

E5h is an invalid read pointer code.

### Write Configuration (Before Starting 1-Wire Activity)

Case A: 1-Wire Idle (1WB = 0)

S	AD,0	A	WCFG	A	<byte>	A	<u>Sr</u>	<u>AD,1</u>	<u>A</u>	<byte>	<u>A\</u>	P
---	------	---	------	---	--------	---	-----------	-------------	----------	--------	-----------	---

Activities that are underlined denote an optional read access to verify the success of the command.

Case B: 1-Wire Busy (1WB = 1)

S	AD,0	A	WCFG	A\	P
---	------	---	------	----	---

The master should stop and restart as soon as the DS2482-100 does not acknowledge the command code.

### 1-Wire Reset (To Begin or End 1-Wire Communication)

Case A: 1-Wire Idle (1WB = 0), No Busy Polling to Read the Result

S	AD,0	A	1WRS	A	P	(Idle)	S	AD,1	A	<byte>	A\	P
---	------	---	------	---	---	--------	---	------	---	--------	----	---

In the first cycle, the master sends the command. Then the master waits (Idle) for the 1-Wire reset to complete. In the second cycle, the DS2482-100 is accessed to read the result of the 1-Wire reset from the Status Register.

Case B: 1-Wire Idle (1WB = 0), Busy Polling Until the 1-Wire Command is Completed, then Read the Result

S	AD,0	A	1WRS	A	<u>Sr</u>	<u>AD,1</u>	A	<byte>	A	<byte>	A\	P
---	------	---	------	---	-----------	-------------	---	--------	---	--------	----	---

REPEAT UNTIL THE 1WB BIT HAS CHANGED TO 0.

Case C: 1-Wire Busy (1WB = 1)

S	AD,0	A	1WRS	A\	P
---	------	---	------	----	---

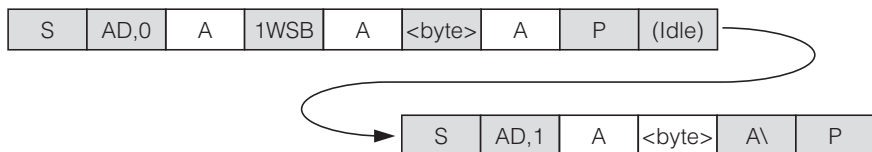
The master should stop and restart as soon as the DS2482-100 does not acknowledge the command code.



## I<sup>2</sup>C通信の例(続き)

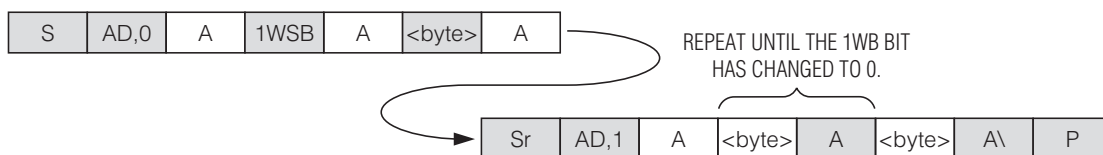
### 1-Wire Single Bit (To Generate a Single Time Slot on the 1-Wire Line)

Case A: 1-Wire Idle (1WB = 0), No Busy Polling



The idle time is needed for the 1-Wire function to complete. Then access the device in read mode to get the result from the 1-Wire Single Bit command.

Case B: 1-Wire Idle (1WB = 0), Busy Polling Until the 1-Wire Command is Completed



When 1WB has changed from 1 to 0, the Status Register holds the valid result of the 1-Wire Single Bit command.

Case C: 1-Wire Busy (1WB = 1)



The master should stop and restart as soon as the DS2482-100 does not acknowledge the command code.

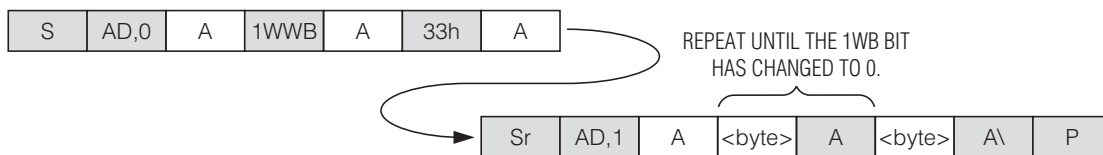
### 1-Wire Write Byte (To Send a Command Code to the 1-Wire Line)

Case A: 1-Wire Idle (1WB = 0), No Busy Polling



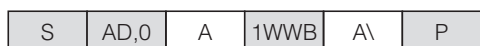
33h is the valid 1-Wire ROM function command for Read ROM. The idle time is needed for the 1-Wire function to complete. There is no data read back from the 1-Wire line with this command.

Case B: 1-Wire Idle (1WB = 0), Busy Polling Until the 1-Wire Command is Completed.



When 1WB has changed from 1 to 0, the 1-Wire Write Byte command is completed.

Case C: 1-Wire Busy (1WB = 1)



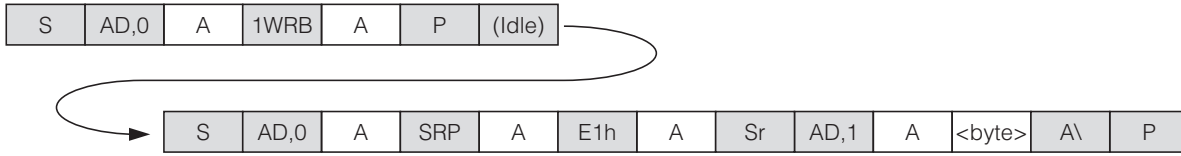
The master should stop and restart as soon as the DS2482-100 does not acknowledge the command code.

# シングルチャネル1-Wireマスタ

## I<sup>2</sup>C通信の例(続き)

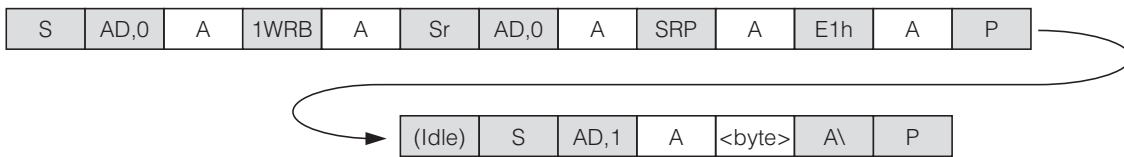
### 1-Wire Read Byte (To Read a Byte from the 1-Wire Line)

Case A: 1-Wire Idle (1WB = 0), No Busy Polling, Set Read Pointer **After** Idle Time



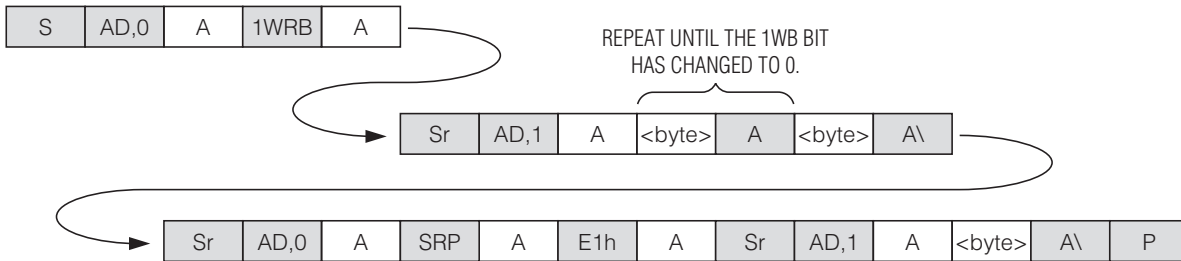
The idle time is needed for the 1-Wire function to complete. Then set the read pointer to the Read Data Register (code E1h) and access the device again to read the data byte that was obtained from the 1-Wire line.

Case B: 1-Wire Idle (1WB = 0), No Busy Polling, Set Read Pointer **Before** Idle Time



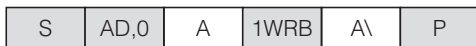
The read pointer is set to the Read Data Register (code E1h) while the 1-Wire Read Byte command is still in progress. Then, after the 1-Wire function is completed, the device is accessed to read the data byte that was obtained from the 1-Wire line.

Case C: 1-Wire Idle (1WB = 0), Busy Polling Until the 1-Wire Command is Completed



Poll the Status Register until the 1WB bit has changed from 1 to 0. Then set the read pointer to the Read Data Register (code E1h) and access the device again to read the data byte that was obtained from the 1-Wire line.

Case D: 1-Wire Busy (1WB = 1)

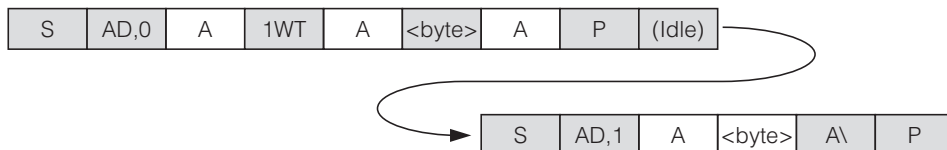


The master should stop and restart as soon as the DS2482-100 does not acknowledge the command code.

## I<sup>2</sup>C通信の例(続き)

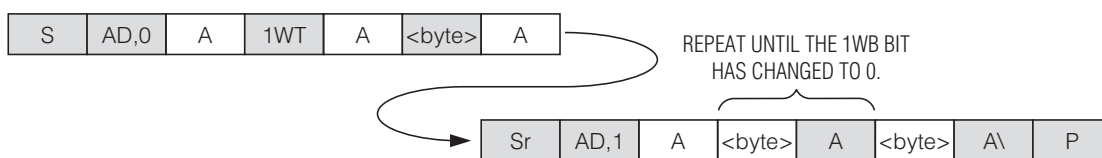
### 1-Wire Triplet (To Perform a Search ROM Function on the 1-Wire Line)

Case A: 1-Wire Idle (1WB = 0), No Busy Polling



The idle time is needed for the 1-Wire function to complete. Then access the device in read mode to get the result from the 1-Wire Triplet command.

Case B: 1-Wire Idle (1WB = 0), Busy Polling Until the 1-Wire Command is Completed



When 1WB has changed from 1 to 0, the Status Register holds the valid result of the 1-Wire Triplet command.

Case C: 1-Wire Busy (1WB = 1)



The master should stop and restart as soon as the DS2482-100 does not acknowledge the command code.

## アプリケーション情報

### SDAおよびSCLのプルアップ抵抗

SDAは、ハイのロジックレベルを実現するためのプルアップ抵抗を必要とするDS2482-100のオープンドレイン出力です。DS2482-100はSCLを入力としてのみ使用するため(クロック伸長なし)、マスタは、プルアップ抵抗付きのオープンドレイン/コレクタ出力またはプッシュプル出力のいずれかによってSCLを駆動することができます。

### プルアップ抵抗R<sub>p</sub>のサイズ決定

I<sup>2</sup>C仕様によると、スレーブデバイスは0.4VのV<sub>OL</sub>で少なくとも3mAをシンクすることができる必要があります。このDC条件が、プルアップ抵抗の最小値を

$$R_{p(MIN)} = (V_{CC} - 0.4V)/3mA$$

によって決定します。

5.5Vの動作電圧では、プルアップ抵抗の最小値は1.7kΩです。図11の「MINIMUM R<sub>p</sub>」ラインは、動作電圧に対する最小プルアップ抵抗の変化を示します。

I<sup>2</sup>Cシステムでは、立上り時間と立下り時間はプルアップ電圧の30%~70%で測定されます。バスの最大容量C<sub>B</sub>は400pFです。最大立上り時間は標準速度で1000nsを超えてはならず、高速時には300nsを超えてはならないものとします。最大立上り時間を仮定すると、所定の静電容量C<sub>B</sub>における最大抵抗値は、

$$R_{pMAXS} = 1000ns/[C_B \times \ln(7/3)] \text{ (標準速度)で、}$$

$$R_{pMAXF} = 300ns/[C_B \times \ln(7/3)] \text{ (高速時)です。}$$

バスの静電容量が400pFの場合、最大プルアップ抵抗値は標準速度で2.95kΩで、高速時で885Ωです。1.7kΩ~2.95kΩの値は、標準速度におけるすべての要件を満たします。

高速時における立上り時間の仕様と400pFのバス容量を満たすために必要な885Ωのプルアップ抵抗は、5.5VにおけるR<sub>p(MIN)</sub>よりも小さいため、別のアプローチが必要です。図11の「MAX LOAD AT MIN R<sub>p</sub> FAST MODE」のラインは、まず所定の動作電圧(「MINIMUM R<sub>p</sub>」ライン)における最小プルアップ抵抗を計算し、次に300nsの立上り時間が得られる各バスの容量を計算することによって生成されます。

# シングルチャネル1-Wireマスタ

DS2482-100

3V以下のプルアップ電圧の場合にのみ、400pFの最大許容バス容量を維持することができます。4V以下のプルアップ電圧に対しては、バスの容量を300pFに低減する必要があります。高速動作では、どのようなプル

アップ電圧でも、バスの静電容量が200pFを超えてはなりません。プルアップ電圧に対応するプルアップ抵抗値を「MINIMUM R<sub>p</sub>」のラインで示します。

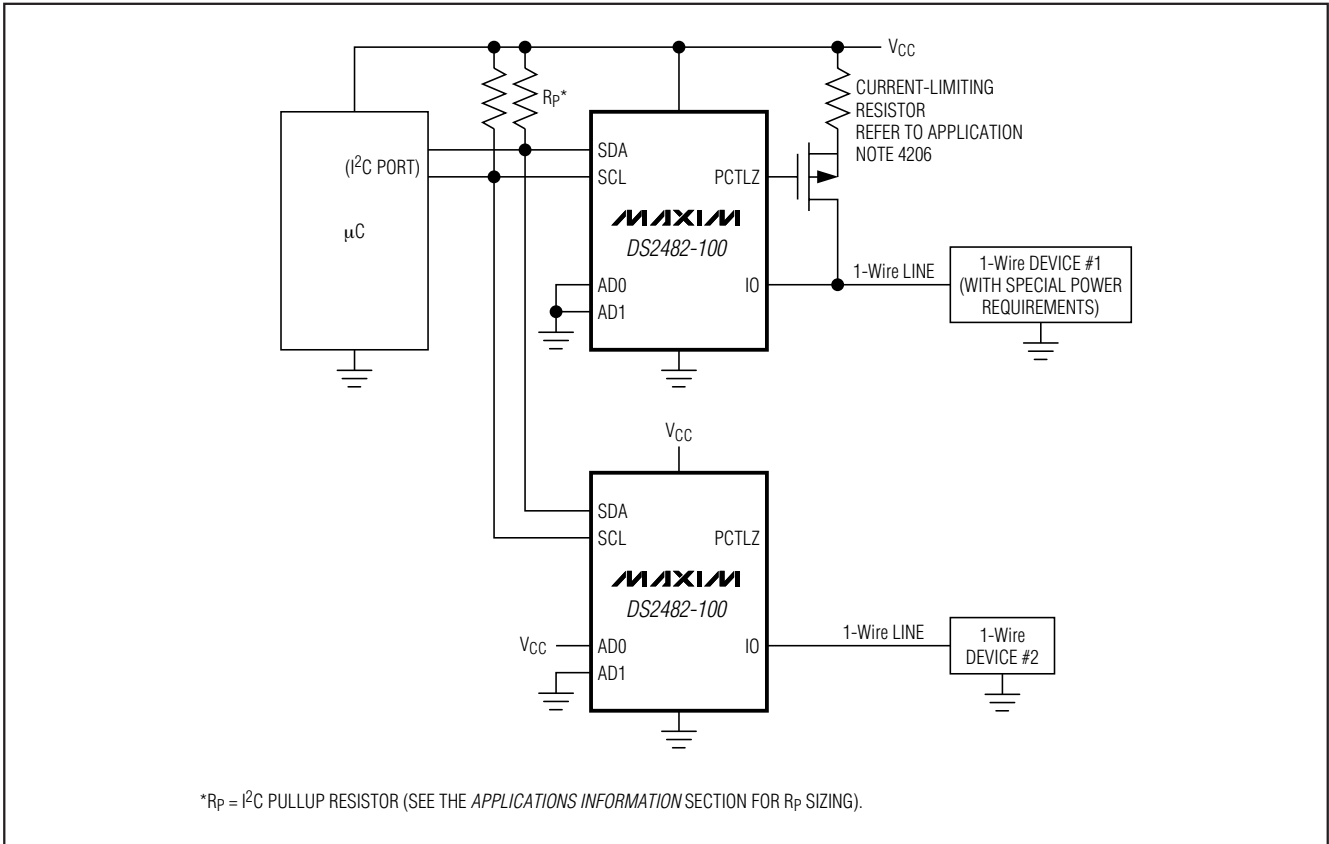


図10. アプリケーション回路図

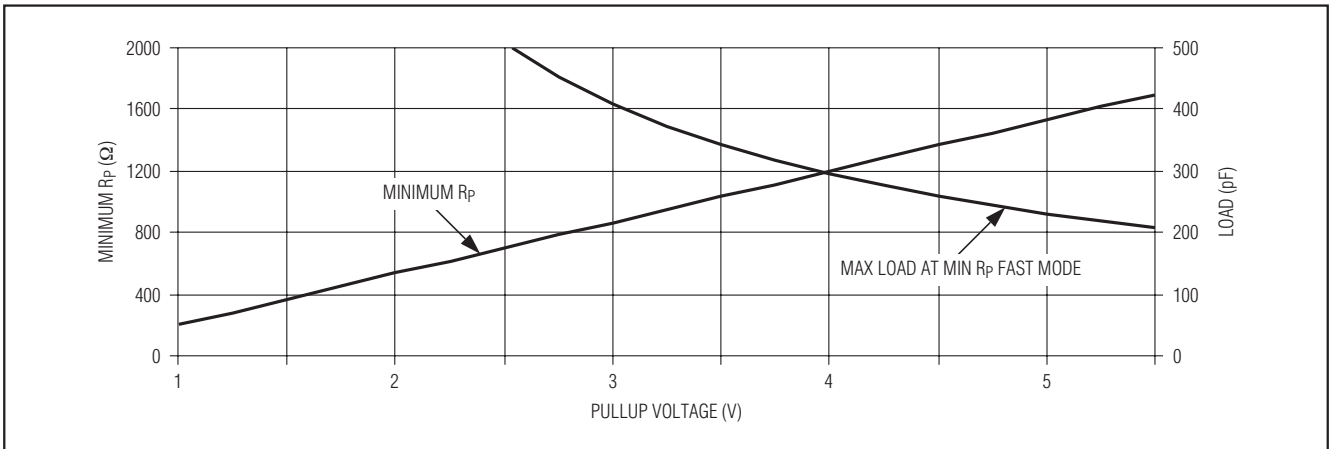
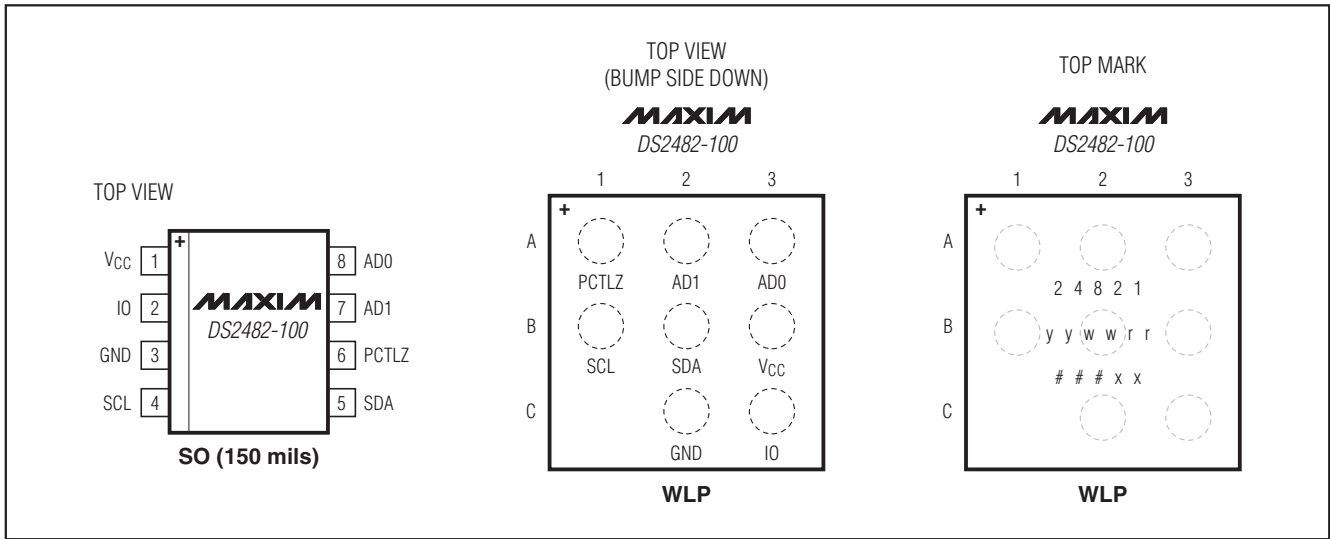


図11. I<sup>2</sup>C高速モードプルアップ抵抗の選択チャート

# シングルチャネル1-Wireマスタ

DS2482-100

## ピン配置



## パッケージ

最新のパッケージ情報とランドパターンは、[japan.maxim-ic.com/packages](http://japan.maxim-ic.com/packages)をご参照ください。

パッケージタイプ	パッケージコード	ドキュメントNo.
8 SO (150 mils)	S8+4	<b>21-0041</b>
9 WLP	W92A1+1	<b>21-0067</b>



# シングルチャネル1-Wireマスタ

DS2482-100

## 改訂履歴

版数	改訂日	説明	改訂ページ
5	061208	「特長」の列記を更新。	1
		「Electrical Characteristics」の表の $V_{IL1}$ と $R_{WPU}$ の値を更新。	2
		図1の軽度な訂正。アクティブプルアップとストロングプルアップに関する情報を明確にさせるために「詳細」の項を更新。	5
		「ストロングプルアップ(SPU)」の項の説明を入れ替え、図4を差し替え。	7
		図8のタイミングの間違いを除去。	14
6	7/08	最新のテンプレートスタイルのデータシートを作成。	すべて
		図8を差し替え。	16
7	8/08	「標準動作回路」および図11で、1-Wireラインの終端抵抗とこれに関連する参照を削除。	1, 23
8	11/09	<ul style="list-style-type: none"><li>アクティブプルアップ(APU)の使用に関して推奨条件を訂正</li><li>プレゼンスパルスマスキングについての参照を削除</li></ul>	1-7, 9-12, 15, 16, 21, 22, 24

マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)  
TEL. (03)3232-6141 FAX. (03)3232-6149

Maximは完全にMaxim製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maximは随時予告なく回路及び仕様を変更する権利を留保します。

24 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**