

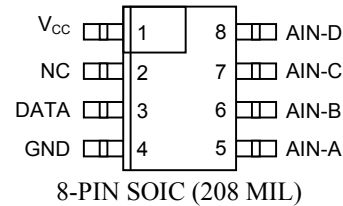
DS2450

1-Wire クワッド A/D コンバータ

特長

- 1-Wire®バス上のアナログ電圧を測定する4つの高インピーダンス入力
- ユーザプログラマブルな、入力範囲(2.56V、5.12V)、分解能(1~16ビット)、およびアラームしきい値
- 5Vの単一電源動作
- 超低電力: 動作時 2.5mW、アイドル時 25μW
- 内蔵マルチドロップコントローラにより、共通の1-Wireバス上で複数 DS2450の識別および動作が可能
- アナログ電圧がアラームしきい値を超えると、Conditional Search に応答
- アナログ入力として未使用のチャンネルは、閉ループ制御用のオープンドレインデジタル出力として機能可能
- マイクロプロセッサの単一ポートピンと直接接続し、最大 16.3kb/秒で通信
- Overdrive モードにより、通信速度が 142kb/秒に上昇
- データ転送を保護するオンチップ 16ビット CRC 生成器
- 出荷時にレーザ書き込みおよびテスト済みのユニークな 64ビット登録番号(8ビットファミリコード + 48ビットシリアル番号 8ビット CRC テスタ)により、類似パーツがなくなり、完全追跡性を確保
- 8ビットファミリコードで、バスマスタとのデバイス通信要件を指定
- 動作温度範囲は、-40°C~+85°C
- 小型、低価格、8ピンSOIC表面実装パッケージ

ピン配置



端子説明

| | |
|-----------------|----------------|
| V _{CC} | 4.5 to 5.5V |
| NC | Do Not Connect |
| DATA | 1-Wire Bus |
| GND | Ground |
| AIN-A | Analog Input A |
| AIN-B | Analog Input B |
| AIN-C | Analog Input C |
| AIN-D | Analog Input D |

型番

| | |
|-------------|--------------------------|
| DS2450S | 8-pin SOIC |
| DS2450S/T&R | 8-pin SOIC Tape-and-Reel |
| DS2450S+ | 8-pin SOIC |
| DS2450S+T&R | 8-pin SOIC Tape-and-Reel |

+は鉛フリー準拠を表します。

1-Wire は Dallas Semiconductor の登録商標です。

概要

DS2450 1-Wire クワッド A/D コンバータは、1つから4つのアナログマルチプレクサを備えた逐次比較型アナログ-デジタルコンバータに基づいています。入力電圧範囲、分解能、アラームしきい値を保管するレジスタセットと、入力電圧が指定範囲を超えた場合に Conditional Search でのデバイス参加を使用可能にするフラグを、入力チャンネルはそれぞれ備えています。各チャンネルの2つのアラームフラグは、バスマスタによる照会を必要とせずに、測定電圧が高すぎるか、低すぎるかを示します。各 A/D 変換は、バスマスタにより開始されます。アナログ入力として未使用のチャンネルは、デジタルオープンドレイン出力として利用すること

本データシートは日本語翻訳であり、相違及び誤りのある可能性があります。設計の際は英語版データシートを参照してください。

価格、納期、発注情報についてはMaxim Direct (0120-551056)にお問い合わせいただくか、Maximのウェブサイト(japan.maximintegrated.com)をご覧ください。

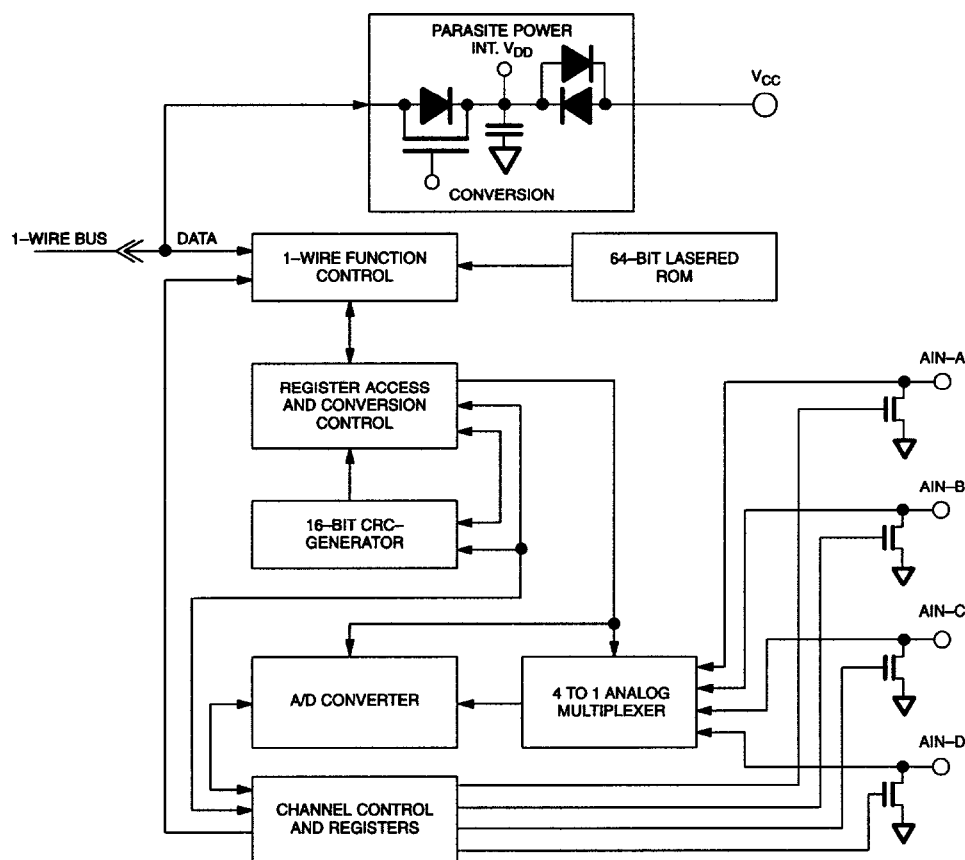
ができます。入力を使用不可にすると、選択したチャンネルでオープンドレイントランジスタのスイッチをバスマスタが直接オン/オフすることができます。1-Wire バスや V_{CC} ピンを通じてデバイスに電源供給されている限り、デバイスの設定はすべて不揮発状態で SRAM に保管されています。電源投入後、パワーオンリセットフラグは、標準動作が再開する前のバスマスタにデバイス設定を復元する必要を信号送信します。すべてのレジスタおよび変換読出しレジスタは、DS2505/6 デバイスの状態メモリとよく似た 3 の 8 バイトメモリページとして管理されています。各バイトの書き込み時だけでなく、メモリページの末尾まで読み込む際にも、オンチップ CRC16 生成器は、送信エラーが発生しないように通信を保護しています。

概要

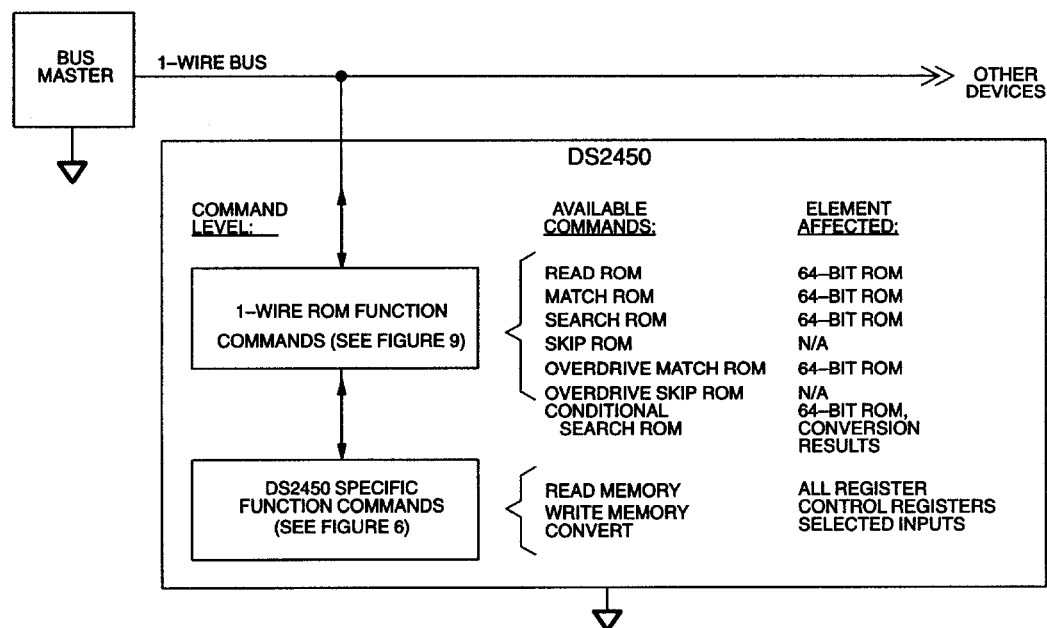
図 1 のブロック図では、当デバイスの主要な機能ブロックを紹介しています。DS2450 は、ユニークな 48 ビットシリアル番号、8 ビット CRC、および 8 ビットファミリコード(20H)を備える、出荷時にレーザで書き込まれた登録番号から構成されています。DS2450 の 64 ビット ROM 部分は当デバイス自体の絶対的にユニークな電子 ID を生成するだけでなく、制御機能を遂行するためにデバイスの検出とアドレス指定を行う手段でもあります。

当デバイスは、1-Wire バスや V_{CC} ピンを通じて電源供給されます。 V_{CC} の電源供給がない場合は、信号ラインがハイの間にデバイスは内部キャパシタにエネルギーを保存し、1-Wire ラインがロータイム時には、ラインがハイに戻り、「寄生」(キャパシタ)電源を補充するまで、デバイスはこの「寄生」電源によって動作を続けます。ただし、この寄生電源は、通信に必要なエネルギーのみを供給します。A/D 変換を実行するには、5V への 1-Wire バスのストロングプルアップや V_{CC} 電源が必要です。

DS2450 ブロック図 図 1



1-Wire プロトコルの階層構造 図 2

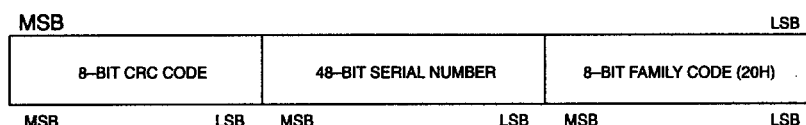


DS2450 では、データ転送に標準ダラスセミコンダクタ 1-Wire プロトコルを使います。DS2450 との間の通信では、一般的にマイクロコントローラのポートピンである単一の双方向ラインが必要です。1-Wire プロトコルの階層構造は、図2に紹介されています。まず 1-Wire バスマスタは以下の 7つの ROM 機能コマンドのいずれかを発行する必要があります。1) Read ROM、2) Match ROM、3) Search ROM、4) Conditional Search ROM、5) Skip ROM、6) Overdrive-Skip ROM、または 7) Overdrive-Match ROM。標準速度で実行される Overdrive ROM コマンドバイトが完了すると、デバイスは Overdrive モードになり、以後のすべての通信はより速い速度で実行されます。こうした ROM 機能コマンドに必要なプロトコルは、図9に紹介されています。ROM 機能コマンドが適切に実行されると、メモリ/制御機能が利用できるようになり、利用可能なコマンドのいずれかをマスタが発行することができます。こうしたコマンドのプロトコルは、図6に紹介されています。まず最下位ビットから全データの読み込みと書き込みが行われます。

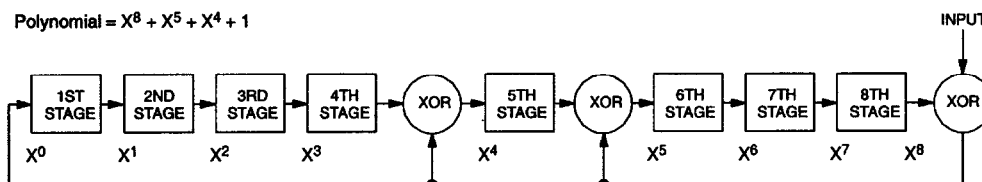
64 ビットレーザ書き込み ROM

各 DS2450 は、64ビット長のユニークな ROM コードを備えています。先頭の 8ビットは、1-Wire のファミリコードです。その次の 48ビットは、ユニークなシリアル番号です。最後の 8ビットは、先頭から 56ビットについての CRC です(図3参照)。図4に示されているようにシフトレジスタと XOR ゲートから構成される生成多項式により、1-Wire CRC が生成されます。その多項式とは、 $X^8 + X^5 + X^4 + 1$ です。ダラス 1-Wire 巡回冗長検査(CRC)に関する詳細は、「Book of DS19xx iButton™ Standards」で入手することができます。CRC アキュムレータとして機能するシフトレジスタは、0 に初期化されます。次にファミリコードの最下位ビットから、一度に 1ビットずつシフトインされます。ファミリコードの 8 番目のビットが入力されると、シリアル番号が入力されます。シリアル番号の 48 番目のビットが入力されると、シフトレジスタは CRC 値を内蔵します。CRC の 8ビットをシフトインすると、シフトレジスタをすべて 0 に戻す必要があります。

64 ビットレーザ書き込み ROM 図 3



1-Wire CRC 生成器 図 4



デバイスレジスタ

DS2450 のレジスタはすべて、3 の 8 バイトページとして管理される隣接する 24 バイトのリニアメモリ範囲にマッピングされます。変換読出しと呼ばれる最初のページには、バスマスタが読み込む変換結果をチップ内蔵ロジックが配置するメモリ領域があります。図 5a に示されているように、最下位アドレスのチャンネル A から始まる各チャンネルは変換結果用に割り当てられた 16 ビット領域を備えています。変換読出しレジスタの電源投入時のデフォルトは、すべてゼロです。要求された分解能にかかわらず、変換の最上位ビットは常に同じビット位置にあります。16 ビット未満の分解能が要求される場合は、16 ビットの結果を常時生成するために変換結果の最下位ビットにはゼロが入れられます。3 つ以下のアナログ入力が必要なアプリケーションの場合は、最初のチャンネルは入力 D によって、2 番目のチャンネルは入力 C によって開始して、以下同様に行う必要があります。その利点とは、変換結果読み込み時にページ末と CRC16 により速く到達し、1-Wire バス上のトラフィックを最小限に抑えることです。読み込みに関する詳細は、Read Memory コマンドの説明を参照してください。

メモリマップページ 0、変換読出し 図 5a

| Address | bit 7 | bit 6 | bit 5 | bit 4 | bit 3 | bit 2 | bit 1 | bit 0 |
|---------|---------|-------|-------|-------|-------|-------|-------|---------|
| 00 | A | A | A | A | A | A | A | LSBIT A |
| 01 | MSBIT A | A | A | A | A | A | A | A |
| 02 | B | B | B | B | B | B | B | LSBIT B |
| 03 | MSBIT B | B | B | B | B | B | B | B |
| 04 | C | C | C | C | C | C | C | LSBIT C |
| 05 | MSBIT C | C | C | C | C | C | C | C |
| 06 | D | D | D | D | D | D | D | LSBIT D |
| 07 | MSBIT D | D | D | D | D | D | D | D |

全チャンネルの制御/状態情報は、メモリページ 1 にあります(図 5b)。変換読出しに関しては、各チャンネルは 16 ビットを割り当てられています。RC3~RC0 と呼ばれる 4 つの最下位ビットは、変換ビット数を表す無符号 2 進数です。1111 (10 進数の 15) というコードは、15 ビットの結果を生成します。フル 16 ビット変換の場合は、コード値は 0000 である必要があります。RC3 の次の 2 ビットは、0 を常に読み込みます。これらのビットは機能を持たず、1 に変更することができません。

その次のビット、OC (出力制御)、および OE (出力使用可能化)は、出力としてのチャンネルの交互の使用を制御しています。アナログ入力としての通常動作の場合は、OC ビットを不制御にして、チャンネルの OE ビットを 0 にする必要があります。OE を 1 に設定すると、OC の 0 によりチャンネルの出力トランジスタが導通し、OC の 1 によりトランジスタが不導通になります。たとえば、プルアップ抵抗を正の電圧にすると、OC ビットはロジック状態の電圧とちょうど等しくなります。出力を使用可能にしても、アナログ入力は使用不可になりません。依然として変換は可能ですが、トランジスタが導通している場合は 0 に近い値がもたらされません。

チャンネルの制御/状態メモリの第 2 バイトにある IR ビットが、入力電圧範囲を選択します。IR を 0 に設定する場合は、最も可能性の高い変換結果は 2.55V で達成されます。IR を 1 に設定した場合、同じ結果を得るためには 5.10V の入力電圧が必要です。IR の次のビットは機能を持っていません。このビットは 0 を常に読み込み、1 に変更することはできません。

次の 2 ビットの AEL (alarm enable low/アラーム対応下限)および AEH (alarm enable high/アラーム対応上限)では、アラーム設定で指定されたチャンネルアラームしきい値電圧より、変換結果の値が高い(AEH)、または低い(AEL)場合、デバイスが Conditional Search コマンド(ROM 機能参照)に応答するかどうかを制御します。アラームフラグロー(AFL)およびハイ(AFH)は、最新の変換でチャンネル入力電圧が下限または上限のしきい値を超えたかどうかをバスマスタに示します。新規の変換でアラーム外の値が示された場合は、こうしたフラグは自動クリアされます。変換がなくても代わりにバスマスタがフラグに 0 を書き込むことができます。

チャンネル制御/状態メモリの次のビットは 0 を常に読み込み、1 に変更することができません。POR (power on reset/電源投入リセット)ビットは、デバイスが電源投入リセットサイクルを実行すると、1 に自動設定されます。当ビットが設定されていると、制御/しきい値データがもはや有効でないことをバスマスタに通知するために、デバイスは Conditional Search コマンドに常に応答します。電源投入後に、バスマスタが POR ビットに 0 を書き込む必要があります。この書き込みは、制御/しきい値データの復元とともに行うことができます。バスマスタが POR ビットに 1 を書き込むこともできます。この書き込みによりデバイスは Conditional Search に参加しますが、リセットサイクルは生成されません。POR ビットは、チャンネルではなくデバイスと関連しているので、入力範囲やアラーム対応の最新設定で書き込まれた値が適用されます。制御/状態データの電源投入時のデフォルト設定は各チャンネルの第 1 バイトの場合は 08h で、第 2 バイトの場合は 8Ch です。

メモリマップページ 1、制御/状態データ 図 5b

| Address | bit 7 | bit 6 | bit 5 | bit 4 | bit 3 | bit 2 | bit 1 | bit 0 |
|---------|-------|-------|-------|-------|-------|-------|-------|-------|
| 08 | OE-A | OC-A | 0 | 0 | RC3-A | RC2-A | RC1-A | RC0-A |
| 09 | POR | 0 | AFH-A | AFL-A | AEH-A | AEL-A | 0 | IR-A |
| 0A | OE-B | OC-B | 0 | 0 | RC3-B | RC2-B | RC1-B | RC0-B |
| 0B | POR | 0 | AFH-B | AFL-B | AEH-B | AEL-B | 0 | IR-B |
| 0C | OE-C | OC-C | 0 | 0 | RC3-C | RC2-C | RC1-C | RC0-C |
| 0D | POR | 0 | AFH-C | AFL-C | AEH-C | AEL-C | 0 | IR-C |
| 0E | OE-D | OC-D | 0 | 0 | RC3-D | RC2-D | RC1-D | RC0-D |
| 0F | POR | 0 | AFH-D | AFL-D | AEH-D | AEL-D | 0 | IR-D |

メモリマップページ 2、アラーム設定 図 5c

| Address | bit 7 | bit 6 | bit 5 | bit 4 | bit 3 | bit 2 | bit 1 | bit 0 |
|---------|--------|-------|-------|-------|-------|-------|-------|--------|
| 10 | MSBL-A | A | A | A | A | A | A | LSBL-A |
| 11 | MSBH-A | A | A | A | A | A | A | LSBH-A |
| 12 | MSBL-B | B | B | B | B | B | B | LSBL-B |
| 13 | MSBH-B | B | B | B | B | B | B | LSBH-B |
| 14 | MSBL-C | C | C | C | C | C | C | LSBL-C |
| 15 | MSBH-C | C | C | C | C | C | C | LSBH-C |
| 16 | MSBL-D | D | D | D | D | D | D | LSBL-D |
| 17 | MSBH-D | D | D | D | D | D | D | LSBH-D |

各チャンネルのアラームしきい値電圧のレジスタは、下限のしきい値が下位アドレスにあるメモリページ 2 に位置しています(図 5c)。電源投入時のデフォルトしきい値は下限アラームの場合は 00h で、上限アラームの場合は FFh です。アラーム設定は、常に 8ビットです。8ビット以上の分解能については、上限アラームレジスタに保管された値よりも高い値(AFH)、または下限アラームレジスタに保管された値よりも低い値(AFL)を変換結果の最上位 8ビットがもたらす場合は、アラームフラグが設定されます。8ビット未満の分解能の場合は、アラームレジスタの最下位ビットは無視されます。

メモリマップページ 3、出荷時設定、VCC 制御バイト 図 5d

| Address | |
|---------|-------------------------------------|
| 18 | Factory Calibration (do not change) |
| 19 | Factory Calibration (do not change) |
| 1A | Factory Calibration (do not change) |
| 1B | Factory Calibration (do not change) |
| 1C | Set to 40 hex if VCC powered |
| 1D | Factory Calibration (do not change) |
| 1E | Factory Calibration (do not change) |
| 1F | Factory Calibration (do not change) |

出荷時の調整の際に使われるアドレス範囲 18~1F の第 4 メモリページがあります。Read Memory および Write Memory コマンドを通じてユーザはこのメモリページを利用することができます。ただし、このページのデータを任意に変更すると A/D コンバータの調整が解除され、電源投入リセットを経るまでデバイスが機能しなくなります。デバイスが VCC により電源を供給されると、電源供給後にメモリアドレス 1C に 16 進数の 40 の値を書き込んで、アナログ回路を永続的にアクティブに維持する必要があります。これにより、本来 Convert コマンドのたびに必要であったオフセット時間も不要となります。詳細は、Convert コマンドの説明を参照してください。

機能コマンド

機能コマンドフローチャート(図 6)では、デバイスレジスタへのアクセスに必要なプロトコルを説明しています。DS2450のメモリマップは16ビットアドレス指定機能に比べて小さいので、アドレスの最上位11ビットはCRC生成器になる前に0にさせられます。マスタとDS2450間の通信は、標準速度(デフォルト、OD=0)、またはOverdrive速度(OD=1)のいずれかで行われます。Overdriveモードに明確に設定されていない場合は、デバイスでは標準速度を想定します。

Read Memory [AAH]

Read Memory コマンドを使って、変換結果、制御/状態データ、およびアラーム設定を読み込むことができます。バスマスタは、メモリマップ内の開始バイト位置を指示する、2 バイトアドレス(TA1=(T7:T0)、TA2=(T15:T8))を備えるコマンドバイトに従います。以降のデータ読み込みタイムスロットごとに、供給アドレスから始まり、8 バイトページの末尾に達するまで続行するデータをバスマスタは DS2450 から受信します。その際に、バスマスタはコマンドバイト、アドレスバイト、およびデータバイトの 16ビットCRCを受信します。この CRC は DS2450 によって算出され、コマンドワード、開始アドレス、およびデータが正しく受信されたかをチェックするために、バスマスタにより読み返されます。バスマスタが読み込む CRC が不適切な場合は、リセットパルスを発行し、シーケンス全体を反復する必要があります。

CRC 生成器をクリアし、コマンドバイトをシフトインした結果である 16ビット CRC 値は、Read Memory フローチャートの最初のプロセスによって生成されることに注意してください。このコマンドバイトには、2 アドレスバイトと、アドレス指定された先頭のメモリ位置から始まりアドレス指定ページの最後のバイトまで続くデータバイトが後続します。Read Memory フローチャートの以降のプロセスにより、CRC 生成器をクリアし、次のページの先頭バイトから始まる新規データバイトをシフトインした結果である 16ビットCRC が生成されます。

Write Memory [55H]

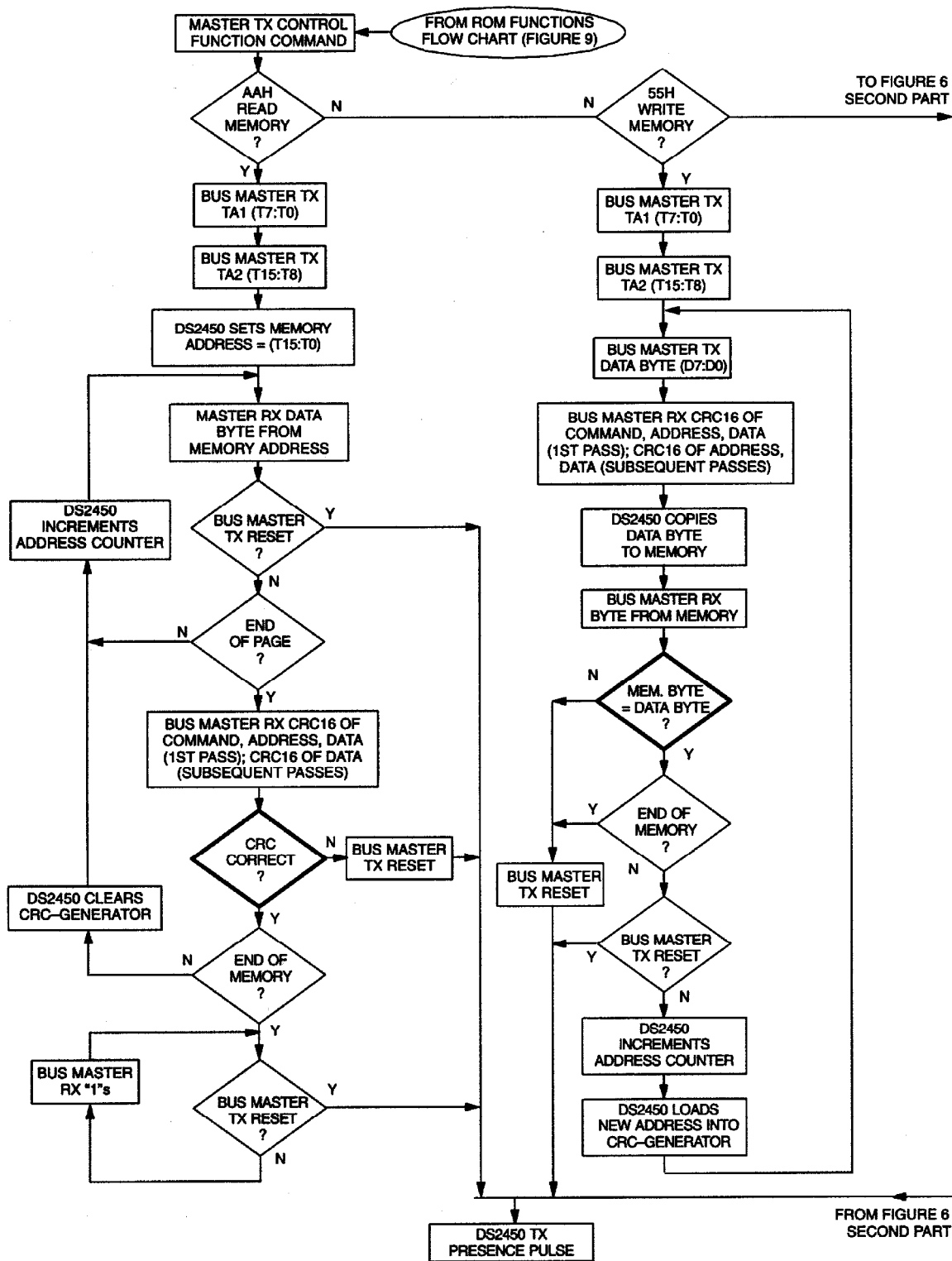
チャンネル固有の制御データとアラームしきい値を設定するために、Write Memory コマンドを使ってメモリページ 1 および 2 に書き込むことができます。このコマンドは、1Ch アドレス、ページ 3 のシングル制御バイトを書き込むのに使用することもできます。バスマスタは、2 バイト開始アドレス(TA1 = (T7:T0)、TA2 = (T15:T8))および(D7:D0)のデータバイトを備えるコマンドバイトに従います。コマンドバイト、アドレスバイト、およびデータバイトの 16ビットCRC は DS2450 によって算出され、正しいコマンドワード、開始アドレス、およびデータバイトが受信されたかどうかを確認するために、バスマスタにより読み返されます。ここで、DS2450 はデータバイトを指定メモリ位置にコピーします。次の 8 つのタイムスロットについては、バスマスタは同一バイトのコピーを受信しますが、検証するためにメモリから読み込みます。検証が失敗した場合は、リセットパルスを発行し、現行バイトアドレスを再度書き込む必要があります。

バスマスタがリセットパルスを発行せず、メモリ末尾にまだ達していない場合は、DS2450 はアドレスカウンタを自動的に増加させ、次のメモリ位置をアドレス指定します。また、新たな 2 バイトのアドレスも、開始値として 16ビットCRC 生成器にロードされます。バスマスタは、8 つの書き込みタイムスロットを用いて次のバイトを送信します。DS2450 がこのバイトを受信すると、CRC 生成器に当バイトもシフトし、その結果、新規データバイトおよび新規アドレスから構成される 16ビットCRC になります。次の 16 の読み込みタイムスロットに関しては、アドレスが適切に増加し、データバイトが正しく受信されたかを検証するために、バスマスタは DS2450 からこの 16ビットCRC を読み込みます。この CRC の次に、バスマスタはメモリから読み込まれたように書かれただけのバイトを受け取ります。CRC または読み返されたバイトが正しくない場合は、Write Memory コマンドシーケンスを繰り返すためにリセットパルスを発行する必要があります。

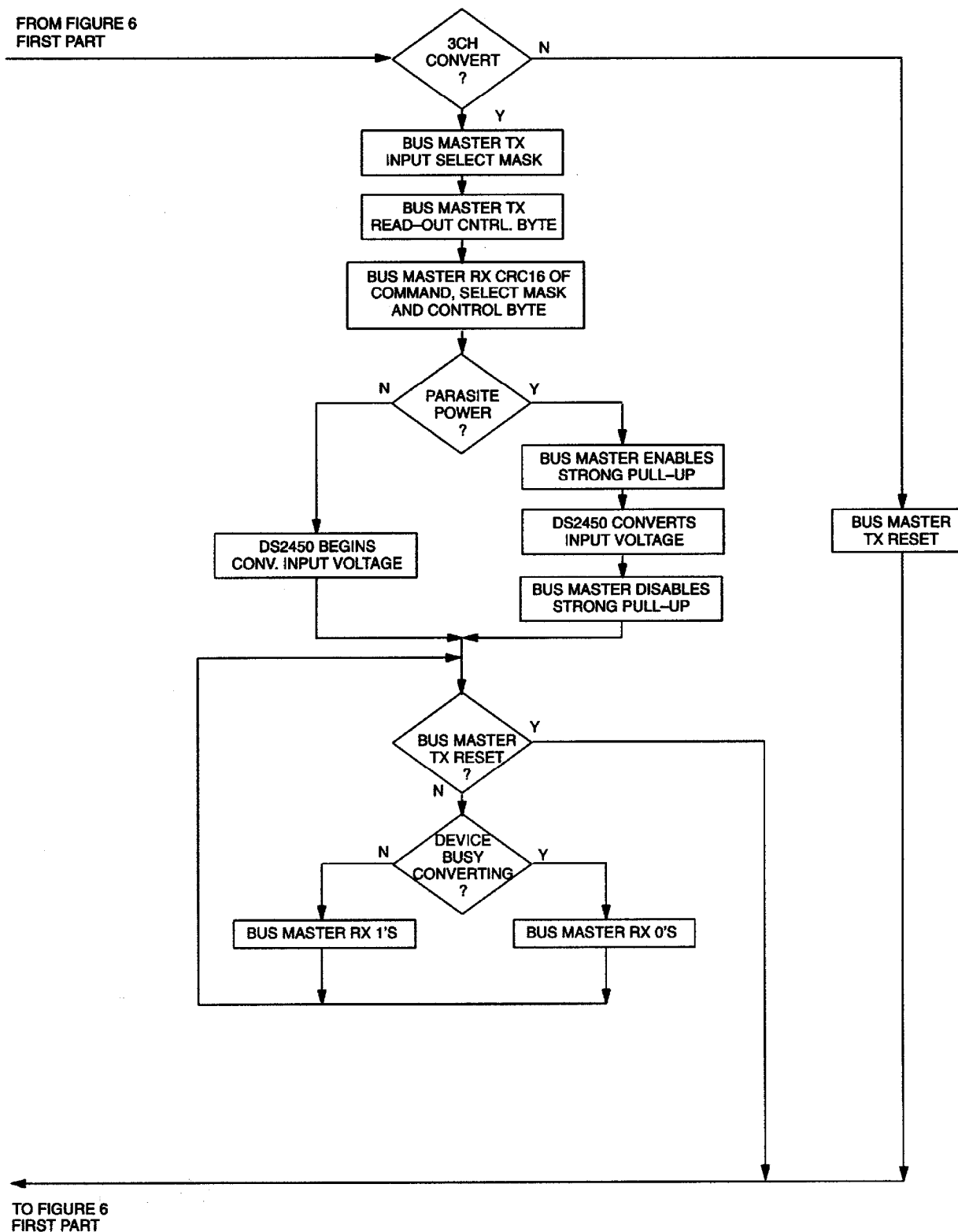
Write Memory フローチャートの最初のプロセスによって、CRC 生成器にコマンドバイトをシフトした結果である 16ビットCRC 値が生成され、この CRC 値には 2 アドレスバイトとデータバイトが後続することに注意してください。アドレスカウンタを自動増加する DS2450 による Write Memory フローチャートの以降のプロセスによって、新規(増加)アドレスを CRC 生成器にロードし(シフトせず)、新規データバイトにシフトインした結果である 16ビットCRC が生成されます。

不適切な CRC の受信後や検証が失敗した場合に続行するかどうかの決定は、バスマスタのみにより下されます。変換読出しレジスタに書き込むことはできません。ページ 0 アドレスに書き込もうとすると、デバイスは Write Memory フローチャートに正確に従いますが、メモリから読み返されたデータバイトの検証は通常失敗します。Write Memory コマンドシーケンスは、リセットパルスを発行して、いつでも終了することができます。

機能コマンドフローチャート 図 6



機能コマンドフローチャート 図 6 (続き)



Convert [3CH]

Convertコマンドを使って、メモリページ1の制御/状態データで指定された分解能で1つまたは複数のチャンネルのアナログ-デジタル変換を開始することができます。Convertコマンドが発行されるごとに、変換には最大160 μ sのオフセット時間に加えてビット当たり60~80 μ sの時間がかかります。たとえば、それぞれ12ビットの分解能を備える4チャンネルの場合は、Convertコマンドに160 μ sオフセット時間のほかに4x12x80 μ s以下の時間しかかからず、合計時間は4msです。DS2450がV_{CC}ピンを通じて電源を供給される場合は、DS2450がA/D変換を行っている間にバスマスタが1-Wireバス上の他のデバイスと通信することができます。デバイスが1-Wireバスのみから電源供給されている場合は、十分なエネルギーを供給するために推定変換時間の間、バスマスタが5Vまでストロングプルアップする必要があります。

変換は、入力選択マスク(図7a)および読出し制御バイト(図7b)により制御されます。入力選択マスクでは、バスマスタは変換に参加するチャンネルを指定します。あるチャンネルに関連するビットが1に設定されると、そのチャンネルが選択されます。複数のチャンネルが選択された場合は、未選択のチャンネルを飛ばしてA、B、C、Dの順で次々と各チャンネルの変換が行われます。残りの全選択チャンネルの変換が完了する前に、バスマスタはチャンネルの変換結果を読み込むことができます。これまでの結果と新規の値を識別するために、バスマスタは読出し制御バイトを使用します。このバイトによって、各選択チャンネルの変換読出しレジスタをすべて1または0に事前設定することができます。想定結果が0に近い場合はすべて1に事前設定し、変換結果がおそらく大きい値になる場合はすべて0に事前設定する必要があります。読込み前に全選択チャンネルが変換されるまで、バスマスタが待機可能なアプリケーションでは、読出しレジスタの事前設定は不要です。入力選択マスクで未選択のチャンネルについては、チャンネルの読出し制御設定は効果がないことに注意してください。チャンネルが0に近い変換結果を常時もたらす場合は、チャンネルの出力トランジスタが導通していることがあります。詳細は、デバイスレジスタのセクションを参照してください。

入力選択マスク (Convert コマンド) 図 7a

| bit 7 | bit 6 | bit 5 | bit 4 | bit 3 | bit 2 | bit 1 | bit 0 |
|--------------|-------|-------|-------|-------|-------|-------|-------|
| "don't care" | | | | D | C | B | A |

読出し制御 (Convert コマンド) 図 7b

| bit 7 | bit 6 | bit 5 | bit 4 | bit 3 | bit 2 | bit 1 | bit 0 |
|-------|---------|-------|---------|-------|---------|-------|---------|
| Set D | Clear D | Set C | Clear C | Set B | Clear B | Set A | Clear A |

| Set | Clear | Explanation |
|-----|-------|------------------------|
| 0 | 0 | no preset, leave as is |
| 0 | 1 | preset to all 0's |
| 1 | 0 | preset to all 1's |
| 1 | 1 | (illegal code) |

Convertコマンドバイトに従い、バスマスタが入力選択マスクと読出し制御バイトを送信します。ここで、バスマスタがコマンドバイト、選択マスク、および制御バイトのCRC16を読み込みます。バスマスタがCRCの最上位ビットを受信して10 μ s以上経つと、変換が開始されます。

寄生電源供給の場合は、前述したように推定時間の間、この10 μ sの時間枠内にストロングプルアップを実行する必要があります。その後、データラインはアイドルハイ状態に戻り、バス上の通信が再開することができます。バスマスタは、Convertコマンドから抜けるために通常リセットパルスを送信します。ストロングプルアップ後に生成されるデータ読込みタイムスロットは終了しますが、変換時間が正確に算出された場合はリセットパルス発行前にすべて1という結果になるはずですが。

V_{CC} 電源供給の場合は、バスマスタは Convert コマンドから抜けるためにリセットパルスを送信するか、またはデータ読み込みタイムスロットを常時生成することができます。DS2450 が変換を行っている間は、バスマスタは 0 を読み込みます。変換が終了すると、代わりにバスマスタは 1 を受信します。オープンドレイン環境では単一の 0 は複数の 1 を上書きするので、バスマスタは同時変換しながら複数デバイスをモニタすることができ、最後のデバイスが準備できる時期を即座に認識します。寄生電源供給されたケースと同様に、バスマスタはリセットパルスを発行して、最終的には Convert コマンドから抜ける必要があります。

1-Wire バスシステム

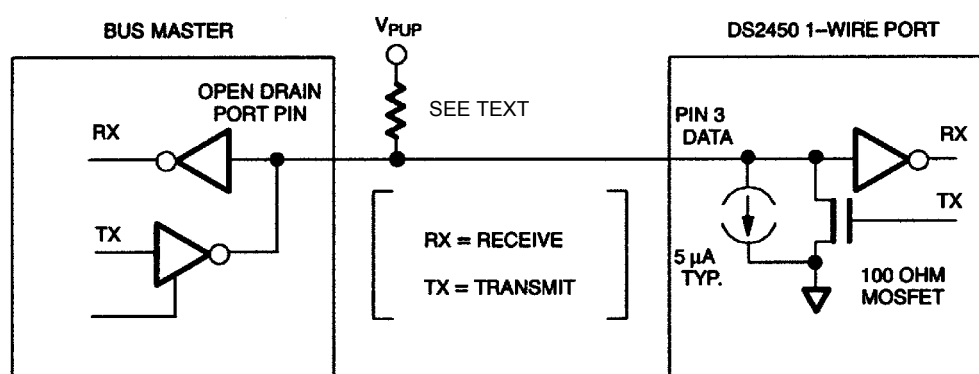
1-Wire バスは、単一バスマスタと 1 つまたは複数のスレーブを持つシステムです。いかなる場合においても DS2450 はスレーブデバイスです。このバスシステムの説明は、以下の 3 つのトピックに分類されます。すなわち、ハードウェアコンフィギュレーション、トランザクションシーケンス、および 1-Wire 信号方式(信号種類とタイミング)です。1-Wire プロトコルでは、バスマスタの同期パルスの立下がりエッジで起動した特定タイムスロット時のバス状態によってバストランザクションを定義します。詳細なプロトコルの説明については、「Book of DS19xx iButton Standards」の第 4 章を参照してください。

ハードウェア構成

1-Wire バスはその名の通り 1 つのラインしか持っていません。バス上の各デバイスが適時その単一ラインをドライブできることが重要です。これを容易にするために、1-Wire バスに接続された各デバイスがオープンドレイン出力やトリストート出力を備える必要があります。DS2450 の 1-Wire ポートは、図 8 に示されているのと同じ内部回路付オープンドレインです。マルチドロップバスは、複数のスレーブを接続した 1-Wire バスから構成されています。標準速度では 1-Wire バスの最大データ転送速度は、16.3kb/s です。Overdrive モードを作動させ、この速度を 142kb/s に上げることができます。1-Wire バスでは、通信するために標準速度で約 5k Ω 、Overdrive 速度で最大 2.2k Ω のプルアップ抵抗が必要です。DS2450 が 1-Wire バスのみにより電源供給されている場合は、A/D 変換の間、十分なエネルギーを供給するためにバスマスタは 5V までストロングプルアップする必要があります。

1-Wire バスのアイドル状態はハイです。なんらかの理由でトランザクションを一時停止する必要があり、その後トランザクションが再開する予定の場合はバスがアイドル状態になっている必要があります。これが実行されず、バスが 16 μ s (Overdrive 速度)、または 120 μ s (標準速度)を超えてローにされると、バス上の 1 つまたは複数のデバイスがリセットされることがあります。

ハードウェア構成 図 8



トランザクションシーケンス

1-Wire ポートを経由して DS2450 にアクセスするためのプロトコルは、以下の通りです。

- 初期化
- ROM 機能コマンド
- メモリ/変換機能コマンド
- トランザクション/データ

初期化

1-Wire バス上のすべてのトランザクションは、初期化シーケンスから始まります。初期化シーケンスはバスマスタにより送信されるリセットパルスから構成され、このリセットパルスの後にはスレーブが送信するプレゼンスパルスが続きます。プレゼンスパルスによって、バスマスタは DS2450 がバス上にあり、動作可能であることを認識します。詳細は、「1-Wire 信号方式」セクションを参照してください。

ROM 機能コマンド

バスマスタがプレゼンスパルスを検出すると、7つある ROM 機能コマンドのどれかを発行することができます。すべての ROM 機能コマンドは 8 ビット長です。こうしたコマンドのリストは、以下の通りです(図 9 のフローチャートを参照)。

Read ROM [33H]

このコマンドを使うと、バスマスタが DS2450 の 8 ビットファミリコード、ユニークな 48 ビットシリアル番号、および 8 ビット CRC を読み込むことができます。バス上に単一 DS2450 がある場合のみ、このコマンドを使用することができます。複数のスレーブがバス上にある場合は、全スレーブが同時に送信しようとする、データの衝突が発生します(オープンドレインにより、ワイヤード AND 結果がもたらされます)。その結果のファミリコードと 48 ビットシリアル番号は、CRC の不整合をもたらします。

Match ROM [55H]

64 ビット ROM シーケンスが後に続く Match ROM コマンドにより、バスマスタはマルチドロップバス上の特定の DS2450 をアドレス指定することができます。64 ビット ROM シーケンスと完全一致する DS2450 のみが、以下のメモリ/変換機能コマンドに応答します。64 ビット ROM シーケンスと一致しないデバイスはすべて、リセットパルスを待ちます。バス上の 1 つまたは複数のデバイスで、このコマンドを使用することができます。

Skip ROM [CCH]

バスマスタが 64 ビット ROM コードを提供せずにメモリ/変換機能にアクセスして、このコマンドでは、シングルドロップバスシステムで時間を節約することができます。複数のスレーブがバス上にあり、Skip ROM コマンドに続き、読み込みコマンドが発行される場合に、複数のスレーブが同時送信すると、データの衝突がバス上で発生します(オープンドレインプルダウンにより、ワイヤード AND の結果がもたらされます)。

Search ROM [F0H]

システムが最初に提示される際に、バスマスタが 1-Wire バス上のデバイス数やその 64 ビット ROM コードを認識しない場合があります。Search ROM コマンドにより、バスマスタが除去プロセスを使って、バス上の全スレーブデバイスの 64 ビット ROM コードを識別することができます。Search ROM プロセスでは、以下のシンプルな 3 ステップのルーチンを反復します。1 ビットを読み込み、当ビットの補数を読み込んで、当ビットの要求値を書き込む。バスマスタは、ROM の各ビットでこうしたシンプルな 3 ステップのルーチンを実行します。こうした 1 プロセス全体を経ると、バスマスタは 1 デバイス内の ROM の内容を認識します。残りのデバイス数とその ROM コードは、プロセスを重ねることによって識別することができます。実例を含む Search ROM に関する包括的な説明は、「Book of DS19xx iButton Standards」の第 5 章を参照してください。

Conditional Search [ECH]

Conditional Search ROM コマンドは、特定条件を満たすデバイスのみが検索に加わることを除いて、Search ROM コマンドと同様の機能を果たします。チャンネルのアラーム対応フラグ AEH または AEL、あるいはその両方が設定され、変換結果がチャンネルのアラームしきい値電圧で指定された範囲を超えた値である場合は、DS2450 は Conditional Search コマンドに応答します。詳細は、デバイスレジスタのセクションを参照してください。Conditional Search ROM コマンドによって、許容帯域を超えた電圧など、重要イベントを通知する必要があるマルチドロップシステム上のデバイスをバスマスタが効率的に識別することができます。マルチドロップバス上にある特定デバイスの 64 ビット ROM を適切に識別した Conditional Search の各プロセスごとに、あたかも Match ROM が発行されたかのように当デバイスに個別にアクセスすることができます。というのは、他の全デバイスは検索プロセスから抜け、リセットパルスを待っているからです。

Overdrive Skip ROM [3CH]

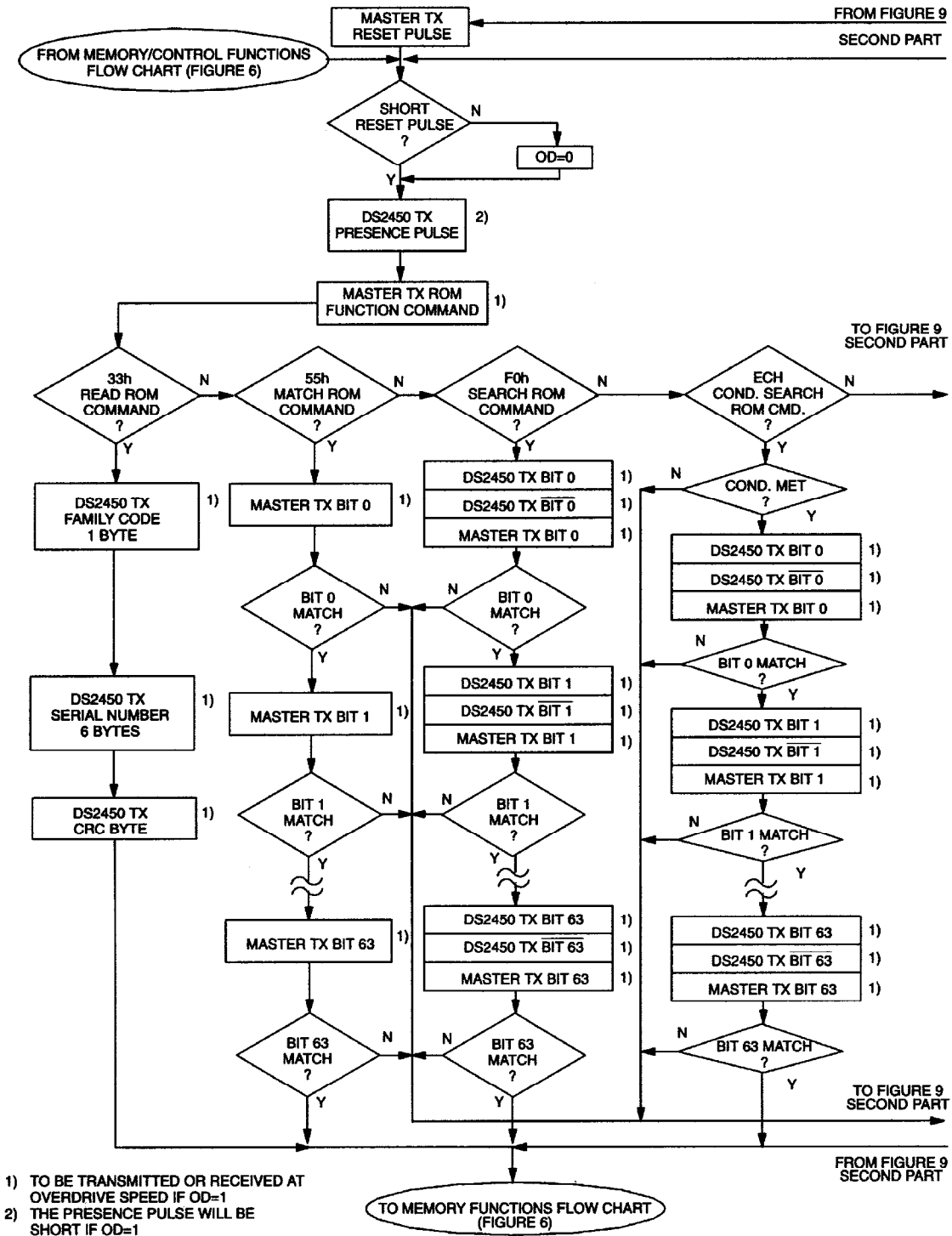
バスマスタが 64 ビット ROM コードを提供せずにメモリ/変換機能にアクセスして、このコマンドではシングルドロップバス上で時間を節約することができます。標準の Skip ROM コマンドとは異なり、Overdrive Skip ROM では Overdrive モード (OD = 1) で DS2450 を設定します。少なくとも 480 μ s 時間長のリセットパルスがバス上の全デバイスを標準速度 (OD = 0) にリセットするまで、このコマンド発行後の通信はすべて、Overdrive 速度で行われる必要があります。

マルチドロップバス上で発行されると、当コマンドは Overdrive をサポートする全デバイスを Overdrive モードに設定します。特定の Overdrive サポートデバイスを後でアドレス指定するには、Match ROM や Search ROM コマンドシーケンスが後続する Overdrive 速度のリセットパルスを発行する必要があります。これを行うと、検索プロセスの時間が短縮されます。複数の Overdrive サポートスレーブがバス上にあり、ROM Overdrive スキップコマンドの後に読み込みコマンドが続く場合は、複数のスレーブが同時送信すると、データの衝突がバス上で発生します (オープンドレインプルダウンにより、ワイヤード AND の結果がもたらされます)。

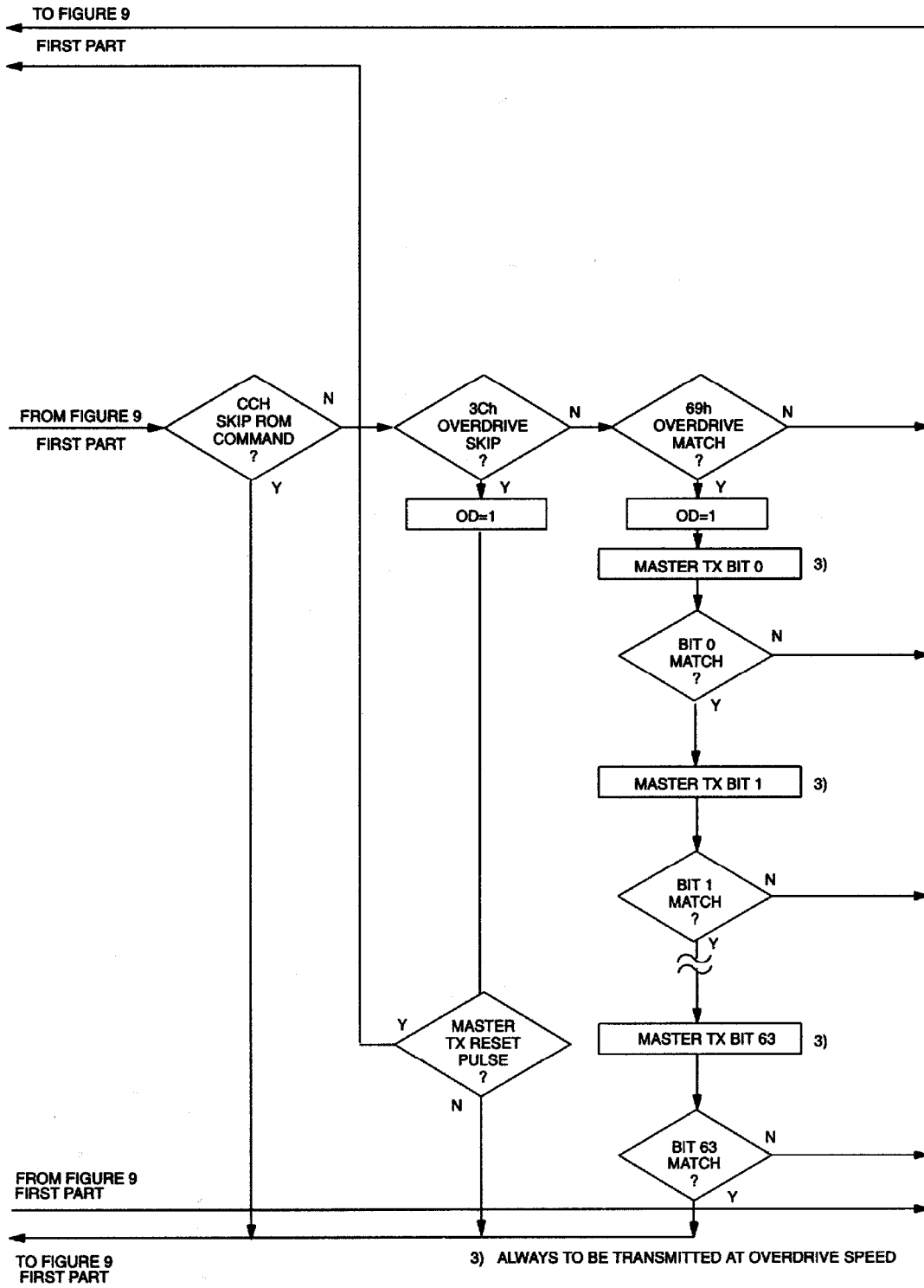
Overdrive Match ROM [69H]

Overdrive 速度で送信される 64 ビット ROM シーケンスが後に続く Overdrive Match ROM コマンドにより、バスマスタがマルチドロップバス上の特定の DS2450 をアドレス指定し、同時に Overdrive モードで設定することができます。64 ビット ROM シーケンスに完全一致する DS2450 のみが、以降のメモリ機能コマンドに応答します。以前の Overdrive スキップコマンドやマッチコマンドから現在では Overdrive モードになっているスレーブは、Overdrive モードにとどまります。Overdrive 対応スレーブはすべて、少なくとも 480 μ s 時間長の次のリセットパルスで標準速度に戻ります。バス上の 1 つまたは複数のデバイスで、Overdrive Match ROM コマンドを使用することができます。

ROM 機能フローチャート 図 9



ROM 機能コマンドフローチャート 図 9 (続き)



使用例(設定セクション)

1-Wire バス上に V_{CC} によって電源供給される単一 DS2450 があります。チャンネル D を 12 ビット、5.12V 範囲、2.0V (64h) および 3.0V (96h) (20mV 単位) のアラームしきい値に設定し、入力電圧を変換します。下限アラームが発生した場合はチャンネル A 出力、上限アラームが発生した場合はチャンネル B 出力をそれぞれオンにします。

| MASTER MODE | DATA (LSB FIRST) | COMMENTS |
|-------------|------------------|---------------------------------------|
| TX | Reset | Reset Pulse (480 - 960 μ s) |
| RX | Presence | Presence Pulse |
| TX | CCh | Issue "Skip ROM" Command |
| TX | 55h | Issue "Write Memory" Command |
| TX | 08h | TA1, beginning address |
| TX | 00h | TA2, address = 0008h |
| TX | C0h | data byte (address 0008) CH-A |
| RX | <CRC16> | CRC of command, address, data byte |
| RX | C0h | read-back for simple verification |
| TX | 00h | next data byte (address 0009h) |
| RX | <CRC16> | CRC of address, data byte |
| RX | 00h | read-back for simple verification |
| TX | C0h | data byte (address 000A) CH-B |
| RX | <CRC16> | CRC of address, data byte |
| RX | C0h | read-back for simple verification |
| TX | 00h | next data byte (address 000Bh) |
| RX | <CRC16> | CRC of address, data byte |
| RX | 00h | read-back for simple verification |
| TX | C0h | data byte (address 000C) CH-C* |
| RX | <CRC16> | CRC of address, data byte |
| RX | C0h | read-back for simple verification |
| TX | 00h | next data byte (address 000Dh) |
| RX | <CRC16> | CRC of address, data byte |
| RX | 00h | read-back for simple verification |
| TX | 0Ch | data byte (address 000E) CH-D |
| RX | <CRC16> | CRC of address, data byte |
| RX | 0Ch | read-back for simple verification |
| TX | 0Dh | next data byte (address 000Fh) |
| RX | <CRC16> | CRC of address, data byte |
| RX | 0Dh | read-back for simple verification |

次ページに続きます。

*マルチドロップ環境では、これをスキップするよりも未使用チャンネルを設定した方が時間はかかりません。

使用例(設定続き、変換、フラグ読み込み)

| MASTER MODE | DATA (LSB FIRST) | COMMENTS |
|-------------|-----------------------|--------------------------------------|
| TX | Reset | Reset Pulse (480 - 960 μ s) |
| RX | Presence | Presence Pulse |
| TX | CCh | Issue "Skip ROM" Command |
| TX | 55h | Issue "Write Memory" Command |
| TX | 16h | TA1, beginning address |
| TX | 00h | TA2, address = 0016h |
| TX | 64h | data byte (address 0016) CH-D |
| RX | <CRC16> | CRC of command, address, data byte |
| RX | 64h | read-back for simple verification |
| TX | 96h | next data byte (address 0017h) |
| RX | <CRC16> | CRC of address, data byte |
| RX | 96h | read-back for simple verification |
| TX | Reset | Reset Pulse (480 - 960 μ s) |
| RX | Presence | Presence Pulse |
| TX | CCh | Issue "Skip ROM" Command |
| TX | 3Ch | Issue "Convert" Command |
| TX | 08h | input select mask CH-D |
| TX | 40h | read-out control byte |
| RX | <CRC16> | CRC of command, mask, control byte |
| RX | <multiple data bytes> | continue reading until byte is FFh |
| TX | Reset | Reset Pulse (480 - 960 μ s) |
| RX | Presence | Presence Pulse |
| TX | CCh | Issue "Skip ROM" Command |
| TX | Aah | Issue "Read Memory" Command |
| TX | 0Fh | TA1, beginning address |
| TX | 00h | TA2, address = 000Fh |
| RX | <data byte> | status data* CH-D |
| RX | <CRC16> | CRC of command, address, data byte |

次ページに続きます。

*状態データバイトには、チャンネルA/B出力の制御用に用いられるチャンネルDアラームフラグAFH/AFLが含まれています(次ページ参照)。

使用例(チャンネルA/B 出力の制御)

| MASTER MODE | DATA (LSB FIRST) | COMMENTS |
|-------------|---------------------------------|--------------------------------------|
| TX | Reset | Reset Pulse (480 - 960 μ s) |
| RX | Presence | Presence Pulse |
| TX | CCh | Issue "Skip ROM" Command |
| TX | 55h | Issue "Write Memory" Command |
| TX | 08h | TA1, beginning address |
| TX | 00h | TA2, address = 0008h |
| TX | 80h if AFL = 1 / C0h if AFL = 0 | data byte (address 0008) CH-A |
| RX | <CRC16> | CRC of command, address, data byte |
| RX | <data byte> | read-back for simple verification |
| TX | 00h | next data byte (address 0009h)* |
| RX | <CRC16> | CRC of address, data byte |
| RX | 00h | read-back for simple verification |
| TX | 80h if AFH = 1 / C0h if AFH = 0 | data byte (address 000A) CH-B |
| RX | <CRC16> | CRC of address, data byte |
| RX | <data byte> | read-back for simple verification |
| TX | Reset | Reset Pulse (480 - 960 μ s) |
| RX | Presence | Presence Pulse |

*マルチドロップ環境では、バイトをスキップするよりも非変動書込みサイクルを実行した方が時間はかかりません。

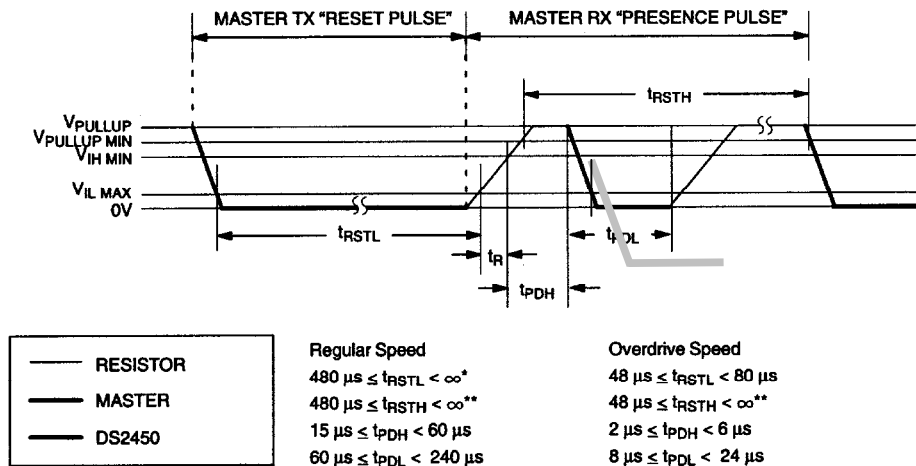
1-Wire 信号方式

DS2450 には、データ整合性を確保する厳密なプロトコルが必要です。プロトコルは、以下の 4 種類の単一ライン上の信号方式から構成されています。それは、リセットパルスとプレゼンスパルスを備えるリセットシーケンス、Write-Zero、Write-One、およびデータ読み込みです。プレゼンスパルスを除いてこうした信号はすべて、バスマスタにより開始されます。DS2450 は、標準速度と Overdrive 速度の 2 種類の速度で通信することができます。Overdrive モードに明確に設定されていない場合は、DS2450 は標準速度で通信します。Overdrive モード時には、高速タイミングがすべての波形に適用されます。

DS2450 との通信開始に必要な初期化シーケンスは、図 10 に紹介されています。プレゼンスパルスが後続するリセットパルスは、適切な ROM とメモリ機能コマンドが出されると DS2450 がデータ送受信の用意ができていることを示します。バスマスタは、(TX)リセットパルス(t_{RSTL} 、通常速度で最短 480 μ s、Overdrive 速度で最短 48 μ s)を送信します。次に、バスマスタがラインを解放すると、受信モード(RX)に入ります。1-Wire バスは、プルアップ抵抗を通じてハイ状態にプルされます。データピンの立上がりエッジを検出すると、DS2450 は待機し(t_{PDH} 、標準速度で 15~60 μ s、Overdrive 速度で 2~6 μ s)、プレゼンスパルスを送信します(t_{PDL} 、標準速度で 60~240 μ s、Overdrive 速度で 8~24 μ s)。

480 μ s 以上のリセットパルスは Overdrive モードを抜け、デバイスを標準速度に戻します。DS2450 が Overdrive モードで、リセットパルスが 80 μ s 以下の場合は、デバイスは Overdrive モードにとどまります。

初期化プロシージャ(リセット/プレゼンスパルス) 図 10



*1-Wire バス上の他のデバイスにより割込み信号をマスクしないように、 $t_{RSTL} + t_R$ は必ず 960 μs 未満である必要があります。

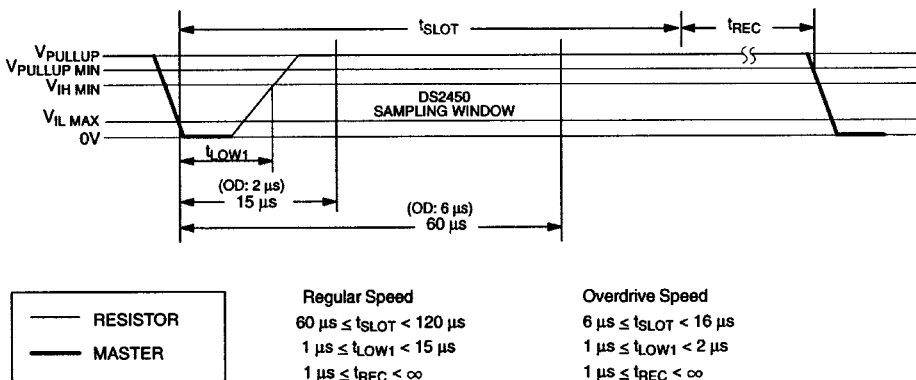
**リカバリ時間を含む

Read/Write タイムスロット

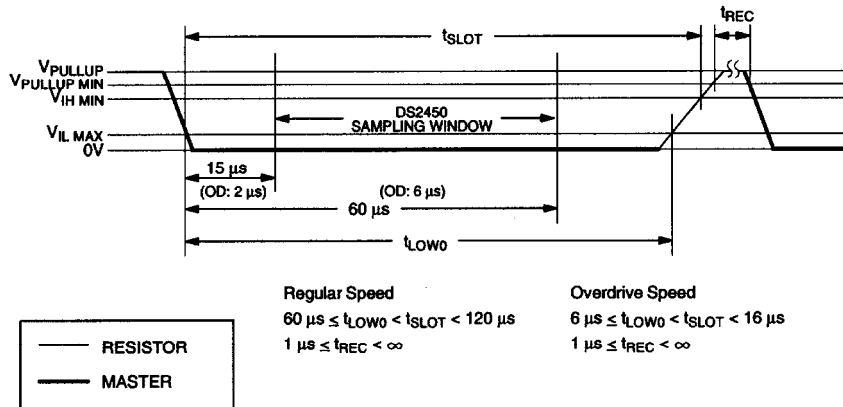
Read/Write タイムスロットの説明は、図 11 に示されています。すべてのタイムスロットは、データラインをローにするマスタによって開始されます。データラインの立下りエッジにより、DS2450 の遅延回路が作動して、DS2450 がマスタに同期します。タイムスロット書き込み時に、DS2450 がデータラインをサンプリングする時期を遅延回路は算出します。データ読み込みタイムスロットの場合は、「0」が送信されると、マスタにより生成される 1 をオーバーライドして DS2450 がデータラインをローに保つ時間長を遅延回路が算出します。データビットが「1」の場合は、デバイスはデータ読み込みタイムスロットを変更しません。

読み込み/書き込み時間図 図 11

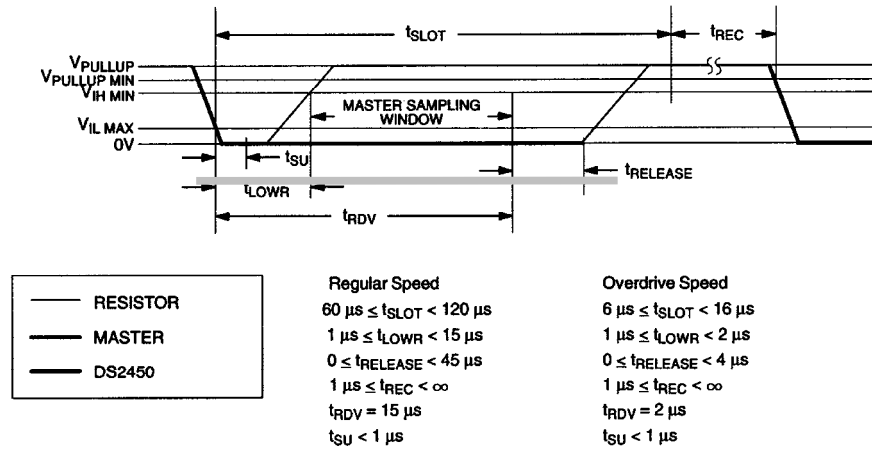
Write-One タイムスロット



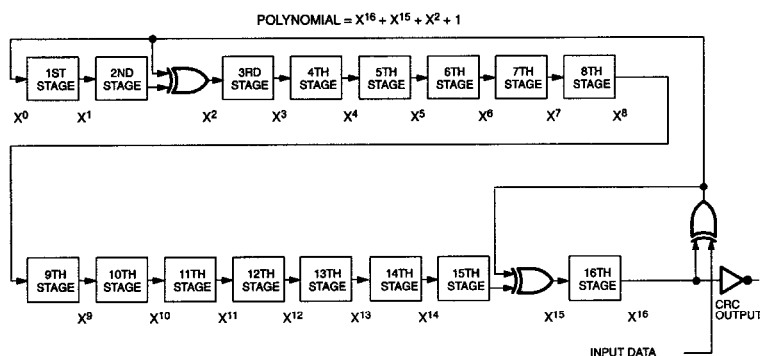
読み込み/書き込み時間図 図 11 (続き)
Write-Zero タイムスロット



Read-Data タイムスロット



CRC のハードウェア説明および多項式 図 12



CRC の生成

DS2450 には、2種類の CRC(巡回冗長検査)があります。1つは 8ビットタイプで、64ビット ROM の最上位バイトに保管されています。バスマスタは 64ビット ROM の先頭 56ビットから CRC 値を算出し、DS2450 内に保管された値と照合して、バスマスタが ROM データをエラーなしで受信したかどうかを判断することができます。この CRC の等価多項式関数は、 $X^8 + X^5 + X^4 + 1$ です。この 8ビット CRC は、DS2450 の ROM 読み込み時には true (非反転)形式で受信されます。当 CRC は出荷時に 1 回算出され、ROM にレーザ書き込みされます。

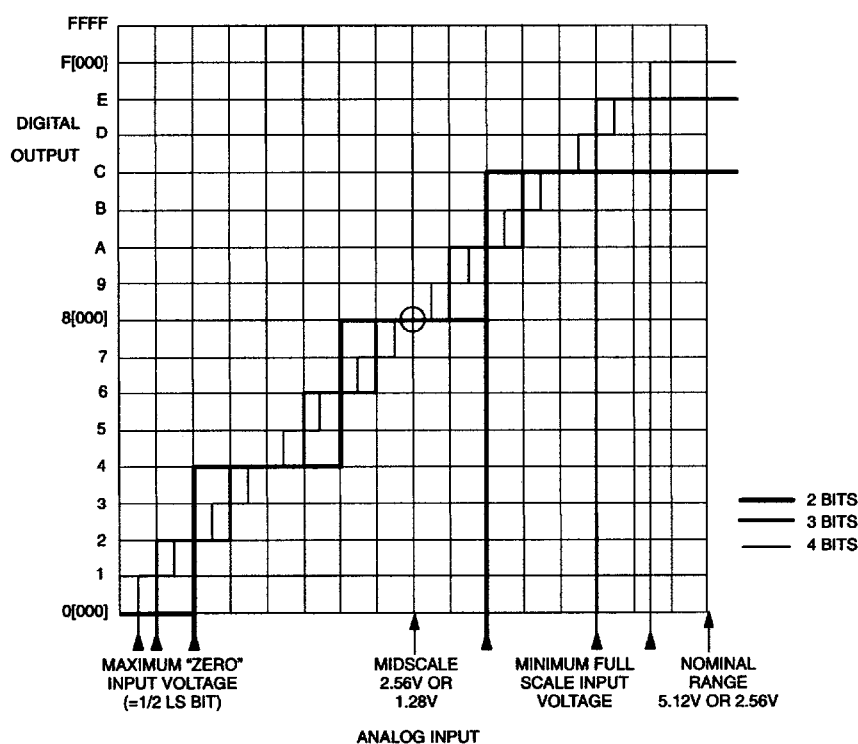
もう一方の CRC は 16ビットタイプで、標準 CRC16 多項式関数 $X^{16} + X^{15} + X^2 + 1$ にしたがって生成されます。この CRC を使って、デバイスメモリと間の読み込み/書き込み時にデータを保護することができます。当 CRC は、iButton ファイル構造のデータパケットを保護するために不揮発性 RAM ベースの iButton で使われている CRC と同じタイプです。8ビット CRC とは対照的に、この 16ビット CRC は常に相補(反転)形式で返されます。DS2450 チップ内の CRC 生成器(図 12)は、図 6 のコマンドフローチャートに示されるあらゆる状況で新たな 16ビット CRC を算出します。

DS2450 は、コマンド、アドレス、およびバスマスタとやりとりするデータの転送を検証するためにこの CRC 値をバスマスタに提供します。メモリ読み込み時に各 8 バイトメモリページの末尾に達すると、16ビット CRC が送信されます。Read Memory フローチャートの最初のプロセスで、CRC 生成器をクリアし、コマンドバイト、ローアドレス、ハイアドレス、およびアドレス指定された先頭のメモリ位置から始まり、アドレス指定メモリページの最後のバイトに達するまで続くデータバイトをシフトインして、16ビット CRC が生成されます。Read Memory フローチャートの以降のプロセスにより、CRC 生成器をクリアし、次ページの先頭バイトから始まり、当ページの最後のバイトに達するまで続く新規データバイトをシフトインした結果である 16ビット CRC が生成されます。

DS2450 に書き込むと、バスマスタは 16ビット CRC を受信して、デバイスがデータバイトをメモリにコピーする前にデータ転送が正しいか検証します。Write Memory フローチャートの最初のプロセスで、CRC 生成器を消去し、コマンド、ローアドレス、ハイアドレス、およびデータバイトをシフトインして、16ビット CRC が生成されます。アドレスカウンタを自動的に増加させる DS2450 による Write Memory フローチャートの以降のプロセスによって、新規(増加)アドレスを CRC 生成器にロードし(シフトせず)、新規データバイトにシフトインした結果である 16ビット CRC が生成されます。

ハードウェアおよびソフトウェア両方の実装例を含む CRC 値生成に関する詳細は、「Book of DS19xx iButton Standards」を参照してください。

転送特性



増分および最小フルスケール入力電圧/分解能

| Resolution | Range = 2.56V | | Range = 5.12V | |
|------------|---------------------------------------|--------------------------------------|--|--------------------------------------|
| | 1 LS bit equivalent input voltage(mV) | minimum full scale input voltage (V) | 1 LS bit equivalent input voltage (mV) | minimum full scale input voltage (V) |
| 2 bits | 640 | 1.60 | 1280 | 3.20 |
| 3 bits | 320 | 2.08 | 640 | 4.16 |
| 4 bits | 160 | 2.32 | 320 | 4.64 |
| 5 bits | 80 | 2.44 | 160 | 4.88 |
| 6 bits | 40 | 2.50 | 80 | 5.00 |
| 7 bits | 20 | 2.53 | 40 | 5.06 |
| 8 bits | 10 | 2.545 | 20 | 5.09 |
| 9 bits | 5 | 2.5525 | 10 | 5.105 |
| 10 bits | 2.5 | 2.5563 | 5 | 5.1125 |
| 11 bits | 1.25 | 2.5581 | 2.5 | 5.1163 |
| 12 bits | 0.625 | 2.5591 | 1.25 | 5.1181 |
| 13 bits | 0.313 | 2.5595 | 0.625 | 5.1191 |
| 14 bits | 0.156 | 2.5598 | 0.313 | 5.1195 |
| 15 bits | 0.078 | 2.5599 | 0.156 | 5.1198 |
| 16 bits | 0.039 | 2.5599 | 0.078 | 5.1199 |

網掛け部分では、その精度は分解能より劣ります。変換結果には、ランダムノイズが含まれる場合があります。

絶対最大定格*

| | |
|-----------------|----------------------------|
| グラウンドに対するデータの電圧 | -0.5V~+7.0V |
| 動作温度 | -40°C~+85°C |
| 保管温度 | -55°C~+125°C |
| はんだ付け温度 | J-STD-020 Specification 参照 |

* これはストレス定格にすぎず、これらの条件や仕様書の動作セクションで紹介されている以上のその他条件でデバイスが機能するという意味ではありません。絶対最大定格の条件が長時間続くと、信頼性に影響を与える場合があります。

DC 電気特性**(-40°C~+85°C)**

| PARAMETER | SYMBOL | MIN | TYP | MAX | UNITS | NOTES |
|-------------------------|------------------|------|------------------|------|-------|-------|
| Supply Voltage | V _{CC} | 4.5 | 5.0 | 5.5 | V | 10 |
| Logic 1 | V _{IH} | 2.2 | | | V | 1 |
| Logic 0 | V _{IL} | -0.3 | | +0.8 | V | 1 |
| Output Logic Low @ 4 mA | V _{OL} | | | 0.4 | V | 1 |
| Output Logic High | V _{OH} | | V _{PUP} | 6.0 | V | 1, 2 |
| Input Load Current | I _L | | 5 | | μA | 3 |
| Operating Current | I _{CC} | | 0.5 | | mA | 7 |
| Quiescent Current | I _{CCQ} | | | 20 | μA | 8 |

キャパシタンス**(t_A = 25°C)**

| PARAMETER | SYMBOL | MIN | TYP | MAX | UNITS | NOTES |
|--------------|---------------------|-----|-----|-----|-------|-------|
| I/O (1-Wire) | C _{IN/OUT} | | 100 | 800 | pF | 5 |
| Analog Input | C _{AIN} | | | 50 | pF | |

抵抗**(t_A = 25°C)**

| PARAMETER | SYMBOL | MIN | TYP | MAX | UNITS | NOTES |
|--------------|------------------|-----|-----|-----|-------|-------|
| Analog Input | Z _{AIN} | 0.5 | | 1.5 | MΩ | |

AC 電気的特性(標準速度)**(-40°C~+85°C)**

| PARAMETER | SYMBOL | MIN | TYP | MAX | UNITS | NOTES |
|----------------------|----------------------|------------|-----|-----|-------|-------|
| Time Slot | t _{SLOT} | 60 | | 120 | μs | |
| Write 1 Low Time | t _{LOW} | 1 | | 15 | μs | |
| Write 0 Low Time | t _{LOW0} | 60 | | 120 | μs | |
| Read Low Time | t _{LOWR} | 1 | | 15 | μs | |
| Read Data Valid | t _{RDV} | exactly 15 | | | μs | |
| Release Time | t _{RELEASE} | 0 | 15 | 45 | μs | |
| Read Data Setup | t _{SU} | | | 1 | μs | 4 |
| Recovery Time | t _{REC} | 1 | | | μs | |
| Reset Time High | t _{RSTH} | 480 | | | μs | |
| Reset Time Low | t _{RSTL} | 480 | | | μs | 6 |
| Presence Detect High | t _{PDH} | 15 | | 60 | μs | |
| Presence Detect Low | t _{PDL} | 60 | | 240 | μs | |

AC 電気的特性 Overdrive 速度

(-40°C~+85°C)

| PARAMETER | SYMBOL | MIN | TYP | MAX | UNITS | NOTES |
|----------------------|----------------------|-----------|-----|-----|---------------|-------|
| Time Slot | t_{SLOT} | 6 | | 16 | μs | |
| Write 1 Low Time | t_{LOW1} | 1 | | 2 | μs | |
| Write 0 Low Time | t_{LOW0} | 6 | | 16 | μs | |
| Read Low Time | t_{LOWR} | 1 | | 2 | μs | |
| Read Data Valid | t_{RDV} | Exactly 2 | | | μs | |
| Release Time | t_{RELEASE} | 0 | 1.5 | 4 | μs | |
| Read Data Setup | t_{SU} | | | 1 | μs | 4 |
| Recovery Time | t_{REC} | 1 | | | μs | |
| Reset Time High | t_{RSTH} | 48 | | | μs | |
| Reset Time Low | t_{RSTL} | 48 | | 80 | μs | |
| Presence Detect High | t_{PDH} | 2 | | 6 | μs | |
| Presence Detect Low | t_{PDL} | 8 | | 24 | μs | |

AC 電気的特性

(-40°C~+85°C)

| PARAMETER | SYMBOL | MIN | TYP | MAX | UNITS | NOTES |
|------------------------|---------------------|-----|-----------|-----|----------------------|-------|
| Sample & Hold Aperture | t_{SH} | | 20 | | μs | |
| Equivalent Input Noise | V_{INOISE} | | t.b.d. | | μV RMS | |
| Total Conversion Error | N_{ERR} | | $\pm 1/2$ | | LSB | 9 |

注意:

- すべての電圧は、グラウンドを基準としています。
- V_{PUP} = 外部プルアップ電圧
- 入力負荷はグラウンドされています。
- データ読み込みセットアップ時間とは、ビット読み込みのためにホストが 1-Wire バスをローにプルすべき時間を意味します。データは、この立下りエッジの $1\mu\text{s}$ 以内で有効であることが保証されています。
- 最初の通電時に、データピンのキャパシタンスが 800pF になることがあります。 $5\text{k}\Omega$ 抵抗を使ってデータラインを V_{PUP} までプルアップすると、通電した $5\mu\text{s}$ 後に標準通信は寄生キャパシタンスによって影響を受けなくなります。
- 割込み信号を有効にするため、リセットロータイム(t_{RSTL})を最大 $960\mu\text{s}$ までに制限する必要があります。制限しない場合は、割込みパルスがマスクされたり、隠されるおそれがあります。
- $V_{\text{CC}} = 5.0\text{V}$ 電源で 1-Wire 入力をオープンにして測定。
- $V_{\text{CC}} = 5.0\text{V}$ 電源で 1-Wire 入力をオープンにし、アナログ回路を非アクティブにして測定。
- 範囲および温度にかかわらず、8ビット分解能にはオフセット、非線形性、およびノイズが含まれます。範囲外は、全ゼロ読み込みによって示されます。最小/最大入力範囲およびその近くの入力電圧は、追加の非直線性誤差含むことがあります。
- 電圧がアナログ入力に印可される $1\mu\text{s}$ 以上前に V_{CC} または 1-Wire のプルアップ電圧が 4.5V 以上に増加する必要があります。アナログ入力電圧のローパスフィルタによって、これが可能です。

改訂履歴

Rev 071906 における変更ページ : 1、2、6、7、23、24

Rev 112706 における変更ページ : 1、7、23、24



マキシム・ジャパン株式会社 〒141-0032 東京都品川区大崎1-6-4 大崎ニューシティ 4号館 20F TEL: 03-6893-6600

Maximは完全にMaxim製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maximは随時予告なく回路及び仕様を変更する権利を留保します。「Electrical Characteristics (電気的特性)」の表に示すパラメータ値(min、maxの各制限値)は、このデータシートの他の場所で引用している値より優先されます。

Maxim Integrated Products, Inc. 160 Rio Robles, San Jose, CA 95134 USA 1-408-601-1000

25

© 2006 Maxim Integrated Products

MaximはMaxim Integrated Products, Inc.の登録商標です。