

XFPレーザ制御およびデジタル診断IC

DS1862A

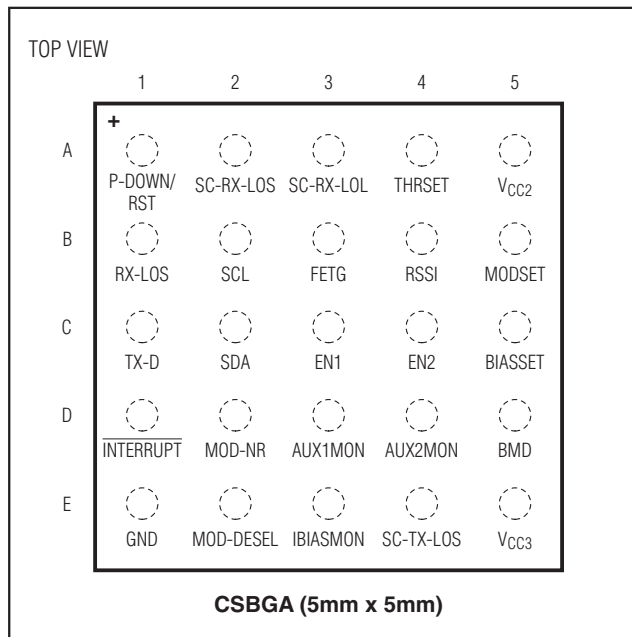
概要

DS1862Aは、XFP MSA用に設計されたデジタル診断を内蔵する閉ループレーザドライバ制御ICです。レーザ制御機能は、自動パワー制御(APC)を搭載し、温度指標付きルックアップテーブル(LUT)によって消光比を制御することができます。DS1862Aは、温度やモニタダイオード(MD)電流などの最大7個のアナログ入力を監視し、これらの入力を使って、レーザバイアス電流および消光比をレギュレートします。監視対象の信号が許容値を上回ると割込みを生成するように、警告/警報スレッシュホールドをプログラムすることができます。また、監視対象のアナログ信号ごとに独立した、利得およびオフセットスケールレジスタによるキャリブレーションも内蔵しています。プログラムされたキャリブレーションデータなどの設定値は、パスワード保護されたEEPROMメモリに保存されます。プログラミングは、I²C対応インタフェースを通じて行われ、このインタフェースを使って診断機能にアクセスすることもできます。

アプリケーション

10Gbps光トランシーバモジュール(XFP)の
レーザ制御および監視
レーザ制御および監視
光伝送のデジタル診断

ピン配置



特長

- ◆ デジタル診断、シリアルID、およびユーザメモリのXFP MSA要件を実装
- ◆ I²C対応シリアルインタフェース
- ◆ 自動パワー制御(APC)
- ◆ ルックアップテーブルによる消光比制御
- ◆ デジタル診断用の7個の監視対象チャンネル(5個の基本および2個の補助チャンネル)
- ◆ 監視対象チャンネルの内部キャリブレーション(温度、V_{CC2/3}、バイアス電流、送受信パワー)
- ◆ 眼の安全に配慮してレーザをオフするプログラマブルな高速トリップロジック
- ◆ 監視およびID情報にアクセス可能
- ◆ プログラマブルな警報/警告スレッシュホールド
- ◆ 動作電源：3.3Vまたは5V
- ◆ 5mm x 5mmの25ピンCSBGAパッケージ
- ◆ 内部/外部温度センサ
- ◆ 動作温度範囲：-40°C ~ +100°C
- ◆ 1個のバッファ付き8ビットDAC

型番

PART	TEMP RANGE	PIN-PACKAGE
DS1862AB+	-40°C to +100°C	25 CSBGA
DS1862AB+T&R	-40°C to +100°C	25 CSBGA

+は鉛フリー/RoHS準拠パッケージを示します。
T&R = テープ&リール

標準動作回路はデータシートの最後に記載されています。

XFPレーザ制御およびデジタル診断IC

DS1862A

ABSOLUTE MAXIMUM RATINGS

Voltage Range on Any Open-Drain Pin
Relative to Ground.....-0.5V to +6.0V

Voltage Range on MOD-DESEL, SDA, SCL,
FETG, THRSET, TX-D, AUX1MON, AUX2MON,
IBIASMON, RSSI, BIASSET, MODSET,
EN1, EN2.....-0.5V to (VCC3 + 0.5V)*

Voltage Range on SC-RX-LOS,
SC-RX-LOL, RX-LOS, SC-TX-LOS,
MOD-NR, EN1, EN2-0.5V to (VCC2 + 0.5V)*

Operating Temperature Range-40°C to +100°C

EEPROM Programming Temperature Range0°C to +70°C

Storage Temperature Range-55°C to +125°C

Soldering Temperature.....Refer to the IPC JEDEC
J-STD-020 Specification.

*Not to exceed +6.0V.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

RECOMMENDED OPERATING CONDITIONS

(VCC3 = +2.9V to +5.5V, TA = -40°C to +100°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Main Supply Voltage	VCC3	(Note 1)	+2.9		+5.5	V
Secondary Supply Voltage	VCC2	VCC2 not to exceed VCC3 (Note 2)	+1.6		+3.6	V
High-Level Input Voltage (SDA, SCL)	VIH	IIH (max) = 10μA	0.7 x VCC3		VCC3 + 0.5	V
Low-Level Input Voltage (SDA, SCL)	VIL	IIH (max) = -10μA	GND - 0.3		0.3 x VCC3	V
High-Level Input Voltage (TX-D, MOD-DESEL, P-DOWN/RST) (Note 3)	VIH	IIH (max) = 10μA	2		VCC3 + 0.3	V
Low-Level Input Voltage (TX-D, MOD-DESEL, P-DOWN/RST) (Note 3)	VIL	IIH (max) = -10μA	-0.3		+0.8	V

XFPレーザ制御およびデジタル診断IC

DS1862A

DC ELECTRICAL CHARACTERISTICS

(V_{CC3} = +2.9V to +5.5V, V_{CC2} = +1.6V to +3.6V, T_A = -40°C to +100°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Current	I _{CC3}	P-DOWN/RST = 1		3	5	mA
High-Level Output Voltage (FETG)	V _{OH}	I _{OH} (max) = -2mA	V _{CC3} - 0.5			V
Low-Level Output Voltage (MOD-NR, INTERRUPT, SDA, FETG)	V _{OL}	I _{OL} (max) = 3mA	0		0.4	V
Resistor (Pullup)	R _{PU}		9	12	15	kΩ
I/O Capacitance	C _{I/O}	(Note 4)			10	pF
Leakage Current	I _L		-10		+10	μA
Leakage Current (SCL, SDA)	I _L		-10		+10	μA
Digital Power-On Reset	POD		1.0		2.2	V
Analog Power-On Reset	POA		2.0		2.6	V

DC ELECTRICAL CHARACTERISTICS — INTERFACE SIGNALS TO SIGNAL CONDITIONERS

(V_{CC2} = +1.6V to +3.6V, V_{CC3} = +2.9V to +5.5V, T_A = -40°C to +100°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
High-Level Input Voltage (SC-RX-LOS, SC-RX-LOL, SC-TX-LOS)	V _{IH}	I _{IH} (max) = 100μA	0.7 x V _{CC2}		V _{CC2} + 0.1	V
Low-Level Input Voltage (SC-RX-LOS, SC-RX-LOL, SC-TX-LOS)	V _{IL}	I _{IL} (max) = -100μA	0		0.3 x V _{CC2}	V
High-Level Output Voltage (EN1, EN2)	V _{OH}	I _{OH} (max) = -0.7mA	V _{CC2} - 0.2			V
	V _{OH2}	V _{CC2} = 2.5V to 3.6V, I _{OH} (max) = -2mA	V _{CC2} - 0.4			
	V _{OH3}	V _{CC2} = 1.6V, I _{OH} (max) = -0.7mA	V _{CC2} - 0.2			
Low-Level Output Voltage (EN1, EN2, RX-LOS)	V _{OL}	I _{OL} (max) = 0.7mA			0.20	V
	V _{OL2}	V _{CC2} = 2.5V to 3.6V, I _{OL} (max) = 2mA			0.40	
Leakage Current (SC-RX-LOS, SC-RX-LOL, SC-TX-LOS, RX-LOS)	I _L		-10		+10	μA

XFPレーザ制御およびデジタル診断IC

DS1862A

I²C AC ELECTRICAL CHARACTERISTICS

(V_{CC3} = +2.9V to +5.5V, T_A = -40°C to +100°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCL Clock Frequency	f _{SCL}		0		400	kHz
Clock Pulse-Width Low	t _{LOW}		1.3			μs
Clock Pulse-Width High	t _{HIGH}		0.6			μs
Bus Free Time Between STOP and START Conditions	t _{BUF}		1.3			μs
START Hold Time	t _{HD:SDA}		0.6			μs
START Setup Time	t _{SU:SDA}		0.6			μs
Data In Hold Time	t _{HD:DAT}		0		0.9	μs
Data In Setup Time	t _{SU:DAT}		100			ns
Rise Time of Both SDA and SCL Signals	t _R	(Note 5)	20 + 0.1C _B		300	ns
Fall Time of Both SDA and SCL Signals	t _F	(Note 5)	20 + 0.1C _B		300	ns
STOP Setup Time	t _{SU:STO}		0.6			μs
MOD-DESEL Setup Time	t _{HOST_SELECT_SETUP}		2			ms
MOD-DESEL Hold Time	t _{HOST_SELECT_HOLD}		10			μs
Aborted Sequence Bus Release	t _{MOD-DESEL_ABORT}				2	ms
Capacitive Load for Each Bus	C _B	(Note 5)			400	pF
EEPROM Write Time	t _W	≤ 4-byte write (Note 6)			16	ms

ANALOG OUTPUT CHARACTERISTICS

(V_{CC3} = +2.9V to +5.5V, V_{CC2} = +1.6V to +3.6V, T_A = -40°C to +100°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
I _{BIASSET}	I _{BIASSET}		0.01		1.50	mA
I _{BIASSET} (Off-State Current)	I _{BIASSET}	Shutdown		±10	±100	nA
I _{MODSET}	I _{MODSET}		0.01		1.20	mA
I _{MODSET} (Off-State Current)	I _{MODSET}	Shutdown		±10	±100	nA
Voltage on I _{BIASSET} and I _{MODSET}	V _{MAX}	(Note 7)	0.7		3.0	V
V _{THRSET}	V _{THRSET}	I _{MAX} = 100μA	50		1000	mV
V _{THRSET} Drift		Across temperature (Note 8)	-5		+5	%
V _{THRSET} Capacitance Load	C _{THRSET}				1	nF
APC Calibration Accuracy		+25°C			25	μA
APC Temp Drift		0.200mA to 1.5mA	-5		+5	%
		50μA to 200μA			12	μA
I _{BMD DNL}		Sink, SRC_SINK_B = 0	-0.9		+0.9	LSB
		Source, SRC_SINK_B = 1	-0.9		+0.9	
I _{BMD INL}		Sink, SRC_SINK_B = 0	-4.0		+4.0	LSB
		Source, SRC_SINK_B = 1	-4.0		+4.0	
I _{BMD} Voltage Drift					1.2	%/V
I _{BMD} FS Accuracy					1.5	%

XFPレーザ制御およびデジタル診断IC

DS1862A

ANALOG OUTPUT CHARACTERISTICS (continued)

(VCC3 = +2.9V to +5.5V, VCC2 = +1.6V to +3.6V, TA = -40°C to +100°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
I _{MODSET} Accuracy		+25°C, I _{MODSET} = 0.04mA to 1.2mA	-1.5		+1.5	%
I _{MODSET} DNL		75µA range	-0.9		+0.9	LSB
		150µA range	-0.9		+0.9	
		300µA range	-0.9		+0.9	
		600µA range	-0.9		+0.9	
		1200µA range	-0.9		+0.9	
I _{MODSET} INL		75µA range	-1.5		+1.5	LSB
		150µA range	-1.5		+1.5	
		300µA range	-1.0		+1.0	
		600µA range	-1.0		+1.0	
		1200µA range	-1.0		+1.0	
I _{MODSET} Temp Drift					5	%
I _{MODSET} Voltage Drift					1.2	%/V
I _{MODSET} FS Accuracy					1.5	%
APC Bandwidth		I _{MD} /I _{APC} = 1 (Note 4)	6	10	30	kHz

AC ELECTRICAL CHARACTERISTICS – XFP CONTROLLER

(VCC3 = +2.9V to +5.5V, VCC2 = +1.6V to +3.6V, TA = -40°C to +100°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Time to Initialize	t _{INIT}	VCC3 within ±5% of nominal	30		200	ms
TX-D Assert Time	t _{OFF}	I _{BIAS} and I _{MOD} below 10% of nominal			5	µs
TX-D Deassert Time	t _{ON}	I _{BIAS} and I _{MOD} above 90% of nominal			1	ms
P-DOWN/RST Assert Time	t _{PDR-ON}	I _{BIAS} and I _{MOD} below 10% of nominal			100	µs
P-DOWN/RST Deassert Time	t _{PDR-OFF}	I _{BIAS} and I _{MOD} above 90% of nominal			200	ms
MOD-DESEL Deassert Time	t _{MOD-DESEL}	Time until proper response to I ² C communication			2	ms
INTERRUPT Assert Delay	t _{INIT_ON}	Time from fault to interrupt assertion			100	ms
INTERRUPT Deassert Delay	t _{INIT_OFF}	Time from read (clear flags) to interrupt deassertion			500	µs
MOD-NR Assert Delay	t _{MOD-NR-ON}	Time from fault to MOD-NR assertion			0.5	ms
MOD-NR Deassert Delay	t _{MOD-NR-OFF}	Time from read (clear flags) to MOD-NR deassertion			0.5	ms
RX-LOS Assert Time	t _{LOS-ON}	Time from SC-RX-LOS assertion to RX-LOS assertion			100	ns
RX-LOS Deassert Time	t _{LOS-OFF}	Time from SC-RX-LOS deassertion to RX-LOS deassertion			100	ns
P-DOWN/RST Reset Time	t _{RESET}	Time from P-DOWN/RST assertion to initial reset	10			µs
Shutdown Time	t _{FAULT}	Time from fault to I _{BIASSET} , I _{MODSET} , and I _{BMD} below 10%			30	µs

XFPレーザ制御およびデジタル診断IC

DS1862A

AC ELECTRICAL CHARACTERISTICS – SOFT* CONTROL AND STATUS

(V_{CC3} = +2.9V to +5.5V, V_{CC2} = +1.6V to +3.6V, T_A = -40°C to +100°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SOFT TX-D Assert Time	t _{OFF_SOFT}	I _{BIAS} and I _{MOD} below 10% of nominal			50	ms
SOFT TX-D Deassert Time	t _{ON_SOFT}	I _{BIAS} and I _{MOD} above 90% of nominal			50	ms
SOFT P-DOWN/RST Assert Time	t _{PDR-ON_SOFT}	I _{BIAS} and I _{MOD} below 10% of nominal			50	ms
SOFT P-DOWN/RST Deassert Time	t _{PDR-OFF_SOFT}	I _{BIAS} and I _{MOD} above 90% of nominal			200	ms
Soft MOD-NR Assert Delay	t _{MOD-NR-ON_SOFT}	Time from fault to MOD-NR assertion			50	ms
Soft MOD-NR Deassert Delay	t _{MOD-NR-OFF_SOFT}	Time from read (clear flags) to MOD-NR deassertion			50	ms
Soft RX_LOS Assert Time	t _{LOS-ON_SOFT}	Time from SC-RX-LOS assertion to RX-LOS assertion			50	ms
Soft RX_LOS Deassert Time	t _{LOS-OFF_SOFT}	Time from SC-RX-LOS deassertion to RX-LOS deassertion			50	ms
Analog Parameter Data Ready (DATA-NR)					500	ms

*All SOFT timing specifications are measured from the falling edge of STOP signal during I²C communication.

ANALOG INPUT CHARACTERISTICS

(V_{CC3} = +2.9V to +5.5V, T_A = -40°C to +100°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
I _{BMD} Configurable Source or Sink (+/-)			0.05		1.50	mA
I _{BMD} Voltage (I _{BMD} - 0μA)	V _{BMD}	Source mode Sink mode		2.0 1.2		V
I _{BMD} Input Resistance	R _{BMD}	I _{BMD} range 0 to 1.5mA	400	550	700	Ω

A/D INPUT VOLTAGE MONITORING (IBIASMON, AUX2MON, AUX1MON, RSSI, BMD)

(V_{CC3} = +2.9V to +5.5V, T_A = -40°C to +100°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input Resolution	ΔV _{MON}			610		μV
Supply Resolution	ΔV _{CC2/3}			1.6		mV
Input/Supply Accuracy	A _{CC}	At factory setting		0.25	0.5	%FS
Update Rate	t _{FRAME1}	AUX1MON and AUX2MON disabled		48	52	ms
	t _{FRAME2}	All channels enabled		64	75	
Input/Supply Offset	V _{OS}	(Note 4)		0	5	LSB
Full-Scale Input (IBIASMON and RSSI)		At factory setting	2.4875	2.5	2.5125	V
Full-Scale Input (AUX1MON, AUX2MON, V _{CC2} , V _{CC3})		At factory setting (Note 9)	6.5208	6.5536	6.5864	V
BMD (Monitor) (TX-P)		FS setting		1.5		mA

XFPレーザ制御およびデジタル診断IC

DS1862A

FAST ALARMS AND V_{CC} FAULT CHARACTERISTICS

($V_{CC3} = +2.9V$ to $+5.5V$, $V_{CC2} = +1.6V$ to $+3.6V$, $T_A = -40^{\circ}C$ to $+100^{\circ}C$, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
HIGH BIAS and TX-P Threshold FS		(Note 10)	2.48	2.5	2.52	mA
$V_{CC2/3}$ Fault Asserted Falling Edge Delay		$\downarrow V_{CC2/3}$ (Note 11)			75	ms
QT Temperature Coefficient			-3		+3	%
QT Voltage Coefficient					0.5	%/V
QT FS Trim Accuracy (4.2V, $+25^{\circ}C$)			2.480	2.500	2.520	mA
QT Accuracy (Trip) (INL)			-2	0	+2	LSB
QT Voltco					0.5	%/V
QT Tempco				1.5	3	%

NONVOLATILE MEMORY CHARACTERISTICS

($V_{CC3} = +2.9V$ to $+5.5V$, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Endurance (Write Cycle)		$+70^{\circ}C$	50k			Cycles
Endurance (Write Cycle)		$+25^{\circ}C$	200k			Cycles

- Note 1:** All voltages are referenced to ground. Current into the IC is positive, and current out of the IC is negative.
- Note 2:** Secondary power supply is used to support optional variable power-supply feature of the XFP module. If V_{CC2} is not used (i.e., signal conditioners using 3.3V supply), V_{CC2} should be connected to the V_{CC3} .
- Note 3:** Input signals (i.e., TX-D, MOD-DESEL, and P-DOWN/RST) have internal pullup resistors.
- Note 4:** Guaranteed by design. Simulated over process and $50\mu A < I_{BMD} < 1500\mu A$.
- Note 5:** C_B —total capacitance of one bus line in picofarads.
- Note 6:** EEPROM write begins after a STOP condition occurs.
- Note 7:** This is the maximum and minimum voltage on the MODSET and BIASSET pins required to meet accuracy and drift specifications.
- Note 8:** For V_{THRSET} , offset may be as much as 10mV.
- Note 9:** This is the uncalibrated offset provided by the factory; offset adjustment is available on this channel.
- Note 10:** %FS refers to calibrated FS in case of internal calibration, and uncalibrated FS in the case of external calibration. Uncalibrated FS is set in the factory and specified in this data sheet as FS (factory). Calibrated FS is set by the user, allowing a change in any monitored channel scale.
- Note 11:** See the *Monitor Channels* section for more detail or V_{CC2} and V_{CC3} selection.

XFPレーザ制御およびデジタル診断IC

DS1862A

タイミング図

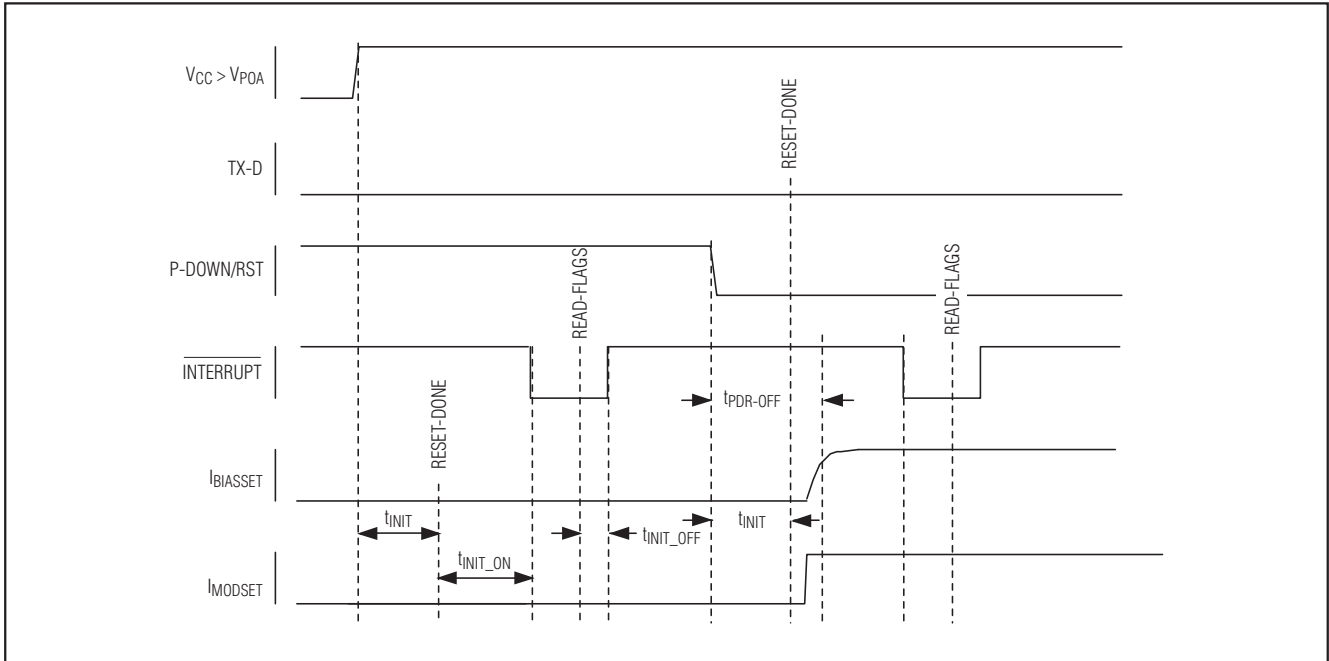


図1. P-DOWN/RSTがアサート状態でTX-D/SOFT TX-Dが非アサート状態の電源投入時の初期化

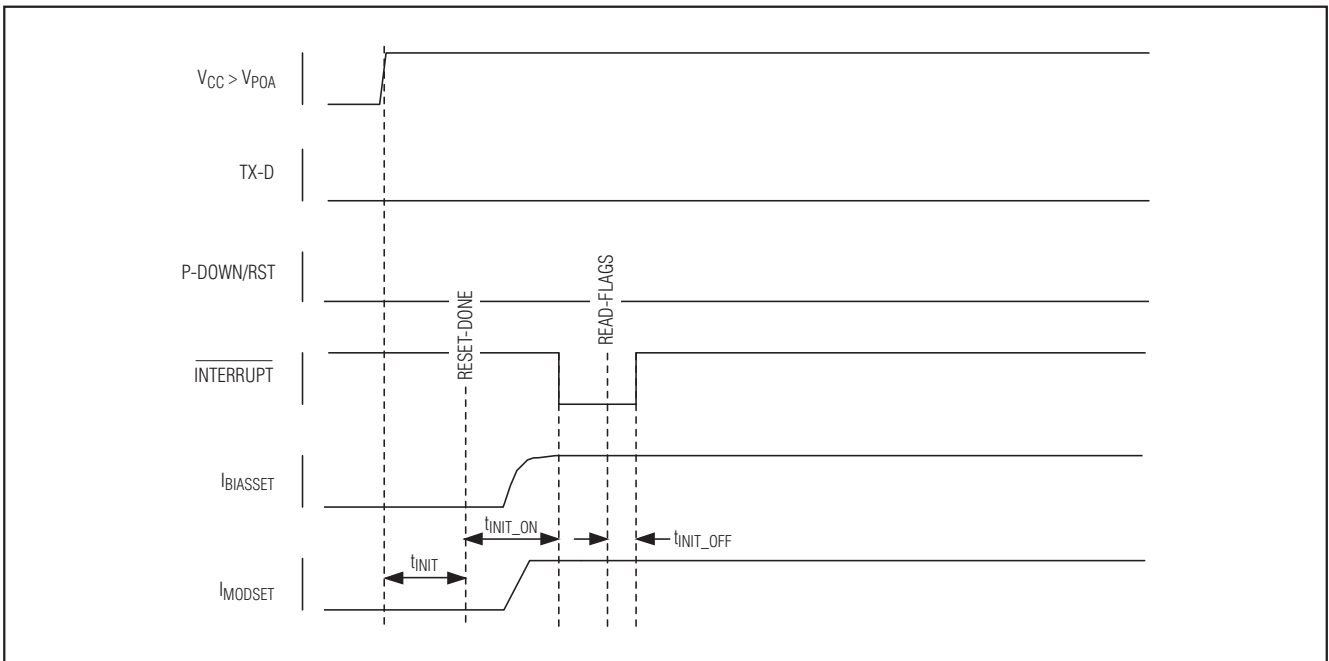


図2. P-DOWN/RSTおよびTX-D/SOFT TX-Dが非アサート状態の電源投入時の初期化(通常動作)

タイミング図(続き)

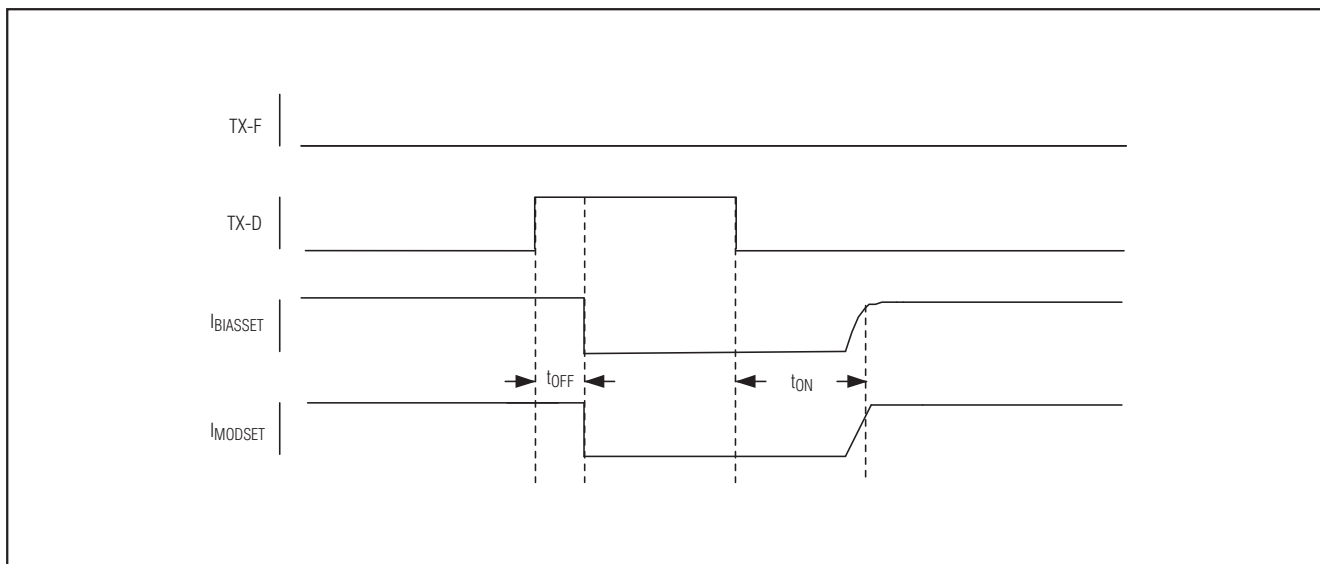


図3. 通常動作中のTX-Dのタイミング

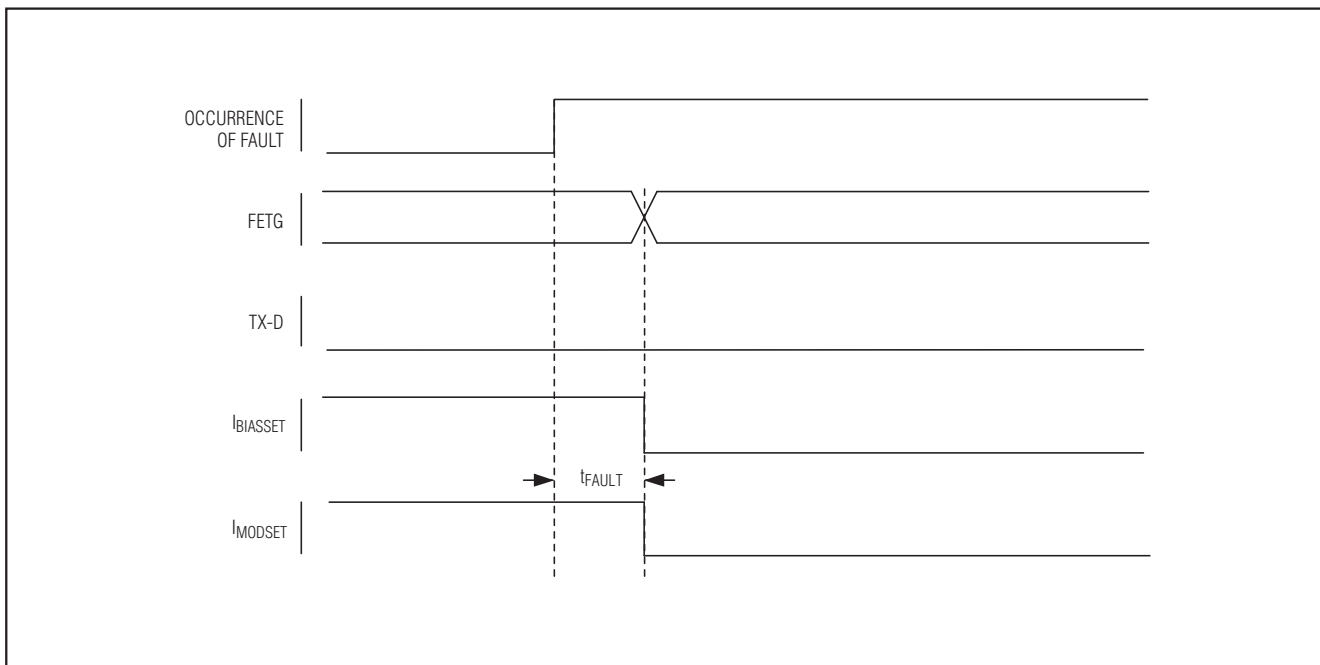


図4. 安全フォルト状態の検出

XFPレーザ制御およびデジタル診断IC

DS1862A

タイミング図(続き)

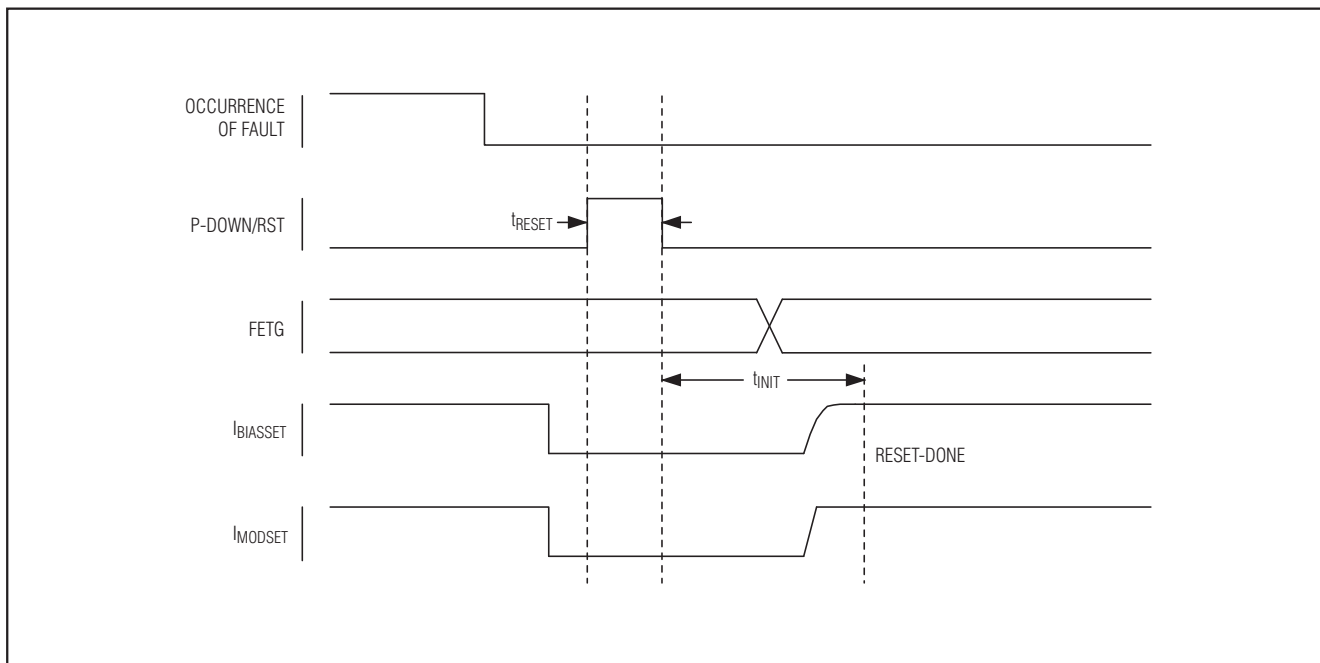


図5. P-DOWN/RSTによる過渡安全フォルト状態からの成功した回復

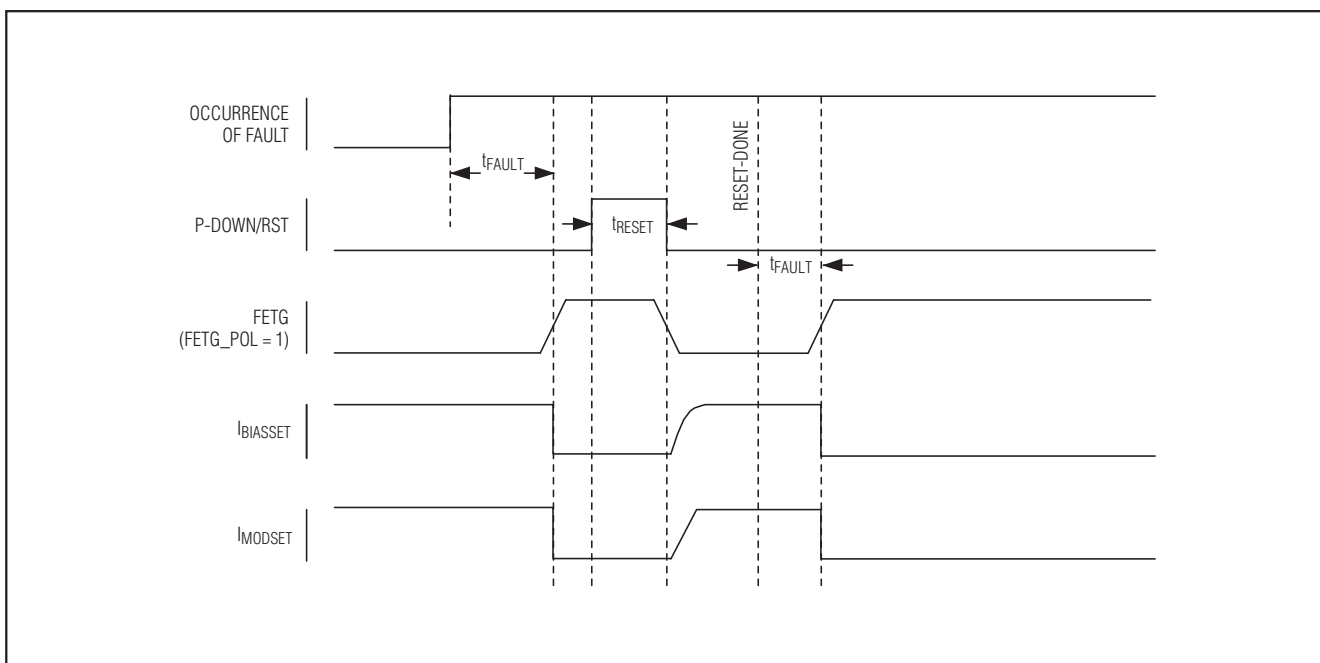


図6. 過渡安全フォルト状態からの失敗した回復

タイミング図(続き)

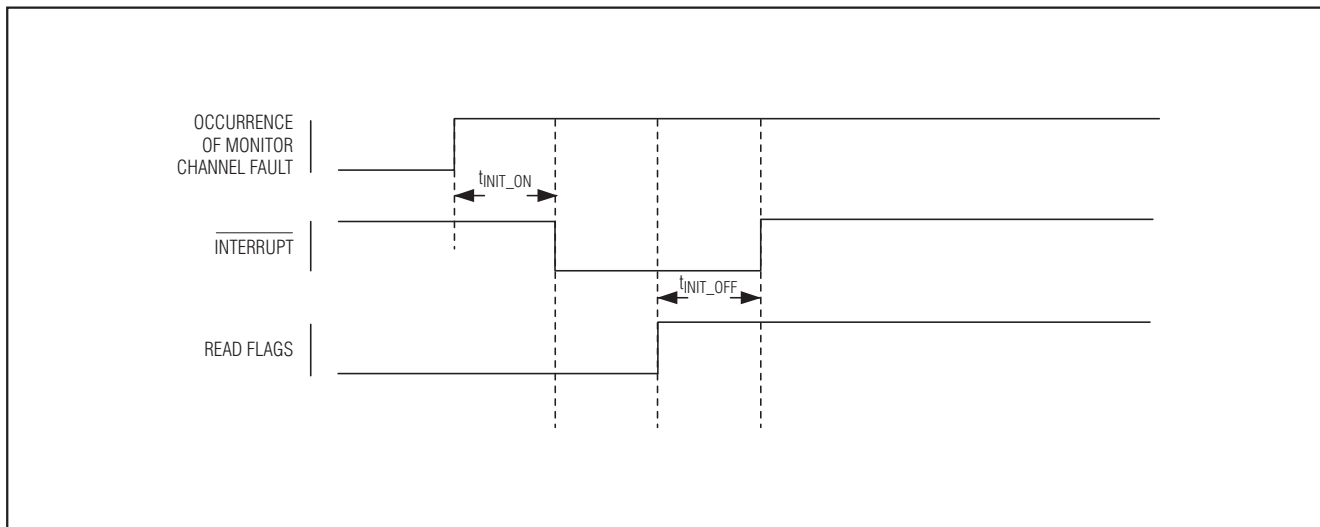


図7. モニタチャネルフォルトタイミング

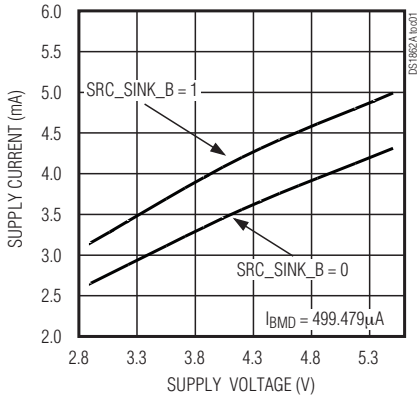
XFPレーザ制御およびデジタル診断IC

DS1862A

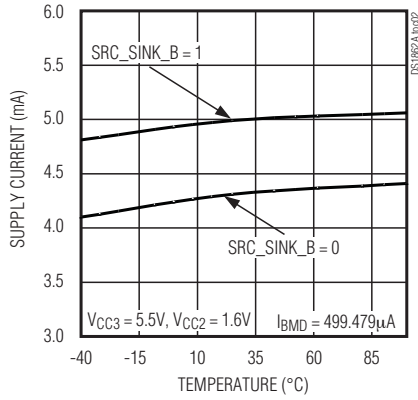
標準動作特性

($T_A = +25^\circ\text{C}$, unless otherwise noted.)

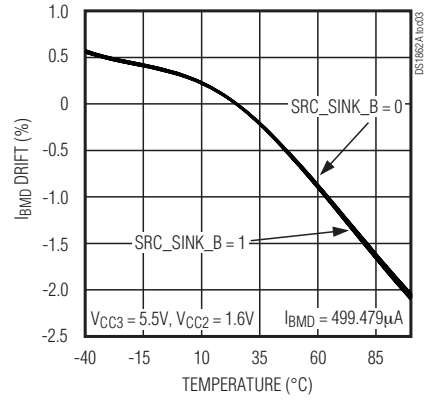
SUPPLY CURRENT vs. SUPPLY VOLTAGE



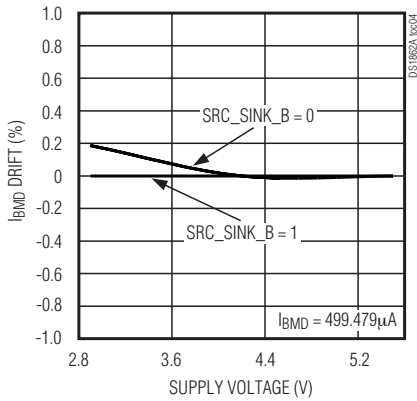
SUPPLY CURRENT vs. TEMPERATURE



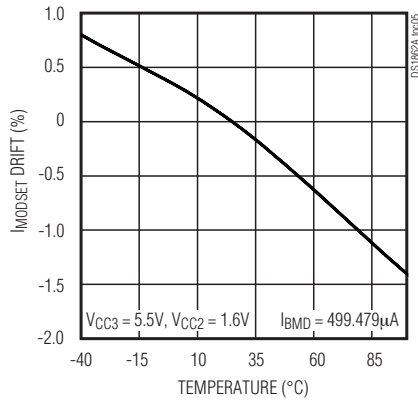
I_{BMD} DRIFT vs. TEMPERATURE



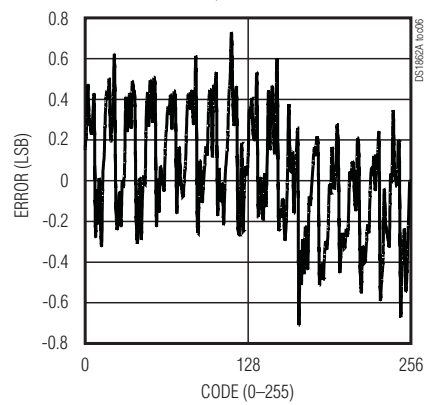
I_{BMD} DRIFT vs. SUPPLY VOLTAGE



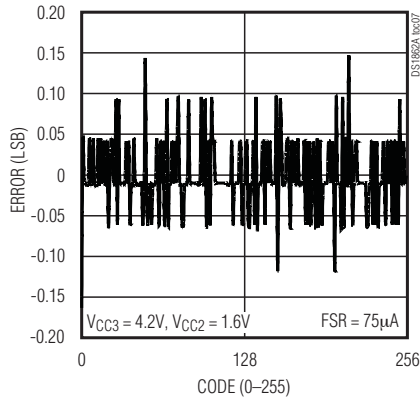
I_{MODSET} DRIFT vs. TEMPERATURE



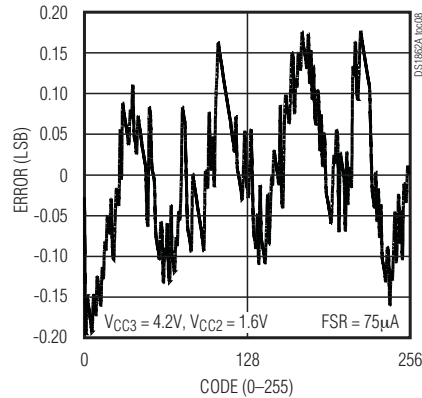
INTEGRAL NONLINEARITY OF QUICK TRIPS



DIFFERENTIAL NONLINEARITY OF I_{MODSET}



INTEGRAL NONLINEARITY OF I_{MODSET}



XFPレーザ制御およびデジタル診断IC

DS1862A

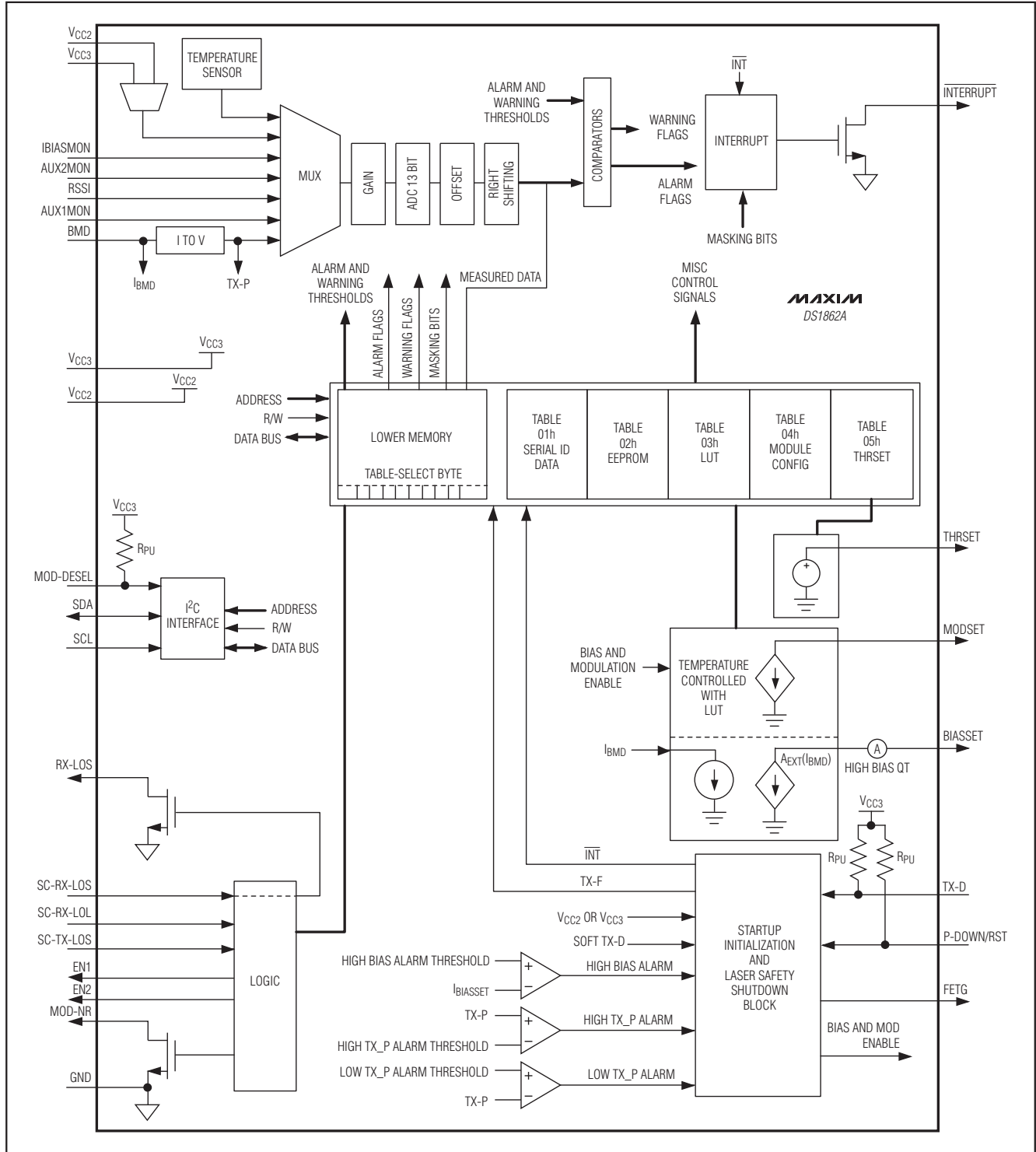
端子説明

名称	端子	機能
P-DOWN/RST	A1	パワーダウン/リセット入力。この多機能端子は、内部でハイに強制されています。詳細については、「パワーダウン/リセット端子」の項を参照してください。
SC-RX-LOS	A2	シグナルコンディショナレシーバの信号喪失入力。この端子は、LVCMOS/LVTTL電圧レベルのアクティブハイ入力です。
SC-RX-LOL	A3	シグナルコンディショナレシーバのロック喪失入力。この端子は、LVCMOS/LVTTL電圧レベルのアクティブハイ入力です。
THRSET	A4	スレッシュホールド設定出力。この端子は、Rxシグナルコンディショナに使用可能なプログラマブルな電圧源です。
VCC2	A5	1.8Vの電源入力
RX-LOS	B1	レシーバ信号喪失。このオープンドレイン出力は、光パワーが不十分である場合を示します。
SCL	B2	I ² Cシリアルクロック入力
FETG	B3	FETゲート出力。この端子は、安全フォルト分離に関係する外部FETゲートを駆動することができます。
RSSI	B4	受信パワー信号入力
MODSET	B5	変調電流出力。この端子は、電流のシンクのみが可能です。
TX-D	C1	伝送ディセーブル入力。この端子は、プルアップ抵抗を内蔵しています。
SDA	C2	I ² Cシリアルデータの入力/出力
EN1	C3	イネーブル1の出力。シグナルコンディショナの機能制御
EN2	C4	イネーブル2の出力。シグナルコンディショナの機能制御
BIASSET	C5	バイアス電流の出力。この端子は、電流のシンクのみが可能です。
INTERRUPT	D1	割込み。このオープンドレイン出力端子は、動作フォルトまたは危機的なステータス状態の可能性のあることをホストに通知します。
MOD-NR	D2	モジュール動作フォルトの通知。オープンドレイン出力。この端子は、MOD-NRフラグのステータスを通知します。
AUX1MON	D3	補助1モニタ入力。この端子を使って、電圧量を測定することができます。
AUX2MON	D4	補助2モニタ入力。この端子を使って、電圧量または外部温度センサを測定することができます。
BMD	D5	モニタダイオード電流入力。この端子は、電流のソースまたはシンクが可能です。
GND	E1	グラウンド
MOD-DESEL	E2	モジュール非選択入力。I ² C通信をイネーブルするには、この端子をローに強制する必要があります。この端子は、内部でハイに強制されています。
IBIASMON	E3	バイアスマニタ入力。この端子を使って、レーザの電圧を監視することができます。
SC-TX-LOS	E4	シグナルコンディショナトランスミッタの信号喪失。この端子は、LVCMOS/LVTTL電圧レベルのアクティブハイ入力です。
VCC3	E5	3.3Vまたは5Vの電源入力

XFPレーザ制御およびデジタル診断IC

DS1862A

ブロック図



詳細

DS1862Aのブロック図については、以下の各項とメモリマップ/メモリの説明内で詳述します。

自動パワー制御(APC)

DS1862AのAPCは、フォトダイオードからのフィードバック電流(BMD)がAPCレジスタで設定された値と一致するまで、バイアス電流(BIASSET)の開ループ調整によって実行されます。APCレジスタと I_{BMD} の関係は、次式で表されます。

$$I_{BMD} = 5.859\mu\text{A} \times \text{APCC}\langle 7:0 \rangle + (1.464\mu\text{A} \times \text{APCF}\langle 1:0 \rangle)$$

ここで、 $\text{APCC}\langle 7:0 \rangle$ はBMD電流の粗調整値を制御するテーブル04hのバイト84hの8ビット値であり、 $\text{APCF}\langle 1:0 \rangle$ はBMD電流の微調整値を制御する2ビット値です。

BMD端子は、2個の抵抗と直列の電圧源として表されます。BMD入力端子の全等価抵抗は、図8の図で忠実に近似することができます。外部電流負荷がないと仮定して、BMD端子に現れる電圧は、BMDがシンク電流モード($\text{SRC_SINK_B} = 0$)の場合は1.2Vであり、またはBMDがソース電流モード($\text{SRC_SINK_B} = 1$)に設定されている場合は2.0Vです。このため、フォトダイオードは V_{CC3} またはGNDを基準とすることができます。制御ループが定常状態にある場合、BMD電流設定値は、内部抵抗の両端間の I_{BMD} 電圧で測定される電流と一致します。過渡期間に、DS1862Aは、BIASSET端子の駆動電流を調整し、ループを安定状態に移行させます。

DS1862Aは、1/20~10のループ利得を可能とするように設計されています。

パワーアップ時に、BMD電流は、EEPROM APCレジスタ内に事前に保存された電流設定値まで増加します。DS1862Aは動作している間、BMD電流を監視します。BMD電流が所望の(設定された) I_{BMD} 値から偏移し始めると、BIASSET端子の電流は補償のために再び調整されます。

消光比制御ルックアップテーブル(LUT)

DS1862Aは、温度指標付きルックアップテーブル(LUT)を使って、消光比を制御します。MODSET端子は、電流を制御している8ビット2進値に基づいて電流をシンクすることができます。また、DS1862Aは、ユーザが設定可能な電流範囲を備え、消光比分解能を向上させます。MODSETに入力する電流を制御するために、5種類の電流範囲(表1を参照)が利用可能です。

表1. MODSETの選択可能な電流範囲

LUT CURRENT RANGE TABLE 04h, BYTE 86h<2:0>	CURRENT RANGE (μA)
000	0 to 75
001	0 to 150
010	0 to 300
011	0 to 600
100	0 to 1200

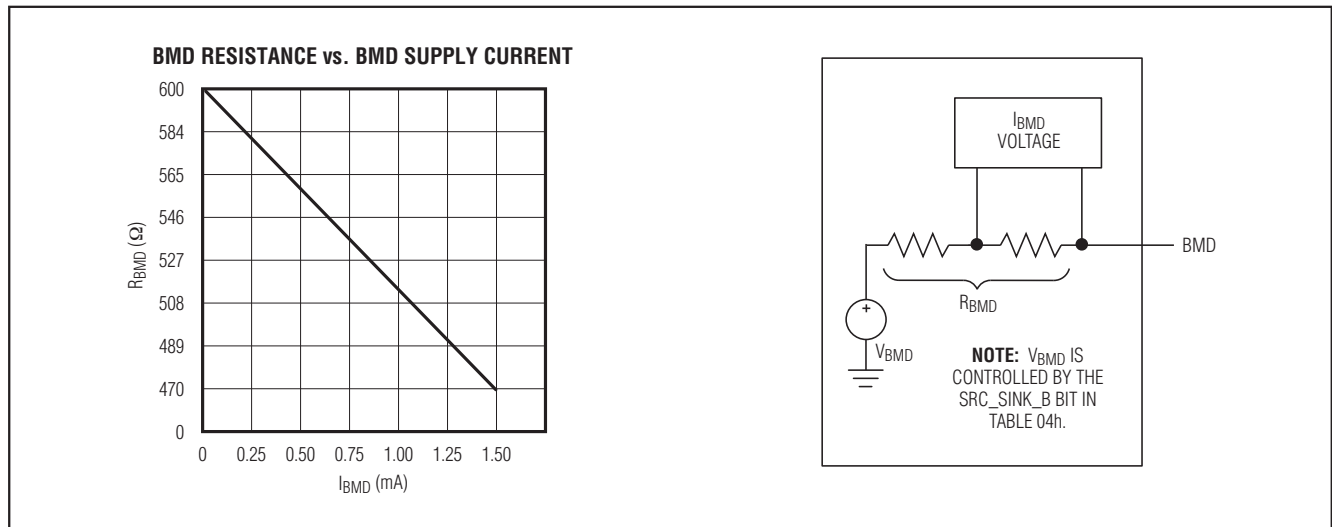


図8. BMD入力の近似モデル

XFPレーザ制御およびデジタル診断IC

DS1862A

最大の電流範囲が選択された場合は、(LUTからの) FFhの最大値は1200 μ Aのシンク電流に相当します。電流範囲とは関係なく、MODSET値は0ステップを含む256のステップで常に構成されます。

温度ベースのルックアップテーブルまたは他の3種のマニュアル方式によって、I_{MODSET}を自動制御することができます。

温度アドレスによる自動ルックアップは、アドレスポインタを制御する内部または外部温度によって行われます。このポインタは、LUTに保存される127種の事前にロードされた8ビット電流値によって指標付けを行います。127種の温度スロット位置はそれぞれ、-40 $^{\circ}$ C~+102 $^{\circ}$ Cの温度範囲で2 $^{\circ}$ Cのインクリメントに対応しています。これらのポイントを上回るまたは下回るような温度によっても、先頭または最後の温度スロットのコードに指標が付けられます。AUX2MONに接続された内部温度センサおよび外部温度センサはともに信号を送出し、指標付きのLUTで消光比を自動制御することができます。表2は、温度とLUT内のメモリ領域の関係を示しています。

表2. 温度ルックアップテーブル

TEMPERATURE ($^{\circ}$ C)	CORRESPONDING LOOKUP TABLE ADDRESS
< -40	80h
-40	80h
-38	81h
-36	82h
...	...
+96	C4h
+98	C5h
+100	C6h
+102	C7h
> +102	C7h

MODSETの自動およびマニュアル制御は、テーブル04hのバイトB2hにあるTENとAENの2つのビットで制御されます。デフォルト(出荷時)では、TENとAENはともに設定済みで、完全自動温度ベースのルックアップを起動します。TENまたはAEN、あるいはその両方が変更されると、DS1862Aはマニュアルモードのいずれかに設定されます。表3は、マニュアルモードの機能を示しています。

表3. TENおよびAENビットの真理値表

TEN	AEN	DS1862A LUT FUNCTIONALITY
0	0	Manual mode that allows users to write a value directly to the LUT VALUE register (Table 04h, Byte B1h) to drive MODSET. While in this mode, the LUT INDEX POINTER register is not being updated, and no longer drives the LUT VALUE register.
0	1	Manual mode that allows users to write a value directly to the LUT VALUE register (Table 04h, Byte B1h) to drive MODSET. While in this mode, the LUT INDEX POINTER register is still being updated; however, it no longer drives the LUT VALUE register.
1	0	Manual mode that allows users to write a value to the LUT INDEX POINTER register (Table 04h, Byte B0), then the DS1862A updates the LUT VALUE register (Table 04h, Byte B1h) based on the user's index pointer.
1	1	Automatic mode (factory default). This mode automatically indexes the LUT based on temperature, placing the resulting LUT address in the LUT INDEX POINTER register (Table 04h, Byte B0h). Then the MODSET setting is transferred from that LUT address to the LUT VALUE register (Table 04h, Byte B1h). Lastly, the I _{MODSET} is set to the new MODSET code.

モニタチャンネル

DS1862Aは、ラウンドロビン方式のマルチプレックスシーケンスでポーリングされる7つの監視対象電圧信号を備え、フレームレートの t_{FRAME} で更新されます。すべてのチャンネルは、16ビット値として読み取られますが、13ビット分解能を備え、温度測定値を除き、すべてのチャンネルは無符号の値として保存されます。内部温度を除き、すべての監視対象チャンネルの16ビット結果値は、アナログ-デジタル変換結果を内部で8回平均化して、計算されます。内部温度モニタチャンネルの結果は、16回平均化されます。内部キャリブレーションの各チャンネルの方式の詳細については、「内部キャリブレーション」の項を参照してください。

AUX1MON、AUX2MON、および $V_{CC2/3}$ モニタチャンネルはオプションであり、ディセーブルすることができます。この機能によって、重要なモニタチャンネルのフレームレートを短縮することができます。ディセーブル不可のチャンネルは、内部温度、BMD、RSSI、およびIBIASMONです。表4には、フルスケール(FS)信号値のテーブル(右シフトしていない出荷時内部キャリブレーションによる)と7つの全チャンネルのFSコード結果値が示されています。

温度の測定(内部または外部)

DS1862Aは、内部温度センサ、AUX1MON、およびAUX2MONの3種類のモニタチャンネルで温度を測定することができます。内部温度およびAUX2MONチャンネルのみがLUTを指標付けして、消光比を制御することができます。AUX2MONで外部温度センサを使用するには、テーブル04hのバイト8BhにあるTEMP_INT/EXTビットを設定する必要があります。AUX2MONが消光比を制御している間、内部温度センサは動作を停止しません。消光比はAUX2MONで制御されますが、温度フラグのステータスを制御し続けるのは、この内部温度信号です。また、TEMP_INT/EXT = 1の場合は、内部温度は-40°Cおよび+103.9375°Cでクランプされ、TEMP_INT/EXT = 0の場合は、-120°Cおよび+127.984°Cでクランプされます。ただし、AUX2MONは、許容範囲外の状態を示し、INTERRUPT端子をアサートする固有のフラグを備えています。

表4. モニタチャンネルFSおよびLSBの詳細

SIGNAL	+FS SIGNAL	+FS (hex)	-FS SIGNAL	-FS (hex)	LSB
Temperature	127.984°C	7FF8	-120°C	8800	0.0625°C
$V_{CC2/3}$	6.5528V	FFF8	0V	0000	100 μ V
IBIASMON	2.4997V	FFF8	0V	0000	38.147 μ V
RSSI	2.4997V	FFF8	0V	0000	38.147 μ V
AUX1MON	6.5528V	FFF8	0V	0000	38.147 μ V
AUX2MON	6.5528V	FFF8	0V	0000	38.147 μ V
BMD (TX-P)	1.5mA	FFF8	0mA	0000	22.888nA

AUX1MONおよびAUX2MONはともに、各端子で電圧の関数として温度の測定に使用することができます。表5から0hまたは4hを選択し、これらをイネーブルすることができます。入力電圧を所望の2の補数のデジタルコードに変換するには、内部(または外部)キャリブレーションが必要な場合もあります。このデジタルコードは、下位メモリのバイト6Ah、6Bh、6Ch、6Dhの結果レジスタから読み取り可能です。

$V_{CC2/3}$ の測定

DS1862Aには、 V_{CC2} または V_{CC3} を内部で測定し、電源電圧を監視するフレキシビリティがあります。 V_{CC2} または V_{CC3} は、テーブル01hのバイトDCh内の $V_{CC2/3_SEL}$ ビットによってユーザが選択可能です。 V_{CC2} または V_{CC3} を監視対象に選択していても、ラウンドロビン方式のモニタ更新方式から $V_{CC2/3}$ を取り除くために、テーブル04hのバイト8BhのReserve_ENビットを0にプログラムすることができます。アナログパワーオンリセットフラグのPOAIは、 V_{CC3} 電源のステータスを通知します。POAIは $V_{CC2/3}$ モニタチャンネルと同様に動作するように見えますが、POAIはまったく別物であり、関係はありません。

RESERVE_EN	$V_{CC2/3_SEL}$	結果
0	0	$V_{CC2/3}$ の測定はイネーブルされない。
0	1	$V_{CC2/3}$ の測定はイネーブルされない。
1	0	V_{CC3} が測定される。
1	1	V_{CC2} が測定される。

APCおよびレーザパラメータ

(BMD、IBIASMON、RSSI)の測定

BMDおよびBIASSETを使って、レーザ機能の制御と監視を行うことができます。APCレジスタに設定されたBMD電流とは関係なく、DS1862AはBMD端子電流を測定し、この値を使ってBIASSET端子の電流を調整するだけでなく、TX-Pを監視することもできます。IBIASMON端子を使って、電圧信号をDS1862Aに入力することができます。これでレーザを通じてバイアス電流を監視することができます。このモニタチャンネルは安全フォルト

XFPレーザ制御およびデジタル診断IC

DS1862A

機能用にHIGH BIAS高速トリップ(QT)警報を駆動せず、BIASSET端子の電流はHIGH BIAS高速トリップ警報を制御するためにDS1862Aによって監視されます。TX-Pと同様に、RSSI端子を使って受信パワー、RX-Pを測定することができます。

AUX1MONおよびAUX2MONによる電圧量の測定

AUX1MONおよびAUX2MONは、別のパラメータの測定に使用可能な補助モニタ入力です。AUX1/2MONは、測定値の単位(すなわち、電圧、電流、または温度)を決定するユーザが選択可能なレジスタを備えています。表5の4ビットオペコードの幾つかは、単位を示すことに加えて、警報およびフォルト用に内部使用する特別モードにこのデバイスを移行させます。いずれの単位スケールが選択されても、DS1862Aは正の電圧量の測定のみが可能です。このため、2進値を測定量と一致させるには、内部または外部キャリブレーションが必要

表5. AUX1/2MON機能の選択(単位の選択)

VALUE	DESCRIPTION OF AUX1/2MON INTENDED USE (UNITS OF MEASURE)
0000b	Auxiliary monitoring not implemented
0001b	APD bias voltage (16-bit value is voltage in units of 10mV)
0010b	Reserved
0011b	TEC current (mA) (16-bit value is current in units of 0.1mA)
0100b	Laser temperature (same encoding as module temperature)
0101b	Laser wavelength
0110b	+5V supply voltage (encoded as primary voltage monitor)
0111b	+3.3V supply voltage (encoded as primary voltage monitor)
1000b	+1.8V supply voltage (encoded as primary voltage monitor) (VCC2)
1001b	-5.2V supply voltage (encoded as primary voltage monitor)
1010b	+5V supply current (16-bit value is current in 0.1mA)
1101b	+3.3V supply current (16-bit value is current in 0.1mA)
1110b	+1.8V supply current (16-bit value is current in 0.1mA)
1111b	-5.2V supply current (16-bit value is current in 0.1mA)

になります。対応可能な単位とそれに対応するユーザプログラマブルの4ビットオペコードの表は、以下に示されています。

モニタチャンネルによる警報/警告フラグ

すべてのモニタチャンネルは、ユーザ設定のスレッショルドがモニタチャンネル結果と内部で比較されて自動的にアサートする警報および警告フラグを備えています。マスクされていない場合は、フラグが設定されて、このためINTERRUPT端子に割込みが生成されるか、または安全フォルトが生成されます。VCC2/3、AUX2MON、AUX1MON、RSSI、および内部温度がそれぞれのスレッショルドトリップポイントを超え、対応するマスクビットが0の場合は、割込みがINTERRUPT端子に常に生成され、対応する警告または警報フラグが設定されます。同様に、BMDまたはBIASSETがスレッショルドトリップポイントを超えると、安全フォルトが常に発生します。これが発生すると、FETG端子はすぐにアサートし、BIASSETおよびMODSET電流はシャットダウンされます。

モニタチャンネル変換例

表6は、RSSIまたはIBIASMONに関して、出荷時設定キャリブレーションによって16ビットADCコードが実際の測定電圧にどのように対応するかを示しています。出荷時デフォルトでは、LSBは38.147μVに設定されます。

表6. A/D変換例

MSB (BIN)	LSB (BIN)	VOLTAGE (V)
11000000	00000000	1.875
10000000	10000000	1.255

VCC2、VCC3、AUX1MON、またはAUX2MONを計算するには、無符号の16ビット値を10進数に変換し、100μVを乗算します。

温度(内部)を計算するには、2の補数値の2進数を無符号2進数として取扱い、それを10進数に変換し、256で除算します。その結果が128以上の場合は、その結果から256を減じます。

温度：上位バイト = -128°C ~ +127°C 符号付き、下位バイト = 1/256°C

表7. 温度ビットの荷重

S	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰
2 ⁻¹	2 ⁻²	2 ⁻³	2 ⁻⁴	2 ⁻⁵	—	—	—

表8. 温度変換例

MSB (BIN)	LSB (BIN)	TEMPERATURE (°C)
01000000	00000000	+64
01000000	00001000	+64.03215
01011111	00000000	+95
11110110	00000000	-10
11011000	00000000	-40

内部キャリブレーション

DS1862Aは、アナログ入力をデジタル結果にスケールリングする方法を2つ備えています。2個のデバイスは、信号の利得およびオフセットを変更して、キャリブレートされます。内部温度を除き、すべての入力は、テーブル04hに示すオフセットおよび利得用の個別レジスタを備えています。すべてのモニタチャンネルに対する右シフトなどの内部キャリブレーション機能の詳細については、下の表を参照してください。

表9. 内部キャリブレーション機能

SIGNAL	INTERNAL SCALING	INTERNAL OFFSET	RIGHT-SHIFTING
Temperature	—	x	—
V _{CC2/3}	x	x	—
IBIASMON	x	x	x
RSSI (RX-P)	x	x	x
AUX1MON	x	x	x
AUX2MON	x	x	x
BMD (TX-P)	x	x	x

個別入力の利得とオフセットをスケールリングするには、アナログ入力と期待するデジタル結果との関係が分かっている必要があります。すべてゼロの対応するデジタル結果を生じる入力はヌル値です(通常、この入力はGNDです)。すべて1の対応するデジタル結果を生じる入力はフルスケール(FS)値から1 LSBを差し引いた値です。また、すべて1のデジタル値に、重み付けされたLSBを乗算すると、FS値が得られます。例えば、デジタル読取り値が16ビット長であり、LSBが50μVであることが分かっていると仮定すると、FS値は $2^{16} \times 50\mu\text{V} = 3.2768\text{V}$ です。

バイナリ検索によって、コンバータの所望のFSを得るために適した利得値を求めることができます。利得値が

求められると、その値を対応するチャンネルの利得レジスタにロードすることができます。これには、2つの既知電圧をモニタ入力端子に印加する必要があります。最良の結果を得るには、印加電圧のいずれか1つをヌル入力にして、他方の印加電圧をFSの90%にする必要があります。デジタル読取りレジスタの最下位バイトのLSBは既知であるため、期待するデジタル結果もヌルおよびFS値入力に対して分かることになります。図9は、DS1862AのLUT機能に組み込まれたヒステリシスを示しています。

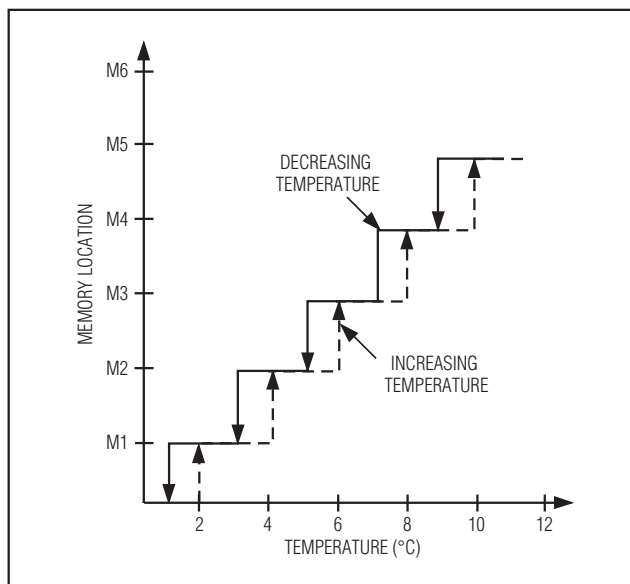


図9. ルックアップテーブルのヒステリシス

電流のソースやシンクが可能なBMDを除き、すべての監視対象チャンネルはハイインピーダンスであり、電圧を直接測定することのみが可能です。光、周波数、電力、電流などの他の測定量を所望する場合は、測定量を電圧に変換する必要があります。この場合は、ユーザは監視対象チャンネルでの電圧測定ではなく、所望のパラメータの測定に関心があります。間接的な測定量(光、周波数、電力、電流など)と期待するデジタル結果との関係のみを知る必要があります。

推奨するバイナリ検索手順による利得スケールリング例が、次に示す疑似コードとともに示されています。

計算を容易にするために、カウント1とカウント2の2つの整数を定義する必要があります。CNT1 = NULL / LSBとCNT2 = 90%FS / LSBです。CLAMPは、対応可能な最大結果です。

XFPレーザ制御およびデジタル診断IC

DS1862A

```
/* Assume that the Null input is 0.5V. */
/* In addition, the requirement for LSB is 50µV. */
FS = 65536 * 50e-6; /* 3.2768 */
CNT1 = 0.5 / 50e-6; /* 10000 */
CNT2 = 0.90*FS / 50e-6; /* 58982 */
/* Thus the NULL input of 0.5V and the 90% of FS input
is 2.94912V. */
```

```
set the trim-offset-register to zero;
set Right-Shift register to zero (Typically zero.
See the Right-Shifting section);
gain_result = 0h;
CLAMP = FFF8h/2^(Right_Shift_Register);
For n = 15 down to 0
begin
    gain_result = gain_result + 2^n;
    Force the 90% FS input (2.94912V);
    Meas2 = read the digital result from the part;
If Meas2 >= CLAMP then
    gain_result = gain_result - 2^n;
Else
    Force the NULL input (0.5V);
    Meas1 = read the digital result from the part;
    if (Meas2 - Meas1) > (CNT2 - CNT1) then
        gain_result = gain_result - 2^n;
end;
Set the gain register to gain_result;
```

このように利得レジスタは設定され、変換の分解能は期待するLSBと完全に一致します。次のステップは、DS1862Aのオフセットのキャリブレーションです。正しい利得値を利得レジスタに書き込んで、ヌル入力をモニタ端子に再び入力します。DS1862Aから結果のデジタル値を読み取ります(Meas1)。オフセット値は、Meas1の負の値になります。

$$\text{OFFSET_REGISTER} = \left[\frac{(-1)\text{Meas1}}{4} \right]$$

計算されたオフセットがDS1862Aに書き込まれ、利得/オフセットスケーリング手順は完了です。

右シフトA/D変換結果 (スケラブルダイナミックレンジ)

右シフトは、キャリブレーションされたシステムの失われたADC範囲の一部を取り戻すためのデジタル方式です。右シフトがイネーブルされている場合は、非ゼロ値を対応する右シフトレジスタにロードすると、モニタチャンネルのレジスタに保存される直前にDS1862Aはキャリブレーションされた結果をシフトします。システムがキャリブレーションされた結果、最大の期待入力7FFFh (FSの50%)を下回るデジタル出力値になる場合は、右シフト方式を使用する対象になります。

所望の最大デジタル出力が7FFFhを下回る場合は、キャリブレーションされたシステムはADCの範囲の1/2以下を使用しています。同様に、所望の最大デジタル出力が1FFFhを下回る場合は、キャリブレーションされたシステムはADCの範囲の1/8しか使用していません。例えば、印加された最大のアナログ信号が1FFChを下回る最大デジタル出力になる場合は、ADCの範囲の1/8しか使用されていません。右シフトによって、内部キャリブレーションの一環として測定信号の分解能が向上します。右シフトがない場合は、ADCの3つのMSビットは使用されません。この例では、右シフトの3という値によってADC範囲は最大になり、変換を最適化するにはより大きな利得設定値をロードする必要があります。これは左揃えされた13ビットコンバータであるため、分解能は失われません。分解能を失わずに、値を3回右シフトすることができます。以下の表は、右シフト方式を効果的に使用可能な場合を示しています。

表10. 右シフトの選択

OUTPUT RANGE USED WITH ZERO RIGHT-SHIFTS	NUMBER OF RIGHT-SHIFTS NEEDED
0h .. FFFFh	0
0h .. 7FFFh	1
0h .. 3FFFh	2
0h .. 1FFFh	3
0h .. 0FFFh	4

XFPレーザ制御およびデジタル診断IC

AUX1/2MON、V_{CC2/3}、温度、RX-P、およびIBIASMONによる警告/警報ロジック

DS1862Aは、監視対象のアナログチャンネルがユーザ設定の許容値を超えるたびに、警報や警告を生成することができます。温度、バイアス電流(IBIASMONによる)、受信パワー(RSSIによる)、AUX1MON、AUX2MON、およびV_{CC2/3}は、ラッチ付きフラグを生成する監視対象チャンネルです。AUX1MONおよびAUX2MONに関する

詳細については、以下の図を参照してください。監視対象チャンネルが設定した動作ウィンドウから初めて外れると、フラグがハイ状態にラッチされ、各監視対象の信号に対して対応する警報または警告フラグが設定されないように設定可能なマスクビットがあります。フラグが設定されると、そのメモリ位置を読み取るだけでそのフラグはクリアされます。

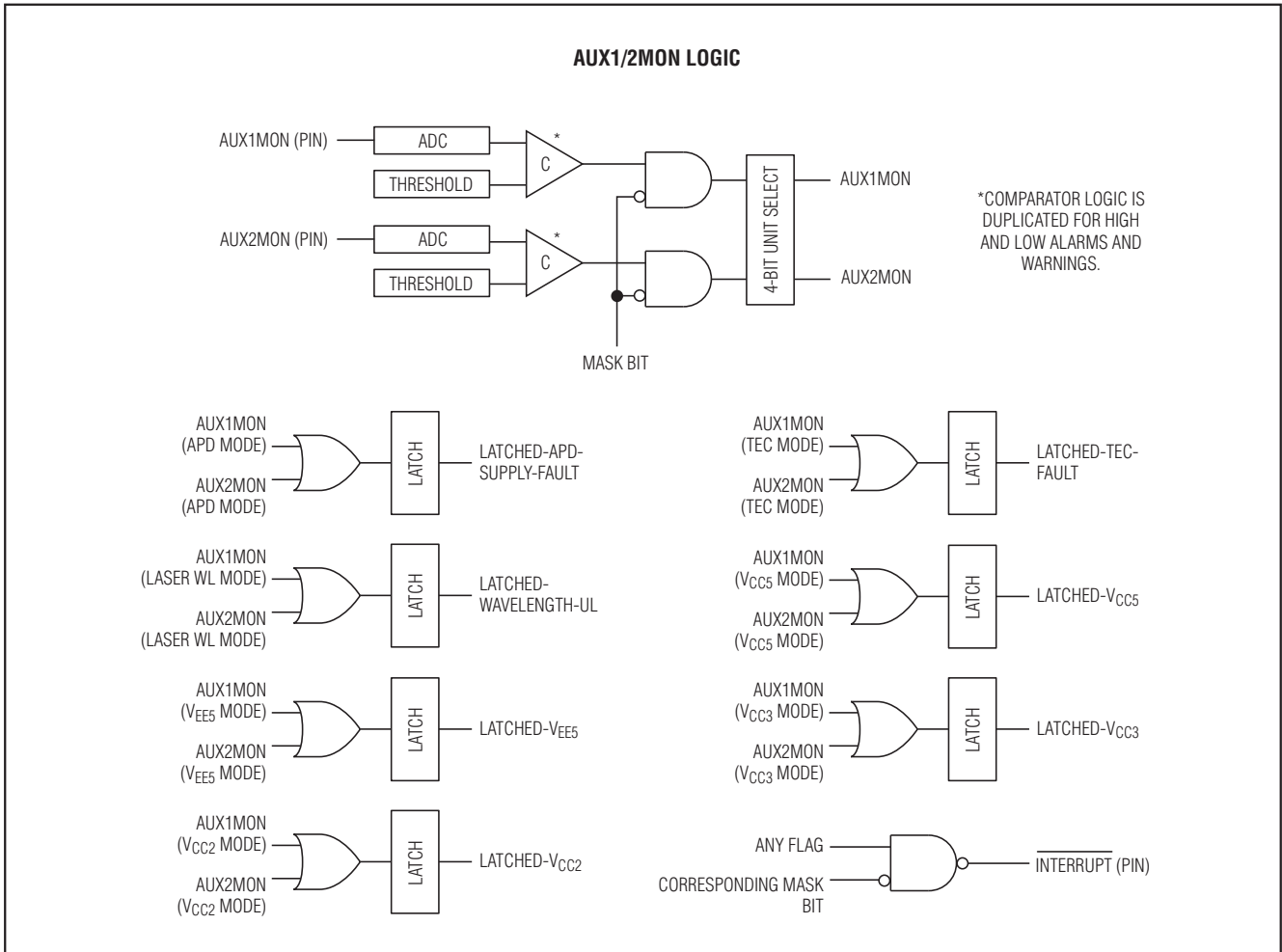


図10. AUX1/2MONモニタロジック

XFPレーザ制御およびデジタル診断IC

DS1862A

シグナルコンディショナによる警報/警告ロジック

DS1862Aは、シグナルコンディショナ(SC)端子(SC-RX-LOS、SC-RX-LOS、SC-TX-LOS)の特定のロジック条件で設定されるフラグも備えています。同様に、ラッチされるシグナルコンディショナフラグごとに、警報または警告フラグによってINTERRUPT端子をアサートしないようにすることが可能なマスクビットもあります。この場合も、フラグのメモリアドレスが読み取られるたびに、フラグは自動的にクリアされます。詳細については、図11を参照してください。

高速トリップロジックおよびFETGシャットダウン機能

警報および警告機能のほかに、DS1862Aは、 I_{MODSET} および $I_{BIASSET}$ のシャットダウンとともに、FETG端子でLASERをシャットダウン可能な高速トリップ(QT)機能(高速警報とも呼ばれる)も備えています。 I_{BMD} および

$I_{BIASSET}$ の電流は測定され、高速トリップフラグ(QT LOW TX-P、QT HIGH TX-P、およびQT HIGH BIAS)を設定するユーザ定義のトリップポイントと比較されます。これらのフラグは、許容範囲を超えた状態の検出時にFETGがアサートされないようにマスクすることもできます。TX-D端子、SOFT TX-D、またはP-DOWN/RST端子をハイ状態に設定するとFETGはアサートされませんが、 I_{MODSET} と $I_{BIASSET}$ はシャットダウンされます。詳細については、図12を参照してください。

また、FETG端子の極性を、FETG_POLビットを設定して、逆にすることもできます。安全フォルトが発生すると、FETG端子とそれに付随するすべてのフラグは、P-DOWN/RST端子をリセット時間 t_{RESET} の間、パルス的にハイにするか、またはバイト6Ehのビット3のSOFT P-DOWN/RSTビットをトグルすることによってのみリセットすることができます。詳細については、「パワーダウン/リセット端子」の項を参照してください。

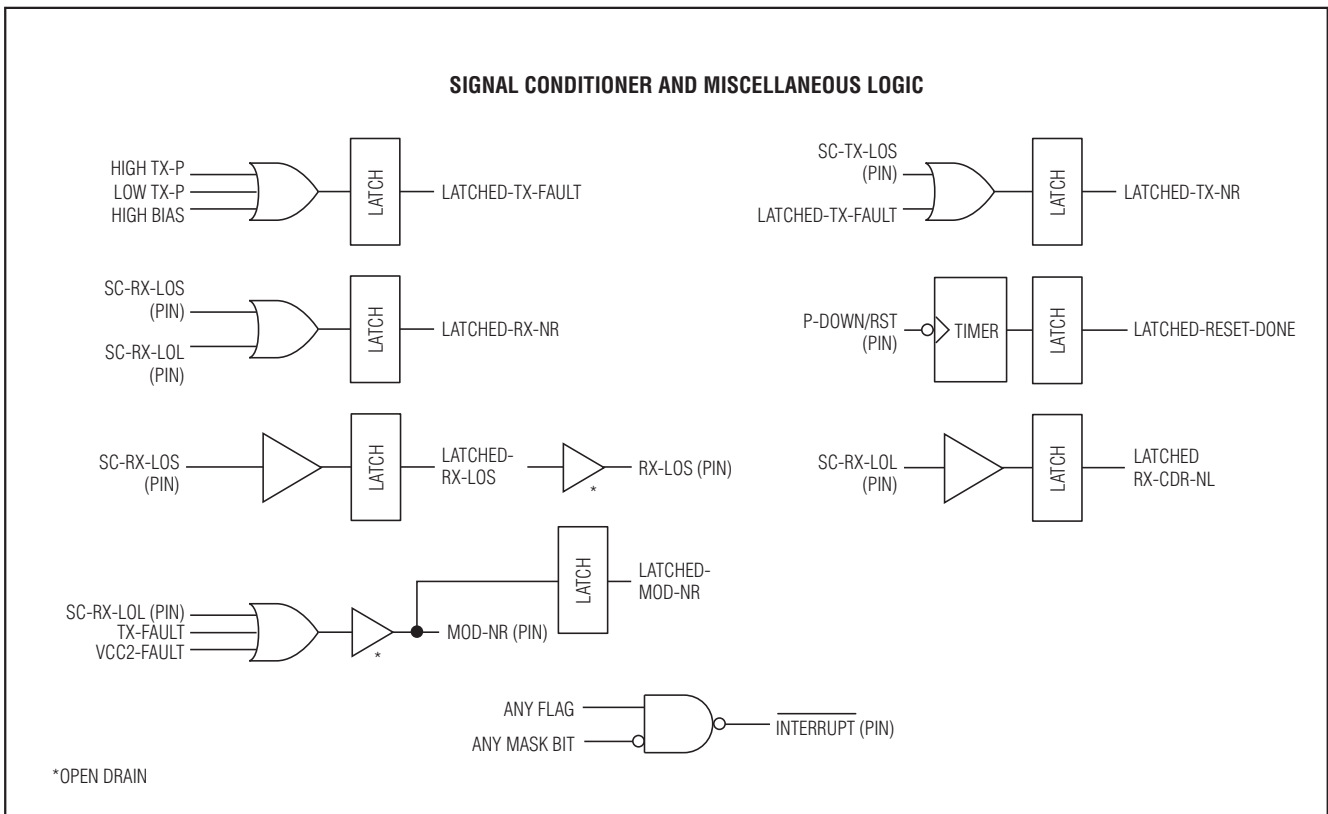


図11. シグナルコンディショナおよびその他のロジック

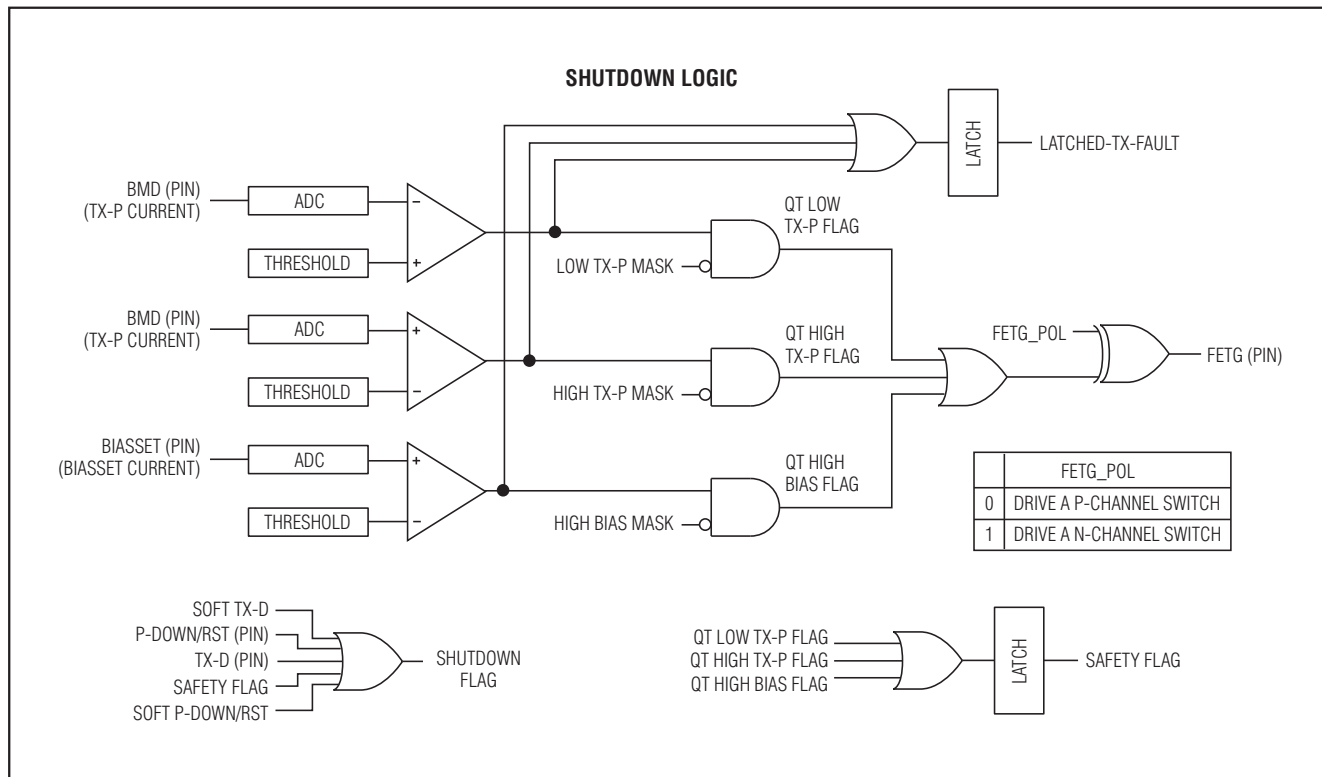


図12. 安全フォルトおよびシャットダウンロジック

パワーダウン/リセット端子

P-DOWN/RST端子は、DS1862Aのリセットやパワーダウンを行う多機能入力端子です。この端子は内部でプルアップされているため、通常は解放状態であり、それはパワーダウンモードに相当します。P-DOWN/RST端子が解放、すなわちハイになると、DS1862AはMODSETおよびBIASSET電流をシャットダウンする応答になります。この端子がローに強制されると、動作が継続します(安全フォルトで阻止されていない場合)。DS1862Aをパワーダウンすること以外に、最短リセット時間 t_{RESET} の間ハイになるパルスでP-DOWN/RST端子に印加することができます。特に、安全シャットダウン状態にあり、安全状態が正常になった後に再起動する必要がある場合に、DS1862Aを再起動するには、この処理が必要です。適切な端子タイミングについては、タイミング図を参照してください。

パワーダウン機能

パワーダウンモードの間は、 $I_{BIASSET}$ と I_{MODSET} は $10\mu A$ を下回り、レーザを実質的にシャットダウンします。FETGはアサートされず、安全フォルトはこの期間中には発生しません。パワーダウンの間は、I²C通信はアクティブのままですが、シグナルコンディショナ端子のEN1およびEN2は制御不能であり、EN1 = 1およびEN2 = 0の状態に自動的に移行します。シグナルコンディショナ入力による他の内部フラグ/信号は、パワーダウン中にもシグナルコンディショナ端子の状態が引き続き反映されます。たとえば、RX-LOSはSC-RX-LOSのステータスを反映したままであり、MOD-NRはシグナルコンディショナ端子のロジック状態の反映を続けます。同様に、BIASSETおよびMODSET電流がシャットダウンされていても、FETGをアサートすることができます。ただし、パワーダウンおよびパワーアップ中の短期の $t_{PDR-OFF}$ の間は、TX-Pローフラグは無視され(内部で自動的にマスクアウト)、FETGのロジックに寄与しません。

XFPレーザ制御およびデジタル診断IC

DS1862A

P-DOWN/RSTのアサート期間(DS1862Aはパワーダウン状態)中に、 V_{CC3} がサイクルされると、DS1862Aはパワーアップ時にパワーダウンモード状態を維持します。パワーダウンモード状態の間は、 $\overline{\text{INTERRUPT}}$ 端子はアサートしません。 V_{CC3} が復帰すると、リセット完了フラグが割込みアサート遅延 $t_{\text{INIT_ON}}$ の後にアサートします。

リセット機能

P-DOWN/RST端子は、DS1862Aをパワーダウンするだけでなく、DS1862Aをリセットする機能も果たします。 t_{RESET} のハイになるパルス時間の経過後に、幾つかのイベントがDS1862A内で発生します。最初に、MODSETおよびBIASSET電流がシャットダウンされ、その後元の状態に戻ります。2番目に、リセットパルスの立上りエッジとリセット完了フラグのアサートの間(t_{INIT})に、ローのTX-Pフラグは無視され、FETGをトリップしません。 t_{INIT} の時間が経過した後、ローのTX-Pフラグの機能が有効になります。また、この時に、リセット完了フラグがアサートされ、割込みが生成されます。 t_{INIT} の前にフォルトがない場合は、割込みは $\overline{\text{INTERRUPT}}$ 端子にアサートされません。

P-DOWN/RSTがハイの間に V_{CC3} がパワーアップされると、リセット完了フラグを2回クリアする必要があります。最初のリセット完了フラグは V_{CC3} のパワーアップで生成され、2回目のリセット完了フラグはP-DOWN/RSTの立下りエッジで生成されます。P-DOWN/RSTがローの間に V_{CC3} が連続的に給電されていると、クリアする必要があるのは1つのリセット完了フラグのみです。図による詳細については、タイミング図を参照してください。

メモリマップ

メモリ構成

DS1862Aは、4つのバイト列で内部構成される6つの独立したメモリテーブルを備えています。下位メモリは00hから7Fhまでのアドレスであり、警報/警告スレッ

シヨルド、フラグ、マスク、複数の制御レジスタ、パスワード入力領域(PE)、およびテーブル選択バイトを備えています。テーブル01hは、主にユーザEEPROMと各種機能用の複数の制御バイトを備えています。テーブル02hは、ホストのパスワードで保護されるユーザEEPROM専用です。テーブル03hは、LUTによる消光比の制御専用です。テーブル04hは、監視対象チャネルの内部キャリブレーション値、LUTインデックスポイント、およびその他の制御バイトを内蔵する多機能領域です。テーブル05hは出荷時に設定され、推奨する外部温度センサ用のSCALE値を保存します。また、テーブル05hの1バイトはTHRSET電圧源を制御し、パスワード保護なしで完全アクセスが可能です。各バイトの読み取り/書き込み許可については表11を、また各バイトの機能の詳細については「レジスタ詳細」の項を参照してください。多くの不揮発性メモリ領域は実際にはSRAMシャドウEEPROMであり、テーブル04hのバイトB2h内のSEEBビットで制御されます。

DS1862Aは、多数回の再書き込みが可能な主要メモリアドレス用のSRAMシャドウEEPROMメモリ領域を備えています。デフォルトでは、シャドウEEPROMビットのSEEBは未設定で、これらの領域は通常のEEPROMとして機能します。SEEBを設定すると、これらの領域はSRAMセルのように機能し始め、EEPROMの消耗を懸念せずに無数の書き込みサイクルを可能にします。また、これによって、EEPROMの書き込み期間の t_{WR} が不要になります。SEEBをイネーブルにして行われた変更はEEPROMに作用しないため、これらの変更はパワーサイクルされた場合は保持されません。パワーアップ時の値は、SEEBをディセーブルにして書き込まれた最後の値です。この機能を使って、キャリブレーション中のEEPROM書き込み回数を制限したり、通常動作中のモニタスレッショルドを定期的に変更したり、EEPROMに書き込まれる回数を減らすことができます。以下の情報では、シャドウEEPROMがいずれの領域にあるかを示します。

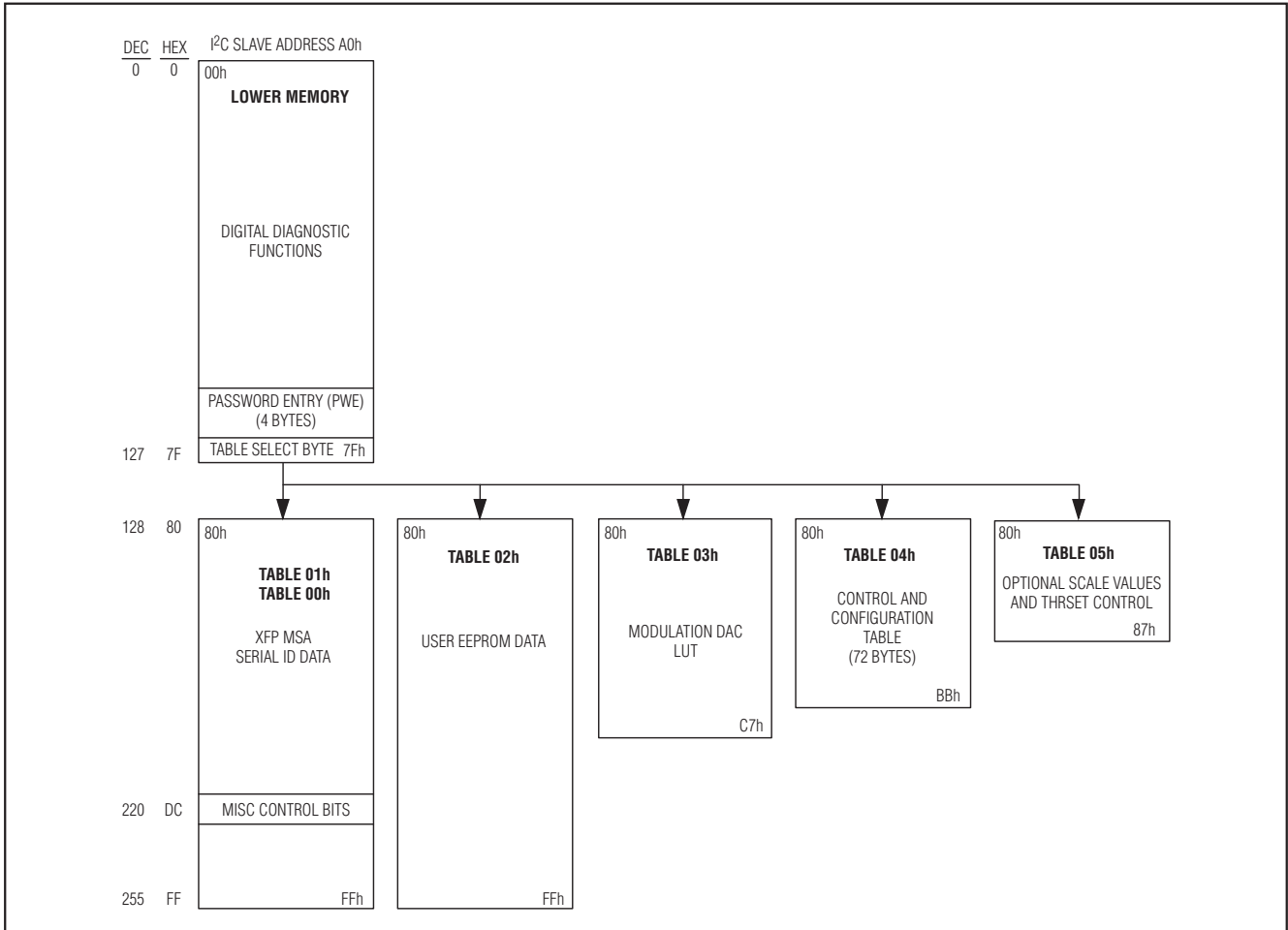


図13. DS1862Aメモリ構成の概要図

レジスタマップ

表11. 許可テーブル

PERMISSION	READ	WRITE
<0>	At least one byte in this row is different than the rest of the bytes, so look at each byte separately for permissions.	
<1>	ALL	ALL
<2>	ALL	MODULE
<3>	ALL	HOST
<4>	MODULE	MODULE
<5>	ALL	FACTORY
<6>	NEVER	HOST
<7>	NEVER	MODULE

XFPレーザ制御およびデジタル診断IC

DS1862A

LOWER MEMORY (00h-7Fh)																	
ADDRESS (hex)	WORD 0		WORD 1		WORD 2		WORD 3										
	BYTE 0/8	BYTE 1/9	BYTE 2/A	BYTE 3/B	BYTE 4/C	BYTE 5/D	BYTE 6/E	BYTE 7/F									
00<0,2>	USER EE	Signal Cond*	Temp Alarm Hi		Temp Alarm Lo		Temp Warn Hi										
08<2>	Temp Warn Lo		VCC3 Alarm Hi**		VCC3 Alarm Lo**		VCC3 Warn Hi**										
10<2>	VCC3 Warn Lo**		Bias Alarm Hi		Bias Alarm Lo		Bias Warn Hi										
18<2>	Bias Warn Lo		TX-P Alarm Hi		TX-P Alarm Lo		TX-P Warn Hi										
20<2>	TX-P Warn Lo		RX-P Alarm Hi		RX-P Alarm Lo		RX-P Warn Hi										
28<2>	RX-P Warn Lo		AUX1 Alarm Hi		AUX1 Alarm Lo		AUX1 Warn Hi										
30<2>	AUX1 Warn Lo		AUX2 Alarm Hi		AUX2 Alarm Lo		AUX2 Warn Hi										
38<0,2>	AUX2 Warn Lo		USER EE	USER EE	Reserved	Reserved	Reserved	Reserved									
40<1>	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	USER SRAM	USER SRAM									
48<1>	USER SRAM	USER SRAM	USER SRAM	USER SRAM	USER SRAM	USER SRAM	USER SRAM	USER SRAM									
50<1>	Temp/Res/Bias/ TxP Alarm	RxP/AUX1/AUX2/ Res Alarm	Temp/Res/Bias/ TxP Warn	RxP/AUX1/ AUX2/Res Warn	Tx/Rx Misc Flags	Apd/Tec/ Wave/Res Flags	VCC5/3/2/Vee Alarm Flags	VCC5/3/2/Vee Warn Flags									
58<1>	Temp/Res/Bias/ TxP Mask	RxP/AUX1/AUX2/ Res Mask	Temp/Res/Bias/ TxP Mask	RxP/AUX1/ AUX2/Res Mask	Rx/Rx Misc Mask	Apd/Tec/Wave/ Res Mask	VCC5/3/2/Vee Alarm Mask	VCC5/3/2/Vee Warn Mask									
60<1>	Temp Value		VCC2/3 Value**		Bias Value		TX-P Value										
68<1>	RX-P Value		AUX1 Value		AUX2 Value		GCS1	GCS0									
70<0,1>	Reserved	Reserved	Reserved	Reserved	POA	Reserved	PEC_EN	Host PW									
78<0,1>	Host PW	Host PW	Host PW	PWE (MSB)		PWE (LSB)		Table Select									
EXPANDED BYTES																	
BYTE (hex)	BYTE/WORD NAME	Bit7		Bit6*		Bit5		Bit4		Bit3		Bit2		Bit1		Bit0	
		bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
01	Signal Cond<1>*	USER EE		USER EE		USER EE		USER EE		USER EE		EN2 Value		EN1 Value		Lock-T1-221	
50	<1>	L-HI-TEMP- AL		L-LO-TEMP- AL		Reserved		Reserved		L-HI-BIAS- AL		L-LO-BIAS- AL		L-HI-TX-P- AL		L-LO-TX- P-AL	
51	<1>	L-HI-RX-P- AL		L-LO-RX-P- AL		L-HI-AUX1- AL		L-LO-AUX1- AL		L-HI-AUX2- AL		L-LO-AUX2- AL		Reserved		Reserved	
52	<1>	L-HI-TEMP- W		L-LO-TEMP- W		Reserved		Reserved		L-HI-BIAS-W		L-LO-BIAS-W		L-HI-TX-P-W		L-LO-TX-P-W	
53	<1>	L-HI-RX-P-W		L-LO-RX-P- W		L-HI-AUX1- W		L-LO-AUX1- W		L-HI-AUX2- W		L-LO-AUX2- W		Reserved		Reserved	
54	<1>	L-TX-NR		L-TX-F		L-TX-CDR- NL		L-RX-NR		L-RX-LOS		L-RX-CDR- NL		L-MOD-NR		L-RESET- DONE	
55	<1>	L-APD-SUP-F		L-TEC-F		L-WAVE-NL		Reserved		Reserved		Reserved		Reserved		Reserved	
56	<1>	L-HI-VCC5- AL		L-LO-VCC5- AL		L-HI-VCC3- AL		L-LO-VCC3- AL		L-HI-VCC2- AL		L-LO-VCC2- AL		L-HI-VEE5- AL		L-LO-VEE5- AL	

*テーブル01hにあるバイトDDhのビット0が設定されている場合に限り、アドレス01hのビット0に書き込むことができます。

**VCC2/3は予備領域にあります。

XFPレーザ制御およびデジタル診断IC

DS1862A

EXPANDED BYTES (CONTINUED)																	
BYTE (hex)	BYTE/WORD NAME	Bit7		Bit6		Bit5		Bit4		Bit3		Bit2		Bit1		Bit0	
		bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
57	<1>	L-HI-VCC5-W	L-LO-VCC5-W	L-HI-VCC3-W	L-LO-VCC3-W	L-HI-VCC2-W	L-LO-VCC2-W	L-HI-VEE5-W	L-LO-VEE5-W								
58	<1>	HI-TEMP-AL MASK	LO-TEMP-AL MASK	<i>Reserved</i>	<i>Reserved</i>	HI-BIAS-AL MASK	LO-BIAS-AL MASK	HI-TX-P-AL MASK	LO-TX-P-AL MASK								
59	<1>	HI-RX-P-AL MASK	LO-RX-P-AL MASK	HI-AUX1-AL MASK	LO-AUX1-AL MASK	HI-AUX2-AL MASK	LO-AUX2-AL MASK	<i>Reserved</i>	<i>Reserved</i>								
5A	<1>	HI-TEMP-W MASK	LO-TEMP-W MASK	<i>Reserved</i>	<i>Reserved</i>	HI-BIAS-W MASK	LO-BIAS-W MASK	HI-TX-P-W MASK	LO-TX-P-W MASK								
5B	<1>	HI-RX-P-W MASK	LO-RX-P-W MASK	HI-AUX1-W MASK	LO-AUX1-W MASK	HI-AUX2-W MASK	LO-AUX2-W MASK	<i>Reserved</i>	<i>Reserved</i>								
5C	<1>	TX-NR MASK	TX-F MASK	TX-CDR-NL MASK	RX-NR MASK	RX-LOL MASK	RX-CDR-NL MASK	MOD-NR MASK	RESET-DONE MASK								
5D	<1>	APD-SUP-F MASK	TEC-F MASK	WAVE-NL MASK	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>								
5E	<1>	HI-VCC5-AL MASK	LO-VCC5-AL MASK	HI-VCC3-AL MASK	LO-VCC3-AL MASK	HI-VCC2-AL MASK	LO-VCC2-AL MASK	HI-VEE5-AL MASK	LO-VEE5-AL MASK								
5F	<1>	HI-VCC5-W MASK	LO-VCC5-W MASK	HI-VCC3-W MASK	LO-VCC3-W MASK	HI-VCC2-W MASK	LO-VCC2-W MASK	HI-VEE5-W MASK	LO-VEE5-W MASK								
6E	<1>	TX-D	SOFT TX-D†	MOD-NR	P-DOWN/RST	SOFT P- DOWN/RST†	INTERRUPT	RX-LOS	DATA-NR								
6F	<1>	TX-NR	TX-F	<i>Reserved</i>	RX-NR	RX-CDR-NL	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>								
74	POA <1>	POA	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>								
77	Host PW<6>	2 ³¹	2 ³⁰	2 ²⁹	2 ²⁸	2 ²⁷	2 ²⁶	2 ²⁵	2 ²⁴								
78	Host PW<6>	2 ²³	2 ²²	2 ²¹	2 ²⁰	2 ¹⁹	2 ¹⁸	2 ¹⁷	2 ¹⁶								
79	Host PW<6>	2 ¹⁵	2 ¹⁴	2 ¹³	2 ¹²	2 ¹¹	2 ¹⁰	2 ⁹	2 ⁸								
7A	Host PW<6>	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰								
7B	PWE<6>	2 ³¹	2 ³⁰	2 ²⁹	2 ²⁸	2 ²⁷	2 ²⁶	2 ²⁵	2 ²⁴								
7C	PWE<6>	2 ²³	2 ²²	2 ²¹	2 ²⁰	2 ¹⁹	2 ¹⁸	2 ¹⁷	2 ¹⁶								
7D	PWE<6>	2 ¹⁵	2 ¹⁴	2 ¹³	2 ¹²	2 ¹¹	2 ¹⁰	2 ⁹	2 ⁸								
7E	PWE<6>	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰								
7F	Table Select<1>	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰								

†バイト6Ehのビット6およびビット3は、それぞれテーブル01hにあるバイトDDhのビット6およびビット5によってマスクされます。

XFPレーザ制御およびデジタル診断IC

DS1862A

TABLE 01h (SERIAL ID MEMORY)

ADDRESS (hex)	WORD 0		WORD 1		WORD 2		WORD 3	
	Byte 0/8	Byte 1/9	Byte 2/A	Byte 3/B	Byte 4/C	Byte 5/D	Byte 6/E	Byte 7/F
80<2>	USER EE	USER EE	USER EE	USER EE	USER EE	USER EE	USER EE	USER EE
88<2>	USER EE	USER EE	USER EE	USER EE	USER EE	USER EE	USER EE	USER EE
90<2>	USER EE	USER EE	USER EE	USER EE	USER EE	USER EE	USER EE	USER EE
98<2>	USER EE	USER EE	USER EE	USER EE	USER EE	USER EE	USER EE	USER EE
A0<2>	USER EE	USER EE	USER EE	USER EE	USER EE	USER EE	USER EE	USER EE
A8<2>	USER EE	USER EE	USER EE	USER EE	USER EE	USER EE	USER EE	USER EE
B0<2>	USER EE	USER EE	USER EE	USER EE	USER EE	USER EE	USER EE	USER EE
B8<2>	USER EE	USER EE	USER EE	USER EE	USER EE	USER EE	USER EE	USER EE
C0<2>	USER EE	USER EE	USER EE	USER EE	USER EE	USER EE	USER EE	USER EE
C8<2>	USER EE	USER EE	USER EE	USER EE	USER EE	USER EE	USER EE	USER EE
D0<2>	USER EE	USER EE	USER EE	USER EE	USER EE	USER EE	USER EE	USER EE
D8<2>	USER EE	USER EE	USER EE	USER EE	VCC2/3_SEL	LO MEM 6Eh EN	AUX1/2 UNIT SEL	USER EE
E0<2>	USER EE	USER EE	USER EE	USER EE	USER EE	USER EE	USER EE	USER EE
E8<2>	USER EE	USER EE	USER EE	USER EE	USER EE	USER EE	USER EE	USER EE
F0<2>	USER EE	USER EE	USER EE	USER EE	USER EE	USER EE	USER EE	USER EE
F8<2>	USER EE	USER EE	USER EE	USER EE	USER EE	USER EE	USER EE	USER EE

EXPANDED BYTES

BYTE (hex)	BYTE/WORD NAME	Bit7		Bit6		Bit5		Bit4		Bit3		Bit2		Bit1		Bit0	
		bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
	USER EE	USER EE		USER EE		USER EE		USER EE		USER EE		USER EE		USER EE		USER EE	
DC<2>	VCC2/3_SEL	Reserved		Reserved		Reserved		Reserved		Reserved		Reserved		Reserved		VCC2/3_SEL	
DD<2>	LO MEM 6Eh EN	Reserved		Enable 6Eh, bit 6		Enable 6Eh, bit 3		Reserved		Reserved		Reserved		Reserved		Lock-Bit	
DE<2>	AUX1/2 UNIT SEL	AUX1-SEL 2 ³		AUX1-SEL 2 ²		AUX1-SEL 2 ¹		AUX1-SEL 2 ⁰		AUX2-SEL 2 ³		AUX2-SEL 2 ²		AUX2-SEL 2 ¹		AUX2-SEL 2 ⁰	

注：テーブル01hのバイトDDh<6:5>によって、下位メモリのバイト6Ehのビット6およびビット3がイネーブルされます。

TABLE 02h (HOST USER MEMORY)

ADDRESS (hex)	WORD 0		WORD 1		WORD 2		WORD 3	
	Byte 0/8	Byte 1/9	Byte 2/A	Byte 3/B	Byte 4/C	Byte 5/D	Byte 6/E	Byte 7/F
80–FF<3>	USER EE	USER EE	USER EE	USER EE	USER EE	USER EE	USER EE	USER EE

TABLE 03h (MODSET LOOKUP TABLE)

ADDRESS (hex)	WORD 0		WORD 1		WORD 2		WORD 3	
	Byte 0/8	Byte 1/9	Byte 2/A	Byte 3/B	Byte 4/C	Byte 5/D	Byte 6/E	Byte 7/F
80–87<4>	USER EE, < -40°C	USER EE, -40°C	USER EE, -38°C	USER EE, -36°C	USER EE, -34°C	USER EE, -32°C	USER EE, -30°C	USER EE, -28°C
88–BF<4>	—	—	—	—	—	—	—	—
C0–C7<4>	USER EE, +88°C	USER EE, +90°C	USER EE, +92°C	USER EE, +94°C	USER EE, +96°C	USER EE, +98°C	USER EE, +100°C	USER EE, > +102°C

XFPレーザ制御およびデジタル診断IC

DS1862A

TABLE 04h (CONTROL AND CONFIG) (80h–BBh)

ADDRESS (hex)	WORD 0		WORD 1		WORD 2		WORD 3										
	Byte 0/8	Byte 1/9	Byte 2/A	Byte 3/B	Byte 4/C	Byte 5/D	Byte 6/E	Byte 7/F									
80<4>	<i>Reserved</i>	BIAS SHIFT, TX-P SHIFT	RX-P SHIFT, AUX1 SHIFT	AUX2 SHIFT, <i>Reserved</i>	APC REF COARSE	APC REF FINE	LUT RANGE	Control Register 1									
88<4>	QT TX-P HI	QT TX-P LO	QT HIGH BIAS	Control Register 2	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>									
90<4>	<i>Reserved</i>	<i>Reserved</i>	MSB V _{CC2/3} SCALE	LSB V _{CC2/3} SCALE	MSB BIAS SCALE	LSB BIAS SCALE	MSB TX-P SCALE	LSB TX-P SCALE									
98<4>	MSB RX-P SCALE	LSB RX-P SCALE	MSB AUX1 SCALE	LSB AUX1 SCALE	MSB AUX2 SCALE	LSB AUX2 SCALE	<i>Reserved</i>	<i>Reserved</i>									
A0<4>	MSB TEMP OFFSET	LSB TEMP OFFSET	MSB V _{CC2/3} OFFSET	LSB V _{CC2/3} OFFSET	MSB BIAS OFFSET	LSB BIAS OFFSET	MSB TX-P OFFSET	LSB TX-P OFFSET									
A8<4>	MSB RX-P OFFSET	LSB RX-P OFFSET	MSB AUX1 OFFSET	LSB AUX1 OFFSET	MSB AUX2 OFFSET	LSB AUX2 OFFSET	<i>Reserved</i>	<i>Reserved</i>									
B0<4>	LUT INDEX POINTER	LUT VALUE	LUT_CONF	<i>Reserved</i>	DAC STATUS	<i>Reserved</i>	<i>Reserved</i>	<i>Reserved</i>									
B8<7>	MOD_PW_CHNG	MOD_PW_CHNG	MOD_PW_CHNG	MOD_PW_CHNG													
EXPANDED BYTES																	
BYTE (hex)	BYTE WORD NAME	Bit7		Bit6		Bit5		Bit4		Bit3		Bit2		Bit1		Bit0	
		bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
81	<4>	BIAS SHIFT 2 ³		BIAS SHIFT 2 ²		BIAS SHIFT 2 ¹		BIAS SHIFT 2 ⁰		TX-P SHIFT 2 ³		TX-P SHIFT 2 ²		TX-P SHIFT 2 ¹		TX-P SHIFT 2 ⁰	
82	<4>	RX-P SHIFT 2 ³		RX-P SHIFT 2 ²		RX-P SHIFT 2 ¹		RX-P SHIFT 2 ⁰		AUX1 SHIFT 2 ³		AUX1 SHIFT 2 ²		AUX1 SHIFT 2 ¹		AUX1 SHIFT 2 ⁰	
83	<4>	AUX2 SHIFT 2 ³		AUX2 SHIFT 2 ²		AUX2 SHIFT 2 ¹		AUX2 SHIFT 2 ⁰		<i>Reserved</i>		<i>Reserved</i>		<i>Reserved</i>		<i>Reserved</i>	
84	<4>	APC 2 ⁹		APC 2 ⁸		APC 2 ⁷		APC 2 ⁶		APC 2 ⁵		APC 2 ⁴		APC 2 ³		APC 2 ²	
85	<4>	<i>Reserved</i>		<i>Reserved</i>		<i>Reserved</i>		<i>Reserved</i>		<i>Reserved</i>		<i>Reserved</i>		APC 2 ¹		APC 2 ⁰	
86	<4>	<i>Reserved</i>		<i>Reserved</i>		<i>Reserved</i>		<i>Reserved</i>		<i>Reserved</i>		LUT RANGE 2 ²		LUT RANGE 2 ¹		LUT RANGE 2 ⁰	
87	<4>	FETG_POL		QT TX-P HI Mask		QT HIGH BIAS Mask		QT TX-P LO Mask		<i>Reserved</i>		<i>Reserved</i>		SRC_SINK_B		<i>Reserved</i>	
8B	<4>	<i>Reserved</i>		<i>Reserved</i>		Reserve_EN		TEMP_INT/EXT		<i>Reserved</i>		<i>Reserved</i>		<i>Reserved</i>		<i>Reserved</i>	
B2	LUT_CONF<4>	<i>Reserved</i>		<i>Reserved</i>		<i>Reserved</i>		<i>Reserved</i>		<i>Reserved</i>		SEEB		TEN		AEN	
B4	DAC STATUS<4>	SAFETY Flag		SHUTDOWN Flag		<i>Reserved</i>		QT LOW TX-P Flag		QT HIGH TX-P Flag		QT HIGH BIAS Flag		<i>Reserved</i>		<i>Reserved</i>	
B8	Module PW<7>	2 ³¹		2 ³⁰		2 ²⁹		2 ²⁸		2 ²⁷		2 ²⁶		2 ²⁵		2 ²⁴	
B9	Module PW<7>	2 ²³		2 ²²		2 ²¹		2 ²⁰		2 ¹⁹		2 ¹⁸		2 ¹⁷		2 ¹⁶	
BA	Module PW<7>	2 ¹⁵		2 ¹⁴		2 ¹³		2 ¹²		2 ¹¹		2 ¹⁰		2 ⁹		2 ⁸	
BB	Module PW<7>	2 ⁷		2 ⁶		2 ⁵		2 ⁴		2 ³		2 ²		2 ¹		2 ⁰	

XFPレーザ制御およびデジタル診断IC

DS1862A

TABLE 05h (OPTIONAL OFFSETS AND THRSET)

ADDRESS (hex)	WORD 0		WORD 1				WORD 2				WORD 3						
	Byte 0/8	Byte 1/9	Byte 2/A	Byte 3/B	Byte 4/C	Byte 5/D	Byte 6/E	Byte 7/F	Byte 8	Byte 9	Byte 10	Byte 11	Byte 12	Byte 13			
80-87	DS60 SCALE		LM50 SCALE				Reserved		Reserved		Reserved		VTHRSET_VALUE <1>				
EXPANDED BYTES																	
BYTE (hex)	BYTE/WORD NAME	Bit7		Bit6		Bit5		Bit4		Bit3		Bit2		Bit1		Bit0	
		bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
80	DS60 SCALE <5>	2 ¹⁵	2 ¹⁴	2 ¹³	2 ¹²	2 ¹¹	2 ¹⁰	2 ⁹	2 ⁸	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰
82	LM50 SCALE <5>	2 ¹⁵	2 ¹⁴	2 ¹³	2 ¹²	2 ¹¹	2 ¹⁰	2 ⁹	2 ⁸	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰
87	VTHRSET_VALUE	2 ⁷		2 ⁶		2 ⁵		2 ⁴		2 ³		2 ²		2 ¹		2 ⁰	

レジスタ詳細

表記法

列の名前

- Name of Byte.....<Read/Write><Volatile><Power-On Value>
- Name of Byte.....<Read/Write><Nonvolatile><Factory-Default Setting>
- Name of Byte.....<Read/Write><Shadowed Nonvolatile><Factory-Default Setting>
- Name of Byte.....<Read/Write><Status><Power-On Value>

下位メモリ

00h

- USER EE.....<R-all/W-all><Shadowed Nonvolatile><00>

01h

- Signal Condition.....<R-all/W-all><Volatile><00> テーブル01h、バイトDDh、ビット<0>がハイである場合に限り、ビット0に書き込むことができます。ビット<2:1>は、それぞれEN2およびEN1を制御します。

02h~39h

- Alarms and Warnings<R-all/W-Module><Shadowed Nonvolatile><Note*> これらのレジスタは、対応するモニタチャネルの16ビットスレッショルドレベルを設定します。
*注：ハイの警報および警告は出荷時デフォルトでFFFFhであり、ローの警報を抑えた警告はデフォルトで0000hです。

3Ah、3Bh

- USER EE.....<R-all/W-all><Shadowed Nonvolatile><00>

46h~4Fh

- USER SRAM.....<R-all/W-all><Volatile><00>

50h~57h

- Latched Flags.....<R-all/clear-all><Volatile><00> これらに対応する信号用のラッチ付きフラグです。いずれのフラグも、読み取られるだけでクリアされます。

58h~5Fh

- Masks.....<R-all/W-all><Volatile><00> これらのマスクビットによって、INTERRUPT端子を駆動する信号が内部でブロックされます。ローの設定値とすると、対応するモニタチャネルがINTERRUPT端子を駆動します。

60h~6Dh

- Monitor Values.....<R-all/W-all><Volatile><xxxx> これらのレジスタは、モニタチャネルのデジタル結果で内部更新されます。これらのレジスタを左揃えの16ビット値として読み取ることができます。

6Eh

- GCS1<R-all/W-all><Volatile><xx> これらはラッチなしのフラグであり、特定機能の制御ビットだけでなく、対応する信号のリアルタイムのデジタル状態も示します。

XFPレーザ制御およびデジタル診断IC

DS1862A

ビット0 : DATA-NR。DS1862Aがパワーアップの実行終了まで、ビットはハイです。ビットをローにして、モニタチャネルデータが読取り可能であることを通知します。

ビット1 : RX-LOS。光の信号喪失を示し、 t_{LOS-ON} 以内に更新されます。

ビット2 : $\overline{INTERRUPT}$ 。INTERRUPT端子の状態を示し、 t_{INIT_ON} 以内に更新されます。

ビット3 : SOFT P-DOWN/RST。DS1862Aをパワーダウンモードに移行させる読取り/書込みビット。トグルするとリセットされます。テーブル01hにあるバイトDDhのビット5によってマスクされます。

ビット4 : P-DOWN/RST。P-DOWN/RST端子のデジタル状態を示し、 t_{PDR-ON} 以内に更新されます。

ビット5 : MOD-NR State。MOD-NR端子の状態を示し、 t_{PDR-ON} 以内に更新されます。

ビット6 : SOFT TX-D。I_{BIASSET}およびI_{MODSET}をディセーブル(シャットダウン)する読取り/書込みビット。テーブル01hにあるバイトDDhのビット6によってマスクされます。

ビット7 : TX-D。TX-D端子のデジタル状態を示し、 t_{OFF} 以内に更新されます。

6Fh

- 6Fh GCS0.....<R-all/W-all><Status><xx> これらはラッチなしのフラグで、対応する信号のリアルタイムのデジタル状態を示します。

ビット0 : 予備。

ビット1 : 予備。

ビット2 : 予備。

ビット3 : RX-CDR-NLがロックされていない。RxパスのCDRのLOLを示します。

ビット4 : RX-NR State。RxパスのNOT READY状態を示します。

ビット5 : 予備。

ビット6 : TX-F State。レーザの安全フォルト状態を示します。

ビット7 : TX-NR State。TxパスのNOT READY状態を示します。

74h

- POA<R-all/W-all><Volatile><00> ビット7のハイは、V_{CC3}が電源投入時のアナログトリップポイントPOAを下回っていることを示します。

76h

- PEC_EN<R-all/W-all><Volatile><00> ビット0は、PECのイネーブルに使用されます。1の値にすると、PECがイネーブルされます。

77h~7Ah

- Host PW Change.....<R-never/W-Host><Shadowed Nonvolatile P><00> これは32ビット領域であり、DS1862Aがこの領域を使ってPWEと比較し、ホストのパスワードアクセスを許可します。読取り結果は常に<FFh>です。

7Bh~7Eh

- PWE<R-never/W-all><Volatile><00> これは32ビット領域であり、この領域を使ってホストおよびモジュールのパスワードを入力し、DS1862Aにアクセスすることができます。読取り結果は常に<FFh>です。

7Fh

- Table Select<R-all/W-all><Volatile><01> これは8ビットレジスタであり、このレジスタは上位メモリ(テーブル)のいずれのセクションがI²Cでアドレス指定されているかを制御します。00hおよび01hの値によって、テーブル01hがアドレス指定されます。05hを上回る値を受け入れませんが、どの物理メモリにも対応しません。

テーブル01h

80h~DBh

- USER EE.....<R-all/W-Module><Nonvolatile><00>

DC h

- V_{CC2/3_SEL}<R-all/W-Module><Shadowed Nonvolatile><00> このレジスタのビット0は、V_{CC2}またはV_{CC3}をV_{CC2/3}のモニタチャネルによって内部で測定するかどうかを制御します。「1」にすると、V_{CC2}を測定することが選択されます。

XFPレーザ制御およびデジタル診断IC

DS1862A

DDh

- *LO MEM 6Eh EN*.....<R-all/W-Module><Shadowed Nonvolatile><00> ビット5がハイの場合は、6Ehのビット3はマスクされません。ビット6がハイの場合は、6Ehのビット6はマスクされません。ビット0はLock_Bitで、設定されている場合は、下位メモリアドレス01hのビット0が書き込み可能になります。

DEh

- *AUX1/2 UNIT SEL*.....<R-all/W-Module><Shadowed Nonvolatile><00> これらの2つの4ビット値は、AUX1MONおよびAUX2MONで測定される対象を設定します。MSBはAUX1MONの単位の選択であり、LSBはAUX2MONの単位の選択です。詳細については、表5を参照してください。

DFh

- *USER EE*.....<R-all/W-Module><Shadowed Nonvolatile><00>

E0h~FFh

- *USER EE*.....<R-all/W-Module><Nonvolatile><00>

テーブル02h

80h~FFh

- *USER EE*.....<R-all/W-Host><Nonvolatile><00>

テーブル03h

80h~C7h

- *LUT*.....<R-Module/W-Module><Nonvolatile><00> これらのレジスタは、温度の関数としてMODSETの出力電流を制御します。

テーブル04h

80h~B8h

81h

- *BIAS SHIFT*<R-Module/W-Module><Shadowed Nonvolatile><0> <7:4>のこの4ビット値は、IBIASMONモニタチャンネルが受け取る右シフトの回数を設定します。MSBはビット7です。
- *TX-P SHIFT*<R-Module/W-Module><Shadowed Nonvolatile><0> <3:0>のこの4ビット値は、TX-P (BMD)モニタチャンネルが受け取る右シフトの回数を設定します。MSBはビット3です。

82h

- *RX-P SHIFT*.....<R-Module/W-Module><Shadowed Nonvolatile><0> <7:4>のこの4ビット値は、RX-P (RSSI)モニタチャンネルが受け取る右シフトの回数を設定します。MSBはビット7です。
- *AUX1 SHIFT*<R-Module/W-Module><Shadowed Nonvolatile><0> <3:0>のこの4ビット値は、AUX1MONモニタチャンネルが受け取る右シフトの回数を設定します。MSBはビット3です。

83h

- *AUX2 SHIFT*<R-Module/W-Module><Shadowed Nonvolatile><0> <7:4>のこの4ビット値は、AUX2MONモニタチャンネルが受け取る右シフトの回数を設定します。MSBはビット7です。

84h

- *APC REF COARSE*.....<R-Module/W-Module><Shadowed Nonvolatile><00> この8ビット値は、BMDのAPC電流の粗調整値を設定します。

XFPレーザ制御およびデジタル診断IC

85h

- *APC REF FINE*<R-Module/W-Module><Shadowed Nonvolatile><00> <1:0>のこの2ビット値は、BMDのAPC電流の微調整値を設定します。MSBはビット1です。

86h

- *LUT RANGE*.....<R-Module/W-Module><Shadowed Nonvolatile><00> <2:0>のこの3ビット値は、MODSETの電流範囲を設定します。MSBはビット2です。

87h

- *Control Register 1*<R-Module/W-Module><Shadowed Nonvolatile><00>

ビット0：予備。

ビット1：SRC_SINK_B。設定されている場合は、BMDは電流をソースし、設定されていない場合、BMDは電流をシンクします。

ビット2：予備。

ビット3：予備。

ビット4：QT TX-P LO Mask。設定されている場合は、TX-Pのローによって安全フォルトを発生させることはできません。

ビット5：QT HIGH BIAS Mask。設定されている場合は、HIGH BIASによって安全フォルトを発生させることはできません。

ビット6：QT TX-P HI Mask。設定されている場合は、TX-Pのハイによって安全フォルトを発生させることはできません。

ビット7：FETG_POL。設定されている場合は、FETGはハイのロジックレベルでアサートし、設定されていない場合はローのロジックレベルでアサートします。

88h

- *QT TX-P HI*.....<R-Module/W-Module><Shadowed Nonvolatile><FF> これは、TX-Pハイの安全フォルトを発生させる比較値として使用するTX-P高速トリップスレッショルド設定値です。

89h

- *QT TX-P LO*.....<R-Module/W-Module><Shadowed Nonvolatile><00> これは、TX-Pローの安全フォルトを発生させる比較値として使用するTX-P高速トリップスレッショルド設定値です。

8Ah

- *QT HIGH BIAS*<R-Module/W-Module><Shadowed Nonvolatile><FF> これは、HIGH BIASの安全フォルトを発生させる比較値として使用するTX-P高速トリップスレッショルド設定値です。

8Bh

- *Control Register 2*<R-Module/W-Module><Shadowed Nonvolatile><00>

ビット0：予備。

ビット1：予備。

ビット2：予備。

ビット3：予備。

ビット4：TEMP_INT/EXT。設定されている場合は、LUT INDEX POINTERはAUX2MONで制御されます。設定されていない場合は、内部温度センサはLUTを制御します。

ビット5：Reserve_EN。設定されている場合は、V_{CC2/3}はモニターープでアクティブに更新されます。

ビット6：予備。

ビット7：予備。

XFPレーザ制御およびデジタル診断IC

DS1862A

- 92h
- $V_{CC2/3}$ SCALE.....<R-Module/W-Module><Shadowed Nonvolatile><Factory Trimmed> この16ビットレジスタは、 $V_{CC2/3}$ モニタチャネルのスケール値を制御します。
- 94h
- BIAS SCALE<R-Module/W-Module><Shadowed Nonvolatile><Factory Trimmed> この16ビットレジスタは、BIASモニタチャネルのスケール値を制御します。
- 96h
- TX-P SCALE<R-Module/W-Module><Shadowed Nonvolatile><Factory Trimmed> この16ビットレジスタは、TX-P (BMD)モニタチャネルのスケール値を制御します。
- 98h
- RX-P SCALE<R-Module/W-Module><Shadowed Nonvolatile><Factory Trimmed> この16ビットレジスタは、RX-P (RSSI)モニタチャネルのスケール値を制御します。
- 9Ah
- AUX1 SCALE<R-Module/W-Module><Shadowed Nonvolatile><Factory Trimmed> この16ビットレジスタは、AUX1MONモニタチャネルのスケール値を制御します。
- 9Ch
- AUX2 SCALE<R-Module/W-Module><Shadowed Nonvolatile><Factory Trimmed> この16ビットレジスタは、AUX2MONモニタチャネルのスケール値を制御します。
- A0h
- TEMP OFFSET<R-Module/W-Module><Shadowed Nonvolatile><Factory Trimmed> この16ビットレジスタは、内部温度モニタチャネルのオフセット値を制御します。
- A2h
- $V_{CC2/3}$ OFFSET.....<R-Module/W-Module><Shadowed Nonvolatile><0000> この16ビットレジスタは、 $V_{CC2/3}$ モニタチャネルのオフセット値を制御します。
- A4h
- BIAS OFFSET<R-Module/W-Module><Shadowed Nonvolatile><0000> この16ビットレジスタは、BIASモニタチャネルのオフセット値を制御します。
- A6h
- TX-P OFFSET<R-Module/W-Module><Shadowed Nonvolatile><0000> この16ビットレジスタは、TX-P (BMD)モニタチャネルのオフセット値を制御します。
- A8h
- RX-P OFFSET<R-Module/W-Module><Shadowed Nonvolatile><0000> この16ビットレジスタは、RX-P (RSSI)モニタチャネルのオフセット値を制御します。
- AAh
- AUX1 OFFSET<R-Module/W-Module><Shadowed Nonvolatile><0000> この16ビットレジスタは、AUX1MONモニタチャネルのオフセット値を制御します。
- ACh
- AUX2 OFFSET<R-Module/W-Module><Shadowed Nonvolatile><0000> この16ビットレジスタは、AUX2MONモニタチャネルのオフセット値を制御します。
- B0h
- LUT INDEX POINTER.....<R-Module/W-Module><Volatile><xx> このレジスタは、LUTのインデックスポインタ値を制御します。これは(通常動作モードで)自動更新され、TENおよびAENビットを使って読取りや上書きを行うことができます。

B1h

- *LUT VALUE*<R-Module/W-Module><Shadowed Nonvolatile><00> このレジスタは、MODSET電流を駆動するフェッチされたLUT値を備えています。この値の読取りや上書きを行い、MODSET電流を直接制御することができます(マニュアルモード)。

B2h

- *LUT_CONF*<R-Module/W-Module><Shadowed Nonvolatile><03>

ビット0：AEN。AENのハイによって、LUT VALUEレジスタに配置されたデータでMODSETを駆動することができます。

ビット1：TEN。TENのハイによって、LUT INDEX POINTERがLUTからデータをフェッチすることができます。

ビット2：SEEB。SEEBのハイによって、シャドウEEPROM領域のEEPROMへの書込みがディセーブルされます。

ビット3：予備。

ビット4：予備。

ビット5：予備。

ビット6：予備。

ビット7：予備。

B4h

- *DAC STATUS*<R-Module/W-Module><Status><xx0xxx00b>

ビット0：予備。

ビット1：予備。

ビット2：QT HIGH BIAS Flag。このフラグは、BIASSETに入る電流がスレッショルドを上回っていることを示します。

ビット3：QT HIGH TX-P Flag。このフラグは、TX-Pがスレッショルドを上回っていることを示します。

ビット4：QT LOW TX-P Flag。このフラグは、TX-Pがスレッショルドを下回っていることを示します。

ビット5：予備。

ビット6：SHUTDOWN Flag。ハイは、DS1862Aはシャットダウンモード状態であり、FETGがアサートされていることを示します。

ビット7：SAFETY Flag。ハイは、安全フォルト(高速トリップ)が発生したことを示します。

B8h

- *MOD_PW_CHNG*<R-never/W-Module><Shadowed Nonvolatile><00h> DS1862Aが、モジュールのパスワードアクセスを許可するPWEとの比較に使用する32ビットの領域です。読取り結果は常に<FFh>です。

テーブル05h

80h

- *DS60 SCALE*<R-all/W-Factory><Nonvolatile><Factory Trimmed> この固有の16ビット値は、AUX2MONの温度センサDS60用のSCALEレジスタを設定します。

82h

- *LM50 SCALE*<R-all/W-Factory><Nonvolatile><Factory Trimmed> この固有の16ビット値は、AUX2MONの温度センサLM50用のSCALEレジスタを設定します。

87h

- *V_{THRSET} VALUE*<R-all/W-all><Shadowed Nonvolatile><80> この8ビット値は、シグナルコンディショナの電圧源、THRSETの電圧を設定します。

XFPレーザ制御およびデジタル診断IC

セキュリティ/パスワード保護

DS1862Aは、重要なメモリ領域別に2つの独立した個別の32ビットのパスワードを備えています。ホストおよびモジュールのパスワードによって、それぞれの割り当てられたメモリ領域を書込みや読取りアクセスできないようにロックすることができます。DS1862Aのセキュリティの向上のために、パスワードの入力および設定バイトを読み取ることはできません。

ホスト保護またはモジュール保護されたメモリ領域にアクセスするには、正しい32ビット値を1回の4バイト書込みまたは4回の1バイト書込みでパスワード入力バイト(PWE)に入力する必要があります。いずれかのパスワードを設定変更するには、メモリにアクセスするのに適切な現在のパスワードを入力し、1回の4バイトの書込みで新しいホストまたはモジュールPWを書き込み、最後に新しいパスワードをPWEに再入力し、メモリへのアクセスを再び可能にします。

パワーアップシーケンス

DS1862Aでは、適切な機能を得るために特定の電源投入シーケンスが必要です。V_{CC3}は、必ず先にまたはV_{CC2}と同時に印加される必要があります。このパワーアップシーケンスに従わない場合は、V_{CC2}がDS1862A内部の抵抗でV_{CC3}に接続されているかのように、電流がV_{CC2}から供給されます。V_{CC2}が使用されない場合は、V_{CC2}をV_{CC3}に外部で接続する必要があります。

シグナルコンディショナ (EN1/EN2およびTHRSET)

シグナルコンディショナ(EN1およびEN2)

EN1およびEN2出力端子は、アドレス01hのビット2と1によって制御されます。各端子のロジック状態は、レジスタのロジック状態にまったく相似しています。EN1およびEN2は、「パワーダウン機能」の項に示されるようにパワーダウンモード中に、それぞれハイおよびロー状態に自動的に遷移します。

シグナルコンディショナ(THRSET)

プログラマブルな電圧源のTHRSETも、シグナルコンディショナ用に用意されています。この電圧源は、256ステップで0~1Vの範囲でプログラマブルです。

I²Cおよびパケットエラーチェック(PEC)情報

DS1862Aは、I²Cデータ転送とPECによるデータ転送をサポートしています。スレーブアドレスは変更不可能で、A0hに設定されています。ただし、DS1862Aは専用端子MOD-DESELも備え、この端子は通信をイネーブルするアクティブローのチップ選択用端子として機能します。詳細については、「I²Cシリアルインタフェース」および「パケットエラーチェックによるI²C動作」の項を参照してください。

AUX2MON用の高精度SCALEレジスタ設定値

DS1862Aは、温度センサDS60またはLM50用の出荷時設定済みのSCALE値を備えています。AUX2MONの外部温度測定がこれらの2つのセンサのいずれか1つで用いられる場合は、16ビットのSCALE値をテーブル05hから読み取り、テーブル04hのバイト9Chおよび9DhのSCALEレジスタに書き込むことができます。このオプションによって、余分なトリミングが不要でSCALEを最高精度で設定することができます。SCALEレジスタ値は出荷時に高精度で設定されているため、OFFSETレジスタは常に特定でない値であり、OFFSETレジスタに単純に書き込むことができます。DS60の場合は、OFFSETのEF0Ahの値が、内部キャリブレーションを実行します。LM50の場合は、OFFSETのF380hの値が、内部キャリブレーションを実行します。

I²Cシリアルインタフェース

I²Cの定義

以下の用語は、I²Cデータ転送を説明するのによく使用される用語です。

マスタデバイス: マスタデバイスは、バス上のスレーブデバイスを制御します。マスタデバイスは、SCLクロックパルス、STARTおよびSTOP条件を生成します。

スレーブデバイス: スレーブデバイスは、マスタの要求に応じてデータの送受信を行います。

バスアイドルまたは非ビジー: SDAおよびSCL双方が非アクティブで、ロジックハイ状態にある場合の、STOP条件からSTART条件までの期間です。

START条件: START条件はマスタによって生成され、スレーブとの新しいデータ転送を開始します。SCLがハイ状態の間にSDAがハイからローに遷移すると、START条件が生成されます。該当するタイミングについては、図14を参照してください。

STOP条件: STOP条件はマスタによって生成され、スレーブとのデータ転送を終了します。SCLがハイ状態の間にSDAがローからハイに遷移すると、STOP条件が生成されます。該当するタイミングについては、図14を参照してください。

REPEATED START条件: マスタは、1つのデータ転送の終了時にREPEATED START条件によって、現在のデータ転送に続いて新しいデータ転送を即時開始することを示すことができます。特定のメモリアドレスを識別してデータ転送を開始するために、読取り動作中にREPEATED STARTはよく使用されます。通常のSTART条件と同様に、REPEATED START条件は発行されます。該当するタイミングについては、図14を参照してください。

ビット書込み：SCLがロー状態の間に、SDAが遷移する必要があります。必要なセットアップ時間およびホールド時間に加えて、SCLがハイパルスの間、SDAのデータを有効とし、不変状態を維持する必要があります(図14)。データは、SCLの立上りエッジ中にデバイスにシフトインされます。

ビット読取り：ビット読取り中に、SCLの次の立上がりエッジより前の書込み動作の終了時に適切なセットアップ時間の間、マスタはSDAバスラインを解放する必要があります(図14)。デバイスは、前回のSCLパルスの立下りエッジで各データビットをSDA上にシフトアウトするため、データビットは最新のSCLパルスの立上がりエッジで有効です。なお、マスタは、スレーブからビットを読み取り中も含めて、すべてのSCLクロックパルスを生じます。

肯定応答(ACKおよびNACK)：肯定応答(ACK)または否定応答(NACK)は常に、バイト転送中に転送される第9ビットです。データを受け取るデバイス(読み取り動作中のマスタ、または書込み動作中のスレーブ)は、第9ビットの間にゼロを転送して、ACKを実行します。デバイスは、第9ビットの間に1を転送して、NACKを実行します。ACKおよびNACKのタイミング(図14)は、その他のすべてのビット書込みと同じです。ACKは、デバイスがデータを正常に受信しているという肯定応答です。NACKによって、読取りシーケンスを終了させたり、またはデバイスがデータを受信していないことを通知したりすることができます。

バイト書込み：バイト書込みは、マスタからスレーブに(最上位ビットを先頭にして)転送された8ビットの情報と、スレーブからマスタに転送される1ビットの肯定応答から構成されます。マスタから転送された8ビット

はビット書込み定義に応じて実行され、肯定応答はビット読取り定義によって読み取られます。

バイト読取り：バイト読取りは、スレーブからマスタに転送される8ビットの情報と、マスタからスレーブに転送される1ビットのACKまたはNACKから構成されます。スレーブからマスタに(最上位ビットを先頭にして)転送される8ビットの情報はビット読取り定義に応じてマスタが読み取り、マスタはビット書込み定義に応じてACKを転送し、後続のデータバイトを受け取ります。マスタは、通信を終了するために最後のバイトの読取りに否定応答(NACK)する必要があり、その結果、スレーブはSDAの制御をマスタに返します。

スレーブアドレスバイト：I²Cバス上の各スレーブは、START条件の直後に送出されるスレーブアドレスバイトに応答します。スレーブアドレスバイトは、最上位の7ビットにスレーブアドレス、最下位ビットにR/Wビットを含んでいます。

DS1862Aのスレーブアドレスは、1010000Xbです。MOD-DESEL端子はチップ選択用として使用され、デバイスは、デバイスアドレスとしてA0hを備えるI²C通信に対して応答または無視することができます。R/W = 0にして、正しいスレーブアドレスを書き込むことによって、マスタがデータをスレーブに書き込むことを通知します。R/W = 1の場合は、マスタはデータをスレーブから読み取ります。不適切なスレーブアドレスが書き込まれると、DS1862Aはマスタが別のI²Cデバイスと通信中であるとみなし、次のSTART条件が送出されるまでその通信を無視します。

メモリアドレス：I²C書込み動作の間に、マスタは、スレーブがデータを保管するメモリ領域を識別するために、メモリアドレスを転送する必要があります。

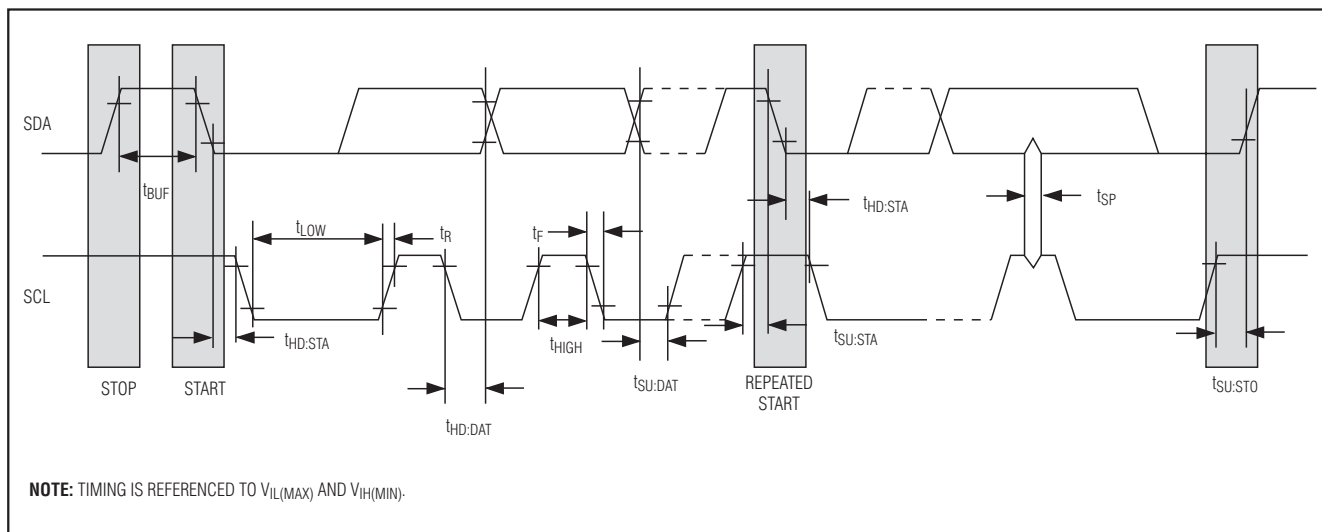


図14. I²Cタイミング図

XFPレーザ制御およびデジタル診断IC

DS1862A

メモリアドレスは常に、スレーブアドレスバイトに続き、書込み動作中に転送される2番目のバイトです。

I²C通信

スレーブへの1バイトの書込み：マスタはSTART条件の生成、スレーブアドレスバイトの書込み($R/\bar{W} = 0$)、メモリアドレスの書込み、データバイトの書込み、およびSTOP条件の生成を実行する必要があります。なお、マスタは、すべてのバイト書込み動作中にスレーブの肯定応答を読み取る必要があります。

スレーブへの複数バイトの書込み：複数バイトをスレーブに書き込むには、マスタはSTART条件の生成、スレーブアドレスバイトの書込み($R/\bar{W} = 0$)、メモリアドレスの書込み、最大4データバイトの書込み、およびSTOP条件の生成を実行します。

DS1862Aは、1回の書込み処理で(1列または1ページと呼ばれる) 1~4バイトを書き込むことができます。この動作はアドレスカウンタによって内部制御され、各データバイトの送出前にメモリアドレスを転送せずに、データを連続したアドレスに書き込むことができます。アドレスカウンタは、メモリマップの1列への書込みを制限します。各列間でSTOP条件を送出せずにさらにメモリ列に書き込もうとすると、アドレスカウンタは現在の列の先頭アドレスまでラップアラウンドします。

アドレスのラップアラウンドの発生を回避するには、マスタは列の最後でSTOP条件を送出し、次にバスの解放またはEEPROMの書込み期間が経過するのを待つ必要があります。続いて、マスタは新しいSTART条件を生成し、スレーブアドレスバイト($R/\bar{W} = 0$)と次のメモリ列の先頭メモリアドレスを書き込むと、データの書込みを継続することができます。

肯定応答ポーリング：EEPROMに書き込まれるごとに、DS1862AではSTOP条件の後に、EEPROMに列の内容を書き込むためのEEPROM書込み期間(t_W)が必要です。EEPROMへの書込み期間は、DS1862Aはビジーであるため、スレーブアドレスに肯定応答しません。DS1862Aに繰り返し呼びかけて、この現象を活用することができます。これによって、DS1862Aがデータの受取りが可能になるとすぐに次の列に書き込むことができます。肯定応答ポーリングに代わる別の方法は、 t_W の最長期間が経過するのを待ってから、DS1862Aに再度書き込む方法です。

EEPROM書込みサイクル：EEPROMへの書込みが行われた場合、列の1バイトのみが変更された場合でも、

DS1862AはEEPROMメモリの4バイト列全体に書き込みます。列の4バイトすべてを変更しない書込みは可能であり、同じ列のメモリの残りのバイトを破損しません。列全体に書き込まれるため、トランザクション中に変更されなかった列のバイトも書込みサイクルに従います。このため、1バイトを繰り返して書き込むと、列全体が次第に消耗することになります。1度に列に1バイトを書き込むと、1度に列全体に書き込むのに比べ4倍早くEEPROMが消耗します。DS1862AのEEPROM書込みサイクルは、「Nonvolatile Memory Characteristics (不揮発性メモリ特性)」表に示されています。

スレーブからの1バイトの読取り：メモリアドレスバイトを使ってデータの書込み先を設定する書込み動作とは異なり、読取り動作はメモリアドレスカウンタの最新値で行われます。最新のアドレスカウンタ内の領域の1バイトをスレーブから読み取るために、マスタはSTART条件を生成し、 $R/\bar{W} = 1$ でスレーブアドレスバイトを書き込み、転送の終了を示すNACK付きのデータバイトを読み取り、STOP条件を生成します。

読取り用のアドレスカウンタの操作：ダミーの書込みサイクルを使って、アドレスカウンタを特定の値にすることができます。これを実行するために、マスタはSTART条件を生成し、スレーブアドレスバイト($R/\bar{W} = 0$)を書き込み、読み取りたいメモリアドレスを書き込み、REPEATED START条件を生成し、スレーブアドレスバイト($R/\bar{W} = 1$)を書き込み、必要に応じてACKまたはNACK付きのデータを読み取り、STOP条件を生成します。REPEATED START条件によって開始メモリ領域を指定する読取り例については、図15を参照してください。

スレーブからの複数バイトの読取り：読取り動作によって、1回の転送で複数バイトを読み取ることができます。スレーブからバイトを読み取る際に、マスタが処理の終了前に別のバイトを読み取りたい場合はデータバイトを肯定応答(ACK)します。マスタが最後のバイトを読み取ると、転送の終了を通知して、STOP条件を生成するために、マスタは否定応答(NACK)します。読取りサイクル前のアドレスカウンタの位置の変更の有無を問わず、これを実行することができます。アドレスカウンタが最後の物理アドレスに達すると、内部インデックスポインタは任意のメモリテーブル内の先頭のメモリ領域にループバックします。たとえば、テーブル02hのアドレスFFhを読み取ると、マスタに返される次のデータバイトは下位メモリ内の00hではなく、テーブル02hのアドレス80hです。

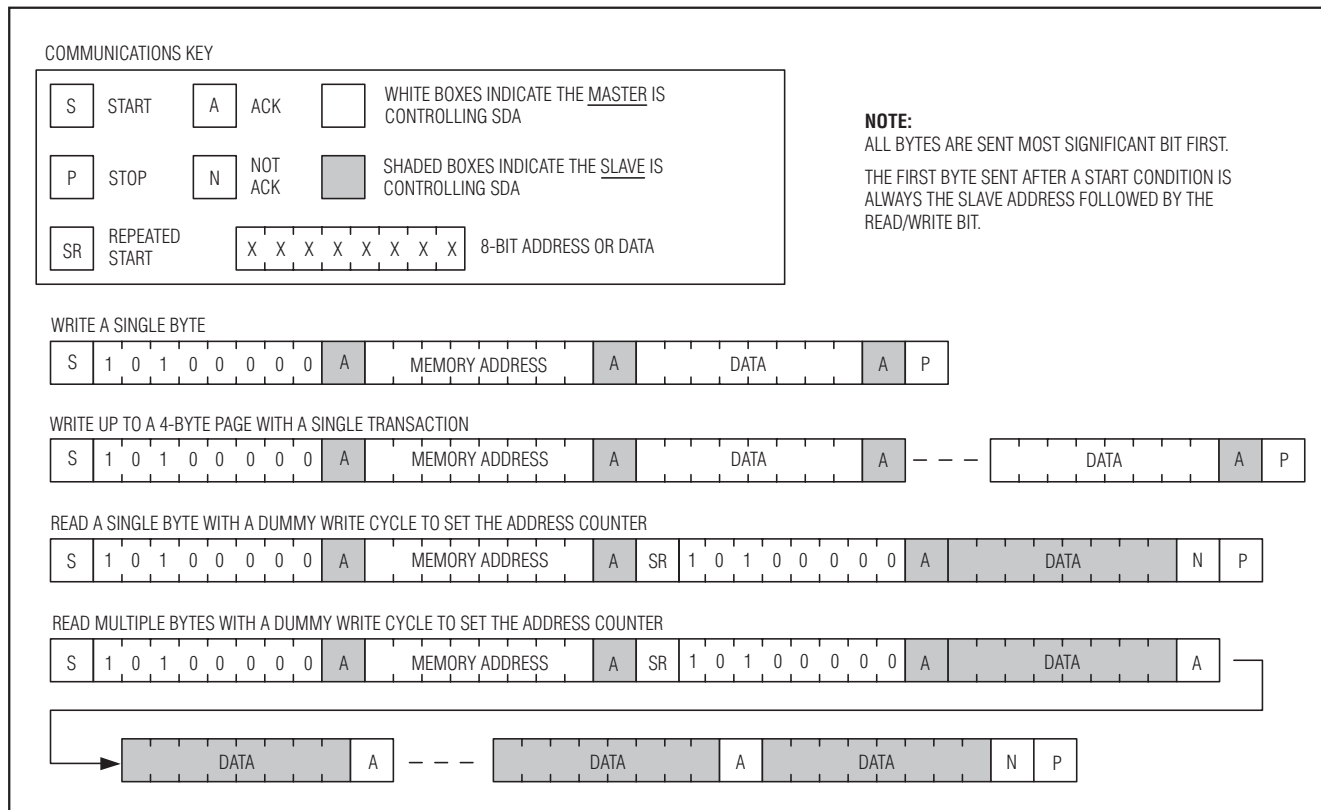


図15. I²C通信例

パケットエラーチェックによる I²C動作

パケットエラーチェックによる読取り動作

読取り中のパケットエラーチェックが、DS1862Aではサポートされています。情報は、従来のI²Cプロトコルとほぼ同じようにDS1862Aから転送されますが、CRCフィールドが追加され、チェックされます。この場合においても、マスタはまずデバイスアドレス(DS1862Aの場合はA0h)を送出し、続いてインデックスポインタを対象とするメモリアドレスに送出します。ただし、次に転送されるバイトは、読取りを予定したバイト数になります。CRC-8の計算には、2番目の転送バイト(ダミー書込みバイト)に含まれる明示的な開始メモリアドレスが含まれ、このアドレスを必要とします。次に、スレーブは、マスタが肯定応答すると、データを返送します。PEC使用中は1回の転送の間に、1~128バイトのみを順次読み取ることができます。マスタが予定したバイト数を読み取ると、CRC-8の値がDS1862Aから転送されます。

マスタは、NACKおよびSTOPで通信を終了します。図による説明については、図16を参照してください。

メモリアドレスポインタのMSBから開始して、読み取るバイト数、および読取りデータから、CRC-8は計算されます。次に、マスタはCRC-8値を検証し、CRC-8値が受け取られたCRC値と一致しない場合は読取りデータを拒否することができます。読取りと書込みともに次の多項式を使って、CRC-8を計算する必要があります。

$$C(x) = X^8 + X^2 + X + 1$$

パケットエラーチェックによる書込み動作

書込み中のパケットエラーチェックも、DS1862Aではサポートされています。情報は、従来のI²Cプロトコルとほぼ同じようにDS1862Aに書き込まれますが、CRCフィールドが追加され、チェックされます。この場合においても、マスタはまずデバイスアドレスを送出し、続いてインデックスポインタを対象とするメモリアドレスに送出します。ただし、次のバイトは、予定した書込みバイト数になります。CRC-8の計算には、2番目の転送バイトに含まれる明示的な開始メモリアドレスが含まれ、このアドレスを必要とします。次に、マスタは、DS1862Aが肯定応答すると、データを転送します。PEC使用中に1回の転送の間に、4バイトのみを順次書き込むことができます。マスタが予定したバイト数を書き込むと、CRC-8の値を転送する必要があります。

XFPレーザ制御およびデジタル診断IC

CRC-8バイトの後に、マスタはCABバイト(CRC Add-on Byte)を転送する必要があります。この時点で、CRC-8がその内部計算値と一致する場合にはDS1862AはACKを送出し、一致しない場合はNACKを送出します。最後に、マスタは通信を終了し、STOPを送出する必要があります。図による説明については、図16を参照してください。メモリアドレスポインタのMSBから開始して、書き込まれるバイト数、および書込みデータから、CRC-8は計算されます。次に、マスタは、書込みデータの転送が成功したかどうか最後のACKまたはNACKをポーリングすることができます。

I²C PEC通信の詳細については、XFPやSMBus 2.0規格を参照してください。

アプリケーション情報

APCおよび消光比のキャリブレーション

キャリブレーションのためには、キャリブレーションされるより前にパワーレベルがレーザの最大パワーレベルを超えないように、APCレジスタを低い値に設定する必要があります。また、データのテストパターンによってレーザがシャットオフしないように、ERを最小値に設定する必要があります。APCおよびERレジスタが最小値である場合は、データパターンをイネーブルし、平均パワーレベルをキャリブレーションします。

平均パワーレベルのキャリブレーション

レーザダイオードを通じてデータを送出している間に、光出力が所望の平均パワーレベルと一致するまでAPCレジスタ内の値を大きくします。平均パワーレベルは、「1」と「0」のパワーレベルの算術平均です。

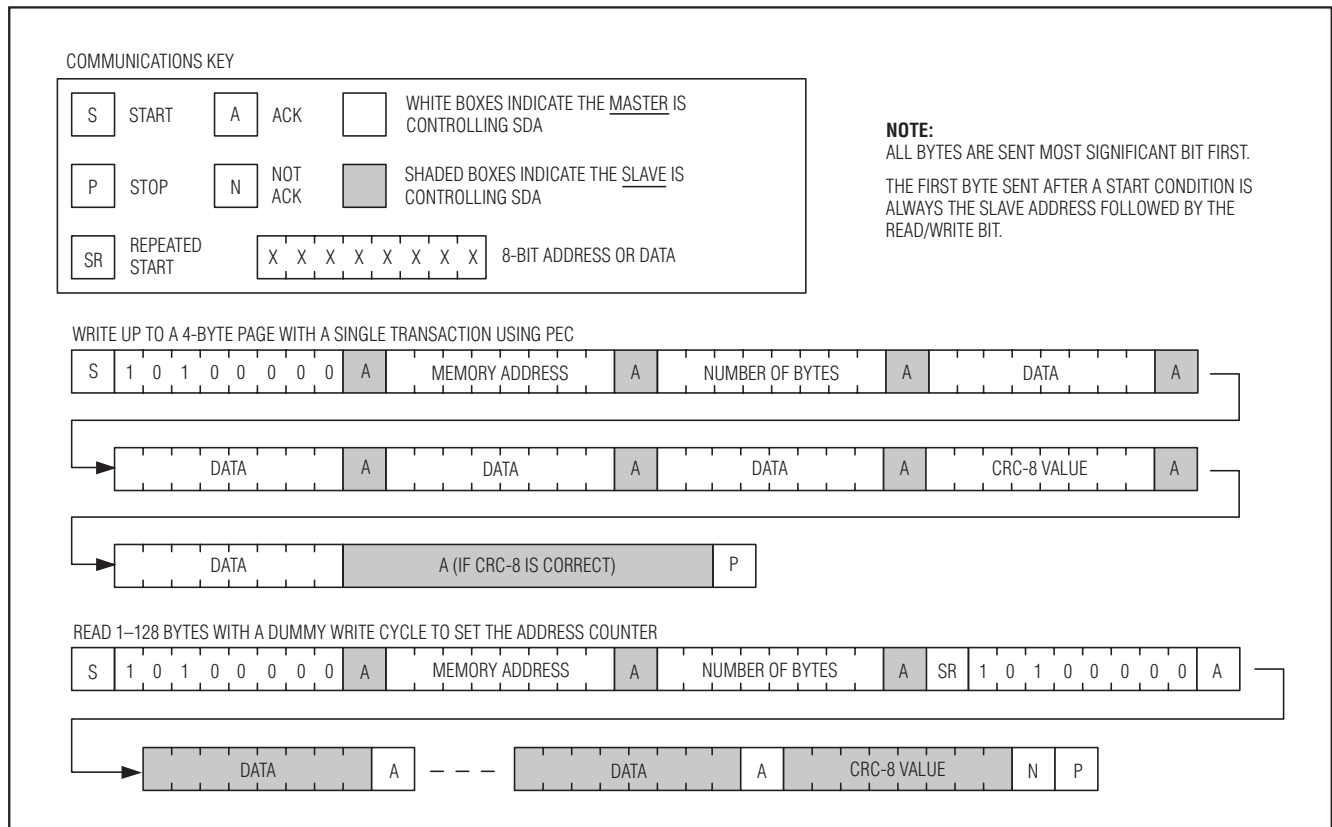


図16. I²C PEC通信の例

XFPレーザ制御およびデジタル診断IC

DS1862A

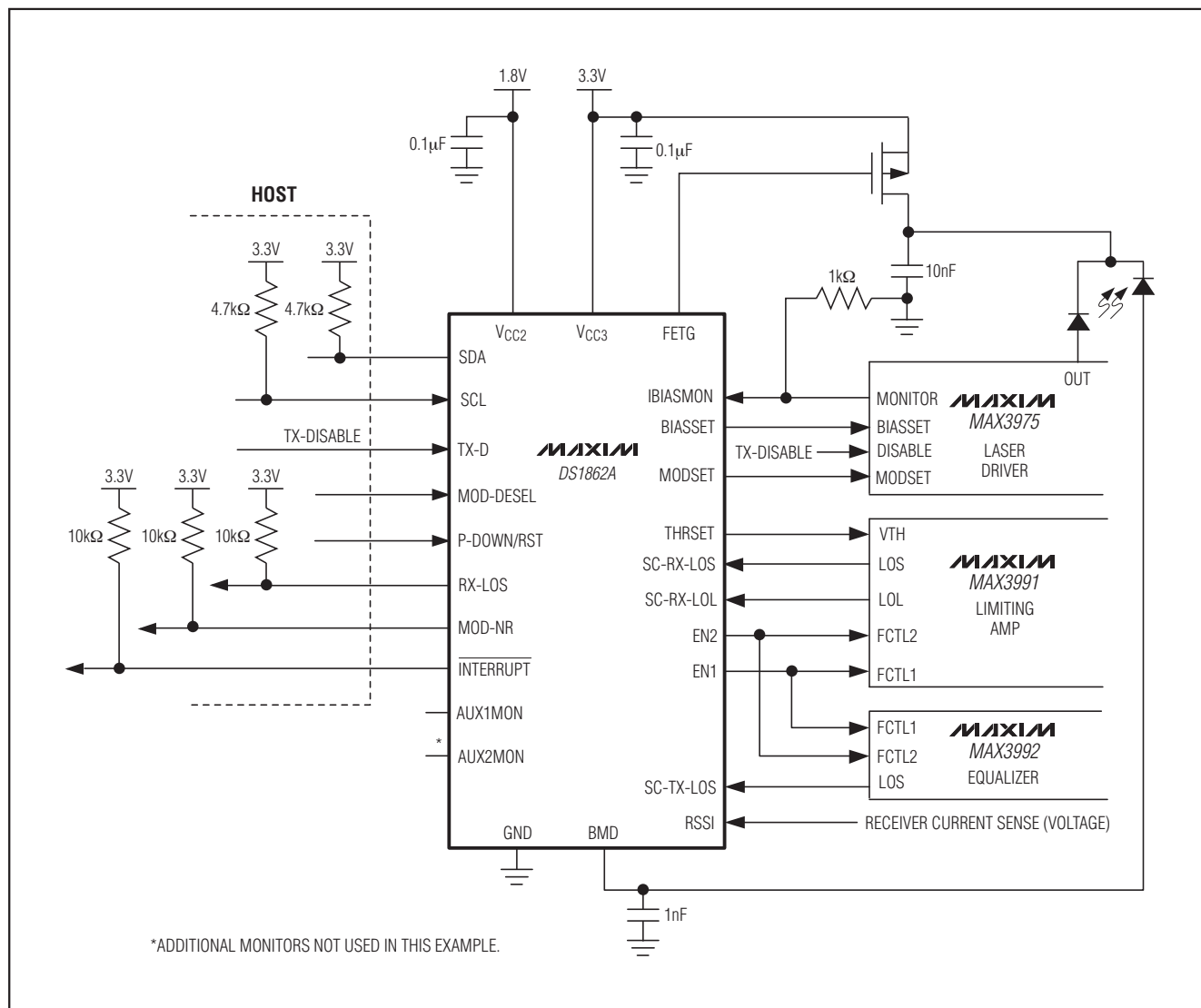
電源デカップリング

最高の結果を得るために、電源を0.01 μ Fまたは0.1 μ Fのコンデンサでデカップリングすることを推奨します。高品質のセラミック表面実装コンデンサを使用し、リードインダクタンスを最低限に抑えるために、そのコンデンサをV_{CC2}/V_{CC3}およびGND端子に可能な限り近接して実装します。

SDAおよびSCLプルアップ抵抗

SDAは、DS1862A上のオープンコレクタ双方向データ端子であり、ハイロジックレベルを実現するには、プルアップ抵抗を必要とします。プルアップ抵抗付きのオープンコレクタ出力、またはプッシュプル出力ドライバをSCL入力用に利用することができます。「I²C AC Electrical Characteristics (I²CのAC電氣的特性)」に記載されている立上りおよび立下り時間が仕様値内になるように、プルアップ抵抗値を選択する必要があります。

標準動作回路



DS1862A

XFPレーザ制御およびデジタル診断IC

チップ情報

TRANSISTOR COUNT: 75,457
SUBSTRATE CONNECTED TO GROUND

パッケージ

最新のパッケージ情報とランドパターンは、
japan.maxim-ic.com/packagesをご参照ください。

パッケージタイプ	パッケージコード	ドキュメントNo.
25 CSBGA	X25+1	21-0361

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

42 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**