

パラレルインタフェース経過時間カウンタ

概要

DS1318パラレルインタフェース経過時間カウンタ(ETC)は、主電源やバックアップ電源でデバイスが動作する積算時間、または外部イベント時に動作する積算時間を管理する44ビットカウンタです。カウンタクロックの内蔵周波数は4.096kHzで、244 μ sの分解能と136年以上の最大カウントを備えています。内蔵電力検出回路によって電源障害が検出され、バックアップ電源に自動的に切り替わり、タイマが制御されます。外付けイベントタイマを使用する場合は、制御入力端子EXTからカウンタ動作を制御することができます。IRQオープンドレイン出力は割込み出力を、方形波出力はプログラブル方形波を備えています。DS1318はバイト幅パラレルインタフェースを通じてアクセスされ、工業用温度範囲で動作します。

アプリケーション

電力計
工業用制御装置
サーバ

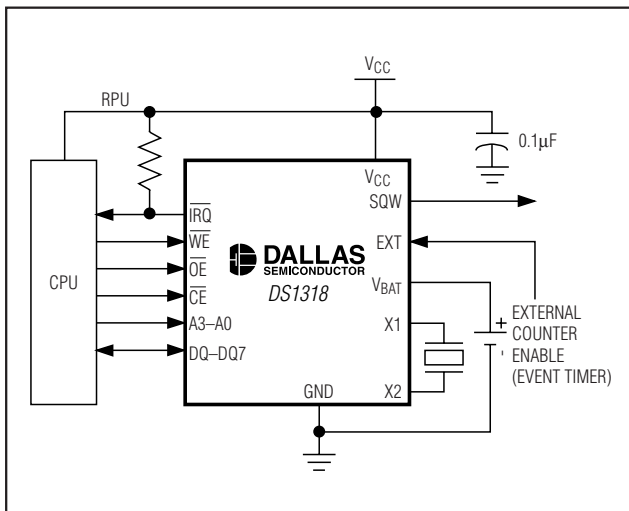
特長

- ◆ バイト幅パラレルインタフェース
- ◆ 分解能が244 μ sのタイマを備える44ビットバイナリカウンタ
- ◆ 自動電源障害検出及びスイッチ回路が主電源やバッテリーから電源を選択し、内部レジスタへの書き込みを保護
- ◆ 内蔵パワーフェイル検出回路によってタイマが主電源やバッテリーでの動作時間を提供
- ◆ アクティブハイパルスまたはアクティブローパルスのいずれかのイベントでタイマとして動作可能
- ◆ 割込み出力は周期的に生成、またはカウンタの上位32ビットがアラームレジスタと一致すると生成
- ◆ 32.768kHz~0.5Hz間の16種類の周波数での方形波出力を選択可能
- ◆ 動作電圧 : +3.3V
- ◆ 工業用温度範囲 : -40 $^{\circ}$ C~+85 $^{\circ}$ C

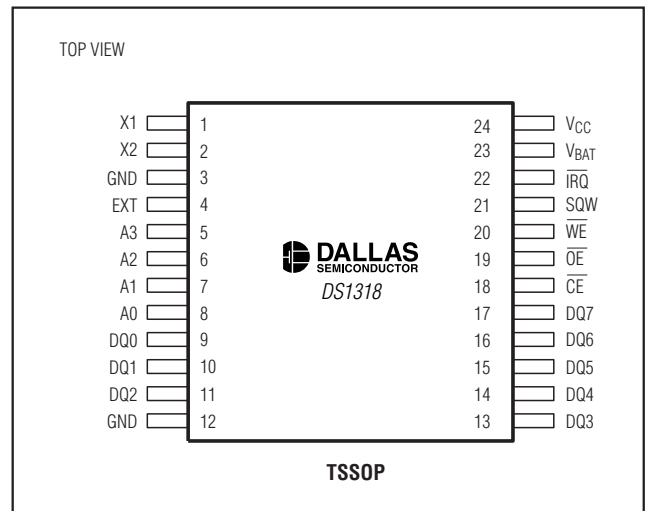
型番

PART	TEMP RANGE	PIN-PACKAGE	TOP MARK
DS1318	-40 $^{\circ}$ C to +85 $^{\circ}$ C	24 TSSOP, 4.4mm	DS1318

標準動作回路



ピン配置



パラレルインタフェース経過時間カウンタ

DS1318

ABSOLUTE MAXIMUM RATINGS

Voltage Range on any Pin Relative to Ground-0.3V to +6.0V
 Operating Temperature Range-40°C to +85°C
 Storage Temperature Range-55°C to +125°C

Soldering TemperatureSee IPC/JEDEC
 J-STD-020A Specification

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

RECOMMENDED DC OPERATING CONDITIONS

($V_{CC} = V_{CC(MIN)}$ to $V_{CC(MAX)}$, $T_A = -40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Voltage	V_{CC}	(Note 2)	3.0	3.3	3.6	V
Battery Voltage	V_{CC}	(Note 2)	1.6	3.3	3.7	V
Logic 1 Voltage	V_{IH}	(Note 2)	0.7 x V_{CC}		$V_{CC} +$ 0.5	V
Logic 0 Voltage	V_{IL}	(Note 2)	-0.5		+0.3 x V_{CC}	V

DC ELECTRICAL CHARACTERISTICS

($V_{CC} = V_{CC(MIN)}$ to $V_{CC(MAX)}$, $T_A = -40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Logic 0 Output Current ($V_{OL} = 0.15 \times V_{CC}$)	I_{OL}		3			mA
Logic 1 Output Current ($V_{OH} = 0.85 \times V_{CC}$)	I_{OH}		1			mA
SQW, INT Logic 0 Output ($V_{OL} = 0.15 \times V_{CC}$)	I_{OLSI}		5			mA
Input Leakage	I_{LI}	(Note 3)			1	μA
I/O Leakage	I_{LO}	(Note 4)	-1		+1	μA
Active Supply Current	I_{CCA}	(Note 5)			10	mA
Standby Current	I_{CCS}	(Note 6)		100	150	μA
Battery Input-Leakage Current	I_{BATLKG}			10	100	nA
Power-Fail Voltage	V_{PF}	(Note 2)	2.70		2.97	V

パラレルインタフェース経過時間カウンタ

DS1318

DC ELECTRICAL CHARACTERISTICS

($V_{CC} = 0V$, $V_{BACKUP} = 3.7V$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Battery Input Current (ENOSC = 1)	I_{BAT}	(Note 7)		750	1100	nA
Battery Input Current (ENOSC = 0)	I_{BATDR}	(Note 7)			100	nA

AC ELECTRICAL CHARACTERISTICS

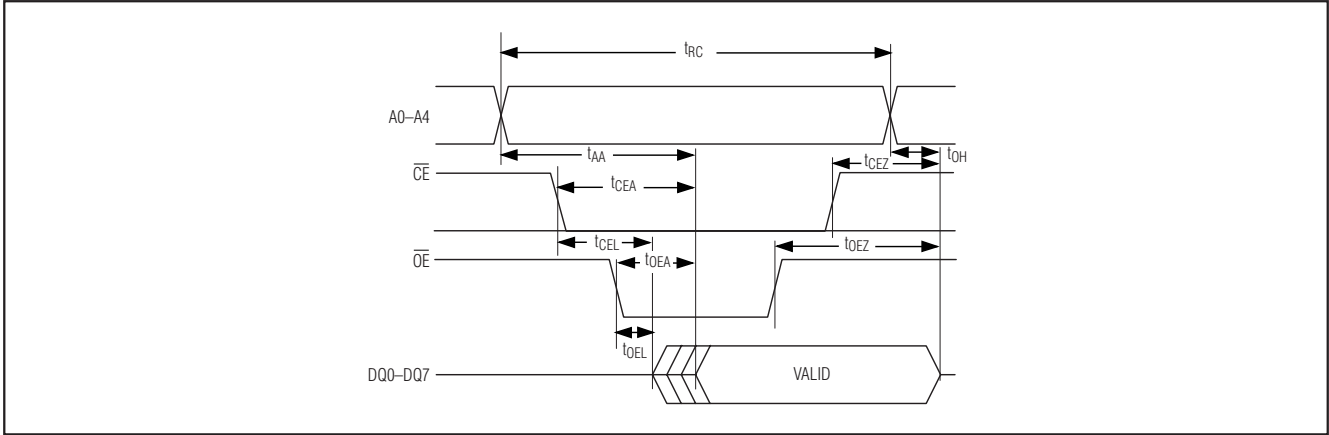
($V_{CC} = V_{CC(MIN)}$ to $V_{CC(MAX)}$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Read Cycle Time	t_{RC}		80			ns
Address Access Time	t_{AA}				80	ns
\overline{CE} to DQ Low-Z	t_{CEL}		0			ns
\overline{CE} Access Time	t_{CEA}				80	ns
\overline{CE} Data Off-Time	t_{CEZ}				30	ns
\overline{OE} to DQ Low-Z	t_{OEL}		0			ns
\overline{OE} Access Time	t_{OEA}				70	ns
\overline{OE} Data Off-Time	t_{OEZ}				30	ns
Output Hold from Address	t_{OH}		5			ns
Write Cycle Time	t_{WC}		80			ns
Address Setup Time	t_{AS}		0			ns
\overline{WE} Pulse Width	t_{WEW}		40			ns
\overline{CE} Pulse Width	t_{CEW}		70			ns
Data Setup Time	t_{DS}		40			ns
Data Hold Time	t_{DH}		0			ns
Address Hold Time	t_{AH}		0			ns
\overline{WE} Data Off-Time	t_{WEZ}				30	ns
Write Recovery Time	t_{WR}		10			ns
Oscillator Stop Flag (OSF) Delay	t_{OSF}	(Note 8)		4		ms

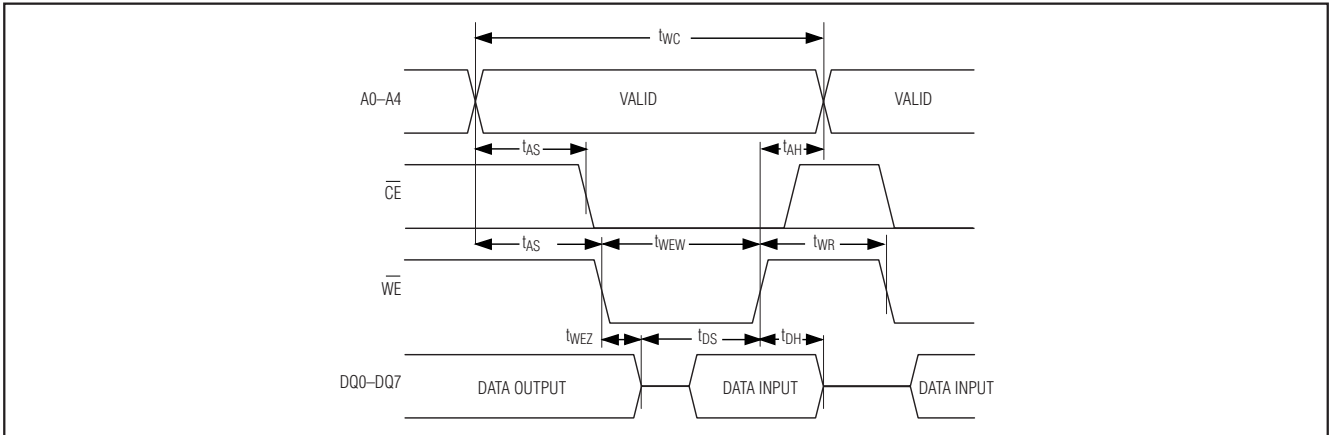
パラレルインタフェース経過時間カウンタ

DS1318

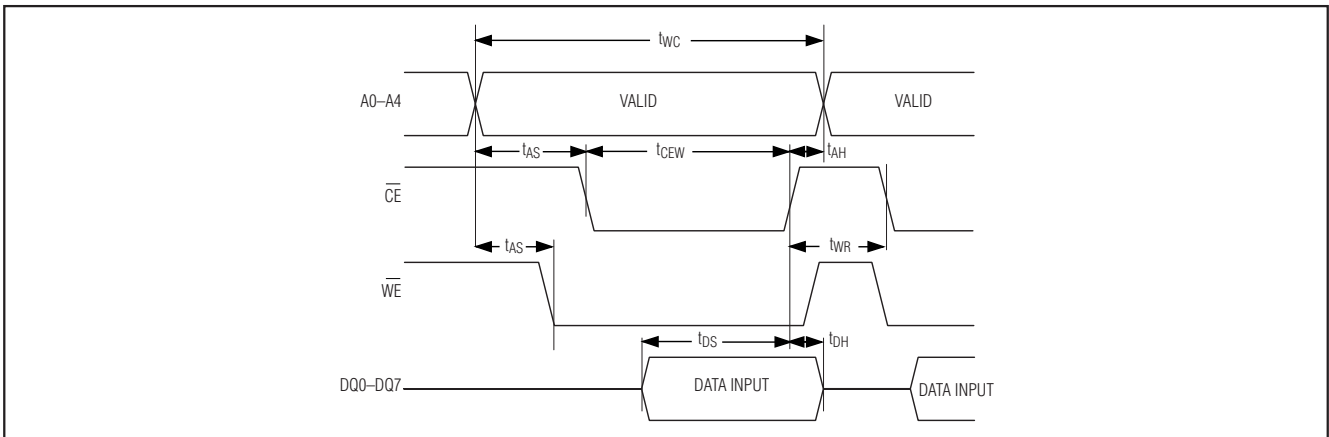
読み取りサイクルタイミング



書き込みサイクルタイミング、書き込みイネーブル制御



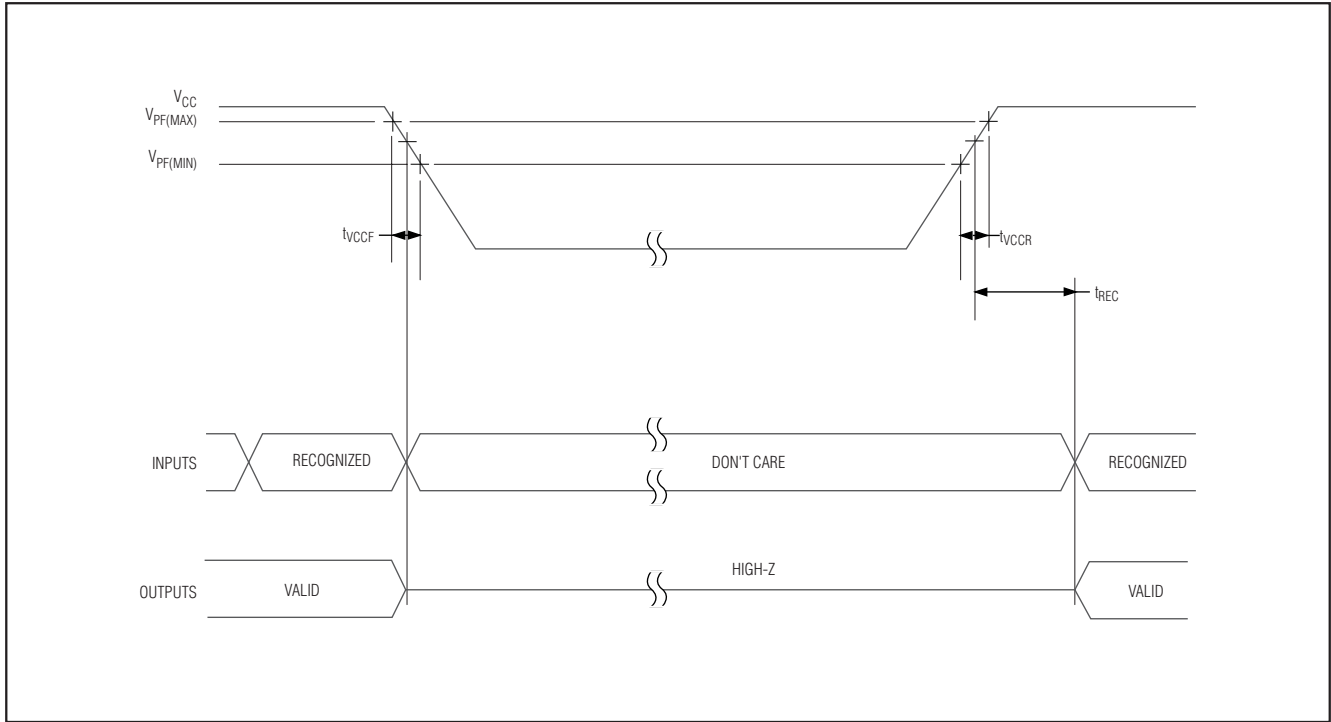
書き込みサイクルタイミング、チップイネーブル制御



パラレルインタフェース経過時間カウンタ

DS1318

パワーアップ/パワーダウンタイミング



POWER-UP/POWER-DOWN CHARACTERISTICS

($T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Recovery at Power-Up	t_{REC}	(Note 9)			150	ms
VCC Fall Time; VPF(MAX) to VPF(MIN)	t_{VCCF}		300			μs
VCC Rise Time; VPF(MIN) to VPF(MAX)	t_{VCCR}		0			μs

CAPACITANCE

($T_A = +25^\circ\text{C}$)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Capacitance on All Input Pins	C_{IN}				10	pF
Capacitance on \overline{IRQ} , SQW, and DQ Pins	C_{IO}				10	pF

パラレルインタフェース経過時間カウンタ

DS1318

AC TEST CONDITIONS

PARAMETER	TEST CONDITION
Input Pulse Levels	0 to 2.7V
Output Load Including Scope and Jig	25pF + 1TTL Gate
Input and Output Timing Measurement Reference Levels	$V_{CC} / 2$
Input-Pulse Rise and Fall Times	4ns

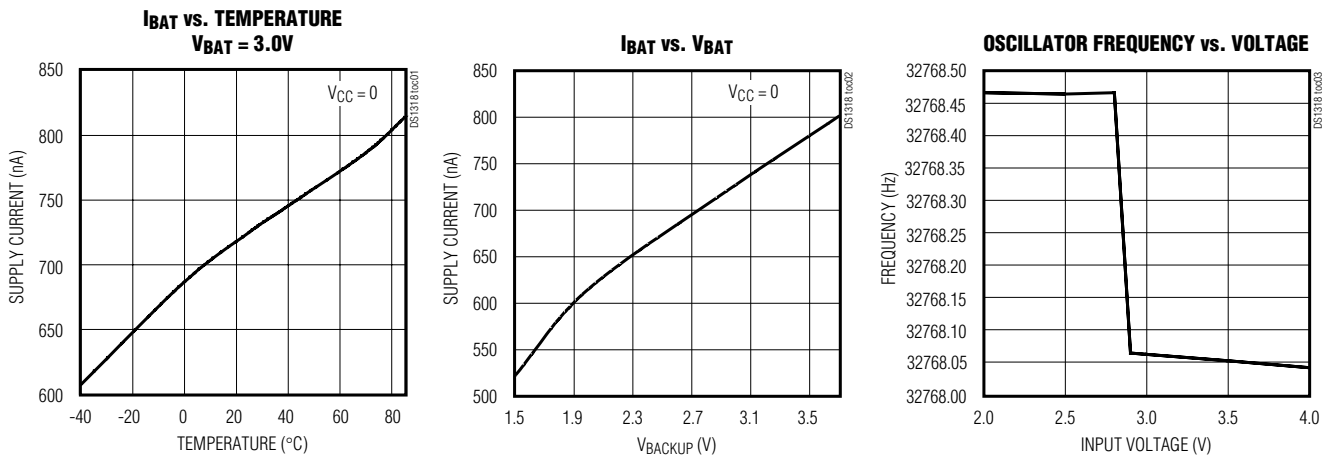
WARNING:

Under no circumstances are negative undershoots, of any amplitude, allowed when device is in write protection.

- Note 1:** Limits at -40°C are guaranteed by design and not production tested.
- Note 2:** All voltages are referenced to ground.
- Note 3:** \overline{OE} , \overline{CE} , \overline{WE} , EXT, and A3–A0.
- Note 4:** DQ7–DQ0, SQW, and \overline{TRQ} , when the outputs are high impedance.
- Note 5:** Outputs open.
- Note 6:** Specified with parallel bus inactive.
- Note 7:** Measured with a 32,768kHz crystal attached to the X1 and X2 pins.
- Note 8:** The parameter t_{OSF} is the period of time that the oscillator must be stopped for the OSF flag to be set over the voltage range of $0V \leq V_{CC} \leq V_{CC(MAX)}$ and $1.3V \leq V_{BACKUP} \leq 3.7V$.
- Note 9:** This delay applies only if the oscillator is enabled and running. If the ENOSC bit is 0, t_{REC} is disabled, and the device is immediately accessible. If \overline{CE} and \overline{OE} are low on power-up, the DQ outputs are active. Valid data out is not available until after t_{REC} .

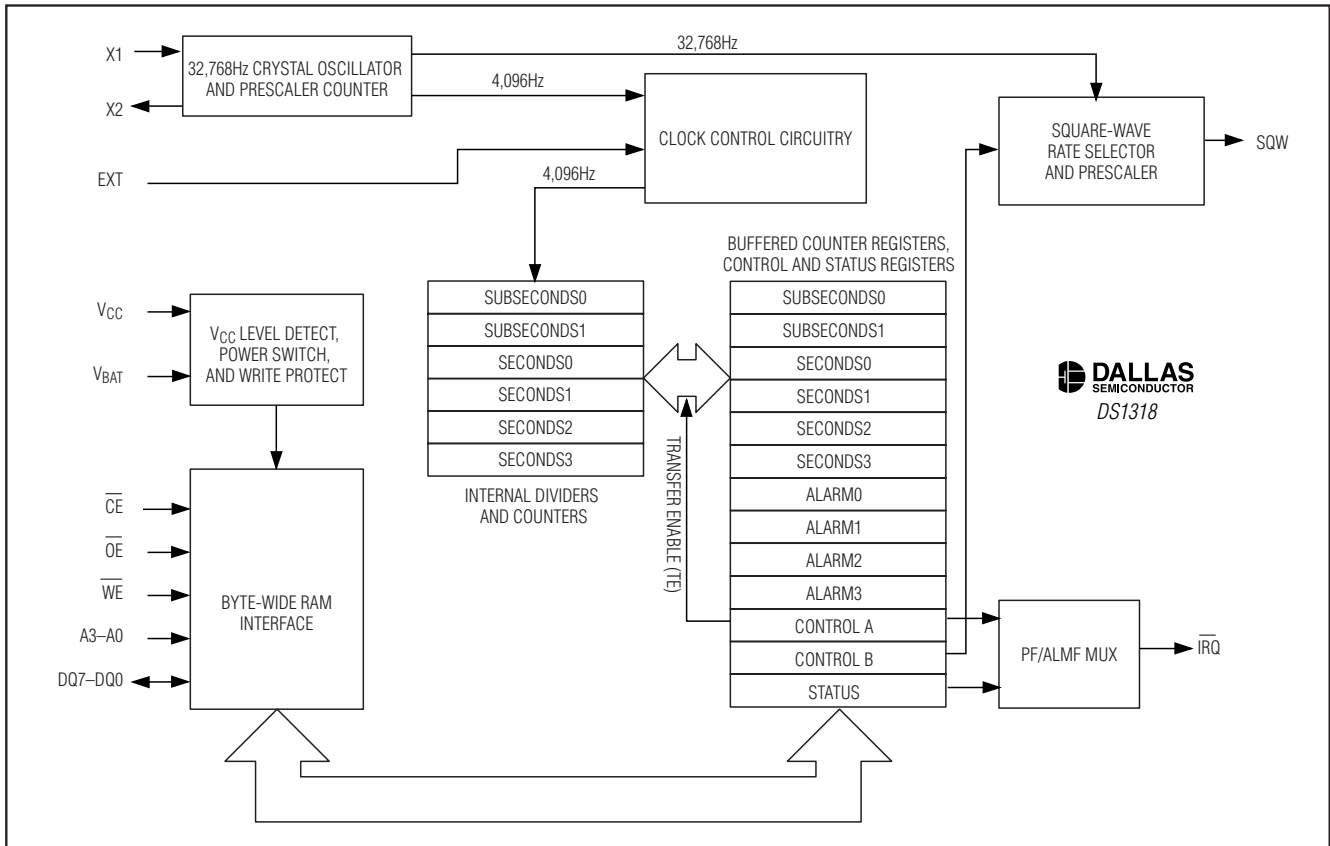
標準動作特性

($V_{CC} = +3.3V$, $T_A = +25^\circ C$, unless otherwise noted.)



パラレルインタフェース経過時間カウンタ

ファンクションダイアグラム



DS1318

パラレルインタフェース経過時間カウンタ

DS1318

端子説明

端子	名称	機能
1	X1	標準的な32.768kHzの水晶に接続。内蔵発振器回路は、12.5pFの規定負荷容量(C_L)の水晶で動作するように設計。X1は発振器への入力で、32.768kHzの外付け発振器を選択して接続することが可能。外付け発振器がX1に接続されている場合は、内蔵発振器の出力X2は開放にします。
2	X2	
3, 12	GND	グラウンド。正常に動作させるには、このピンをグラウンドに接続する必要があります。
4	EXT	外付けカウンタイネーブル入力
5-8	A3-A0	アドレスバス入力
9, 10, 11, 13-17	DQ0-DQ7	双方向データピン
18	\overline{CE}	チップイネーブル入力、アクティブロー
19	\overline{OE}	出力イネーブル入力、アクティブロー
20	\overline{WE}	書き込みイネーブル入力、アクティブロー
21	SQW	方形波出力
22	\overline{IRQ}	割込み出力。このアクティブローのオープンドレインピンにはプルアップ抵抗が必要。
23	V _{BAT}	バッテリー/バックアップ電源入力
24	V _{CC}	主電源用DC電源

表1. 各電源条件の動作モード

V _{CC}	\overline{CE}	\overline{OE}	\overline{WE}	DQ0-DQ7	A0-A4	MODE	POWER
V _{CC} > V _{PF}	V _{IH}	X	X	High-Z	X	Deselect	Standby
	V _{IL}	X	V _{IL}	D _{IN}	A _{IN}	Write	Active
	V _{IL}	V _{IL}	V _{IH}	D _{OUT}	A _{IN}	Read	Active
	V _{IL}	V _{IH}	V _{IH}	High-Z	A _{IN}	Read	Active
V _{SO} < V _{CC} < V _{PF}	X	X	X	High-Z	X	Deselect	CMOS Standby
V _{CC} < V _{SO} < V _{PF}	X	X	X	High-Z	X	Data	Battery Current

詳細

パラレルインタフェースETC(経過時間カウンタ)は44ビットカウンタで、カウンタイネーブルになっている間の時間を保存します。このタイマの分解能は244 μ sです。制御レジスタを使って、カウンタをイネーブルやディセーブルするイベントを選択します。カウンタは2つのレジスタセットにダブルバッファされ、TEビットによってユーザが読取り可能なコピーの更新が制御されます。

このカウンタを使って、主電源やバッテリーがデバイスに電源供給する積算時間を保存することができます。このモードでは、内蔵電源スイッチ回路が選択された電源をイネーブルにするとカウンタが起動し、回路がほかの電源をイネーブルにすると停止します。

また、カウンタを外付けイベントタイマとして使用することもできます。このモードでは、信号EXTがアクティブ

状態に切り替わるとカウンタが起動し、非アクティブ状態に切り替わると停止します。EXT信号のアクティブ状態をハイまたはローとして設定することができます。デバイスに電源障害のある間は、EXTは無視され、カウンタはディセーブルされます。

割込み出力ピンは、2つのマスク可能割込みソースを備えています。32ビットアラームレジスタを使って、カウンタの上位32ビットがアラームレジスタと一致するごとに、割込みを生成することができます。また、244 μ sに1回から、1/12,097,152Hz(24.27日)に1回まで割込みを周期的に生成することもできます。アラーム及び割込み出力は、デバイスがどちらの電源で動作していても動作します。

表1は、デバイス動作を制御するファクタを示しています。V_{SO}はバッテリー切替え電圧で、V_{BAT}及びV_{PF}より低くなっています。発振器動作でのデバイスがバッテリーで

表2. 水晶の仕様*

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS
Nominal Frequency	f_o		32.768		kHz
Series Resistance	ESR			50	k Ω
Load Capacitance	C_L		12.5		pF

*水晶、トレース、及び水晶入力ピンはRF生成信号から絶縁する必要があります。追加仕様については、アプリケーションノート58の「Crystal Considerations with Dallas Real-Time Clocks」を参照してください。

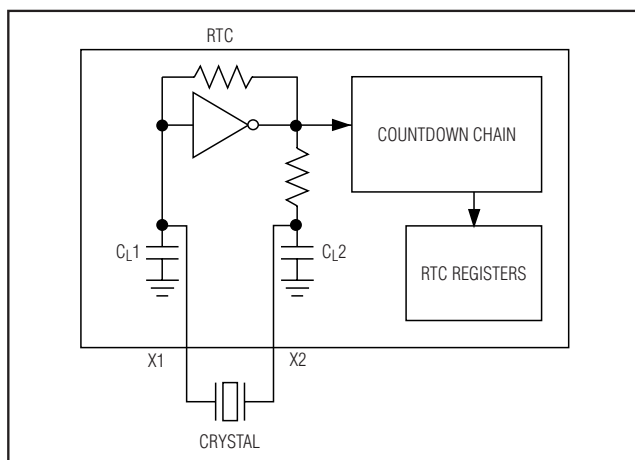


図1. 発振器回路の内蔵バイアスネットワーク

動作している間の、バッテリー入力電流が I_{BAT} です。発振器が、その電流の大部分を消費します。発振器がディセーブルされている場合は、レジスタ内のデータはスタティック状態でバッテリー入力電流は I_{BATDR} です。これは、主にスタティックメモリのリークによるものです。

DS1318は標準パラレルバイト幅インタフェースを通じて、レジスタマップにアクセスすることができます。表1は、各電源条件での動作モードの概要を示しています。

発振器回路

DS1318は、外付けの32.768kHz水晶を使用しています。発振器回路では、動作するのに外付け抵抗やコンデンサは必要ありません。表2は外付け水晶のパラメータを規定し、図1は発振器回路の機能図を示しています。制御レジスタのイネーブルビットによって発振器を制御します。発振器の起動時間は、水晶特性、プリント基板のリークとレイアウトに大きく依存します。

高ESR(等価直列抵抗)及び過度の容量性負荷は、起動時間が長くなる主な要因になります。推奨特性の水晶と適切なレイアウトを用いた回路では、通常1秒以内に起動します。

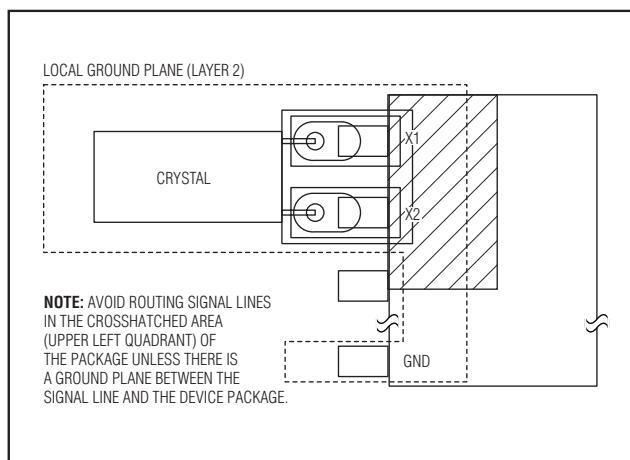


図2. レイアウト例

外付けの32.768kHz発振器でも、DS1318を駆動することができます。この構成では、X1ピンは外付け発振器信号に接続され、X2ピンは開放にしておきます。

クロック精度

クロック精度は、水晶の精度や、発振器回路の容量性負荷と水晶トリミングによる容量性負荷とのマッチング精度に依存します。誤差は、温度変化がもたらす水晶周波数ドリフトによってさらに増大します。

発振器回路に接続された外付け回路のノイズによって、クロックが速くなる可能性があります。図2は、ノイズから水晶及び発振器を隔離するための標準的なプリント基板レイアウトを示しています。詳細については、アプリケーションノート58の「Crystal Considerations with Dallas Real-Time Clocks」を参照してください。

パラレルインタフェース経過時間カウンタ

表3. アドレスマップ

ADDRESS	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0	FUNCTION	RANGE
00H	SS3	SS2	SS1	SS0	0	0	0	SQWS	Subseconds0	00–F0h
01H	SS11	SS10	SS9	SS8	SS7	SS6	SS5	SS4	Subseconds1	00–FFh
02H	S7	S6	S5	S4	S3	S2	S1	S0	Seconds0	00–FFh
03H	S15	S14	S13	S12	S11	S10	S9	S8	Seconds1	00–FFh
04H	S23	S22	S21	S20	S19	S18	S17	S16	Seconds2	00–FFh
05H	S31	S30	S29	S28	S27	S26	S25	S24	Seconds3	00–FFh
06H	ALM7	ALM6	ALM5	ALM4	ALM3	ALM2	ALM1	ALM0	Alarm0	00–FFh
07H	ALM15	ALM14	ALM13	ALM12	ALM11	ALM10	ALM9	ALM8	Alarm1	00–FFh
08H	ALM23	ALM22	ALM21	ALM20	ALM19	ALM18	ALM17	ALM16	Alarm2	00–FFh
09H	ALM31	ALM30	ALM29	ALM28	ALM27	ALM26	ALM25	ALM24	Alarm3	00–FFh
0AH	TE	ENOSC	CCFG1	CCFG0	EPOL	SQWE	PIE	AIE	ControlA	00–FFh
0BH	PRS3	PRS2	PRS1	PRS0	SRS3	SRS2	SRS1	SRS0	ControlB	00–FFh
0CH	OSF	UIP	0	0	0	0	PF	ALMF	Status	—

注. 特に明記されていない限り、電源初期投入時にレジスタ状態は定義されていません。

カウンタの動作

バイナリ時間情報は、該当するレジスタバイトを読み込んで得られます。02h~05hのレジスタには、ユーザが設定した任意の基準時間からの時間が秒数で保存されています。00h~01hのレジスタには、少数点以下の秒カウントが保存されています。244 μ sごとに更新されるクロックレジスタ(A0~A5)のバッファコピーによって、内蔵レジスタが増加し続ける間、ユーザはレジスタの読取りと書込みを行うことができます。ただし、読取りや書込み時に更新される場合は、不整合データの読取りや書込みが行われたり、または書込みによって現在のバッファ読取りコピーが破損することがあります。いくつかの方法で、データの精度を確保することができます。

最下位バイト(LSB)を最初に1回読取り、その他のレジスタ(すなわち、A2~A5、A2)が読み取られた後に最下位バイトを再度読取り、クロックレジスタを読み取ることができます。LSBのレジストリデータが変わった場合は、LSBレジスタデータが一致するまでレジスタを再読取りする必要があります。subseconds0レジスタを使用する場合は、不一致が発生する前に全レジスタを読み取るのに要する時間は244 μ s以下です。また、レジスタ読取り用のルーチンがレジスタを読み取るのに約1.95ms要する場合は、subseconds0レジスタは前に読み取られた値と同じ値にロールオーバーすることができます。

他の方法として、TE及びUIPビットを使ってクロックレジスタにアクセスして同期化し、そうしたデータを有効にすることができます。以上の方法は、後のセクションで説明します。

アラーム

アラーム機能を利用するには、ユーザは06h~09hのレジスタに時間を秒数で書き込みます。現在の時間が秒数でアラーム値と等しくなると、ステータスレジスタ(0Ch)のALMFビットが1に設定されます。ユーザが制御レジスタAのAIEビットを1に設定している場合は、ALMFビットが1に設定されるときは $\overline{\text{IRQ}}$ ピンがローになります。アラーム及び $\overline{\text{IRQ}}$ 出力は、デバイスがどちらの電源で動作していても、動作します。

周期フラグ

制御レジスタBの周期フラグレート選択ビットに非ゼロ値を書き込むと、周期フラグ動作がイネーブルになります。内蔵カウンタが選択した値に達すると、周期フラグはロジック1に設定されます。PFビットに0を書き込むと、周期フラグがリセットされます。フラグがリセットされていない場合は、フラグはハイを保持します。PFビットが設定されると、内蔵カウンタはカウントを継続し、選択したレート値とカウントが再度一致するとPFビットを再度設定しようとします。PFビットをクリアしても、内蔵カウンタには影響を与えません。制御レジスタAのPIEビットが1に設定されている場合は、PFビットが設定されると $\overline{\text{IRQ}}$ 出力はローになります。周期フラグ及び $\overline{\text{IRQ}}$ 出力は、デバイスがどちらの電源で動作していても動作します。

サブセカンドレジスタやセカンドレジスタへの書き込みはPFフラグや $\overline{\text{IRQ}}$ 出力の設定に影響を及ぼすことに注意してください。方形波出力は別のプリスケラを使用しているので、サブセカンドビットや秒ビットの変更で影響を受けません。

パラレルインタフェース経過時間カウンタ

制御レジスタA(0Ah)

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
TE	ENOSC	CCFG1	CCFG0	EPOL	SQWE	PIE	AIE

特殊用途のレジスタ

DS1318は3個の補助レジスタ(control A、control B、及びstatus)を備え、クロック、アラーム、方形波、及び割込み出力を制御します。subseconds0レジスタには、ビット0の位置に方形波同期(SQWS)ビットがあります。SQWSビットに1を書き込むと、方形波プリスケアラがクリアされ、リセットされます。4096Hz以下の周波数のみがリセットされます。SQWSビットに0を書き込むと、方形波プリスケアラがリセットから解除され、方形波発振動作が開始します。

ビット7：転送イネーブル(Transfer Enable)(TE)。TEがロジック1に設定されると、DS1318は発振器から4,096Hzのクロックパルスを受け取り、時間値のユーザコピーを更新し続けます。このデバイスから有効な時間データを確実に読み取るには、レジスタ00~05hを読み取る前にTEをロジック0に設定する必要があります。転送を確実に行うには、最低244 μ s間、TEをイネーブル(ロジック1)にする必要があります。この244 μ sの制約のため、TEの使用時にはsubseconds0レジスタの一連の値を読み取ることができません。

転送が行われている間に、TEをロジック0に設定することができます。この場合、バッファデータが無効になることがあります。これを防ぐには、後述するUIPビットを使用する必要があります。データをクロックレジスタに書き込むには、TEをロジック0に設定してからレジスタに書き込み、TEをロジック1に設定する必要があります。

ビット6：発振器イネーブル(Enable Oscillator)(ENOSC)。ENOSCをロジック1に設定すると、DS1318水晶発振器はイネーブルになります。発振器の実際の起動時間は多数の外部変数に依存し、特定のパラメータではありません。

CCFG1	CCFG0	MODE
0	0	Always clocks the registers (normal mode)
0	1	Clocks when the EXT pin is "active" and V _{CC} is greater than V _{PF} (event-timer mode, depends on EPOL bit)
1	0	Clocks registers when part is running on V _{CC}
1	1	Clocks registers when part is running on V _{BAT}

ビット 4、5：クロック設定(Clock Configuration)1、0 (CCFG1、CCFG0)。これらのビットによって、DS1318の時間保存レジスタにクロック供給する次の4種類のモードが選択できます。

ビット 3：外部極性(External Polarity)(EPOL)。このビットによって、CCFG1及びCCFG0ビットが0及び1にそれぞれ等しい場合に、EXTピン入力の極性が制御されます。EPOLをロジック1に設定すると、EXTピンが1のときにレジスタがカウントします。EPOLをロジック0に設定すると、EXTピンがロジック0のときにレジスタがカウントします。

ビット2：方形波イネーブル(Square-Wave Enable)(SQWE)。SQWEをロジック1に設定すると、制御レジスタB(0Bh)のSRSxビットによって設定された周波数が、SQWピンに出力されます。SQWEがロジック0のときは、SQWピンは常に0です。デバイスが電源障害のときは、SQWピンは常にハイインピーダンスです。方形波出力は、PF、 \overline{IRQ} 、UIP、及びアップカウンタで用いられるものとは別のプリスケアラが使用されます。制御レジスタAのSQWSビットを使って、方形波出力を他のイベントと244 μ s以内に同期させることができます。

ビット1：周期割込みイネーブル(Periodic Interrupt Enable)(PIE)。PIEをロジック1に設定すると、PFフラグが1に設定されているとき、常にDS1318の \overline{IRQ} ピンはローになります。PIEが0のときは、PFフラグは \overline{IRQ} ピンに影響を及ぼしません。

ビット0：アラーム割込みイネーブル(Alarm Interrupt Enable)(AIE)。AIEをロジック1に設定すると、ALMFフラグが1に設定されているとき、常にDS1318の \overline{IRQ} ピンはローになります。AIEが0のときは、ALMFフラグは \overline{IRQ} ピンに影響を及ぼしません。

パラレルインタフェース経過時間カウンタ

DS1318

制御レジスタB(0Bh)

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
PRS3	PRS2	PRS1	PRS0	SRS3	SRS2	SRS1	SRS0

ビット7~4：周期レート選択(Periodic Rate Select) (PRS3~PRS0)。発振器をイネーブルにすると (ENOSC = 1)、次の表によって決定されるレートで PFフラグが設定されます。

ENOSC = 1の場合の周期フラグ周波数

PRS3	PRS2	PRS1	PRS0	PERIODIC FLAG FREQUENCY
0	0	0	0	Periodic Flag Not Set
0	0	0	1	4096Hz
0	0	1	0	2048Hz
0	0	1	1	1024Hz
0	1	0	0	512Hz
0	1	0	1	256Hz
0	1	1	0	128Hz
0	1	1	1	8Hz
1	0	0	0	4Hz
1	0	0	1	2Hz
1	0	1	0	1Hz
1	0	1	1	1/64Hz (Once per 1.067 Minutes)
1	1	0	0	1/4096Hz (Once per 1.138 Hours)
1	1	0	1	1/65536Hz (Once per 1.318 Days)
1	1	1	0	1/524288Hz (Once per 0.8669 Weeks)
1	1	1	1	1/2097152Hz (Once per 24.27 Days)

ビット3~0：方形波レート選択(Square-Wave Rate Select)(SRS3~SRS0)。発振器をイネーブルにして (ENOSC = 1)動作させてから方形波ピンをイネーブルにすると (SQWE = 1)、SQWピンには、次の表のSRSビットで決定される方形波信号が出力されます。

SQWE = 1及びENOSC = 1の場合の方形波出力周波数

SRS3	SRS2	SRS1	SRS0	SQUARE-WAVE OUTPUT FREQUENCY (Hz)
0	0	0	0	32,768
0	0	0	1	8192
0	0	1	0	4096
0	0	1	1	2048
0	1	0	0	1024
0	1	0	1	512
0	1	1	0	256
0	1	1	1	128
1	0	0	0	64
1	0	0	1	32
1	0	1	0	16
1	0	1	1	8
1	1	0	0	4
1	1	0	1	2
1	1	1	0	1
1	1	1	1	0.5

パラレルインタフェース経過時間カウンタ

ステータスレジスタ(0Ch)

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
OSF	UIP	0	0	0	0	PF	ALMF

ビット7：発振器停止フラグ(Oscillator Stop Flag) (OSF)。このビットのロジック1は、発振器が停止しているか、またはある時間の間停止したことがあることを示し、これによって計時データの有効性を判断することができます。発振器が停止しているとき、このビットは常にロジック1になります。以下は、OSFビットが設定される条件例です。

- 1) 初めて電源を使用した場合
 - 2) V_{CC} 及び V_{BAT} 双方の電圧が、発振するのに不十分な場合
 - 3) ENOSCビットがバッテリーバックアップモードでオフにされている場合
 - 4) 水晶への外部影響(ノイズ、リークなど)がある場合
- このフラグがアクティブの間にステータスレジスタに書き込むと、そのビットが0にクリアされます。

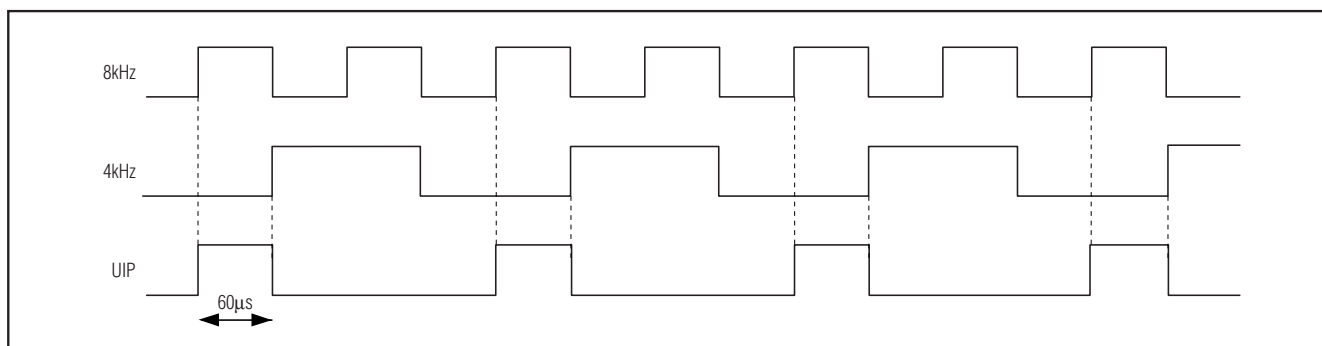
ビット6：更新実行中フラグ(Update-In-Progress Flag)(UIP)。更新実行中ビットのロジック1は、内蔵クロックレジスタがユーザレジスタを更新中であることを示します。このビットがロジック1であるときに秒レジスタやサブセカンドレジスタに書き込むと、内部更新との衝突が発生し、次の更新が行われるまで複数のユーザレジスタが破損するおそれがあります。UIPビットが読み取られ、それがロジック0である場合、内部更新との衝突を発生させないためには、最低60 μ s後にデバイスに書き込む必要があります。内部計時更新は、UIPの立下りエッジによってゲート制御されます。

UIPがロジック1である間にサブセカンドレジスタやセカンドレジスタを読み込むと、不整合値を読み取るおそれがあります。UIPビットが読み取られ、それがロジック0である場合、不整合値を受け取らないためには、最低60 μ s後にデバイスから読み取る必要があります。

ビット1：周期フラグ(Periodic Flag)(PF)。周期フラグビットは、レジスタ0BhのPRSビットによって決定されるレートで1に設定されます。選択した周波数がPFビットを1に再度設定しようとするときにPFビットがすでに1である場合は、変更されません。デバイスが任意のPFレートを参照するためには、このビットを設定しようとする以前にユーザはPIFフラグをクリアする必要があります。レジスタ0AhのPIEビットもロジック1に設定している場合は、PFが1に移行するのに応じて \overline{IRQ} ピンはローになります。このフラグがアクティブの間は、ステータスレジスタに書き込むとそのビットが0にクリアされます。

ビット0：アラームフラグ(Alarm Flag)(ALMF)。アラームフラグビットのロジック1は、セカンドレジスタのコンテンツがアラームレジスタの内容と一致したことを示します。レジスタ0AhのAIEビットもロジック1に設定している場合は、ALMFが1に移行するのに応じて \overline{IRQ} ピンはローになります。このフラグがアクティブの間は、ステータスレジスタに書き込むとそのビットが0にクリアされます。

UIPと更新タイミング



パラレルインタフェース経過時間カウンタ

DS1318

チップ情報

TRANSISTOR COUNT: 10,517

PROCESS: CMOS

SUBSTRATE CONNECTED TO GROUND

温度情報

Theta-JA: 125°C/W

Theta-JC: 26°C/W

パッケージ

最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照ください。

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

14 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

© 2004 Maxim Integrated Products

MAXIM is a registered trademark of Maxim Integrated Products.