

## ADuM7440/ADuM7441/ADuM7442

### 特長

小型 16 ピン QSOP パッケージを採用

アイソレーション定格: 1000 V rms

安全性規制の認定

UL 認識済み

1,000 V rms、1 分間の UL 1577 規格に準拠

CSA Component Acceptance Notice #5A(申請中)

低消費電力動作

5 V 動作

0 Mbps~1 Mbps でチャンネルあたり最大 2.25 mA

25 Mbps でチャンネルあたり最大 11.5 mA

3.3 V 動作

0 Mbps~1 Mbps でチャンネルあたり最大 1.5 mA

25 Mbps でチャンネルあたり最大 8.25 mA

双方向通信

最大データ・レート: 25 Mbps (NRZ)

3 V/5 V のレベル変換

高温動作: 105°C

高い同相モード・トランジェント耐性: 15 kV/μs 以上

### アプリケーション

汎用のマルチチャンネル・アイソレーション

SPI インターフェース/データ・コンバータのアイソレーション

RS-232/RS-422/RS-485 トランシーバ

工業用フィールド・バス・アイソレーション

### 概要

ADuM744x<sup>1</sup>は、アナログ・デバイス社の *iCoupler*<sup>®</sup> 技術を採用した 4 チャンネルのデジタル・アイソレータです。これらのアイソレーション・デバイスは高速 CMOS 技術と空心コアを使ったモノリシック・トランス技術の組み合わせにより、フォトカプラ・デバイスやその他のカプラ IC の置換品より優れた性能特性を提供します。

ADuM744x ファミリーのクワッド 1 kV デジタル・アイソレーション・デバイスは、小型の 16 ピン QSOP パッケージを採用しています。大部分の 4 チャンネル・アイソレータは 16 ピン・ワイド SOIC パッケージを採用していますが、ADuM744x は 70% のボード・スペースを解放し、高アイソレーション電圧を維持し、UL 規格や CSA 規格 (申請中) の条件を満たしています。ADuM744x は、スペースの削減の他に、機能的なアイソレーションのみを必要とする 2.5 kV や 5 kV のアイソレータより低価格を提供しています。

このファミリーのアイソレータは、アナログ・デバイス社の他の多くのアイソレータと同様に、消費電力が非常に小さく、最大 25 Mbps のデータ・レートの同等なアイソレータに比べて 1/10~1/6 の消費電力で済みます。ADuM744x のすべてのモデルは低消費電力ですが、小さいパルス幅歪みを持っています (C グレードで 5 ns 以下)。さらに、各モデルは外部ノイズに対する保護機能を持つ入力グリッチ・フィルタを内蔵しています。

ADuM744x アイソレータは、4 チャンネルの独立なアイソレーション・チャンネルを様々なチャンネル構成と最大 25 Mbps のデータレートで提供します(オーダー・ガイド参照)。これらの全モデルは、いずれの側も 3.0 V~5.5 V 範囲の電源電圧で動作するため、低い電圧のシステムと互換性を持ち、さらに絶縁障壁に跨がる電圧変換機能も可能にします。すべての製品で、入力電源がないときのデフォルト出力状態はハイ・レベルになります。

<sup>1</sup> 米国特許 5,952,849; 6,873,065; 7,075,329 で保護されています。その他の特許は申請中です。

### 機能ブロック図

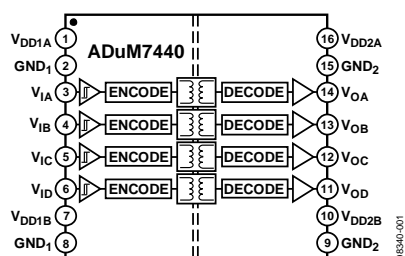


図 1. ADuM7440

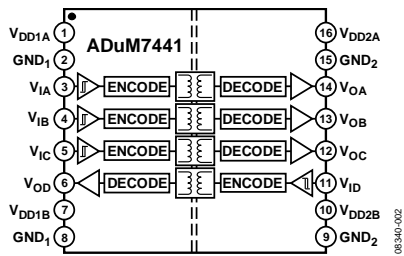


図 2. ADuM7441

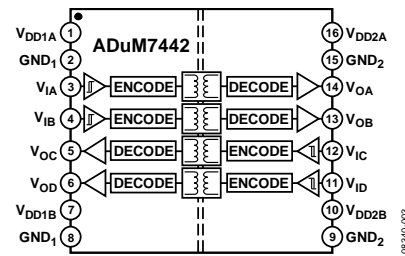


図 3. ADuM7442

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許その他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。  
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。  
©2009–2011 Analog Devices, Inc. All rights reserved.

Rev. B

## 目次

特長.....	1	推奨動作条件.....	7
アプリケーション.....	1	絶対最大定格.....	8
概要.....	1	ESD の注意.....	8
機能ブロック図.....	1	ピン配置およびピン機能説明.....	9
改訂履歴.....	2	代表的な性能特性.....	12
仕様.....	3	アプリケーション情報.....	14
電気的特性—5 V 動作.....	3	PC ボードのレイアウト.....	14
電気的特性—3.3 V 動作.....	4	伝搬遅延に関するパラメータ.....	14
電気的特性—ミックスド 5 V/3.3 V 動作.....	5	DC 精度と磁界耐性.....	14
電気的特性—ミックスド 3.3 V/5 V 動作.....	6	消費電力.....	15
パッケージ特性.....	7	絶縁寿命.....	15
適用規格.....	7	外形寸法.....	17
絶縁および安全性関連の仕様.....	7	オーダー・ガイド.....	17

## 改訂履歴

### 2/11—Rev. A to Rev. B

Changes to Figure 7.....	11
--------------------------	----

### 8/10—Rev. 0 to Rev. A

Change Features.....	1
Changes to Table 1.....	3
Added Note 1, Table 1.....	3
Changes to Table 4.....	4
Added Note 1, Table 4.....	4
Changes to Table 7.....	5
Added Note 1, Table 7.....	5
Changes to Table 10.....	6
Added Note 1, Table 10.....	6
Changes to Table 14.....	7

### 10/09—Revision 0: Initial Version

## 仕様

## 電気的特性—5 V動作

特に指定がない限り、すべての typ 仕様は  $T_A = 25^\circ\text{C}$  および  $V_{DD1} = V_{DD2} = 5\text{ V}$  で規定します。最小/最大仕様は、 $4.5\text{ V} \leq V_{DD1} \leq 5.5\text{ V}$ 、 $4.5\text{ V} \leq V_{DD2} \leq 5.5\text{ V}$ 、 $-40^\circ\text{C} \leq T_A \leq +105^\circ\text{C}$  の推奨動作範囲に適用されます。特に指定がない限り、スイッチング規定値は、 $C_L = 15\text{ pF}$  と CMOS 信号レベルでテストされます。

表 1.

Parameter	Symbol	A Grade			C Grade			Unit	Test Conditions
		Min	Typ	Max	Min	Typ	Max		
SWITCHING SPECIFICATIONS									
Data Rate				1			25	Mbps	Within PWD limit
Propagation Delay	$t_{PHL}, t_{PLH}$		50	75	29	40	50	ns	50% input to 50% output
Pulse Width Distortion	PWD		10	25		2	5	ns	$ t_{PLH} - t_{PHL} $
Change vs. Temperature			5			3		ps/ $^\circ\text{C}$	
Pulse Width	PW	250			40			ns	Within PWD limit
Propagation Delay Skew <sup>1</sup>	$t_{PSK}$			20			10	ns	
Channel Matching									
Codirectional	$t_{PSKCD}$			25		2	4	ns	
Opposing-Direction	$t_{PSKOD}$			30		3	6	ns	
Jitter			2			2		ns	

<sup>1</sup>  $t_{PSK}$  は、 $t_{PHL}$  または  $t_{PLH}$  におけるワーストケースの差であり、推奨動作条件下で同一の動作温度、電源電圧、出力負荷で動作する複数のユニット間で測定されます。

表 2.

Parameter	Symbol	1 Mbps—A Grade			25 Mbps—C Grade			Unit	Test Conditions
		Min	Typ	Max	Min	Typ	Max		
SUPPLY CURRENT									
ADuM7440	$I_{DD1}$	4.3	5.4		28	35		mA	
	$I_{DD2}$	2.5	3.6		6.0	11		mA	
ADuM7441	$I_{DD1}$	4.1	4.9		18	26		mA	
	$I_{DD2}$	3.6	4.7		8.5	14		mA	
ADuM7442	$I_{DD1}$	3.2	4.0		15	20		mA	
	$I_{DD2}$	3.2	4.0		12	17		mA	

表 3.すべてのモデルに対して

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions	
DC SPECIFICATIONS							
Logic High Input Threshold	$V_{IH}$	$0.7 V_{DDx}$			V		
Logic Low Input Threshold	$V_{IL}$				V		
Logic High Output Voltages	$V_{OH}$	$V_{DDx} - 0.1$	5.0		V	$I_{Ox} = -20\text{ }\mu\text{A}, V_{Ix} = V_{IxH}$	
		$V_{DDx} - 0.4$	4.8		V		
Logic Low Output Voltages	$V_{OL}$	0.0			0.1	V	$I_{Ox} = 20\text{ }\mu\text{A}, V_{Ix} = V_{IxL}$
		0.2			0.4	V	
Input Current per Channel	$I_i$	-10	+0.01	+10	$\mu\text{A}$	$I_{Ox} = 4\text{ mA}, V_{Ix} = V_{IxL}$	
Supply Current per Channel							
Quiescent Input Supply Current	$I_{DDI(Q)}$		0.76	0.95	mA	$0\text{ V} \leq V_{Ix} \leq V_{DDx}$	
Quiescent Output Supply Current	$I_{DDO(Q)}$		0.57	0.73	mA		
Dynamic Input Supply Current	$I_{DDI(D)}$		0.26		mA/Mbps		
Dynamic Output Supply Current	$I_{DDO(D)}$		0.05		mA/Mbps		
AC SPECIFICATIONS							
Output Rise/Fall Time	$t_R/t_F$		2.0		ns	10% to 90%	
Common-Mode Transient Immunity <sup>1</sup>	CM	15	25		kV/ $\mu\text{s}$	$V_{Ix} = V_{DDx}, V_{CM} = 1000\text{ V}$ , transient magnitude = 800 V	
Refresh Rate	$f_r$		1.2		Mbps		

<sup>1</sup> |CM|は、 $V_O > 0.8 V_{DD}$  を維持している間に維持できる同相モード電圧の最大スルーレートです。同相モード電圧スルーレートは、立上がりと立下がりの両同相モード電圧エッジに適用されます。

## 電气的特性—3.3 V動作

特に指定がない限り、すべての typ 仕様は  $T_A = 25^\circ\text{C}$  および  $V_{DD1} = V_{DD2} = 3.3\text{ V}$  で規定します。最小/最大仕様は、 $3.0\text{ V} \leq V_{DD1} \leq 3.6\text{ V}$ 、 $3.0\text{ V} \leq V_{DD2} \leq 3.6\text{ V}$ 、 $-40^\circ\text{C} \leq T_A \leq +105^\circ\text{C}$  の推奨動作範囲に適用されます。特に指定がない限り、スイッチング規定値は、 $C_L = 15\text{ pF}$  と CMOS 信号レベルでテストされます。

表 4.

Parameter	Symbol	A Grade			C Grade			Unit	Test Conditions
		Min	Typ	Max	Min	Typ	Max		
SWITCHING SPECIFICATIONS									
Data Rate				1			25	Mbps	Within PWD limit
Propagation Delay	$t_{PHL}, t_{PLH}$		60	85	37	51	66	ns	50% input to 50% output
Pulse Width Distortion	PWD		10	25		2	5	ns	$ t_{PLH} - t_{PHL} $
Change vs. Temperature			5			3		ps/°C	
Pulse Width	PW	250			40			ns	Within PWD limit
Propagation Delay Skew <sup>1</sup>	$t_{PSK}$			20			10	ns	
Channel Matching									
Codirectional	$t_{PSKCD}$			25		3	5	ns	
Opposing-Direction	$t_{PSKOD}$			30		4	7	ns	
Jitter			2			2		ns	

<sup>1</sup>  $t_{PSK}$  は、 $t_{PHL}$  または  $t_{PLH}$  におけるワーストケースの差であり、推奨動作条件下で同一の動作温度、電源電圧、出力負荷で動作する複数のユニット間で測定されます。

表 5.

Parameter	Symbol	1 Mbps—A, C Grades			25 Mbps—C Grade			Unit	Test Conditions
		Min	Typ	Max	Min	Typ	Max		
SUPPLY CURRENT									
ADuM7440	$I_{DD1}$		3.0	3.8		20	28	mA	
	$I_{DD2}$		1.8	2.3		4.0	5.0	mA	
ADuM7441	$I_{DD1}$		2.8	3.5		14	20	mA	
	$I_{DD2}$		2.5	3.3		5.5	7.5	mA	
ADuM7442	$I_{DD1}$		2.2	2.7		10	13	mA	
	$I_{DD2}$		2.2	2.8		8.4	11	mA	

表 6.すべてのモデルに対して

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
DC SPECIFICATIONS						
Logic High Input Threshold	$V_{IH}$			$0.7 V_{DDx}$	V	
Logic Low Input Threshold	$V_{IL}$			$0.3 V_{DDx}$	V	
Logic High Output Voltages	$V_{OH}$	$V_{DDx} - 0.2$	3.3		V	$I_{Ox} = -20\text{ }\mu\text{A}$ , $V_{Ix} = V_{IxH}$
		$V_{DDx} - 0.4$	3.1		V	$I_{Ox} = -4\text{ mA}$ , $V_{Ix} = V_{IxH}$
Logic Low Output Voltages	$V_{OL}$		0.0	0.1	V	$I_{Ox} = 20\text{ }\mu\text{A}$ , $V_{Ix} = V_{IxL}$
			0.2	0.4	V	$I_{Ox} = 4\text{ mA}$ , $V_{Ix} = V_{IxL}$
Input Current per Channel	$I_i$	-10	+0.01	+10	$\mu\text{A}$	$0\text{ V} \leq V_{Ix} \leq V_{DDx}$
Supply Current per Channel						
Quiescent Input Supply Current	$I_{DDI(Q)}$		0.50		mA	
Quiescent Output Supply Current	$I_{DDO(Q)}$		0.41		mA	
Dynamic Input Supply Current	$I_{DDI(D)}$		0.18		mA/Mbps	
Dynamic Output Supply Current	$I_{DDO(D)}$		0.02		mA/Mbps	
AC SPECIFICATIONS						
Output Rise/Fall Time	$t_R/t_F$		2.8		ns	10% to 90%
Common-Mode Transient Immunity <sup>1</sup>	$ CM $	15	20		kV/ $\mu\text{s}$	$V_{Ix} = V_{DDx}$ , $V_{CM} = 1000\text{ V}$ , transient magnitude = 800 V
Refresh Rate	$f_r$		1.1		Mbps	

<sup>1</sup>  $|CM|$  は、 $V_o > 0.8 V_{DD}$  を維持している間に維持できる同相モード電圧の最大スルーレートです。同相モード電圧スルーレートは、立上がりおよび立下がりの両同相モード電圧エッジに適用されます。

## 電气的特性—ミックスド 5 V/3.3 V動作

特に指定がない限り、すべての typ 仕様は  $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = 5\text{ V}$ 、 $V_{DD2} = 3.3\text{ V}$  で規定します。最小/最大仕様は、 $4.5\text{ V} \leq V_{DD1} \leq 5.5\text{ V}$ 、 $3.0\text{ V} \leq V_{DD2} \leq 3.6\text{ V}$ 、 $-40^\circ\text{C} \leq T_A \leq +105^\circ\text{C}$  の推奨動作範囲に適用されます。特に指定がない限り、スイッチング規定値は、 $C_L = 15\text{ pF}$  と CMOS 信号レベルでテストされます。

表 7.

Parameter	Symbol	A Grade			C Grade			Unit	Test Conditions
		Min	Typ	Max	Min	Typ	Max		
SWITCHING SPECIFICATIONS									
Data Rate				1			25	Mbps	Within PWD limit
Propagation Delay	$t_{PHL}$ $t_{PLH}$		55	80	30	42	55	ns	50% input to 50% output
Pulse Width Distortion	PWD		10	25		2	5	ns	$ t_{PLH} - t_{PHL} $
Change vs. Temperature			5			3		ps/°C	
Pulse Width	PW	250			40			ns	Within PWD limit
Propagation Delay Skew <sup>1</sup>	$t_{PSK}$			20			10	ns	
Channel Matching									
Codirectional	$t_{PSKCD}$			25		2	5	ns	
Opposing-Direction	$t_{PSKOD}$			30		3	6	ns	
Jitter			2			2		ns	

<sup>1</sup>  $t_{PSK}$  は、 $t_{PHL}$  または  $t_{PLH}$  におけるワーストケースの差であり、推奨動作条件下で同一の動作温度、電源電圧、出力負荷で動作する複数のユニット間で測定されます。

表 8.

Parameter	Symbol	1 Mbps—A, C Grades			25 Mbps—C Grade			Unit	Test Conditions
		Min	Typ	Max	Min	Typ	Max		
SUPPLY CURRENT									
ADuM7440	$I_{DD1}$		4.4	5.5		28	35	mA	
	$I_{DD2}$		1.6	2.1		3.5	4.5	mA	
ADuM7441	$I_{DD1}$		3.7	5.0		19	27	mA	
	$I_{DD2}$		2.2	2.8		5.2	7.0	mA	
ADuM7442	$I_{DD1}$		3.2	3.9		15	20	mA	
	$I_{DD2}$		2.0	2.6		7.8	12	mA	

表 9.すべてのモデルに対して

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
DC SPECIFICATIONS						
Logic High Input Threshold	$V_{IH}$		$0.7 V_{DDx}$		V	
Logic Low Input Threshold	$V_{IL}$			$0.3 V_{DDx}$	V	
Logic High Output Voltages	$V_{OH}$	$V_{DDx} - 0.1$	$V_{DDx}$		V	$I_{Ox} = -20\ \mu\text{A}$ , $V_{Ix} = V_{IxH}$
		$V_{DDx} - 0.4$	$V_{DDx} - 0.2$		V	$I_{Ox} = -4\ \text{mA}$ , $V_{Ix} = V_{IxH}$
Logic Low Output Voltages	$V_{OL}$		0.0	0.1	V	$I_{Ox} = 20\ \mu\text{A}$ , $V_{Ix} = V_{IxL}$
			0.2	0.4	V	$I_{Ox} = 4\ \text{mA}$ , $V_{Ix} = V_{IxL}$
Input Current per Channel	$I_I$	-10	+0.01	+10	$\mu\text{A}$	$0\text{ V} \leq V_{Ix} \leq V_{DDx}$
Supply Current per Channel						
Quiescent Input Supply Current	$I_{DDI(Q)}$		0.77		mA	
Quiescent Output Supply Current	$I_{DDO(Q)}$		0.40		mA	
Dynamic Input Supply Current	$I_{DDI(D)}$		0.26		mA/Mbps	
Dynamic Output Supply Current	$I_{DDO(D)}$		0.02		mA/Mbps	
AC SPECIFICATIONS						
Output Rise/Fall Time	$t_R/t_F$		2.5		ns	10% to 90%
Common-Mode Transient Immunity <sup>1</sup>	$ CM $	15	20		kV/ $\mu\text{s}$	$V_{Ix} = V_{DDx}$ , $V_{CM} = 1000\text{ V}$ , transient magnitude = 800 V
Refresh Rate	$f_r$		1.2		Mbps	

<sup>1</sup>  $|CM|$  は、 $V_O > 0.8 V_{DD}$  を維持している間に維持できる同相モード電圧の最大スルーレートです。同相モード電圧スルーレートは、立上がりりと立下がりの両同相モード電圧エッジに適用されます。

## 電气的特性—ミックスド 3.3 V/5 V動作

特に指定がない限り、すべての typ 仕様は  $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = 3.3\text{ V}$ 、 $V_{DD2} = 5\text{ V}$  で規定します。最小/最大仕様は、 $3.0\text{ V} \leq V_{DD1} \leq 3.6\text{ V}$ 、 $4.5\text{ V} \leq V_{DD2} \leq 5.5\text{ V}$ 、 $-40^\circ\text{C} \leq T_A \leq +105^\circ\text{C}$  の推奨動作範囲に適用されます。特に指定がない限り、スイッチング規定値は、 $C_L = 15\text{ pF}$  と CMOS 信号レベルでテストされます。

表 10.

Parameter	Symbol	A Grade			C Grade			Unit	Test Conditions
		Min	Typ	Max	Min	Typ	Max		
SWITCHING SPECIFICATIONS									
Data Rate				1			25	Mbps	Within PWD limit
Propagation Delay	$t_{PHL}, t_{PLH}$		55	80	31	46	60	ns	50% input to 50% output
Pulse Width Distortion	PWD		10	25		2	5	ns	$ t_{PLH} - t_{PHL} $
Change vs. Temperature			5			3		ps/°C	
Pulse Width	PW	250			40			ns	Within PWD limit
Propagation Delay Skew <sup>1</sup>	$t_{PSK}$			20			10	ns	
Channel Matching									
Codirectional	$t_{PSKCD}$			25		2	5	ns	
Opposing-Direction	$t_{PSKOD}$			30		3	7	ns	
Jitter			2			2		ns	

<sup>1</sup>  $t_{PSK}$  は、 $t_{PHL}$  または  $t_{PLH}$  におけるワーストケースの差であり、推奨動作条件下で同一の動作温度、電源電圧、出力負荷で動作する複数のユニット間で測定されます。

表 11.

Parameter	Symbol	1 Mbps—A, C Grades			25 Mbps—C Grade			Unit	Test Conditions
		Min	Typ	Max	Min	Typ	Max		
SUPPLY CURRENT									
ADuM7440	$I_{DD1}$		2.7	3.3		18	24	mA	
	$I_{DD2}$		2.5	3.3		5.7	8.0	mA	
ADuM7441	$I_{DD1}$		2.5	3.3		12	20	mA	
	$I_{DD2}$		3.6	4.6		8.0	11	mA	
ADuM7442	$I_{DD1}$		2.0	2.4		8.9	13	mA	
	$I_{DD2}$		3.2	4.0		12	15	mA	

表 12. すべてのモデルに対して

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
DC SPECIFICATIONS						
Logic High Input Threshold	$V_{IH}$		$0.7 V_{DDx}$		V	
Logic Low Input Threshold	$V_{IL}$			$0.3 V_{DDx}$	V	
Logic High Output Voltages	$V_{OH}$	$V_{DDx} - 0.1$	$V_{DDx}$		V	$I_{Ox} = -20\ \mu\text{A}$ , $V_{Ix} = V_{IxH}$
		$V_{DDx} - 0.4$	$V_{DDx} - 0.2$		V	$I_{Ox} = -4\ \text{mA}$ , $V_{Ix} = V_{IxH}$
Logic Low Output Voltages	$V_{OL}$		0.0	0.1	V	$I_{Ox} = 20\ \mu\text{A}$ , $V_{Ix} = V_{IxL}$
			0.2	0.4	V	$I_{Ox} = 4\ \text{mA}$ , $V_{Ix} = V_{IxL}$
Input Current per Channel	$I_I$	-10	+0.01	+10	$\mu\text{A}$	$0\text{ V} \leq V_{Ix} \leq V_{DDx}$
Supply Current per Channel						
Quiescent Input Supply Current	$I_{DDI(Q)}$		0.50	0.60	mA	
Quiescent Output Supply Current	$I_{DDO(Q)}$		0.61	0.73	mA	
Dynamic Input Supply Current	$I_{DDI(D)}$		0.17		mA/Mbps	
Dynamic Output Supply Current	$I_{DDO(D)}$		0.03		mA/Mbps	
AC SPECIFICATIONS						
Output Rise/Fall Time	$t_R/t_F$		2.5		ns	10% to 90%
Common-Mode Transient Immunity <sup>1</sup>	$ CM $	15	20		kV/ $\mu\text{s}$	$V_{Ix} = V_{DDx}$ , $V_{CM} = 1000\text{ V}$ , transient magnitude = 800 V
Refresh Rate	$f_r$		1.1		Mbps	

<sup>1</sup>  $|CM|$  は、 $V_O > 0.8 V_{DD}$  を維持している間に維持できる同相モード電圧の最大スルーレートです。同相モード電圧スルーレートは、立上がりおよび立下がりの両同相モード電圧エッジに適用されます。

## パッケージ特性

表 13.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
Resistance (Input-to-Output) <sup>1</sup>	R <sub>I-O</sub>		10 <sup>13</sup>		Ω	f = 1 MHz
Capacitance (Input-to-Output) <sup>1</sup>	C <sub>I-O</sub>		2		pF	
Input Capacitance <sup>2</sup>	C <sub>I</sub>		4.0		pF	Thermocouple located at center of package underside
IC Junction-to-Ambient Thermal Resistance	θ <sub>JA</sub>		76		°C/W	

<sup>1</sup> デバイスは2端子デバイスと見なします。すなわち、ピン1～ピン8を相互に接続し、ピン9～ピン16を相互に接続します。

<sup>2</sup> 入力容量は任意の入力データ・ピンとグラウンド間。

## 適用規格

ADuM744xは、表 14に記載する組織の認定を取得しています。特定のクロスアイソレーション波形と絶縁レベルに対する推奨最大動作電圧については、表 18と絶縁寿命のセクションを参照してください。

表 14.

UL	CSA (Pending)
Recognized under UL 1577 Component Recognition Program <sup>1</sup>	Approved under CSA Component Acceptance Notice #5A
Single Protection, 1000 V rms Isolation Voltage	Basic insulation per CSA 60950-1-03 and IEC 60950-1, 148 V rms (210 V peak) maximum working voltage
File E274400	File 205078

<sup>1</sup> UL1577に従い、絶縁テスト電圧1,200 V rms以上を1秒間加えて各ADuM744xを確認テストします(リーク電流検出規定値 = 5μA)。

## 絶縁および安全性関連の仕様

表 15.

Parameter	Symbol	Value	Unit	Conditions
Rated Dielectric Insulation Voltage		1000	V rms	1-minute duration
Minimum External Air Gap (Clearance)	L(I01)	3.8	mm min	Measured from input terminals to output terminals, shortest distance through air
Minimum External Tracking (Creepage)	L(I02)	2.8	mm min	Measured from input terminals to output terminals, shortest distance path along body
Minimum Internal Gap (Internal Clearance)		2.6	μm min	Insulation distance through insulation
Tracking Resistance (Comparative Tracking Index)	CTI	>175	V	DIN IEC 112/VDE 0303 Part 1
Isolation Group		IIIa		Material Group (DIN VDE 0110, 1/89, Table 1)

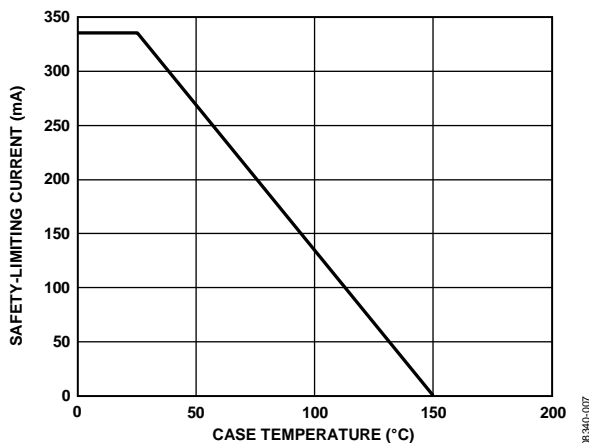


図 4.熱ディレーティング・カーブ、DIN V VDE V 0884-10 による安全な規定値のケース温度に対する依存性

## 推奨動作条件

表 16.

Parameter	Symbol	Min	Max	Unit
Operating Temperature	T <sub>A</sub>	-40	+105	°C
Supply Voltages <sup>1</sup>	V <sub>DD1</sub> , V <sub>DD2</sub>	3.0	5.5	V
Input Signal Rise and Fall Times			1.0	ms

<sup>1</sup> すべての電圧はそれぞれのグラウンドを基準とします。外部磁界耐性については、DC精度と磁界耐性のセクションを参照してください。

## 絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 17.

Parameter	Rating
Storage Temperature ( $T_{ST}$ ) Range	$-65^\circ\text{C}$ to $+150^\circ\text{C}$
Ambient Operating Temperature ( $T_A$ )	$-40^\circ\text{C}$ to $+105^\circ\text{C}$
Supply Voltages ( $V_{DD1}$ , $V_{DD2}$ )	$-0.5\text{ V}$ to $+7.0\text{ V}$
Input Voltages ( $V_{IA}$ , $V_{IB}$ , $V_{IC}$ , $V_{ID}$ ) <sup>1,2</sup>	$-0.5\text{ V}$ to $V_{DD1} + 0.5\text{ V}$
Output Voltages ( $V_{OA}$ , $V_{OB}$ , $V_{OC}$ , $V_{OD}$ ) <sup>1,2</sup>	$-0.5\text{ V}$ to $V_{DD0} + 0.5\text{ V}$
Average Output Current per Pin <sup>3</sup>	
Side 1 ( $I_{O1}$ )	$-10\text{ mA}$ to $+10\text{ mA}$
Side 2 ( $I_{O2}$ )	$-10\text{ mA}$ to $+10\text{ mA}$
Common-Mode Transients <sup>3</sup>	$-100\text{ kV}/\mu\text{s}$ to $+100\text{ kV}/\mu\text{s}$

<sup>1</sup>  $V_{DD1}$ と $V_{DD0}$ は、それぞれチャンネルの入力側と出力側の電源電圧を表します。PCボードのレイアウトのセクションを参照してください。

<sup>2</sup> 種々の温度に対する最大定格電流値については図 4を参照してください。

<sup>3</sup> 絶縁障壁にまたがる同相モード過渡電圧を表します。絶対最大定格を超える同相モード過渡電圧を加えると、ラッチアップまたは恒久的損傷が生ずることがあります。

表 18.最大連続動作電圧<sup>1</sup>

Parameter	Max	Unit	Constraint
AC Voltage, Bipolar Waveform	420	V peak	50-year minimum lifetime
AC Voltage, Unipolar Waveform			
Basic Insulation	420	V peak	50-year minimum lifetime
DC Voltage			
Basic Insulation	420	V peak	50-year minimum lifetime

<sup>1</sup> アイソレーション障壁に加わる連続電圧の大きさを意味します。詳細については、絶縁寿命のセクションを参照してください。

表 19.真理値表(正論理)

$V_{IX}$ Input <sup>1</sup>	$V_{DDI}$ State <sup>2</sup>	$V_{DDO}$ State <sup>3</sup>	$V_{OX}$ Output <sup>1</sup>	Description
H	Powered	Powered	H	Normal operation; data is high.
L	Powered	Powered	L	Normal operation; data is low.
X	Unpowered	Powered	H	Input unpowered. Outputs are in the default high state. Outputs return to input state within $1\ \mu\text{s}$ of $V_{DDI}$ power restoration. See the pin function descriptions (Table 20 through Table 22) for more details.
X	Powered	Unpowered	Z	Output unpowered. Output pins are in high impedance state. Outputs return to input state within $1\ \mu\text{s}$ of $V_{DDO}$ power restoration. See the pin function descriptions (Table 20 through Table 22) for more details.

<sup>1</sup>  $V_{IX}$ と $V_{OX}$ は、与えられたチャンネル(A、B、C、D)の入力信号と出力信号を表します。

<sup>2</sup>  $V_{DDI}$ は、与えられたチャンネル(A、B、C、D)の入力側の電源を表します。

<sup>3</sup>  $V_{DDO}$ は、与えられたチャンネル(A、B、C、D)の出力側の電源を表します。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

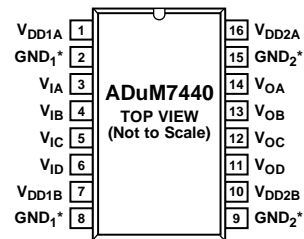
## ESDの注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。



## ピン配置およびピン機能説明



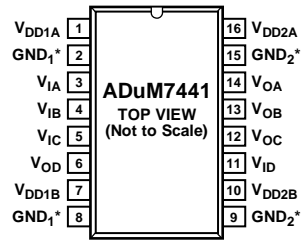
\*PIN 2 AND PIN 8 ARE INTERNALLY CONNECTED. CONNECTING BOTH TO GND<sub>1</sub> IS RECOMMENDED. PIN 9 AND PIN 15 ARE INTERNALLY CONNECTED. CONNECTING BOTH TO GND<sub>2</sub> IS RECOMMENDED.

98340-004

図 5.ADuM7440 のピン配置

表 20.ADuM7440 のピン機能説明

ピン番号	記号	説明
1	V <sub>DD1A</sub>	アイソレータ・サイド1の電源電圧 A、3.0 V～5.5 V。ピン1は、外部でピン7へ接続する必要があります。V <sub>DD1A</sub> (ピン1)と GND <sub>1</sub> (ピン2)の間に 0.01 μF～0.1 μF のセラミック・バイパス・コンデンサを接続してください。
2	GND <sub>1</sub>	グラウンド1。アイソレータ・サイド1のグラウンド基準。ピン2とピン8は内部で接続されています。両ピンを GND <sub>1</sub> へ接続することが推奨されます。
3	V <sub>IA</sub>	ロジック入力 A。
4	V <sub>IB</sub>	ロジック入力 B。
5	V <sub>IC</sub>	ロジック入力 C。
6	V <sub>ID</sub>	ロジック入力 D。
7	V <sub>DD1B</sub>	アイソレータ・サイド1の電源電圧 B、3.0 V～5.5 V。ピン7は、外部でピン1へ接続する必要があります。V <sub>DD1B</sub> (ピン7)と GND <sub>1</sub> (ピン8)の間に 0.01 μF～0.1 μF のセラミック・バイパス・コンデンサを接続してください。
8	GND <sub>1</sub>	グラウンド1。アイソレータ・サイド1のグラウンド基準。ピン2とピン8は内部で接続されています。両ピンを GND <sub>1</sub> へ接続することが推奨されます。
9	GND <sub>2</sub>	グラウンド2。アイソレータ・サイド2のグラウンド基準。ピン9とピン15は内部で接続されています。両ピンを GND <sub>2</sub> へ接続することが推奨されます。
10	V <sub>DD2B</sub>	アイソレータ・サイド2の電源電圧 B、3.0 V～5.5 V。ピン10は、外部でピン16へ接続する必要があります。V <sub>DD2B</sub> (ピン10)と GND <sub>2</sub> (ピン9)の間に 0.01 μF～0.1 μF のセラミック・バイパス・コンデンサを接続してください。
11	V <sub>OD</sub>	ロジック出力 D。
12	V <sub>OC</sub>	ロジック出力 C。
13	V <sub>OB</sub>	ロジック出力 B。
14	V <sub>OA</sub>	ロジック出力 A。
15	GND <sub>2</sub>	グラウンド2。アイソレータ・サイド2のグラウンド基準。ピン9とピン15は内部で接続されています。両ピンを GND <sub>2</sub> へ接続することが推奨されます。
16	V <sub>DD2A</sub>	アイソレータ・サイド2の電源電圧 A、3.0 V～5.5 V。ピン16は、外部でピン10へ接続する必要があります。V <sub>DD2A</sub> (ピン16)と GND <sub>2</sub> (ピン15)の間に 0.01 μF～0.1 μF のセラミック・バイパス・コンデンサを接続してください。



\*PIN 2 AND PIN 8 ARE INTERNALLY CONNECTED. CONNECTING BOTH TO GND<sub>1</sub> IS RECOMMENDED. PIN 9 AND PIN 15 ARE INTERNALLY CONNECTED. CONNECTING BOTH TO GND<sub>2</sub> IS RECOMMENDED.

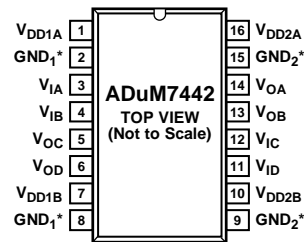
08340-005

図 6.ADuM7441 のピン配置

表 21.ADuM7441 のピン機能説明

ピン番号	記号	説明
1	V <sub>DD1A</sub>	アイソレータ・サイド1の電源電圧A、3.0V～5.5V。ピン1は外部でピン7へ接続する必要があります。V <sub>DD1A</sub> (ピン1)とGND <sub>1</sub> (ピン2)の間に0.01μF～0.1μFのセラミック・バイパス・コンデンサを接続してください。
2	GND <sub>1</sub>	グラウンド1。アイソレータ・サイド1のグラウンド基準。ピン2とピン8は内部で接続されています。両ピンをGND <sub>1</sub> へ接続することが推奨されます。
3	V <sub>IA</sub>	ロジック入力A。
4	V <sub>IB</sub>	ロジック入力B。
5	V <sub>IC</sub>	ロジック入力C。
6	V <sub>OD</sub>	ロジック出力D。
7	V <sub>DD1B</sub>	アイソレータ・サイド1の電源電圧B、3.0V～5.5V。ピン7は、外部でピン1へ接続する必要があります。V <sub>DD1B</sub> (ピン7)とGND <sub>1</sub> (ピン8)の間に0.01μF～0.1μFのセラミック・バイパス・コンデンサを接続してください。
8	GND <sub>1</sub>	グラウンド1。アイソレータ・サイド1のグラウンド基準。ピン2とピン8は内部で接続されています。両ピンをGND <sub>1</sub> へ接続することが推奨されます。
9	GND <sub>2</sub>	グラウンド2。アイソレータ・サイド2のグラウンド基準。ピン9とピン15は内部で接続されています。両ピンをGND <sub>2</sub> へ接続することが推奨されます。
10	V <sub>DD2B</sub>	アイソレータ・サイド2の電源電圧B、3.0V～5.5V。ピン10は、外部でピン16へ接続する必要があります。V <sub>DD2B</sub> (ピン10)とGND <sub>2</sub> (ピン9)の間に0.01μF～0.1μFのセラミック・バイパス・コンデンサを接続してください。
11	V <sub>ID</sub>	ロジック入力D。
12	V <sub>OC</sub>	ロジック出力C。
13	V <sub>OB</sub>	ロジック出力B。
14	V <sub>OA</sub>	ロジック出力A。
15	GND <sub>2</sub>	グラウンド2。アイソレータ・サイド2のグラウンド基準。ピン9とピン15は内部で接続されています。両ピンをGND <sub>2</sub> へ接続することが推奨されます。
16	V <sub>DD2A</sub>	アイソレータ・サイド2の電源電圧A、3.0V～5.5V。ピン16は、外部でピン10へ接続する必要があります。V <sub>DD2A</sub> (ピン16)とGND <sub>2</sub> (ピン15)の間に0.01μF～0.1μFのセラミック・バイパス・コンデンサを接続してください。

# ADuM7440/ADuM7441/ADuM7442



\*PIN 2 AND PIN 8 ARE INTERNALLY CONNECTED. CONNECTING BOTH TO GND<sub>1</sub> IS RECOMMENDED. PIN 9 AND PIN 15 ARE INTERNALLY CONNECTED. CONNECTING BOTH TO GND<sub>2</sub> IS RECOMMENDED.

08340-006

図 7.ADuM7442 ピン設定

表 22.ADuM7442 のピン機能説明

ピン番号	記号	説明
1	V <sub>DD1A</sub>	アイソレータ・サイド1の電源電圧A、3.0 V～5.5 V。ピン1は、外部でピン7へ接続する必要があります。V <sub>DD1A</sub> (ピン1)と GND <sub>1</sub> (ピン2)の間に 0.01 μF～0.1 μF のセラミック・バイパス・コンデンサを接続してください。
2	GND <sub>1</sub>	グラウンド1。アイソレータ・サイド1のグラウンド基準。ピン2とピン8は内部で接続されています。両ピンを GND <sub>1</sub> へ接続することが推奨されます。
3	V <sub>IA</sub>	ロジック入力A。
4	V <sub>IB</sub>	ロジック入力B。
5	V <sub>OC</sub>	ロジック出力C。
6	V <sub>OD</sub>	ロジック出力D。
7	V <sub>DD1B</sub>	アイソレータ・サイド1の電源電圧B、3.0 V～5.5 V。ピン7は、外部でピン1へ接続する必要があります。V <sub>DD1B</sub> (ピン7)と GND <sub>1</sub> (ピン8)の間に 0.01 μF～0.1 μF のセラミック・バイパス・コンデンサを接続してください。
8	GND <sub>1</sub>	グラウンド1。アイソレータ・サイド1のグラウンド基準。ピン2とピン8は内部で接続されています。両ピンを GND <sub>1</sub> へ接続することが推奨されます。
9	GND <sub>2</sub>	グラウンド2。アイソレータ・サイド2のグラウンド基準。ピン9とピン15は内部で接続されています。両ピンを GND <sub>2</sub> へ接続することが推奨されます。
10	V <sub>DD2B</sub>	アイソレータ・サイド2の電源電圧B、3.0 V～5.5 V。ピン10は、外部でピン16へ接続する必要があります。V <sub>DD2B</sub> (ピン10)と GND <sub>2</sub> (ピン9)の間に 0.01 μF～0.1 μF のセラミック・バイパス・コンデンサを接続してください。
11	V <sub>ID</sub>	ロジック入力D。
12	V <sub>IC</sub>	ロジック入力C。
13	V <sub>OB</sub>	ロジック出力B。
14	V <sub>OA</sub>	ロジック出力A。
15	GND <sub>2</sub>	グラウンド2。アイソレータ・サイド2のグラウンド基準。ピン9とピン15は内部で接続されています。両ピンを GND <sub>2</sub> へ接続することが推奨されます。
16	V <sub>DD2A</sub>	アイソレータ・サイド2の電源電圧A、3.0 V～5.5 V。ピン16は、外部でピン10へ接続する必要があります。V <sub>DD2A</sub> (ピン16)と GND <sub>2</sub> (ピン15)の間に 0.01 μF～0.1 μF のセラミック・バイパス・コンデンサを接続してください。

代表的な性能特性

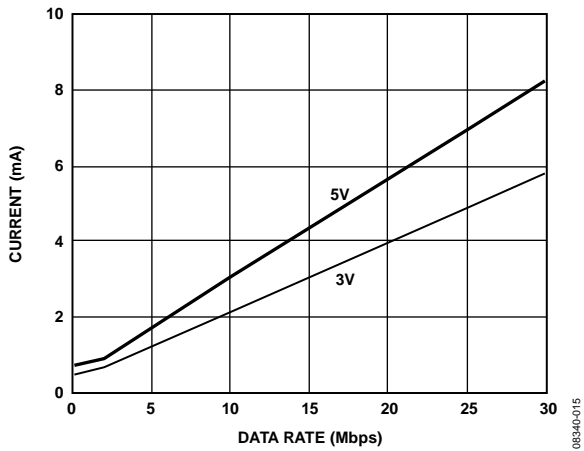


図 8. 5 V および 3 V 動作でのデータレート対入力チャンネル当たりの電源電流

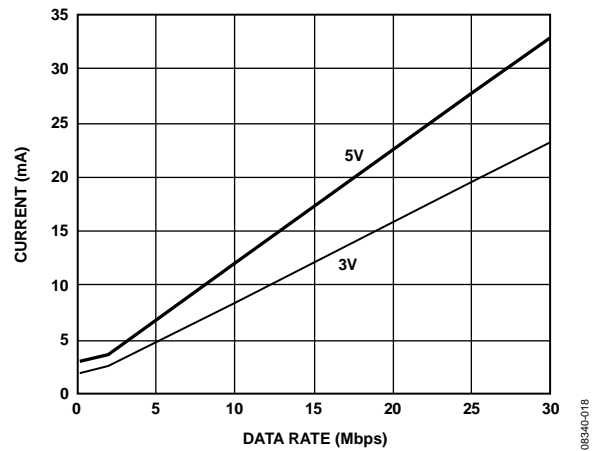


図 9. 5 V および 3 V 動作でのデータレート対 ADuM7440 V<sub>DD1</sub> 電源電流

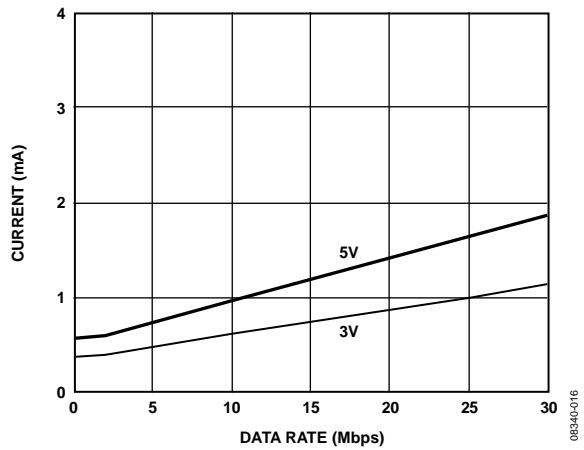


図 10. 9.5 V および 3 V 動作でのデータレート対出力チャンネルあたりの電源電流(出力無負荷)

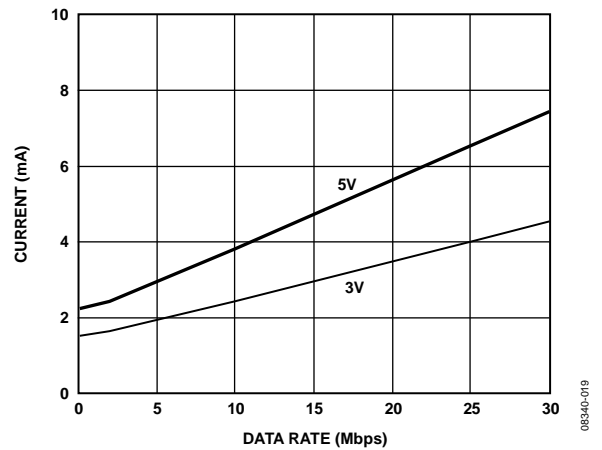


図 11. 5 V および 3 V 動作でのデータレート対 ADuM7440 V<sub>DD2</sub> 電源電流

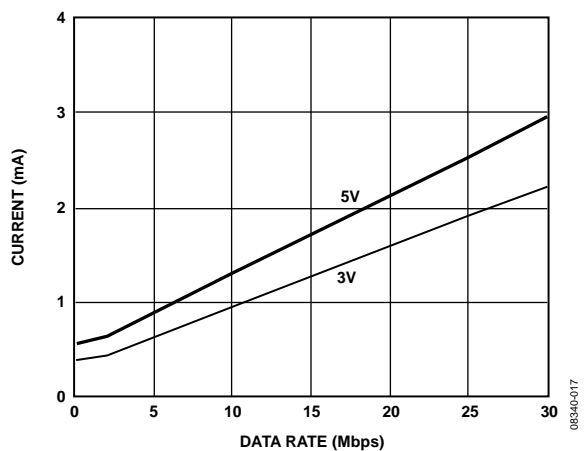


図 12. 10.5 V および 3 V 動作でのデータレート対出力チャンネルあたりの電源電流(15 pF 出力負荷)

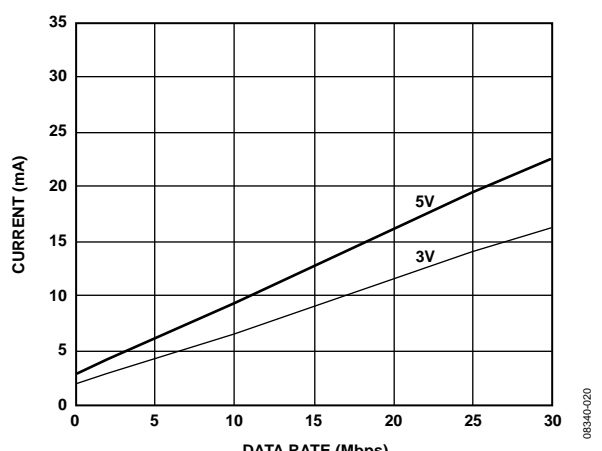


図 13. 5 V および 3 V 動作でのデータレート対 ADuM7441 V<sub>DD1</sub> 電源電流

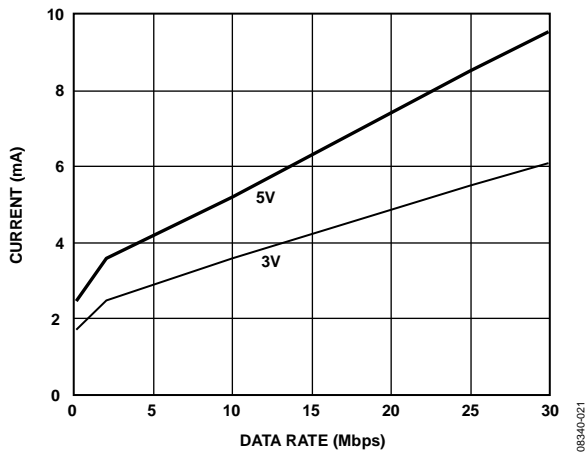


図 14. 5 V および 3 V 動作でのデータレート対 ADuM7441  $V_{DD2}$  電源電流

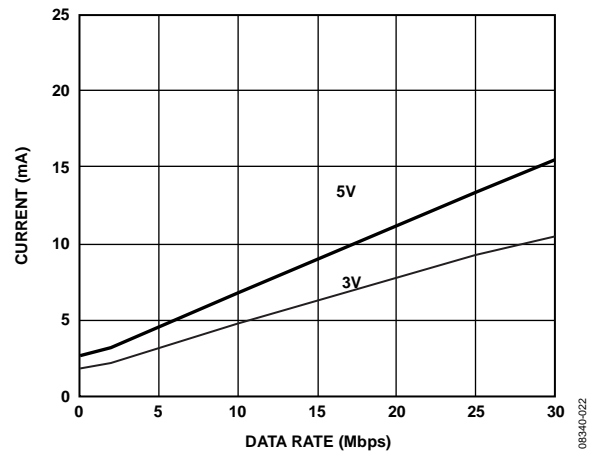


図 15. 5 V および 3 V 動作でのデータレート対 ADuM7442 の  $V_{DD1}$  または  $V_{DD2}$  電源電流

## アプリケーション情報

### PCボードのレイアウト

ADuM744x デジタル・アイソレータには、ロジック・インターフェース用の外付けインターフェース回路は不要です。入力電源ピンと出力電源ピンにはバイパス・コンデンサを接続することが推奨されます(図 16 参照)。V<sub>DD1A</sub> に対してはピン 1 とピン 2 の間に、V<sub>DD1B</sub> に対してはピン 7 とピン 8 の間に、V<sub>DD2B</sub> に対してはピン 9 とピン 10 の間に、V<sub>DD2A</sub> に対してはピン 15 とピン 16 の間に、合計 4 個のバイパス・コンデンサをそれぞれ接続する必要があります。電源の V<sub>DD1A</sub> ピン 1 と V<sub>DD1B</sub> ピン 7 を接続し、電源の V<sub>DD2B</sub> ピン 10 と V<sub>DD2A</sub> ピン 16 を接続する必要があります。コンデンサの値は、0.01μF~0.1μF とする必要があります。コンデンサの両端と電源ピンとの間のリード長は 20 mm 以下にする必要があります。

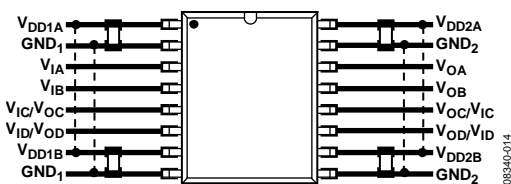


図 16. プリント回路ボードの推奨レイアウト

高い同相モード過渡電圧が発生するアプリケーションでは、アイソレーション障壁を通過するボード結合が最小になるようにすることが重要です。さらに、如何なる結合もデバイス側のすべてのピンで等しく発生するようにボード・レイアウトをデザインしてください。この注意を怠ると、ピン間で発生する電位差がデバイスの絶対最大定格を超えてしまい、ラッチアップまたは恒久的な損傷が発生することがあります。

### 伝搬遅延に関するパラメータ

伝搬遅延時間は、ロジック信号がデバイスを通るのに要する時間を表すパラメータです。ハイ・レベルからロー・レベル変化の入出力間伝搬遅延は、ロー・レベルからハイ・レベル変化の伝搬遅延と異なることがあります。

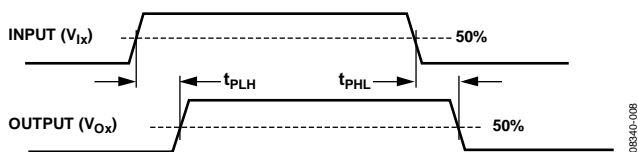


図 17. 伝搬遅延パラメータ

パルス幅歪みとはこれら 2 つの遅延時間間の最大の差を意味し、入力信号のタイミングが保存される精度を表します。

チャンネル間マッチングとは、1 つの ADuM744x デバイス内にある複数のチャンネル間の伝搬遅延差の最大値を意味します。

伝搬遅延スキューは、同じ条件で動作する複数の ADuM744x デバイス間での伝搬遅延差の最大値を表します。

### DC精度と磁界耐性

アイソレータ入力での正および負のロジック変化により、狭いパルス(約 1 ns)がトランスを経由してデコーダに送られます。デコーダは双安定であるため、パルスによるセットまたはリセットにより入力ロジックの変化が表されます。約 1 μs 以上入力にロジック変化がない場合、正常な入力状態を表す周期的なリフレッシュ・パルスのセットを送信して、出力での DC を正常に維持します。デコーダが約 5 μs 間以上この内部パルスを受信しないと、入力側が電源オフであるか非動作状態にあると見なされ、ウォッチドッグ・タイマ回路によりアイソレータ出力が強制的にデフォルトのハイ・レベル状態にされます。

ADuM744x の磁界耐性は磁界の変化により決定されます。この磁界により、トランスの受信コイルに電圧が発生して、デコーダを誤ってセットまたはリセットさせてしまうほど大きくなることがあります。この状態が発生する条件を以下の解析により求めます。ADuM744x の 3 V 動作は最も敏感な動作モードであるため、この条件について調べます。

トランス出力でのパルスは 1.0 V 以上の振幅を持っています。デコーダは約 0.5 V の検出スレッシュホールドを持つので、誘導電圧に対しては 0.5 V の余裕を持っています。受信側コイルへの誘導電圧は次式で与えられます。

$$V = (-d\beta / dt) \sum \pi r_n^2; n = 1, 2, \dots, N$$

ここで、

$\beta$  は磁束密度 (gauss)

$r_n$  = 受信側コイル巻き数  $n$  回目の半径(cm)

$N$  = 受信側コイルの巻き数

ADuM744x 受信側コイルの形状が与えられ、かつ誘導電圧がデコーダにおける 0.5 V 余裕の最大 50% であるという条件が与えられ、与えられた周波数での最大許容磁界を計算することができます。この結果を図 18 に示します。

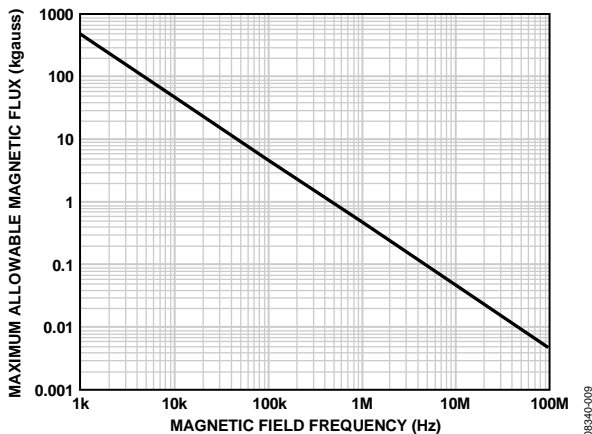


図 18.最大許容外部磁束密度

例えば、磁界周波数= 1 MHz で、最大許容磁界= 0.5 Kgauss の場合、受信側コイルでの誘導電圧は 0.25 V になります。これは検出スレッショルドの約 50% であるため、出力変化の誤動作はありません。同様に、仮にこのような条件が送信パルス内に存在しても(さらに最悪ケースの極性であっても)、受信パルスが 1.0 V 以上から 0.75V へ減少されるため、デコーダの検出スレッショルド 0.5 V に対してなお余裕を持っています。

前述の磁束密度値は、ADuM744x トランスから与えられた距離だけ離れた特定の電流値に対応します。図 19 に、周波数の関数としての許容電流値を与えられた距離に対して示します。図から読み取れるように、ADuM744x の耐性は極めて高く、影響を受けるのは、高周波でかつデバイスに非常に近い極めて大きな電流の場合に限られます。前の 1 MHz の例では、デバイス動作に影響を与えるためには、1.2 kA の電流を ADuM744x から 5 mm の距離まで近づける必要があります。

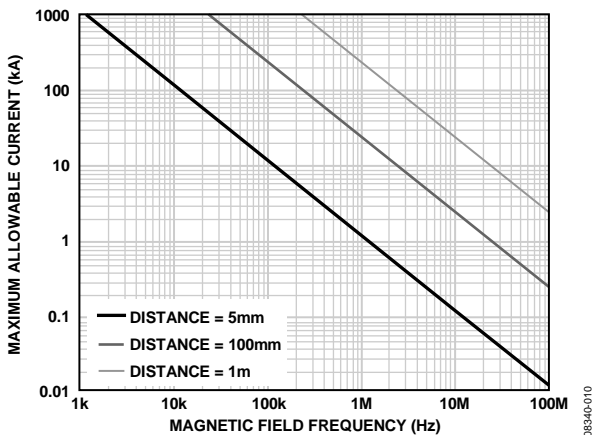


図 19.様々な電流値と ADuM744x までの距離に対する最大許容電流

強い磁界と高周波が組合わさると、プリント回路ボードのパターンで形成されるループに十分な大きな誘導電圧が誘導されて、後段回路のスレッショルドがトリガされてしまうことに注意が必要です。パターンのレイアウトでは、このようなことが発生しないように注意する必要があります。

## 消費電力

ADuM744x アイソレータ内にあるチャンネルの電源電流は、電源電圧、チャンネルのデータレート、チャンネルの出力負荷の関数になっています。

各入力チャンネルに対して、電源電流は次式で与えられます。

$$I_{DDI} = I_{DDI(Q)} \quad f \leq 0.5 f_r$$

$$I_{DDI} = I_{DDI(D)} \times (2f - f_r) + I_{DDI(Q)} \quad f > 0.5 f_r$$

各出力チャンネルに対して、電源電流は次式で与えられます。

$$I_{DDO} = I_{DDO(Q)} \quad f \leq 0.5 f_r$$

$$I_{DDO} = (I_{DDO(D)} + (0.5 \times 10^{-3}) \times C_L \times V_{DDO}) \times (2f - f_r) + I_{DDO(Q)} \quad f > 0.5 f_r$$

ここで、

$I_{DDI(D)}$  と  $I_{DDO(D)}$  は、それぞれチャンネル当たりの入力ダイナミック電源電流と出力ダイナミック電源電流です (mA/Mbps)。

$C_L$  は出力負荷容量 (pF)。

$V_{DDO}$  は出力電源電圧 (V)。

$f$  は入力ロジック信号周波数 (MHz)、これは入力データレート (Mbps) の 1/2 に一致します。

$f_r$  は入力ステージのリフレッシュ・レート (Mbps)。

$I_{DDI(Q)}$  と  $I_{DDO(Q)}$  は、それぞれ指定された入力静止電源電流と出力静止電源電流です (mA)。

$V_{DD1}$  と  $V_{DD2}$  の電源電流を計算するために、 $V_{DD1}$  と  $V_{DD2}$  に対応するチャンネルの各入力と各出力の電源電流を計算して合計します。図 8 と図 9 に、無負荷状態の出力に対して、データレートの関数としてのチャンネル当たりの電源電流を示します。図 10 に、15 pF 負荷の出力に対して、データレートの関数としてのチャンネル当たりの電源電流を示します。図 11 ~ 図 15 に、ADuM7440/ ADuM7441/ADuM7442 のチャンネル構成に対するデータレートの関数としての  $V_{DD1}$  と  $V_{DD2}$  の合計電源電流を示します。

## 絶縁寿命

すべての絶縁構造は、十分長い時間電圧ストレスを受けるとブレイクダウンします。絶縁性能の低下率は、絶縁に加えられる電圧波形の特性に依存します。アナログ・デバイゼスは、規制当局が行うテストの他に、広範囲なセットの評価を実施して ADuM744x の絶縁構造の寿命を測定しています。

アナログ・デバイゼスは、定格連続動作電圧より高い電圧レベルを使った加速寿命テストを実施しています。複数の動作条件に対する加速ファクタを求めました。これらのファクタを使うと、実際の動作電圧での故障までの時間を計算することができます。表 18 に、バイポーラ AC 動作条件での 50 年のサービス寿命に対するピーク電圧と最大 CSA 認定動作電圧を示します。多くのケースで、実証された動作電圧は 50 年サービス寿命の電圧より高くなっています。これらの高い動作電圧での動作は、ケースによって絶縁寿命を短くすることがあります。

ADuM744x の絶縁寿命は、アイソレーション障壁に加えられる電圧波形のタイプに依存します。iCoupler 絶縁構造の性能は、波形がバイポーラ AC、ユニポーラ AC、DC のいずれであるかに応じて、異なるレートで低下します。図 20、図 21、図 22 に、これらのアイソレーション電圧波形を示します。

バイポーラ AC 電圧は最も厳しい環境です。AC バイポーラ条件での 50 年動作寿命の目標により、アナログ・デバイセズが推奨する最大動作電圧が決定されています。

ユニポーラ AC またはユニポーラ DC 電圧の場合、絶縁に加わるストレスは大幅に少なくなります。このために高い動作電圧での動作が可能になり、さらに 50 年のサービス寿命を実現することができます。表 18 に示す動作電圧は、ユニポーラ AC 電圧またはユニポーラ DC 電圧のケースに適合する場合、50 年最小寿命に適用することができます。図 21 または図 22 に適合しない絶縁電圧波形は、バイポーラ AC 波形として扱う必要があり、ピーク電圧は表 18 に示す 50 年寿命電圧値に制限する必要があります。

図 21 に示す電圧は、説明目的のためにのみ正弦波としています。すなわち、0 V とある規定値との間で変化する任意の電圧波形とすることができます。規定値は正または負となることができますが、電圧は 0 V を通過することはできません。

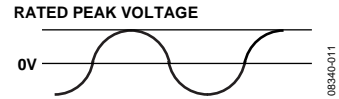


図 20. バイポーラ AC 波形

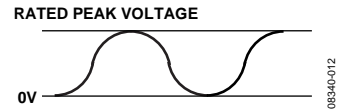


図 21. ユニポーラ AC 波形

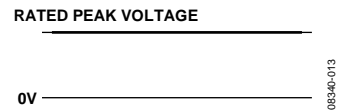
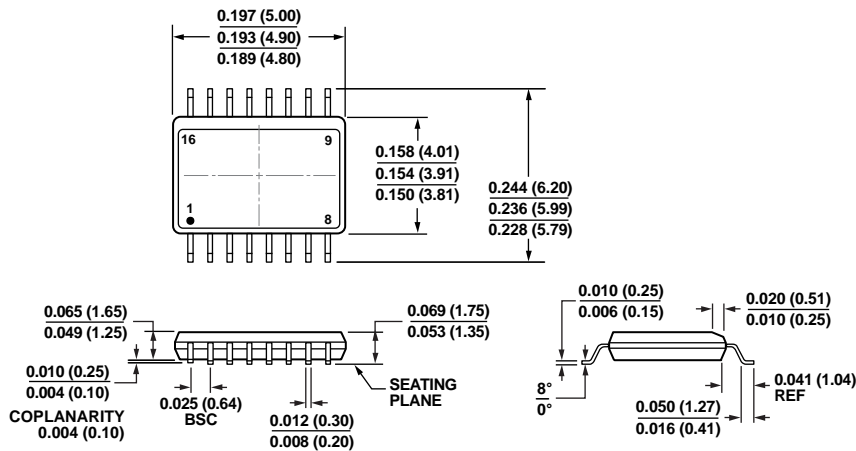


図 22. DC 波形



外形寸法



COMPLIANT TO JEDEC STANDARDS MO-137-AB  
 CONTROLLING DIMENSIONS ARE IN INCHES; MILLIMETER DIMENSIONS  
 (IN PARENTHESES) ARE ROUNDED-OFF INCH EQUIVALENTS FOR  
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

01-28-2008-A

図 23.16 ピン・シュリンク・スモール・アウトライン・パッケージ[QSOP]  
 (RQ-16)  
 寸法:インチ(mm)

オーダー・ガイド

Model <sup>1</sup>	Number of Inputs, V <sub>DD1</sub> Side	Number of Inputs, V <sub>DD2</sub> Side	Maximum Data Rate	Maximum Propagation Delay, 5 V	Maximum Pulse Width Distortion (ns)	Temperature Range	Package Description	Package Option
ADuM7440ARQZ	4	0	1 Mbps	75 ns	25	-40°C to +105°C	16-Lead QSOP	RQ-16
ADuM7440ARQZ-RL7	4	0	1 Mbps	75 ns	25	-40°C to +105°C	16-Lead QSOP, 7" Tape and Reel	RQ-16
ADuM7440CRQZ	4	0	25 Mbps	50 ns	5	-40°C to +105°C	16-Lead QSOP	RQ-16
ADuM7440CRQZ-RL7	4	0	25 Mbps	50 ns	5	-40°C to +105°C	16-Lead QSOP, 7" Tape and Reel	RQ-16
ADuM7441ARQZ	3	1	1 Mbps	75 ns	25	-40°C to +105°C	16-Lead QSOP	RQ-16
ADuM7441ARQZ-RL7	3	1	1 Mbps	75 ns	25	-40°C to +105°C	16-Lead QSOP, 7" Tape and Reel	RQ-16
ADuM7441CRQZ	3	1	25 Mbps	50 ns	5	-40°C to +105°C	16-Lead QSOP	RQ-16
ADuM7441CRQZ-RL7	3	1	25 Mbps	50 ns	5	-40°C to +105°C	16-Lead QSOP, 7" Tape and Reel	RQ-16
ADuM7442ARQZ	2	2	1 Mbps	75 ns	25	-40°C to +105°C	16-Lead QSOP	RQ-16
ADuM7442ARQZ-RL7	2	2	1 Mbps	75 ns	25	-40°C to +105°C	16-Lead QSOP, 7" Tape and Reel	RQ-16
ADuM7442CRQZ	2	2	25 Mbps	50 ns	5	-40°C to +105°C	16-Lead QSOP	RQ-16
ADuM7442CRQZ-RL7	2	2	25 Mbps	50 ns	5	-40°C to +105°C	16-Lead QSOP, 7" Tape and Reel	RQ-16

<sup>1</sup> Z = RoHS 準拠製品。