

## 特長

RoHS 準拠のナロー・ボディ 8 ピン SOIC を採用

安全性規制の認定

UL 認定(申請中)

1,000 V rms、1 分間の UL 1577 規格に準拠

低消費電力動作

5 V 動作

0 Mbps~1 Mbps でチャンネルあたり最大 2.4 mA

25 Mbps でチャンネルあたり最大 11.8 mA

3.3 V 動作

0 Mbps~1 Mbps でチャンネルあたり最大 1.7 mA

25 Mbps でチャンネルあたり最大 8.2 mA

双方向通信

最大データレート: 25 Mbps (NRZ)

3 V/5 V のレベル変換

高温動作: 105°C

高い同相モード・トランジェント耐性: 15 kV/μs 以上

## アプリケーション

汎用のマルチチャンネル・アイソレーション

データ・コンバータのアイソレーション

工業用フィールド・バスのアイソレーション

## 概要

ADuM7240/ADuM7241<sup>1</sup> は、アナログ・デバイセズの iCoupler® 技術を採用した 2 チャンネルのデジタル・アイソレータです。これらのアイソレーション・デバイスは高速 CMOS 技術と空心コアを使ったモノリシック・トランス技術の組み合わせにより、フォトカプラ・デバイスやその他のカプラ IC の置換品より優れた性能特性を提供します。

ADuM7240/ADuM7241 デュアル 1 kV デジタル・アイソレーション・デバイスは、ナロー・ボディ 8 ピン SOIC パッケージを採用しています。ADuM7240/ADuM7241 は、機能的なアイソレーションのみを必要とする 2.5 kV や 5 kV のアイソレータよりコストパフォーマンスの優れたオプションを提供しています。

ADuM7240/ADuM7241 は、アナログ・デバイセズの他のアイソレータと同様に、消費電力が非常に小さく、最大 25 Mbps のデ

ータレートの同等なアイソレータに比べて 1/10~1/6 の消費電力で済みます。ADuM7240/ADuM7241 のすべてのモデルは低消費電力ですが、小さいパルス幅歪みを持っています(C グレードで 5 ns 以下)。さらに、各モデルは外部ノイズに対する保護機能を持つ入力グリッチ・フィルタを内蔵しています。

ADuM7240/ADuM7241 の 2 つのチャンネルは独立したアイソレーション・チャンネルであり、1 Mbps または 10 Mbps のデータレートの 2 つのチャンネル構成を提供します。これらの全モデルは、いずれの側も 3.0 V~5.5 V 範囲の電源電圧で動作するため、低い電圧のシステムと互換性を持ち、さらに絶縁障壁にまたがる電圧変換機能も可能にします。また、ADuM7240/ADuM7241 の入力電源がないときのデフォルト出力状態はハイ・レベルになります。

## 機能ブロック図

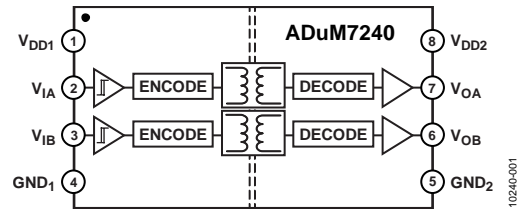


図 1. ADuM7240

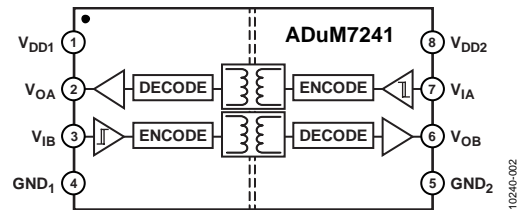


図 2. ADuM7241

<sup>1</sup>米国特許 5,952,849; 6,873,065; 7,075,329 で保護されています。その他の特許は申請中です。

## 目次

特長	1	絶対最大定格	8
アプリケーション	1	ESDの注意	8
機能ブロック図	1	ピン配置およびピン機能説明	9
概要	1	代表的な性能特性	10
改訂履歴	2	アプリケーション情報	12
仕様	3	プリント回路ボードのレイアウト	12
電気的特性—5 V動作	3	伝搬遅延に関するパラメータ	12
電気的特性—3.3 V動作	4	DCの再現	12
電気的特性—ミックスド 5 V/3.3 V動作	5	磁界耐性	12
電気的特性—ミックスド 3.3 V/5 V動作	6	消費電力	13
パッケージ特性	7	絶縁寿命	13
適用規格	7	外形寸法	14
絶縁および安全性関連の仕様	7	オーダー・ガイド	14
推奨動作条件	7		

## 改訂履歴

## 5/12—Rev. 0 to Rev. A

Changes to Table 2, Changed  $I_{DDI(Q)}$  Maximum Parameter from 1.2 mA to 1.4 mA (Table 3), and Changed  $I_{DDO(Q)}$  Maximum Parameter from 0.95 mA to 1.1 mA (Table 3) .....3

Changes to Table 5, Changed  $I_{DDI(Q)}$  Maximum Parameter from 0.83 mA to 1.0 mA (Table 6), and Changed  $I_{DDO(Q)}$  Maximum Parameter from 0.68 mA to 0.8 mA (Table 6) .....4

Changes to Table 8, Changed  $I_{DDI(Q)}$  Maximum Parameter from 1.2 mA to 1.45 mA (Table 9), and Changed  $I_{DDO(Q)}$  Maximum Parameter from 0.67 mA to 0.80 mA (Table 9) .....5

Changes to Table 11, Changed  $I_{DDI(Q)}$  Maximum Parameter from 0.83 mA to 1.0 mA (Table 12), and Changed  $I_{DDO(Q)}$  Maximum Parameter from 0.90 mA to 1.1 mA (Table 12) .....6

## 5/12—Revision 0: Initial Version

## 仕様

## 電気的特性—5 V 動作

特に指定がない限り、すべての typ 仕様は  $T_A = 25^\circ\text{C}$  および  $V_{DD1} = V_{DD2} = 5\text{ V}$  で規定します。最小/最大仕様は、 $4.5\text{ V} \leq V_{DD1} \leq 5.5\text{ V}$ 、 $4.5\text{ V} \leq V_{DD2} \leq 5.5\text{ V}$ 、 $-40^\circ\text{C} \leq T_A \leq +105^\circ\text{C}$  の推奨動作範囲に適用されます。特に指定がない限り、スイッチング規定値は、 $C_L = 15\text{ pF}$  と CMOS 信号レベルでテストされます。

表 1.

Parameter	Symbol	A Grade			C Grade			Unit	Test Conditions/Comments
		Min	Typ	Max	Min	Typ	Max		
SWITCHING SPECIFICATIONS									
Pulse Width	PW	250			40			ns	Within PWD limit
Data Rate				1			25	Mbps	Within PWD limit
Propagation Delay	$t_{PHL}$ , $t_{PLH}$		50	75	32	41	50	ns	50% input to 50% output
Pulse Width Distortion	PWD		10	25		2	5	ns	$ t_{PLH} - t_{PHL} $
Change vs. Temperature			5			3		ps/ $^\circ\text{C}$	
Propagation Delay Skew <sup>1</sup>	$t_{PSK}$			20			10	ns	
Channel Matching									
Codirectional	$t_{PSKCD}$			25		2	4	ns	
Opposing Direction	$t_{PSKOD}$			30		2	6	ns	
Jitter			2			2		ns	

<sup>1</sup>  $t_{PSK}$  は、 $t_{PHL}$  または  $t_{PLH}$  におけるワーストケースの差であり、推奨動作条件下で同一の動作温度、電源電圧、出力負荷で動作する複数のユニット間で測定されます。

表 2.

Parameter	Symbol	1 Mbps—A, C Grades			25 Mbps—C Grade			Unit	Test Conditions/Comments
		Min	Typ	Max	Min	Typ	Max		
SUPPLY CURRENT									
ADuM7240	$I_{DD1}$		2.2	2.8		16	21	mA	
	$I_{DD2}$		1.7	2.2		3.9	5.7	mA	
ADuM7241	$I_{DD1}$		1.9	2.4		9.3	13	mA	
	$I_{DD2}$		1.9	2.4		8.2	12	mA	

表 3.すべてのモデルに対して

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
DC SPECIFICATIONS						
Logic High Input Threshold	$V_{IH}$	0.7 $V_{DDx}$			V	
Logic Low Input Threshold	$V_{IL}$				0.3 $V_{DDx}$	V
Logic High Output Voltages	$V_{OH}$	$V_{DDx} - 0.1$	$V_{DDx}$		V	$I_{Ox} = -20\text{ }\mu\text{A}$ , $V_{Ix} = V_{IxH}$
		$V_{DDx} - 0.4$	$V_{DDx} - 0.3$		V	$I_{Ox} = -4\text{ mA}$ , $V_{Ix} = V_{IxH}$
Logic Low Output Voltages	$V_{OL}$	0.0		0.1	V	$I_{Ox} = 20\text{ }\mu\text{A}$ , $V_{Ix} = V_{IxL}$
		0.2		0.4	V	$I_{Ox} = 4\text{ mA}$ , $V_{Ix} = V_{IxL}$
Input Current per Channel	$I_i$	-10	+0.01	+10	$\mu\text{A}$	$0\text{ V} \leq V_{Ix} \leq V_{DDx}$
Supply Current per Channel						
Quiescent Input Supply Current	$I_{DD(Q)}$	1		1.4	mA	
Quiescent Output Supply Current	$I_{DDO(Q)}$	0.8		1.1	mA	
Dynamic Input Supply Current	$I_{DD(D)}$	0.29			mA/Mbps	
Dynamic Output Supply Current	$I_{DDO(D)}$	0.03			mA/Mbps	
AC SPECIFICATIONS						
Output Rise/Fall Time	$t_R/t_F$	2.0			ns	10% to 90%
Common-Mode Transient Immunity <sup>1</sup>	$ CM $	15	25		kV/ $\mu\text{s}$	$V_{Ix} = V_{DDx}$ , $V_{CM} = 1000\text{ V}$ , transient magnitude = 800 V
Refresh Rate	$f_r$	600			kHz	DC data inputs

<sup>1</sup>  $|CM|$  は、 $V_o > 0.8 V_{DDx}$  を維持している間に維持できる同相モード電圧の最大スルーレートです。同相モード電圧スルーレートは、立上がりおよび立下りの両同相モード電圧エッジに適用されます。

## 電気的特性—3.3 V 動作

特に指定がない限り、すべての typ 仕様は  $T_A = 25^\circ\text{C}$  および  $V_{DD1} = V_{DD2} = 3.3\text{ V}$  で規定します。最小/最大仕様は、 $3.0\text{ V} \leq V_{DD1} \leq 3.6\text{ V}$ 、 $3.0\text{ V} \leq V_{DD2} \leq 3.6\text{ V}$ 、 $-40^\circ\text{C} \leq T_A \leq +105^\circ\text{C}$  の推奨動作範囲に適用されます。特に指定がない限り、スイッチング規定値は、 $C_L = 15\text{ pF}$  と CMOS 信号レベルでテストされます。

表 4.

Parameter	Symbol	A Grade			C Grade			Unit	Test Conditions/Comments
		Min	Typ	Max	Min	Typ	Max		
SWITCHING SPECIFICATIONS									
Pulse Width	PW	250			40			ns	Within PWD limit
Data Rate				1			25	Mbps	Within PWD limit
Propagation Delay	$t_{PHL}$ , $t_{PLH}$	60	85		37	50	64	ns	50% input to 50% output
Pulse Width Distortion	PWD	10	25		2	5		ns	$ t_{PLH} - t_{PHL} $
Change vs. Temperature		5			3			ps/°C	
Propagation Delay Skew <sup>1</sup>	$t_{PSK}$		20				10	ns	
Channel Matching									
Codirectional	$t_{PSKCD}$		25		2	4		ns	
Opposing Direction	$t_{PSKOD}$		30		2	7		ns	
Jitter		2			2			ns	

<sup>1</sup>  $t_{PSK}$  は、 $t_{PHL}$  または  $t_{PLH}$  におけるワーストケースの差であり、推奨動作条件下で同一の動作温度、電源電圧、出力負荷で動作する複数のユニット間で測定されます。

表 5.

Parameter	Symbol	1 Mbps—A, C Grades			25 Mbps—C Grade			Unit	Test Conditions/Comments
		Min	Typ	Max	Min	Typ	Max		
SUPPLY CURRENT									
ADuM7240	$I_{DD1}$	1.6	2.0		12	15		mA	
	$I_{DD2}$	1.3	1.6		2.6	4.4		mA	
ADuM7241	$I_{DD1}$	1.4	1.8		6.7	9.2		mA	
	$I_{DD2}$	1.4	1.8		5.9	8.2		mA	

表 6.すべてのモデルに対して

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
DC SPECIFICATIONS						
Logic High Input Threshold	$V_{IH}$	$0.7 V_{DDx}$			V	
Logic Low Input Threshold	$V_{IL}$			$0.3 V_{DDx}$	V	
Logic High Output Voltages	$V_{OH}$	$V_{DDx} - 0.2$	$V_{DDx}$		V	$I_{Ox} = -20\text{ }\mu\text{A}$ , $V_{Ix} = V_{IxH}$
		$V_{DDx} - 0.4$	$V_{DDx} - 0.3$		V	$I_{Ox} = -4\text{ mA}$ , $V_{Ix} = V_{IxH}$
Logic Low Output Voltages	$V_{OL}$		0.0	0.1	V	$I_{Ox} = 20\text{ }\mu\text{A}$ , $V_{Ix} = V_{IxL}$
			0.2	0.4	V	$I_{Ox} = 4\text{ mA}$ , $V_{Ix} = V_{IxL}$
Input Current per Channel	$I_I$	-10	+0.01	+10	$\mu\text{A}$	$0\text{ V} \leq V_{Ix} \leq V_{DDx}$
Supply Current per Channel						
Quiescent Input Supply Current	$I_{DDI(Q)}$		0.71	1.0	mA	
Quiescent Output Supply Current	$I_{DDO(Q)}$		0.59	0.8	mA	
Dynamic Input Supply Current	$I_{DDI(D)}$		0.20		mA/Mbps	
Dynamic Output Supply Current	$I_{DDO(D)}$		0.02		mA/Mbps	
AC SPECIFICATIONS						
Output Rise/Fall Time	$t_R/t_F$		2.8		ns	10% to 90%
Common-Mode Transient Immunity <sup>1</sup>	CM	15	25		kV/ $\mu\text{s}$	$V_{Ix} = V_{DDx}$ , $V_{CM} = 1000\text{ V}$ , transient magnitude = 800 V
Refresh Rate	$f_r$		550		kHz	DC data inputs

<sup>1</sup> |CM| は、 $V_o > 0.8 V_{DDx}$  を維持している間に維持できる同相モード電圧の最大スルーレートです。同相モード電圧スルーレートは、立上がりりと立下がりの両同相モード電圧エッジに適用されます。

## 電气的特性—ミックスド 5 V/3.3 V 動作

特に指定がない限り、すべての typ 仕様は  $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = 5\text{ V}$ 、 $V_{DD2} = 3.3\text{ V}$  で規定します。最小/最大仕様は、 $4.5\text{ V} \leq V_{DD1} \leq 5.5\text{ V}$ 、 $3.0\text{ V} \leq V_{DD2} \leq 3.6\text{ V}$ 、 $-40^\circ\text{C} \leq T_A \leq +105^\circ\text{C}$  の推奨動作範囲に適用されます。特に指定がない限り、スイッチング規定値は、 $C_L = 15\text{ pF}$  と CMOS 信号レベルでテストされます。

表 7.

Parameter	Symbol	A Grade			C Grade			Unit	Test Conditions/Comments
		Min	Typ	Max	Min	Typ	Max		
SWITCHING SPECIFICATIONS									
Pulse Width	PW	250			40			ns	Within PWD limit
Data Rate				1			25	Mbps	Within PWD limit
Propagation Delay	$t_{PHL}$ , $t_{PLH}$		55	80	34	44	54	ns	50% input to 50% output
Pulse Width Distortion	PWD		10	25		2	5	ns	$ t_{PLH} - t_{PHL} $
Change vs. Temperature			5			3		ps/ $^\circ\text{C}$	
Propagation Delay Skew <sup>1</sup>	$t_{PSK}$			20			10	ns	
Channel Matching									
Codirectional	$t_{PSKCD}$			25		2	5	ns	
Opposing Direction	$t_{PSKOD}$			30		3	9	ns	
Jitter			2			2		ns	

<sup>1</sup>  $t_{PSK}$  は、 $t_{PHL}$  または  $t_{PLH}$  におけるワーストケースの差であり、推奨動作条件下で同一の動作温度、電源電圧、出力負荷で動作する複数のユニット間で測定されます。

表 8.

Parameter	Symbol	1 Mbps—A, C Grades			25 Mbps—C Grade			Unit	Test Conditions/Comments
		Min	Typ	Max	Min	Typ	Max		
SUPPLY CURRENT									
ADuM7240	$I_{DD1}$		2.2	2.9		16	21	mA	
	$I_{DD2}$		1.3	1.6		2.8	3.6	mA	
ADuM7241	$I_{DD1}$		1.9	2.3		9.2	12	mA	
	$I_{DD2}$		1.4	1.6		5.9	7.2	mA	

表 9. すべてのモデルに対して

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
DC SPECIFICATIONS						
Logic High Input Threshold	$V_{IH}$	$0.7 V_{DDx}$			V	
Logic Low Input Threshold	$V_{IL}$				V	
Logic High Output Voltages	$V_{OH}$	$V_{DDx} - 0.1$	$V_{DDx}$		V	$I_{Ox} = -20\ \mu\text{A}$ , $V_{Ix} = V_{IxH}$
		$V_{DDx} - 0.4$	$V_{DDx} - 0.3$		V	$I_{Ox} = -4\ \text{mA}$ , $V_{Ix} = V_{IxH}$
Logic Low Output Voltages	$V_{OL}$		0.0	0.1	V	$I_{Ox} = 20\ \mu\text{A}$ , $V_{Ix} = V_{IxL}$
			0.2	0.4	V	$I_{Ox} = 4\ \text{mA}$ , $V_{Ix} = V_{IxL}$
Input Current per Channel	$I_I$	-10	+0.01	+10	$\mu\text{A}$	$0\text{ V} \leq V_{Ix} \leq V_{DDx}$
Supply Current per Channel						
Quiescent Input Supply Current	$I_{DDI(Q)}$		1.0	1.45	mA	
Quiescent Output Supply Current	$I_{DDO(Q)}$		0.59	0.80	mA	
Dynamic Input Supply Current	$I_{DDI(D)}$		0.25		mA/Mbps	
Dynamic Output Supply Current	$I_{DDO(D)}$		0.02		mA/Mbps	
AC SPECIFICATIONS						
Output Rise/Fall Time	$t_R/t_F$		2.5		ns	10% to 90%
Common-Mode Transient Immunity <sup>1</sup>	CM	15	25		kV/ $\mu\text{s}$	$V_{Ix} = V_{DDx}$ , $V_{CM} = 1000\text{ V}$ , transient magnitude = 800 V
Refresh Rate	$f_r$		600		kHz	DC data inputs

<sup>1</sup> |CM| は、 $V_O > 0.8 V_{DDx}$  を維持している間に維持できる同相モード電圧の最大スルーレートです。同相モード電圧スルーレートは、立上がりおよび立下りの両同相モード電圧エッジに適用されます。

電気的特性—ミックスド 3.3 V/5 V 動作

特に指定がない限り、すべての typ 仕様は  $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = 3.3\text{ V}$ 、 $V_{DD2} = 5\text{ V}$  で規定します。最小/最大仕様は、 $3.0\text{ V} \leq V_{DD1} \leq 3.6\text{ V}$ 、 $4.5\text{ V} \leq V_{DD2} \leq 5.5\text{ V}$ 、 $-40^\circ\text{C} \leq T_A \leq +105^\circ\text{C}$  の推奨動作範囲に適用されます。特に指定がない限り、スイッチング規定値は、 $C_L = 15\text{ pF}$  と CMOS 信号レベルでテストされます。

表 10.

Parameter	Symbol	A Grade			C Grade			Unit	Test Conditions/Comments
		Min	Typ	Max	Min	Typ	Max		
SWITCHING SPECIFICATIONS									
Pulse Width	PW	250			40			ns	Within PWD limit
Data Rate				1			25	Mbps	Within PWD limit
Propagation Delay	$t_{PHL}$ , $t_{PLH}$		55	80	35	47	59	ns	50% input to 50% output
Pulse Width Distortion	PWD		10	25		2	5	ns	$ t_{PLH} - t_{PHL} $
Change vs. Temperature			5			3		ps/ $^\circ\text{C}$	
Propagation Delay Skew <sup>1</sup>	$t_{PSK}$			20			10	ns	
Channel Matching									
Codirectional	$t_{PSKCD}$			25		2	5	ns	
Opposing Direction	$t_{PSKOD}$			30		5	10	ns	
Jitter			2			2		ns	

<sup>1</sup>  $t_{PSK}$  は、 $t_{PHL}$  または  $t_{PLH}$  におけるワーストケースの差であり、推奨動作条件下で同一の動作温度、電源電圧、出力負荷で動作する複数のユニット間で測定されます。

表 11.

Parameter	Symbol	1 Mbps—A, C Grades			25 Mbps—C Grade			Unit	Test Conditions
		Min	Typ	Max	Min	Typ	Max		
SUPPLY CURRENT									
ADuM7240	$I_{DD1}$		1.6	2.0		12	15	mA	
	$I_{DD2}$		1.7	2.1		3.8	4.8	mA	
ADuM7241	$I_{DD1}$		1.4	1.6		6.8	8.2	mA	
	$I_{DD2}$		1.9	2.3		8.2	10.2	mA	

表 12. すべてのモデルに対して

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
DC SPECIFICATIONS						
Logic High Input Threshold	$V_{IH}$	0.7 $V_{DDx}$				V
Logic Low Input Threshold	$V_{IL}$				0.3 $V_{DDx}$	V
Logic High Output Voltages	$V_{OH}$	$V_{DDx} - 0.1$	$V_{DDx}$			V
		$V_{DDx} - 0.4$	$V_{DDx} - 0.3$			V
Logic Low Output Voltages	$V_{OL}$	0.0			0.1	V
		0.2			0.4	V
Input Current per Channel	$I_I$	-10	+0.01	+10		$\mu\text{A}$
Supply Current per Channel						
Quiescent Input Supply Current	$I_{DDI(Q)}$	0.71			1.0	mA
Quiescent Output Supply Current	$I_{DDO(Q)}$	0.80			1.1	mA
Dynamic Input Supply Current	$I_{DDI(D)}$	0.20				mA/Mbps
Dynamic Output Supply Current	$I_{DDO(D)}$	0.03				mA/Mbps
AC SPECIFICATIONS						
Output Rise/Fall Time	$t_R/t_F$				2.5	ns
Common-Mode Transient Immunity <sup>1</sup>	CM	15	25			kV/ $\mu\text{s}$
Refresh Rate	$f_r$				550	kHz

<sup>1</sup> |CM| は、 $V_O > 0.8 V_{DDx}$  を維持している間に維持できる同相モード電圧の最大スルーレートです。同相モード電圧スルーレートは、立上がりおよび立下りの両同相モード電圧エッジに適用されます。

## パッケージ特性

表 13.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Resistance (Input-to-Output) <sup>1</sup>	R <sub>I-O</sub>		10 <sup>13</sup>		Ω	f = 1 MHz
Capacitance (Input-to-Output) <sup>1</sup>	C <sub>I-O</sub>		2		pF	
Input Capacitance <sup>2</sup>	C <sub>I</sub>		4		pF	
IC Junction-to-Ambient Thermal Resistance	θ <sub>JA</sub>		85		°C/W	Thermocouple located at center of package underside

<sup>1</sup> デバイスは2端子デバイスと見なします。すなわち、ピン1～ピン4を相互に接続し、ピン5～ピン8を相互に接続します。

<sup>2</sup> 入力容量は任意の入力データ・ピンとグラウンド間。

## 適用規格

ADuM7240/ADuM7241 は、表 14 に記載する組織の認定を申請中です。特定のクロスアイソレーション波形と絶縁レベルに対する推奨最大動作電圧については、表 18 と絶縁寿命のセクションを参照してください。

表 14.

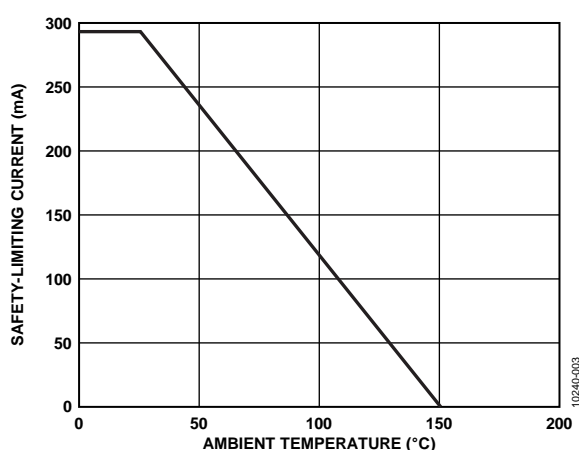
UL (Pending)
Recognized Under UL 1577 Component Recognition Program <sup>1</sup>
Single Protection, 1000 V rms Isolation Voltage
File E274400

<sup>1</sup> UL1577 に従い、絶縁テスト電圧 1,200 V rms 以上を 1 秒間加えて各 ADuM7240/ADuM7241 を確認テストします(リーク電流検出規定値 = 5μA)。

## 絶縁および安全性関連の仕様

表 15.

Parameter	Symbol	Value	Unit	Test Conditions/Comments
Rated Dielectric Insulation Voltage		1000	V rms	1-minute duration
Minimum External Air Gap (Clearance)	L(I01)	4.0	mm min	Measured from input terminals to output terminals, shortest distance through air
Minimum External Tracking (Creepage)	L(I02)	4.0	mm min	Measured from input terminals to output terminals, shortest distance path along body
Minimum Internal Gap (Internal Clearance)		2.6	μm min	Distance through insulation
Tracking Resistance (Comparative Tracking Index)	CTI	>175	V	DIN IEC 112/VDE 0303 Part 1
Isolation Group		IIIa		Material Group (DIN VDE 0110, 1/89, Table 1)



## 推奨動作条件

表 16.

Parameter	Symbol	Min	Max	Unit
Operating Temperature	T <sub>A</sub>	-40	+105	°C
Supply Voltages <sup>1</sup>	V <sub>DD1</sub> , V <sub>DD2</sub>	3.0	5.5	V
Input Signal Rise and Fall Times			1.0	ms

<sup>1</sup> すべての電圧はそれぞれのグラウンドを基準とします。外部磁界耐性については、DC 再現のセクションを参照してください。

図 3. 温度ディレーティング・カーブ、DIN V VDE V 0884-10 による安全な規定値の周囲温度に対する依存性

## 絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 17.

Parameter	Rating
Storage Temperature ( $T_{ST}$ ) Range	$-65^\circ\text{C}$ to $+150^\circ\text{C}$
Ambient Operating Temperature ( $T_A$ ) Range	$-40^\circ\text{C}$ to $+105^\circ\text{C}$
Supply Voltages ( $V_{DD1}$ , $V_{DD2}$ )	$-0.5\text{ V}$ to $+7.0\text{ V}$
Input Voltages ( $V_{IA}$ , $V_{IB}$ ) <sup>1</sup>	$-0.5\text{ V}$ to $V_{DD1} + 0.5\text{ V}$
Output Voltages ( $V_{OA}$ , $V_{OB}$ ) <sup>1</sup>	$-0.5\text{ V}$ to $V_{DD0} + 0.5\text{ V}$
Average Output Current per Pin <sup>2</sup>	
Side 1 ( $I_{O1}$ )	$-10\text{ mA}$ to $+10\text{ mA}$
Side 2 ( $I_{O2}$ )	$-10\text{ mA}$ to $+10\text{ mA}$
Common-Mode Transients <sup>3</sup>	$-100\text{ kV}/\mu\text{s}$ to $+100\text{ kV}/\mu\text{s}$

<sup>1</sup>  $V_{DD1}$  と  $V_{DD0}$  は、それぞれチャンネルの入力側と出力側の電源電圧を表します。プリント回路ボードのレイアウトのセクションを参照してください。

<sup>2</sup> 種々の温度に対する最大定格電流値については図 3 を参照してください。

<sup>3</sup> 絶縁障壁にまたがる同相モード過渡電圧を表します。絶対最大定格を超える同相モード過渡電圧を加えると、ラッチアップまたは恒久的損傷が生じることがあります。

表 18.最大連続動作電圧<sup>1</sup>

Parameter	Max	Unit	Constraint
AC Voltage, Bipolar Waveform	300	V rms	50-year minimum lifetime
DC Voltage	300	V dc	50-year minimum lifetime

<sup>1</sup> アイソレーション障壁に加わる連続電圧の大きさを意味します。詳細については、絶縁寿命のセクションを参照してください。

表 19.ADuM7240 の真理値表(正のロジック)<sup>1</sup>

$V_{IA}$ Input	$V_{IB}$ Input	$V_{DD1}$ State	$V_{DD2}$ State	$V_{OA}$ Output	$V_{OB}$ Output	Notes
H	H	Powered	Powered	H	H	
L	L	Powered	Powered	L	L	
H	L	Powered	Powered	H	L	
L	H	Powered	Powered	L	H	
X	X	Unpowered	Powered	H	H	Outputs return to the input state within 1 $\mu\text{s}$ of $V_{DD1}$ power restoration.
X	X	Powered	Unpowered	Indeterminate	Indeterminate	Outputs return to the input state within 1 $\mu\text{s}$ of $V_{DD0}$ power restoration.

<sup>1</sup> H = ハイ・レベル、L = ロー・レベル、X = don't care。

表 20.ADuM7241 の真理値表(正のロジック)<sup>1</sup>

$V_{IA}$ Input	$V_{IB}$ Input	$V_{DD1}$ State	$V_{DD2}$ State	$V_{OA}$ Output	$V_{OB}$ Output	Notes
H	H	Powered	Powered	H	H	
L	L	Powered	Powered	L	L	
H	L	Powered	Powered	H	L	
L	H	Powered	Powered	L	H	
X	X	Unpowered	Powered	Indeterminate	H	Outputs return to the input state within 1 $\mu\text{s}$ of $V_{DD1}$ power restoration.
X	X	Powered	Unpowered	H	Indeterminate	Outputs return to the input state within 1 $\mu\text{s}$ of $V_{DD0}$ power restoration.

<sup>1</sup> H = ハイ・レベル、L = ロー・レベル、X = don't care。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

## ESD の注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されなまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。



## ピン配置およびピン機能説明

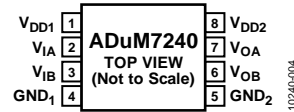


図 4.ADuM7240 のピン配置

表 21.ADuM7240 のピン機能説明

ピン番号	記号	説明
1	V <sub>DD1</sub>	アイソレータ・サイド1の電源電圧、3.0 V～5.5 V。
2	V <sub>IA</sub>	ロジック入力 A。
3	V <sub>IB</sub>	ロジック入力 B。
4	GND <sub>1</sub>	グラウンド1。アイソレータ・サイド1のグラウンド基準。
5	GND <sub>2</sub>	グラウンド2。アイソレータ・サイド2のグラウンド基準。
6	V <sub>OB</sub>	ロジック出力 B。
7	V <sub>OA</sub>	ロジック出力 A。
8	V <sub>DD2</sub>	アイソレータ・サイド2の電源電圧、3.0 V～5.5 V。

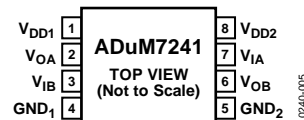


図 5.ADuM7241 のピン構成

表 22.ADuM7241 のピン機能説明

ピン番号	記号	説明
1	V <sub>DD1</sub>	アイソレータ・サイド1の電源電圧、3.0 V～5.5 V。
2	V <sub>OA</sub>	ロジック出力 A。
3	V <sub>IB</sub>	ロジック入力 B。
4	GND <sub>1</sub>	グラウンド1。アイソレータ・サイド1のグラウンド基準。
5	GND <sub>2</sub>	グラウンド2。アイソレータ・サイド2のグラウンド基準。
6	V <sub>OB</sub>	ロジック出力 B。
7	V <sub>IA</sub>	ロジック入力 A。
8	V <sub>DD2</sub>	アイソレータ・サイド2の電源電圧、3.0 V～5.5 V。

代表的な性能特性

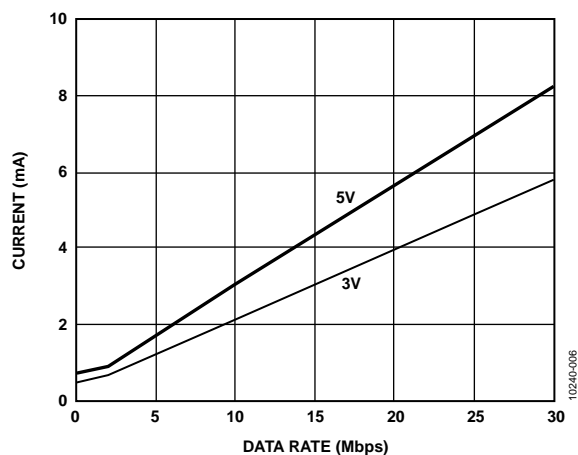


図 6. 5 V および 3 V 動作でのデータレート対入力チャンネル当たりの電源電流

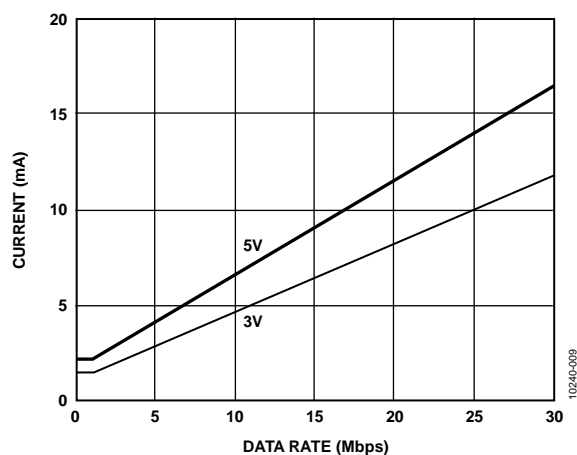


図 9. 5 V および 3 V 動作でのデータレート対 ADuM7240 V<sub>DD1</sub> 電源電流

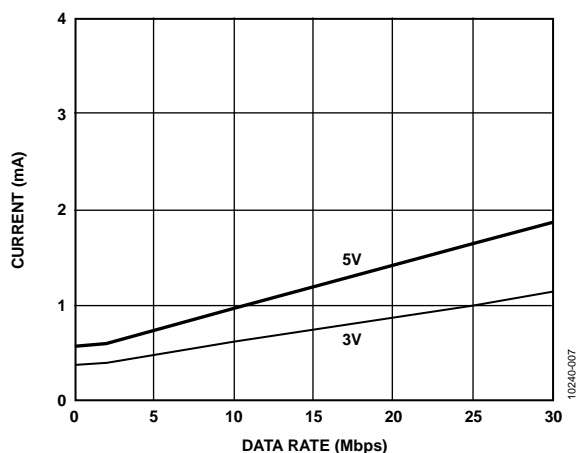


図 7. 5 V および 3 V 動作でのデータレート対出力チャンネルあたりの電源電流(出力無負荷)

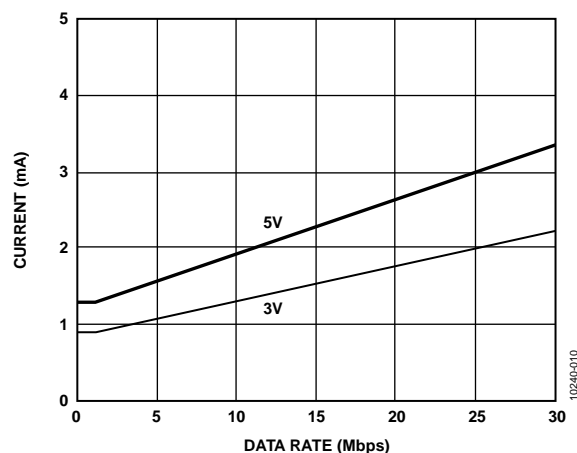


図 10. 5 V および 3 V 動作でのデータレート対 ADuM7240 V<sub>DD2</sub> 電源電流

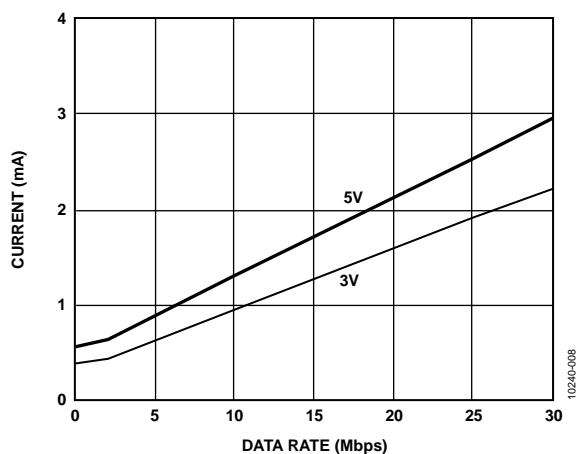


図 8. 5 V および 3 V 動作でのデータレート対出力チャンネルあたりの電源電流(15 pF 出力負荷)

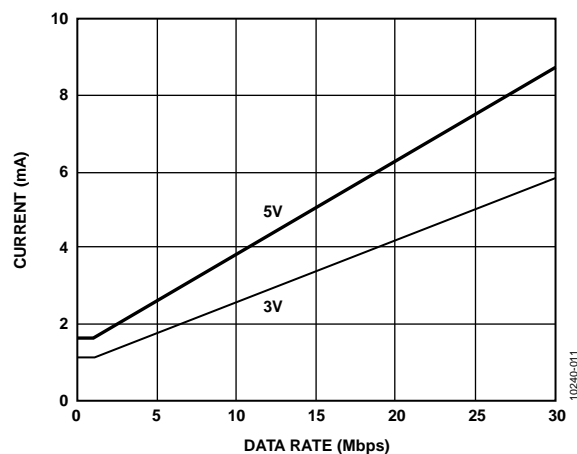


図 11. 5 V および 3 V 動作でのデータレート対 ADuM7241 V<sub>DD1</sub> 電源電流

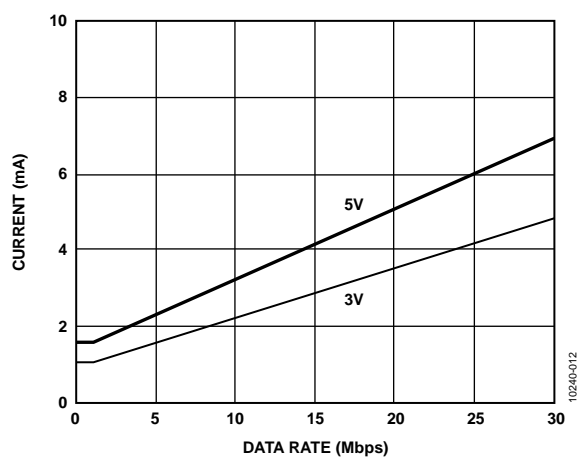


図 12. 5 V および 3 V 動作でのデータレート対  
ADuM7241  $V_{DD2}$  電源電流

## アプリケーション情報

### プリント回路ボードのレイアウト

ADuM7240/ADuM7241 デジタル・アイソレータには、ロジック・インターフェース用の外付けインターフェース回路は不要です。入力電源ピンと出力電源ピン(V<sub>DD1</sub> と V<sub>DD2</sub>)には電源バイパス・コンデンサを接続することが推奨されます。コンデンサの値は、0.01μF~0.1μF とする必要があります。コンデンサの両端と入力電源ピンとの間の合計リード長は 20 mm 以下にする必要があります。

高い同相モード過渡電圧が発生するアプリケーションでは、アイソレーション障壁を通過するボード結合が最小になるようにすることが重要です。さらに、如何なる結合もデバイス側のすべてのピンで等しく発生するようにボード・レイアウトをデザインしてください。この注意を怠ると、ピン間で発生する電位差がデバイスの絶対最大定格を超えてしまい、ラッチアップまたは恒久的な損傷が発生することがあります。

ADuM7240/ADuM7241 は PCB を適切にデザインすると、CISPR 22 クラス A (および FCC クラス A) 放出規格を容易に満たすことができ、またシールドなし環境でさらに厳しい CISPR 22 クラス B (および FCC クラス B) 規格を満たすことができます。ボード・レイアウト問題や積層問題などの PCB 関連の EMI 軽減技術については AN-1109 を参照してください。

### 伝搬遅延に関するパラメータ

伝搬遅延時間は、ロジック信号がデバイスを通るのに要する時間を表すパラメータです。ハイ・レベルからロー・レベル変化の入出力間伝搬遅延は、ロー・レベルからハイ・レベル変化の伝搬遅延と異なることがあります。

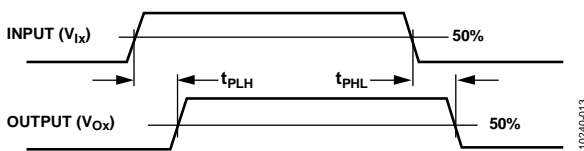


図 13.伝搬遅延パラメータ

パルス幅歪みとはこれら 2 つの伝搬遅延の間の最大の差を意味し、入力信号のタイミングが保存される精度を表します。

チャンネル間マッチングとは、1 つの ADuM7240/ADuM7241 デバイス内にある複数のチャンネル間の伝搬遅延差の最大値を意味します。

伝搬遅延スキューは、同じ条件で動作する複数の ADuM7240/ADuM7241 デバイス間での伝搬遅延差の最大値を表します。

### DC の再現

アイソレータ入力での正および負のロジック変化により、狭いパルス(約 1 ns)がトランスを経由してデコーダに送られます。デコーダは双安定であるため、パルスによるセットまたはリセットにより入力ロジックの変化が表されます。約 1 μs 以上入力にロジック変化がない場合、正常な入力状態を表す周期的なリフレッシュ・パルスのセットを送信して、出力での DC を正常に維持します。デコーダが約 5 μs 間以上この内部パルスを受信しないと、入力側が電源オフであるか非動作状態にあると見なされ、ウォッチドッグ・タイマ回路によりアイソレータ出力が強制的にデフォルト状態にされます。

### 磁界耐性

ADuM7240/ADuM7241 の磁界耐性は磁界の変化により決定されます。この磁界により、トランスの受信コイルに電圧が発生して、デコーダを誤ってセットまたはリセットしてしまうほど大きくなる可能性があります。この状態が発生する条件を以下の解析により求めます。ADuM7240/ADuM7241 の 3 V 動作は最も感度の高い動作モードであるため、この条件を調べます。

トランス出力でのパルスは 1.0 V 以上の振幅を持っています。デコーダは約 0.5 V の検出スレッショルドを持つので、誘導電圧に対しては 0.5 V の余裕を持っています。受信側コイルへの誘導電圧は次式で与えられます。

$$V = (-d\beta/dt) \sum \pi r_n^2; n = 1, 2, \dots, N$$

ここで、

$\beta$  = 磁束密度(Gauss)。

$r_n$  = 受信側コイル巻き数  $n$  回目の半径(cm)。

$N$  = 受信側コイルの巻き数。

ADuM7240/ADuM7241 受信側コイルの形状が与えられ、かつ誘導電圧がデコーダにおける 0.5 V 余裕の最大 50%であるという条件が与えられると、与えられた周波数での最大許容磁界を計算することができます。この結果を図 14 に示します。

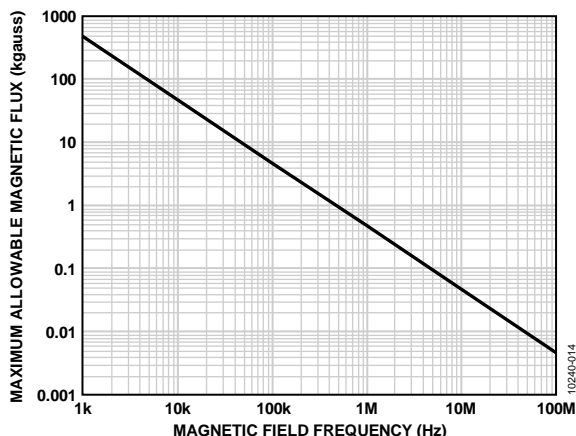


図 14.最大許容外部磁束密度

例えば、磁界周波数= 1 MHz で、最大許容磁界= 0.5 Kgauss の場合、受信側コイルでの誘導電圧は 0.25 V になります。この電圧は検出スレッシュホールドの約 50%であるため、出力変化の誤動作はありません。同様に、仮にこのような条件が送信パルス内に存在しても(さらに最悪ケースの極性であっても)、受信パルスが 1.0 V 以上から 0.75V へ減少されるため、デコーダの検出スレッシュホールド 0.5 V に対してなお余裕を持っています。

前述の磁束密度値は、ADuM7240/ADuM7241 トランスから与えられた距離だけ離れた特定の電流値に対応します。図 15 に、周波数の関数としての許容電流値を与えられた距離に対して示します。図 15 から読み取れるように、ADuM7240/ADuM7241 の耐性は極めて高く、影響を受けるのは、高周波でかつ部品に非常に近い極めて大きな電流の場合に限られます。1 MHz の例では、デバイス動作に影響を与えるためには、1.2 kA の電流を ADuM7240/ADuM7241 から 5 mm の距離まで近づける必要があります。

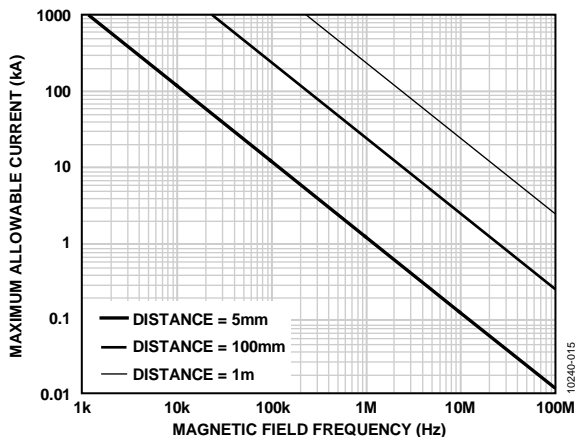


図 15.様々な電流値と ADuM7240/ADuM7241 までの距離に対する最大許容電流

強い磁界と高周波数電流との極端な組合では、プリント回路ボードのパターンで形成されるループに十分大きな誤差電圧が誘導されて、レシーバ回路のスレッシュホールドがトリガされてしまうことに注意が必要です。パターンのレイアウトでは、このようなことが発生しないように注意する必要があります。

### 消費電力

ADuM7240/ADuM7241 アイソレータ内にあるチャンネルの電源電流は、電源電圧、チャンネルのデータレート、チャンネルの出力負荷の関数になっています。

各入力チャンネルに対して、電源電流は次式で与えられます。

$$I_{DD1} = I_{DD1(Q)} \quad f \leq 0.5 f_r$$

$$I_{DD1} = I_{DD1(D)} \times (2f - f_r) + I_{DD1(Q)} \quad f > 0.5 f_r$$

各出力チャンネルに対して、電源電流は次式で与えられます。

$$I_{DDO} = I_{DDO(Q)} \quad f \leq 0.5 f_r$$

$$I_{DDO} = (I_{DDO(D)} + (0.5 \times 10^{-3}) \times C_L \times V_{DDO}) \times (2f - f_r) + I_{DDO(Q)} \quad f > 0.5 f_r$$

ここで、

$I_{DD1(D)}$  と  $I_{DDO(D)}$  は、それぞれチャンネル当たりの入力ダイナミック電源電流と出力ダイナミック電源電流です (mA/Mbps)。

$C_L$  は出力負荷容量 (pF)。

$V_{DDO}$  は出力電源電圧 (V)。

$f$  は入力ロジック信号周波数 (MHz)、これは入力データレート (Mbps) の 1/2 に一致します。

$f_r$  は入カステージのリフレッシュ・レート (Mbps)。

$I_{DD1(Q)}$  と  $I_{DDO(Q)}$  は、それぞれ指定された入力静止電源電流と出力静止電源電流です (mA)。

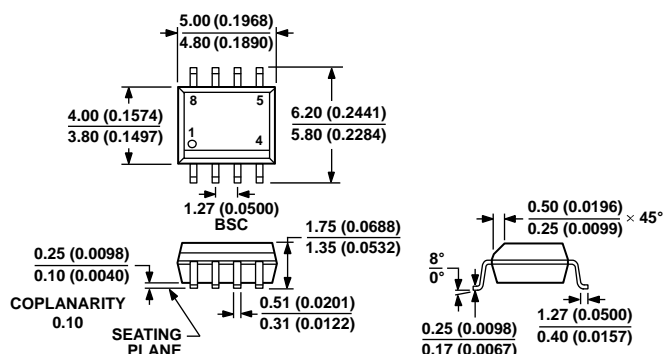
$V_{DD1}$  と  $V_{DD2}$  の電源電流を計算するために、 $V_{DD1}$  と  $V_{DD2}$  に対応するチャンネルの各入力と各出力の電源電流を計算して合計します。図 6 と図 7 に、無負荷状態の出力に対して、データレートの関数としてのチャンネル当たりの電源電流を示します。図 8 に、15 pF 負荷の出力に対して、データレートの関数としてのチャンネル当たりの電源電流を示します。図 9～図 12 に、ADuM7240 と ADuM7241 のチャンネル構成に対するデータレートの関数としての  $V_{DD1}$  と  $V_{DD2}$  の合計電源電流を示します。

### 絶縁寿命

すべての絶縁構造は、十分長い時間電圧ストレスを受けるとブレイクダウンします。絶縁性能の低下率は、絶縁に加えらる電圧波形の特性に依存します。アナログ・デバイセズは、規制当局が行うテストの他に、広範囲なセットの評価を実施して ADuM7240/ADuM7241 の絶縁構造の寿命を測定しています。

アナログ・デバイセズは、定格連続動作電圧より高い電圧レベルを使った加速寿命テストを実施しています。複数の動作条件に対する加速ファクタを求めました。これらのファクタを使うと、実際の動作電圧での故障までの時間を計算することができます。表 18 に、50 年サービス寿命に対する動作電圧の一覧を示します。

外形寸法



COMPLIANT TO JEDEC STANDARDS MS-012-AA  
 CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS  
 (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR  
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

012407A

図 16.8 ピン標準スモール・アウトライン・パッケージ[SOIC\_N]  
 ナロー・ボディ(R-8)  
 寸法: mm (インチ)

オーダー・ガイド

Model <sup>1</sup>	No. of Inputs, V <sub>DD1</sub> Side	No. of Inputs, V <sub>DD2</sub> Side	Maximum Data Rate	Maximum Propagation Delay, 5 V	Temperature Range	Package Description	Package Option
ADuM7240ARZ	2	0	1 Mbps	75 ns	-40°C to +105°C	8-Lead SOIC_N	R-8
ADuM7240ARZ- RL7	2	0	1 Mbps	75 ns	-40°C to +105°C	8-Lead SOIC_N, 7" Tape and Reel	R-8
ADuM7240CRZ	2	0	25 Mbps	50 ns	-40°C to +105°C	8-Lead SOIC_N	R-8
ADuM7240CRZ-RL7	2	0	25 Mbps	50 ns	-40°C to +105°C	8-Lead SOIC_N, 7" Tape and Reel	R-8
ADuM7241ARZ	1	1	1 Mbps	75 ns	-40°C to +105°C	8-Lead SOIC_N	R-8
ADuM7241ARZ- RL7	1	1	1 Mbps	75 ns	-40°C to +105°C	8-Lead SOIC_N, 7" Tape and Reel	R-8
ADuM7241CRZ	1	1	25 Mbps	50 ns	-40°C to +105°C	8-Lead SOIC_N	R-8
ADuM7241CRZ-RL7	1	1	25 Mbps	50 ns	-40°C to +105°C	8-Lead SOIC_N, 7" Tape and Reel	R-8

<sup>1</sup> Z = RoHS 準拠製品。