

特長

isoPower 絶縁型ハイサイド電源を内蔵
275 mW の絶縁型 DC/DC コンバータを内蔵
出カシンク電流: 200 mA、出カソース電流: 200 mA
同相モード・トランジエント耐性: 50 kV/μs 以上
ワイド・ボディの 16 ピン SOIC パッケージを採用
安全性規定の認定(申請中)

UL 認識済み

3,750 V rms、1 分間の UL 1577 規格に準拠

「CSA Component Acceptance Notice #5A」に準拠

CSA/IEC 60950-1、400 V rms

VDE 適合性認定済み

DIN V VDE V 0884-10 (VDE V 0884-10): 2006-12

$V_{IORM} = 560$ V peak

アプリケーション

MOSFET/IGBT ゲート・ドライバ

モーター駆動

ソーラー・パネル・インバータ

電源

概要

ADuM6132¹ は、アナログ・デバイセズの iCoupler® 技術を採用して、275 mW のハイサイド電源付きの絶縁されたハイサイド・ドライバを提供する絶縁型ハーフ・ブリッジ・ゲート・ドライバです。この電源は内蔵の DC/DC コンバータで実現され、ADuM6132 のハイサイド出力だけでなく、ADuM6132 と組み合わせる任意の外付けバッファ回路にも電源を供給します。この機能により、ブートストラップ回路のような外付け電源構成から発生するコスト、スペース、性能の問題が解消されます。

ADuM6132 のアーキテクチャは、ハイサイド・チャンネルとハイサイド電源を制御回路とローサイド・インターフェース回路から絶縁します。ハイサイドとローサイドとの間のドライバ・タイミング特性を一致させて、デッド・タイム余裕を小さくするように注意する必要があります。

ADuM6132 は、高電圧レベル変換方式を採用するゲート・ドライバと比較すると、真の電流アイソレーションを提供する利点を持っています。ハイサイドとローサイドとの間の差動電圧は 800 V_p まで高くすることができ、絶縁寿命も優れています(表 12 参照)。

isoPower® では、トランスを使って電源を変換するために、高周波スイッチング・エレメントを使っています。プリント回路ボード(PCB)のレイアウトでは、ノイズ放出規格を満たすように特別な注意が必要です。ボード・レイアウトの詳細については、[AN-0971 アプリケーション・ノート](#)を参照してください。

機能ブロック図

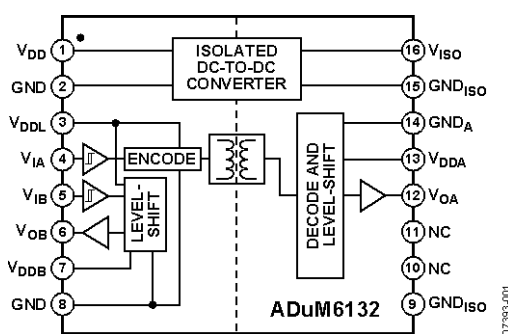


図 1.

¹米国特許 5,952,849; 6,873,065; 6,903,578; 7,075,329 により保護されています。その他の特許は申請中です。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2008 Analog Devices, Inc. All rights reserved.

目次

特長.....	1	ピン配置およびピン機能説明.....	7
アプリケーション.....	1	代表的な性能特性.....	8
概要.....	1	用語.....	10
機能ブロック図.....	1	アプリケーション情報.....	11
改訂履歴.....	2	代表的なアプリケーション回路.....	11
仕様.....	3	PCB レイアウト.....	11
電気的特性.....	3	熱解析.....	12
パッケージ特性.....	4	低電圧ロックアウト機能.....	12
適用規格.....	4	伝搬遅延に関するパラメータ.....	13
絶縁および安全性関連の仕様.....	4	磁界耐性.....	13
DIN V VDE V 0884-10 (VDE V 0884-10)絶縁特性.....	5	絶縁寿命.....	14
推奨動作条件.....	5	外形寸法.....	15
絶対最大定格.....	6	オーダー・ガイド.....	15
ESD の注意.....	6		

改訂履歴

7/08—Revision 0: Initial Version

仕様

電気的特性

特に注記がない限り、すべての電圧はそれぞれのグラウンドを基準。4.5 V ≤ V_{DD} = V_{DDL} ≤ 5.5 V; 12.5 V ≤ V_{DDB} ≤ 17.0 V; V_{DDA} = V_{ISO}。特に指定のない限り、すべての最小/最大仕様は推奨動作範囲に適用。すべての typ 仕様は、T_A = 25°C、V_{DD} = V_{DDL} = 5.0 V、V_{DDB} = 15 V、V_{DDA} = V_{ISO} での値です。

表 1.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
DC SPECIFICATIONS						
Isolated Power Supply						
Input Current, Quiescent	I _{DD(Q)}			280	mA	I _{ISO} = 0 mA, dc signal inputs
Input Current, Loaded	I _{DD}			350	mA	I _{ISO} = I _{ISO(MAX)}
Maximum Output Current ¹	I _{ISO(MAX)}	22			mA	12.5 V ≤ V _{ISO} ≤ 17.0 V
Output Voltage	V _{ISO}	12.5	15	17	V	0 mA ≤ I _{ISO} ≤ 22 mA
Logic Supply						
Input Current	I _{DDL}		1.8	3.0	mA	
Output Supplies, Channel A or Channel B ²						
Supply Current, Quiescent	I _{ISO(Q)} , I _{DDB(Q)}		1.0	2.0	mA	
Supply Current, f _{IN} = 20 kHz	I _{ISO(20)} , I _{DDB(20)}		1.1	2.1	mA	C _L = 200 pF
Supply Current, f _{IN} = 100 kHz	I _{ISO(100)} , I _{DDB(100)}		1.3	2.3	mA	C _L = 200 pF
Supply Current, f _{IN} = 1000 kHz	I _{ISO(1000)} , I _{DDB(1000)}		4.5	5.5	mA	C _L = 200 pF
Logic Inputs, Channel A or Channel B						
Input Current	I _{IA} , I _{IB}	-10	+0.01	+10	μA	0 V ≤ V _{IA} , V _{IB} ≤ 5.5 V
Logic High Input Voltage	V _{IAH} , V _{IBH}	0.7 × V _{DDL}			V	
Logic Low Input Voltage	V _{IAL} , V _{IBL}			0.3 × V _{DDL}	V	
Outputs, Channel A or Channel B						
Channel A High Level Output Voltage	V _{OA} H	V _{DDA} - 0.1			V	I _{OA} H = -1 mA
Channel B High Level Output Voltage	V _{OB} H	V _{DDB} - 0.1			V	I _{OB} H = -1 mA
Low Level Output Voltages	V _{OA} L, V _{OB} L			0.1	V	I _{OA} L, I _{OB} L = 1 mA
High Level Output Current, Peak ³	I _{OA} H, I _{OB} H	200			mA	
Low Level Output Current, Peak ³	I _{OA} L, I _{OB} L	200			mA	
Undervoltage Lockout, V _{DDA} or V _{DDB} Supply ⁴						
Positive Going Threshold	V _{DDAU} V+, V _{DDBU} V+	11.0	11.7	12.3	V	
Negative Going Threshold	V _{DDAU} V-, V _{DDBU} V-	10.0	10.7	11.2	V	
Hysteresis	V _{DDAU} VH, V _{DDBU} VH		1.0		V	
Undervoltage Lockout, V _{DDL} Supply ⁴						
Positive Going Threshold	V _{DDL} UV+	3.5		4.2	V	
Negative Going Threshold	V _{DDL} UV-	3.1		3.8	V	
Hysteresis	V _{DDL} UVH		0.5		V	
SWITCHING SPECIFICATIONS						
Minimum Pulse Width ¹	PW			50	ns	C _L = 200 pF
Maximum Switching Frequency ¹	f _{IN}	1000			kHz	C _L = 200 pF
Propagation Delay ¹	t _{PHL} , t _{PLH}	40	60	100	ns	C _L = 200 pF
Change vs. Temperature			100		ps/°C	
Pulse Width Distortion, t _{PLH} - t _{PHL}	PWD			10	ns	C _L = 200 pF
Channel-to-Channel Matching, Rising or Falling Matching Edge Polarity ¹	t _{M2}			20	ns	C _L = 200 pF
Channel-to-Channel Matching, Rising vs. Falling Opposite Edge Polarity ¹	t _{M1}			20	ns	C _L = 200 pF
Part-to-Part Matching ¹				60	ns	C _L = 200 pF
Output Rise Time (10% to 90%)	t _r			15	ns	C _L = 200 pF
Output Fall Time (10% to 90%)	t _f			15	ns	C _L = 200 pF

¹ 用語のセクションを参照してください。

² I_{DDA} は、内蔵の絶縁型 DC/DC 電源の出力から供給します。I_{DDB} は、V_{DDB} ピンへの外部電源接続によって供給します。図 16 を参照してください。

³ 継続時間は 1 秒以下。平均出力電流は、絶対最大定格のセクションに示す規定値に準拠する必要があります。

⁴ 低電圧ロックアウト (UVLO) は、該当する入力電源または出力電源が参照するスレッショールドより低いとき、出力をロー・レベルに維持します。発振を防止するために、検出スレッショールドにヒステリシスが組込まれています。

パッケージ特性

表 2.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Resistance (Input Side to High-Side Output) ¹	R _{LO}		10 ¹²		Ω	
Capacitance (Input Side to High-Side Output) ¹	C _{LO}		2.0		pF	
Input Capacitance	C _I		4.0		pF	
Junction-to-Ambient Thermal Resistance	θ _{JA}		45		°C/W	4-layer PCB

¹ デバイスは 2 端子デバイスと見なします。すなわち、ピン 1～ピン 8 を相互に接続し、ピン 9～ピン 16 を相互に接続します。

適用規格

ADuM52306132、表 3 に記載する組織の認定を申請中です。

表 3.

UL (Pending)	CSA (Pending)	VDE (Pending)
Recognized under UL 1577 component recognition program ¹	Approved under CSA Component Acceptance Notice #5A	Certified according to DIN V VDE V 0884-10 (VDE V 0884-10):2006-12 ²
Double/reinforced insulation, 3750 V rms isolation voltage	Basic insulation per CSA 60950-1-03 and IEC 60950-1, 800 V rms (1131 V peak) maximum working voltage Reinforced insulation per CSA 60950-1-03 and IEC 60950-1, 400 V rms maximum working voltage	Reinforced insulation, 560 V peak
File E214100	File 205078	File 2471900-4880-0001

¹ UL1577 に従い、絶縁テスト電圧 ≥ 4,500 V rms を 1 秒間加えて各 ADuM6132 を確認テストします(リーク電流検出規定値 = 10μA)。

² DIN V VDE V 0884-10 に従い、各 ADuM6132 に 1,050 V_{peak} 以上の絶縁テスト電圧を 1 秒間加えることによりテストして保証されています(部分放電の検出規定値 = 5 pC)。(*)マーク付のブランドは、DIN V VDE V 0884-10 認定製品を表します。

絶縁および安全性関連の仕様

表 4.

Parameter	Symbol	Value	Unit	Test Conditions/Comments
Rated Dielectric Insulation Voltage		3750	V rms	1 minute duration
Minimum External Air Gap (Clearance)	L(I01)	>8.0	mm	Measured from input terminals to output terminals, shortest distance through air
Minimum External Tracking (Creepage)	L(I02)	>8.0	mm	Measured from input terminals to output terminals, shortest distance path along body
Minimum Internal Gap (Internal Clearance)		0.017 min	mm	Insulation distance through insulation
Tracking Resistance (Comparative Tracking Index)	CTI	>175	V	DIN IEC 112/VDE 0303 Part 1
Isolation Group		IIIa		Material Group (DIN VDE 0110, 1/89, Table 1)

DIN V VDE V 0884-10 (VDE V 0884-10)絶縁特性

ADuM6132 は、強化された電氣的絶縁に対して、安全性制限値データ以内でのみ有効です。安全性データの維持は、保護回路を使って確実にする必要があります。パッケージ上の(*)マークは、DIN V VDE V 0884-10 認定製品を表します。

表 5.

Parameter	Test Conditions/Comments	Symbol	Value	Unit
Installation Classification per DIN VDE 0110 For Rated Mains Voltage ≤ 150 V rms For Rated Mains Voltage ≤ 300 V rms For Rated Mains Voltage ≤ 400 V rms			I to IV I to III I to II	
Climatic Classification			40/105/21	
Pollution Degree (DIN VDE 0110, Table 1)			2	
Maximum Working Insulation Voltage		V_{IORM}	560	V peak
Input-to-Output Test Voltage, Method B1	$V_{IORM} \times 1.875 = V_{PR}$, 100% production test, $t_m = 1$ sec, partial discharge < 5 pC	V_{PR}	1050	V peak
Input-to-Output Test Voltage, Method A		V_{PR}		
After Environmental Tests Subgroup 1	$V_{IORM} \times 1.6 = V_{PR}$, $t_m = 60$ sec, partial discharge < 5 pC		896	V peak
After Input and/or Safety Test Subgroup 2 and Subgroup 3	$V_{IORM} \times 1.2 = V_{PR}$, $t_m = 60$ sec, partial discharge < 5 pC		672	V peak
Highest Allowable Overvoltage	Transient overvoltage, $t_{TR} = 10$ sec	V_{TR}	6000	V peak
Safety-Limiting Values	Maximum value allowed in the event of a failure (see Figure 2)			
Case Temperature		T_S	150	$^{\circ}\text{C}$
Side 1 Current		I_{S1}	555	mA
Insulation Resistance at T_S	$V_{IO} = 500$ V	R_S	> 109	Ω

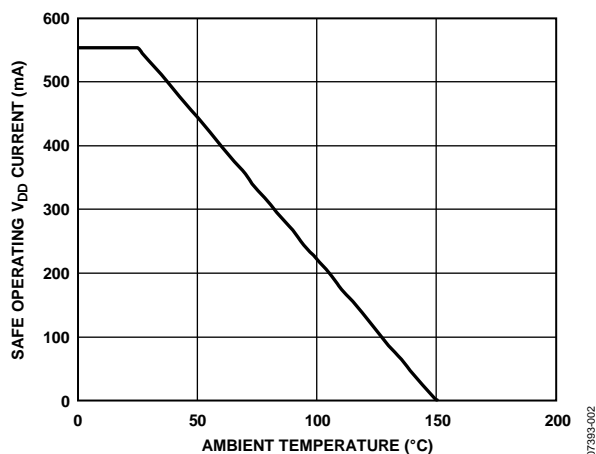


図 2. 温度ディレーティング・カーブ、DIN V VDE V 0884-10 に準拠する安全規定値の周囲温度に対する依存性

推奨動作条件

表 6.

Parameter	Rating
Operating Temperature Range, T_A	-40°C to $+85^{\circ}\text{C}$
Input Supply Voltage, V_{DD} and V_{DDL}^1	4.5 V to 5.5 V
Channel A, Channel B Supply Voltage, V_{DDA} and V_{ddb}^1	12.5 V to 17 V
Input Signal Rise and Fall Times	1 ms
Common-Mode Transient Immunity, Input to Output	-50 kV/ μs to $+50$ kV/ μs
Minimum Power-On Slew Rate (P_{SLEW}), V_{DD} and V_{DDL}^2	1 V/ms

¹すべての電圧はそれぞれのグラウンドを基準とします。

² V_{DD} と V_{DDL} の立ち上がりが遅すぎると、ADuM6132 電源は正しく初期化されることがあります。電源のスルー・レートは、ターンオン・ランプ全体に対する規定より高速である必要があります。パワーオンは、完全な放電状態から開始する必要があります。

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 7.

Parameter	Rating
Storage Temperature Range, T_{ST}	-55°C to $+150^\circ\text{C}$
Ambient Operating Temperature Range, T_A	-40°C to $+85^\circ\text{C}$
Input Supply Voltage, V_{DDL} , V_{DD}^1	-0.5 V to $+7.0\text{ V}$
Channel A, Channel B Supply Voltage, V_{DDA} , V_{DDB}^1	-0.5 V to $+27\text{ V}$
Input Voltage, V_{IA} , V_{IB}^1	-0.5 V to $V_{DDL} + 0.5\text{ V}$
Output Voltage, V_{OA}^1	-0.5 V to $V_{ISO} + 0.5\text{ V}$
Output Voltage, V_{OB}^1	-0.5 V to $V_{DDB} + 0.5\text{ V}$
Average DC Output Current, I_{OA} , I_{OB}	-10 mA to $+10\text{ mA}$
Peak Output Current, I_{OA} , I_{OB}	-200 mA to $+200\text{ mA}$
Common-Mode Transients ²	$-100\text{ kV}/\mu\text{s}$ to $+100\text{ kV}/\mu\text{s}$

¹すべての電圧はそれぞれのグラウンドを基準とします。

²任意の絶縁障壁に加わる同相モード・トランジェントを意味します。絶対最大定格を超える同相モード過渡電圧を加えると、ラッチアップまたは恒久的損傷が生ずることがあります。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

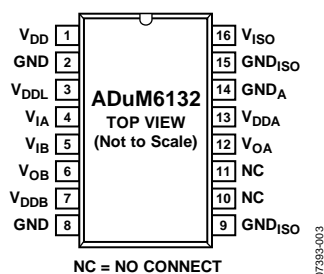


図 3. ピン配置

表 8. ピン機能の説明

ピン番号	記号	説明
1	V _{DD}	絶縁型電源の入力電源電圧、4.5 V～5.5 V。
2、8	GND	絶縁型電源入力とロジック入力のグラウンド・リファレンス電圧。
3	V _{DDL}	ロジックの入力電源電圧、4.5 V～5.5 V。
4	V _{IA}	ロジック入力 A。
5	V _{IB}	ロジック入力 B。
6	V _{OB}	出力 B (非絶縁)。
7	V _{DDB}	出力 B 電源電圧入力(非絶縁)、12.5 V～17 V。
9、15	GND _{ISO}	絶縁型電源出力のグラウンド・リファレンス電圧。
10、11	NC	未接続。
12	V _{OA}	出力 A (絶縁)。
13	V _{DDA}	出力 A 電源電圧入力。外部で V _{ISO} (ピン 16) に接続する必要があります。
14	GND _A	出力 A グラウンド基準。外部で GND _{ISO} (ピン 15) に接続する必要があります。
16	V _{ISO}	絶縁電源電圧出力。

表 9. 真理値表(正論理)¹

V _{IA} Input	V _{IB} Input	V _{DDL} State	V _{DDB} State	V _{OA} Output	V _{OB} Output	Notes
L	L	Powered	Powered	L	L	V _{OA} returns to input state within 1 μs of V _{DDL} power restoration.
L	H	Powered	Powered	L	H	
H	L	Powered	Powered	H	L	
H	H	Powered	Powered	H	H	
X	X	Unpowered	Powered	L	L	
X	X	Powered	Unpowered	L	L	

¹ L = ロー・レベル、H = ハイ・レベル、X = ハイまたはロー・レベル

代表的な性能特性

特に指定のない限り、すべての代表的な性能カーブは、 $T_A = 25^\circ\text{C}$ での動作に基づいています。

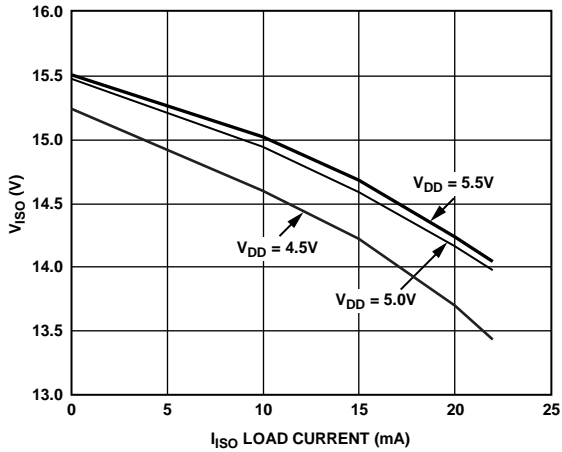


図 4. V_{ISO} 電源電圧(Typ)対 I_{ISO} 外部負荷

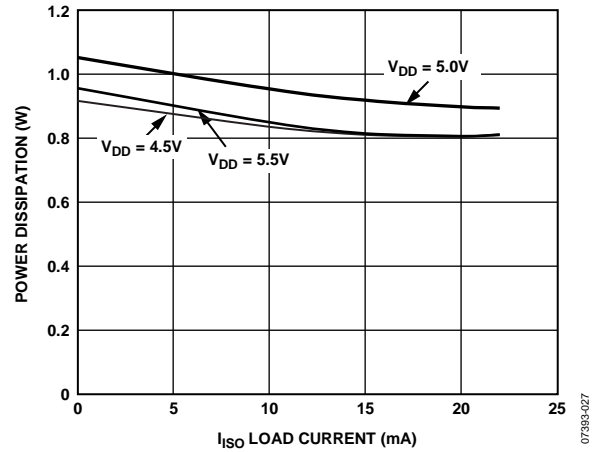


図 7. 全消費電力(Typ)対 I_{ISO} 外部負荷

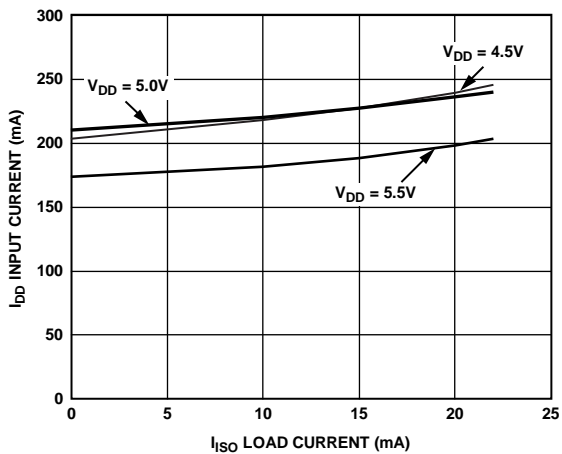


図 5. I_{BD} 電源電流(Typ)対 I_{ISO} 外部負荷

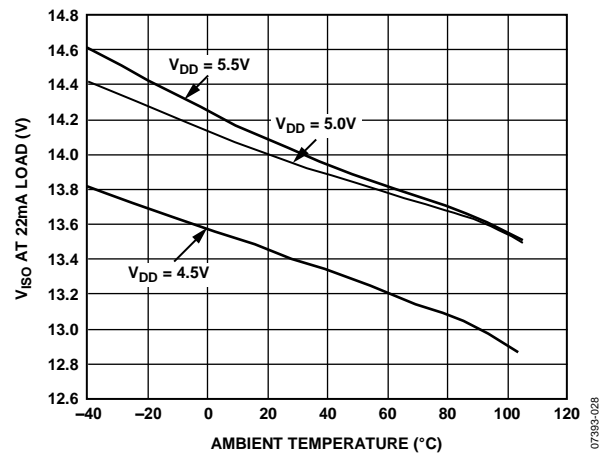


図 8. 最大合計負荷での V_{ISO} 出力電圧(Typ)の温度特性

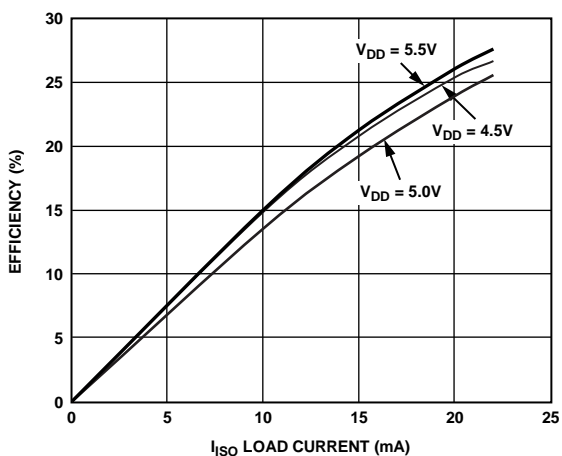


図 6. V_{ISO} 電源効率(Typ)対 I_{ISO} 外部負荷

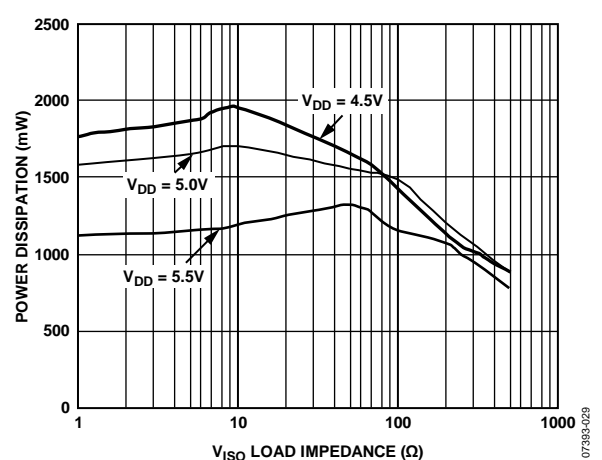


図 9. 故障状態の消費電力対負荷インピーダンス

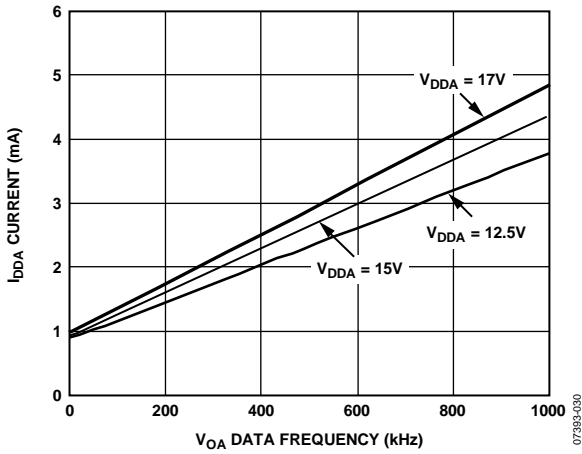


図 10. I_{iso} 電源電流(Typ)、 $C_L = 200$ pF

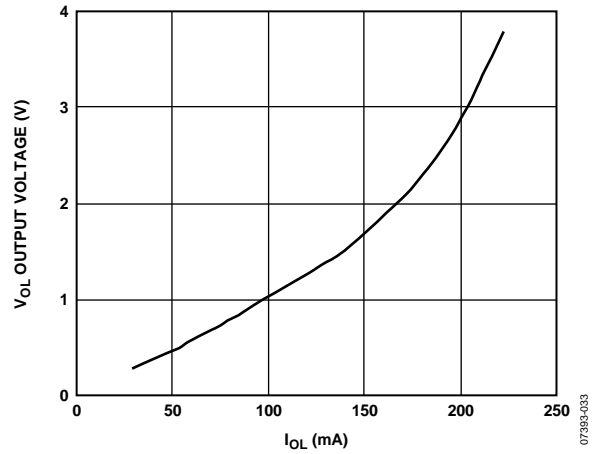


図 13. V_{OL} (Typ) 対 I_{OL}
($V_{DD} = V_{DDL} = 5$ V、 $V_{DDA} = V_{DDB} = 12$ V~17 V)

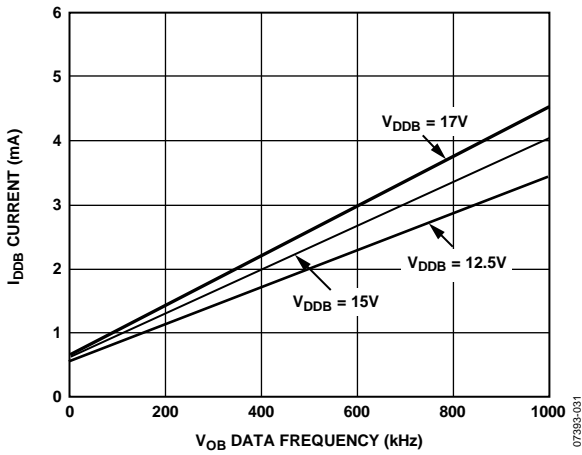


図 11. I_{DDB} 電源電流(Typ)、 $C_L = 200$ pF

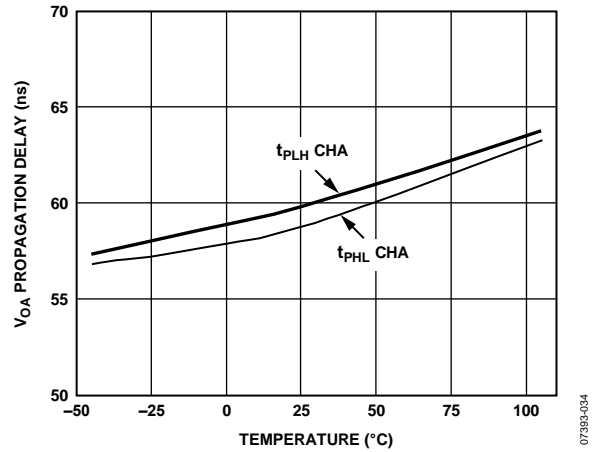


図 14. チャンネル A 伝搬遅延(Typ)の温度特性

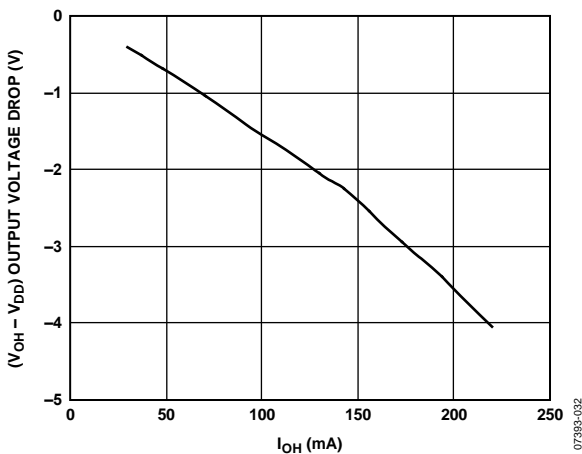


図 12. V_{OH} 電圧効果(Typ) 対 I_{OH}
($V_{DD} = V_{DDL} = 5$ V、 $V_{DDA} = V_{DDB} = 12$ V~17 V)

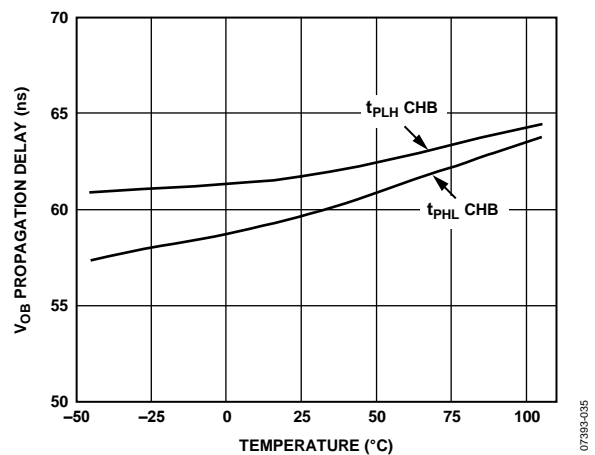


図 15. チャンネル B(Typ)伝搬遅延の温度特性

用語

チャンネル間ゲイン・マッチング

チャンネル間マッチング(立ち上がりまたは立ち下がりエッジ)は、入力が立ち上がりまたは立ち下がりエッジのときの、同じデバイスの2つのチャンネル間の伝搬遅延差の大きさです。各チャンネルの負荷は同じです。

チャンネル間マッチング(立ち上がり対立ち下がりの逆極性エッジ)は、片方の入力が立ち上がりエッジで、他方の入力が立ち下がりエッジのときの、同じデバイスでの2つのチャンネル間の伝搬遅延差の大きさです。各チャンネルの負荷は同じです。

最大出力電流

最大出力電流は、ADuM6132が出力できる最大絶縁電源電流です。この電流は、外部負荷とADuM6132のチャンネルA出力回路の需要もサポートします。この機能は、 V_{ISO} ピンと V_{DDA} ピンおよび GND_{ISO} ピンと GND_A ピンの外部接続により実現します(図16参照)。外部負荷に供給できる正味の電流は、ADuM6132出力電流 I_{ISO} からチャンネルAの電源電流 I_{ISO} を差し引いた値です。

最大スイッチング周波数

最大スイッチング周波数は、規定のタイミング・パラメータが保証される最大信号周波数。高いスイッチング・レートでは出力電源電圧の電圧降下が発生するため、最大スイッチング周波数を超えた動作は推奨できません。

最小パルス幅

最小パルス幅は、規定のパルス幅歪みが保証される最小のパルス幅。最小パルス幅を下回る動作は推奨できません。

デバイス間のマッチング

デバイス間のマッチング(立ち上がりまたは立ち下がりエッジ)は、異なる2つのデバイスの2つのチャンネル間の伝搬遅延差の大きさです。これには、立ち上がり対立ち上がりエッジ、立ち下がり対立ち下がりエッジ、立ち上がり対立ち下がりエッジが含まれます。各デバイスの電源電圧、温度、負荷は同じです。

伝搬遅延

伝搬遅延時間は、ロジック信号がデバイスを通すのに要する時間です。ロジック・ロー・レベル出力への伝搬遅延は、ロジック・ハイ・レベル出力への伝搬遅延と異なることがあります。

t_{PLH} 伝搬遅延は、 V_{IA} 信号または V_{IB} 信号の立ち下がりエッジの50%レベルから V_{OA} 信号または V_{OB} 信号の立ち下がりエッジの50%レベルまで測定。 t_{PLH} 伝搬遅延は、 V_{IA} 信号または V_{IB} 信号の立ち上がりエッジの50%レベルから V_{OA} 信号または V_{OB} 信号の立ち上がりエッジの50%レベルまで測定。

容量負荷(C_L)

タイミング計測または電流計測では、出力容量負荷を使ってFET、IGBT、またはバッファをシミュレートします。この負荷には、出力のすべてのディスクリート容量負荷と寄生容量負荷が含まれます。

アプリケーション情報

代表的なアプリケーション回路

ADuM6132 のアーキテクチャは、ローサイド・チャンネルがコントローラにとって共通になっているモーター駆動アプリケーションとインバータ・アプリケーションに最適です。この構成では、パッケージ内で必要なアイソレーション領域は 2 つだけで済みます。パッケージ内での絶縁間隔をフルに維持するため、すべての絶縁信号と絶縁電源はパッケージの片側にグループ化されます。各ローサイド・ドライバと各制御信号は共通のリファレンスを使用し、これもグループ化されます。

外付けバイパス・コンデンサの効果を大きくするため、isoPower DC/DC コンバータは内部でデータ・チャンネルに接続しないで、完全に独立なサブシステムとして扱う必要があります。ただし、UVLO 機能は除きます(低電圧ロックアウト機能のセクション参照)。これは、DC/DC コンバータを動作させるために、電源は V_{DD} に接続しなければならないことを意味します。また、データ入力とチャンネル B ドライバ出力を動作させるために、電源を V_{DDL} と V_{DDB} にも供給する必要があります。2 次側では、 V_{ISO} ピンに発生する電源を V_{DDA} ピンへの入力電源として供給する必要があります。 GND_{ISO} と GND_A を接続する必要があります。

ADuM6132 は、低ゲート容量のトランジスタ(一般に 200 pF)を駆動するようにデザインされています。大部分の高電圧アプリケーションでは、それより大きいトランジスタを採用していません。これらのアプリケーションに対応するためには、ADuM6132 にバッファを使用する必要があります(図 16 参照)。多くの場合、バッファ構成は大きな容量のデバイスを駆動する最も安価なオプションであり、デザインの柔軟性もあります。

アプリケーションのニーズに合わせて高精度バッファ/高電圧トランジスタの組み合わせを選択することができます。

PCB レイアウト

ADuM6132 デジタル・アイソレータには 275 mW の isoPower DC/DC コンバータが内蔵されているため、ロジック・インターフェース用の外付けインターフェース回路は不要です。入力ピンと出力電源ピンには電源バイパスが必要です(図 17 参照)。ADuM6132 の電源セクションでは、非常に周波数の高い発振器を使って、チップ・スケール・トランスを介して効率良く電源を変換しています。さらに、iCoupler のデータ・セクションの通常動作により、スイッチング過渡電圧が電源ピンに発生します。複数の動作周波数に対してバイパス・コンデンサが必要になります。ノイズの抑圧には、低 ESR の高周波のコンデンサが必要です。リップル抑圧と適切なレギュレーションには並列に大きな値のコンデンサが必要です(表 10 参照)。コンデンサの両端と入力電源ピンとの間のパターン長は 20 mm 以下にする必要があります。

表 10.推奨バイパス・コンデンサ

Supply	Pins	Bypass Capacitors
V_{DD}	1, 2	0.1 μ F, 10 μ F
V_{DDB}	7, 8	0.1 μ F
V_{DDL}	2, 3	0.1 μ F
V_{DDA}	13, 14	0.1 μ F
V_{ISO}	15, 16	0.1 μ F, 10 μ F

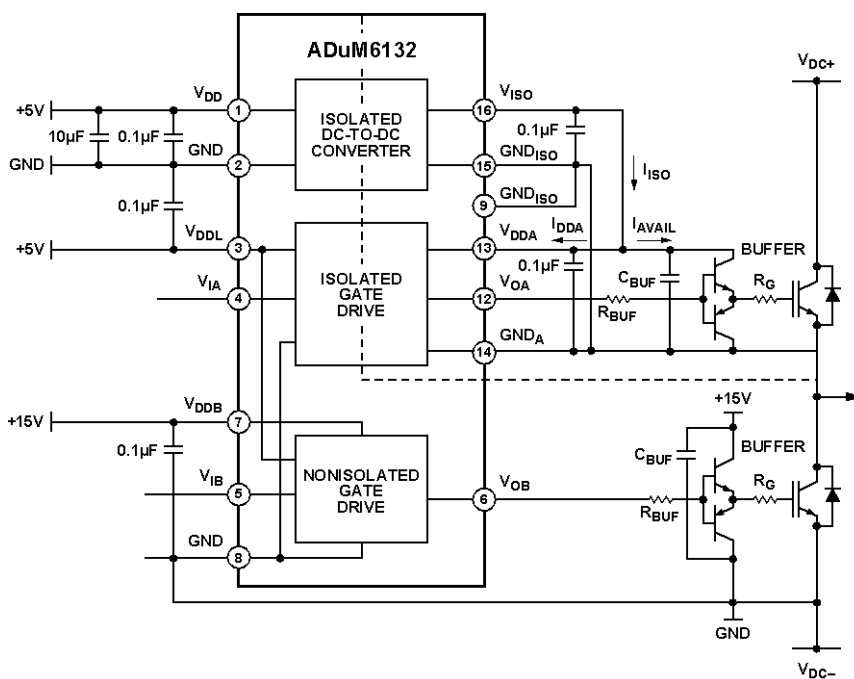


図 16.代表的なアプリケーション回路

高い同相モード過渡電圧が発生するアプリケーションでは、容量を経由してアイソレーション障壁を通過するボード結合が最小になるように注意する必要があります。さらに、如何なる結

合もデバイス側のすべてのピンで等しく発生するようにボード・レイアウトをデザインする必要があります。この注意を怠ると、ピン間で発生する電位差がデバイスの絶対最大定格を超

えてしまい(表 7 参照)、ラッチアップまたは恒久的な損傷が発生することがあります。

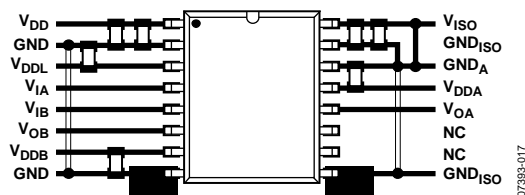


図 17.推奨 PCB レイアウト

ADuM6132 は、フル負荷と最大速度で動作する場合約 1 W を消費するパワー・デバイスです。アイソレーション・デバイスにヒートシンクを使うことができないため、デバイスは基本的に PCB から GND ピンへの熱放散に依存しています。デバイスを高い周囲温度で使用する場合には、GND ピンから PCB グラウンド・プレーンへの熱パスを用意してください。

図 17 のボード・レイアウトに、ピン 8(GND)とピン 9(GND_{ISO})の拡大したパッドを示します。パッドとグラウンド・プレーンとの間には、複数のビアを設ける必要があります。これにより、チップ内部の温度を大幅に下げることができます。拡大したパッドの寸法は、設計者と使用可能なボード・スペースによって決定されます。

熱解析

ADuM6132 は、2 個のリードフレーム・パドルに取り付けた複数の内部チップから構成されています。熱解析のためには、 θ_{JA} を決定する最も高いジャンクション温度を持つサーマル・ユニットとしてデバイスを扱う必要があります(表 2 参照)。 θ_{JA} の値としては、細かいパターンを使った JEDEC 規格の 4 層ボードにデバイスを実装し、自然空冷で測定した値を使います。通常の動作では、ADuM6132 はフル負荷で、フル温度範囲で出力電流の低下なしに動作しますが、ただし、PCB レイアウトのセクションに示す推奨事項に従うと、PCB への熱抵抗が小さくなるため、高い周囲温度で熱余裕を大きくすることができます。

V_{ISO} 出力の短絡状態では、図 9 に示すように、パッケージ消費電力が 85°C までの周囲温度に対する 1.44 W の安全動作限界を急速に超えます。低い入力電圧では、消費電力は 2 W に達することがあります。低い入力電圧では、消費電力が 2 W に達することがあります。PWM の内部補償機能により、低い V_{DD} でもワーストケース状態になるため、入力電圧制限機能は出力負荷の故障状態から ADuM6132 を保護する効果的な方法にはなりません。したがって、保護が必要な場合、望ましい保護方法は、周囲温度を 60°C に制限するか、ヒューズを使用することです。

低電圧ロックアウト機能

ADuM6132 は、 V_{DDL} 、 V_{DDA} 、 V_{DDB} の各電源に対する低電圧ロックアウト(UVLO)回路を内蔵しています。各電源について、それぞれの UVLO 回路が電源電圧をモニターし、電源電圧が与えられたスレッシュホールドの上にあるか下にあるかに応じて、予め定められた動作を行います。これらのスレッシュホールドを表 1 に示します。

図 16 に示す推奨構成では、ユーザーは V_{DDB} と V_{DDL}/V_{DD} (図 16 では $V_{DDL} = V_{DD}$) の 2 つの独立な電源のみを制御することができます。 V_{DDA} は、 $V_{ISO} = V_{DDA}$ の外部接続を経由して内部 DC/DC コンバータから供給されます。それでも、内部 DC/DC コンバータの電源がオン/オフした際の V_{OA} 出力の動作を示すために、 V_{DDA} の UVLO 機能を表 11 に示してあります。

表 11.低電圧ロックアウト機能 1

User-Provided Supplies		V_{ISO} Powered Supply	Effect
V_{DDL}	V_{DDB}	V_{DDA}	
H	H	H	Normal operation. Internal dc-to-dc converter is active. V_{OA}/V_{OB} output logic states match V_{IA}/V_{IB} input logic states.
H	H	L	Internal dc-to-dc converter is active but V_{ISO} is below UVLO threshold. V_{OA} output is driven low. V_{OB} output operates normally.
X	L	X	Internal dc-to-dc converter is turned off ($V_{ISO} = 0$). V_{OA} output is driven low. V_{OB} output is driven low.
L	X	X	Internal dc-to-dc converter is turned off ($V_{ISO} = 0$). V_{OA} output is driven low. V_{OB} output is driven low.

¹ H:電源電圧> UVLO スレッシュホールド、L:電源電圧< UVLO スレッシュホールド、X:電源電圧レベルは無関係。

3 つのすべての電源がそれぞれの UVLO スレッシュホールドを超えている場合、ADuM6132 は正常動作を行います。内部 DC/DC コンバータはアクティブで、両出力はそれぞれの入力ロジック信号で指定される動作を行います。ユーザ供給の電源が UVLO スレッシュホールドを下回ると、ADuM6132 はディスプレイ・モードにさせられます。このモードでは、内部 DC/DC コンバータがターンオフし、両出力はロー・レベルに駆動されます。

V_{DDL} または V_{DDB} (スレッシュホールドを下回った方) の UVLO 回路により、 V_{OB} 出力がロー・レベルに駆動されます。内部 DC/DC コンバータがターンオフすると、 V_{OA} 出力がロー・レベルに駆動されます。 V_{ISO} 電源電圧が 0 V に低下すると、 V_{ISO} と V_{DDA} は外部で接続されているため、 V_{DDA} も低下します。 V_{DDA} がその UVLO スレッシュホールドを下回ると、 V_{DDA} の UVLO 回路が V_{OA} をロー・レベルに駆動します。

伝搬遅延に関するパラメータ

伝搬遅延時間は、ロジック信号がデバイスを通過するのに要する時間を表すパラメータです。ロジック・ロー・レベル出力への伝搬遅延は、ロジック・ハイ・レベル出力への伝搬遅延と異なることがあります。

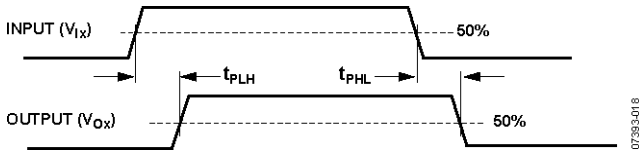


図 18.伝搬遅延パラメータ

パルス幅歪みとはこれら 2 値の間の最大の差を意味し、入力信号のタイミングが出力信号で再現される精度を表します。

チャンネル間マッチングとは、1 つの ADuM6132 デバイス内にある複数のチャンネル間の伝搬遅延差の最大値を意味します。

磁界耐性

ADuM6132 は、外部磁界に対して極めて強い耐性を持っています。ADuM6132 の磁界耐性の限界は、トランスの受信側コイルに発生する誘導電圧が十分大きくなり、デコーダをセットまたはリセットさせる誤動作が発生することで決まります。この状態が発生する条件を以下の解析により求めます。

トランス出力でのパルスは 1.0 V 以上の振幅を持っています。デコーダは約 0.5 V の検出スレッシュホールドを持つので、誘導電圧に対しては 0.5 V の余裕を持っています。受信側コイルへの誘導電圧は次式で与えられます。

$$V = (-d\beta/dt) \Sigma \pi r_n^2; n = 1, 2, \dots N$$

ここで、

β = 磁束密度(Gauss)。

m = 受信側コイル巻き数 n 回目の半径(cm)

N = 受信側コイルの巻き数

ADuM6132 受信側コイルの形状が与えられ、かつ誘導電圧がデコーダにおける 0.5 V 余裕の最大 50%であるという条件が与えられると、最大許容磁界は図 19 のように計算されます。

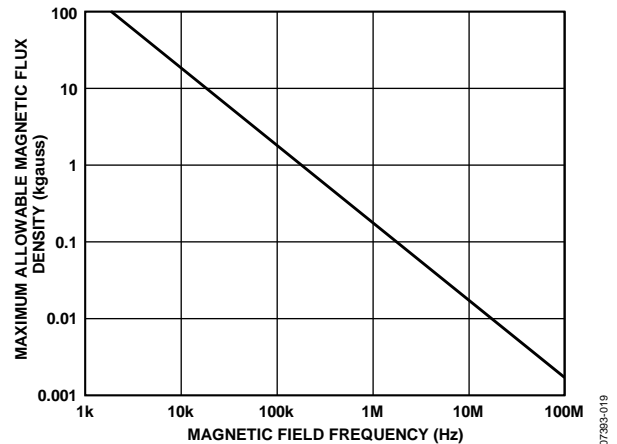


図 19.最大許容外部磁束密度

例えば、磁界周波数 = 1 MHz で、最大許容磁束密度 = 0.2 kGauss の場合、受信側コイルでの誘導電圧は 0.25V になります。この電圧は検出スレッシュホールドの約 50%であるため、出力変化の誤動作はありません。同様に、仮にこのような条件が送信パルス内に存在しても(さらに最悪ケースの極性であっても)、受信パルスが 1.0 V 以上から 0.75V へ減少されるため、デコーダの検出スレッシュホールド 0.5 V に対してなお余裕を持っています。

前述の磁束密度値は、ADuM6132 のトランスから与えられた距離だけ離れた特定の電流値に対応します。図 20 に、周波数の関数としての許容電流値を与えられた距離に対して示します。図 20 から読み取れるように、ADuM6132 の耐性は極めて高く、影響を受けるのは、高周波でかつ部品に非常に近い極めて大きな電流の場合に限られます。磁界周波数 = 1 MHz の例では、デバイス動作に影響を与えるためには、0.5 kA の電流を ADuM6132 から 5 mm の距離まで近づける必要があります。

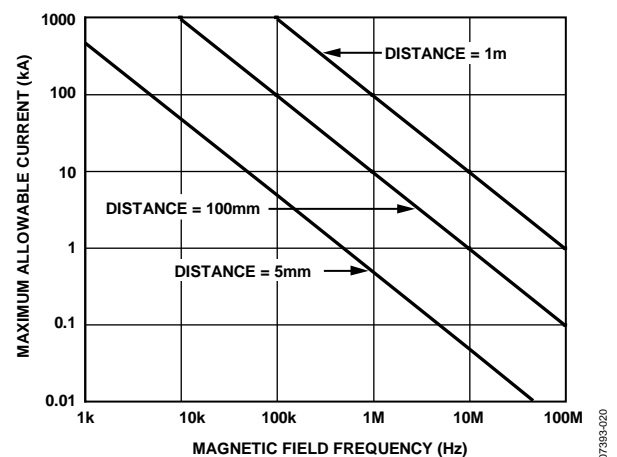


図 20.ADuM6132 までの距離に対する最大許容電流

強い磁界と高周波が存在すると、PCB パターンで形成されるループに十分大きな誤差電圧が誘導されて、後段回路のスレッシュホールドがトリガーされてしまうことに注意が必要です。パターンのレイアウトでは、このようなことが発生しないように注意する必要があります。

絶縁寿命

すべての絶縁構造は、十分長い時間電圧ストレスを受けるとブレイクダウンします。絶縁性能の低下率は、絶縁に加えらる電圧波形の特性に依存します。アナログ・デバイゼスは、規制当局が行うテストの他に、広範囲なセットの評価を実施して ADuM6132 内の絶縁構造の寿命を測定しています。

アナログ・デバイゼスは、定格連続動作電圧より高い電圧レベルを使った加速寿命テストを実施しています。複数の動作条件に対する加速ファクタを求めました。これらのファクタを使うと、実際の動作電圧での故障までの時間を計算することができます。表 12 に、50 年のサービス寿命に対する推奨ピーク電圧とアナログ・デバイゼスで評価したさまざまな動作条件に対する 15 年のサービス寿命の一覧を示します。多くのケースで、実証された動作電圧は 50 年サービス寿命の電圧より高くなっています。これらの高い動作電圧での動作は、ケースによって絶縁寿命を短くすることがあります。

ADuM6132 の絶縁寿命は、アイソレーション障壁に加えらる電圧波形のタイプに依存します。iCoupler 絶縁構造の性能は、波形がバイポーラ AC、ユニポーラ AC、DC のいずれであるかに応じて、異なるレートで低下します。図 21、図 22、図 23 に、これらのアイソレーション電圧波形を示します。

バイポーラ AC 電圧は最も厳しい環境です。バイポーラ AC 条件での 50 年動作寿命の目標により、アナログ・デバイゼスが推奨する最大動作電圧が決定されています。

ユニポーラ AC またはユニポーラ DC 電圧の場合、絶縁に加わるストレスは大幅に少なくなります。このため、高い動作電圧が可能になると同時に、50 年のサービス寿命も可能になります。表 12 に示す動作電圧は、ユニポーラ AC 電圧またはユニポーラ DC 電圧のケースに適合する場合、50 年最小寿命に適用することができます。

図 22 または図 23 適合しない絶縁電圧波形は、バイポーラ AC 波形として扱う必要があります。ピーク電圧は表 12 に示す 50 年寿命電圧値に制限する必要があります。図 22 に示す電圧は、説明目的のためにのみ正弦波としています。すなわち、0 V とある規定値との間で変化する任意の電圧波形とすることができます。規定値は正または負となることができますが、電圧は 0 V を通過することはできません。

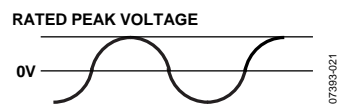


図 21.バイポーラ AC 波形

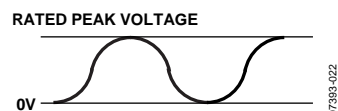


図 22.ユニポーラ AC 波形

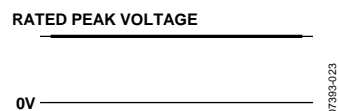


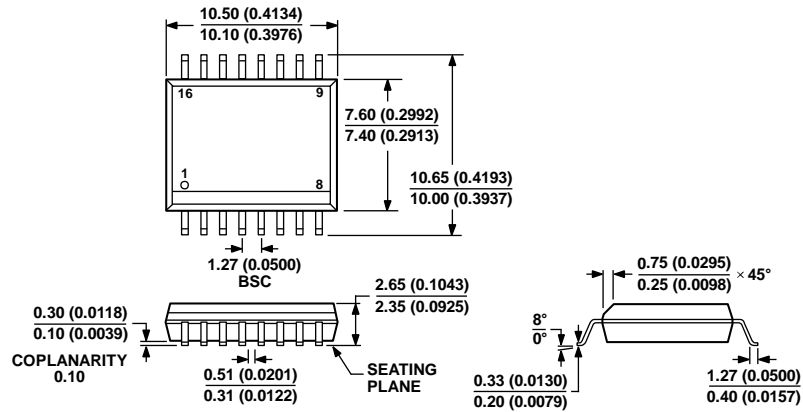
図 23.DC 波形

表 12.最大連続動作電圧¹

Parameter	Peak Voltage	Lifetime
AC Voltage, Bipolar Waveform	424 V peak	50-year minimum lifetime
AC Voltage, Unipolar Waveform		
Basic Insulation	800 V peak	15-year minimum lifetime
Basic Insulation	660 V peak	50-year minimum lifetime
DC Voltage Waveform		
Basic Insulation	800 V peak	15-year minimum lifetime
Basic Insulation	660 V peak	50-year minimum lifetime

¹アイソレーション障壁に加わる連続電圧の大きさを意味します。詳細については、絶縁寿命のセクションを参照してください。

外形寸法



COMPLIANT TO JEDEC STANDARDS MS-013-AA
CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
(IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

032707-B

図 24.16 ピン標準スモール・アウトライン・パッケージ[SOIC_W]
ワイドボディ
(RW-16)
寸法: mm (インチ)

オーダー・ガイド

Model	No. of Channels	Output Peak Current (A)	Output Voltage (V)	Temperature Range	Package Description	Package Option
ADuM6132ARWZ ¹	2	0.2	15	-40°C to +85°C	16-Lead SOIC_W	RW-16
ADuM6132ARWZ-RL ¹	2	0.2	15	-40°C to +85°C	16-Lead SOIC_W, 13-inch Tape and Reel Option (1,000 Units)	RW-16

¹ Z = RoHS 準拠製品