



# 5 kV、7チャンネル、SPI Isolator 複数スレーブ、SPI用デジタル・アイソレータ

データシート

ADuM4154

## 特長

最大 17 MHz の SPI クロック速度をサポート  
伝搬遅延の小さい高速 SPI 信号アイソレーション・チャンネル  
4 チャンネルを内蔵

最大 4 個のスレーブ・デバイスをサポート  
沿面距離 8.3 mm の 20 ピン SOIC<sub>IC</sub> パッケージを採用  
高い動作温度: ~125°C

高い同相モード過渡電圧耐性: 25 kV/μs 以上

### 安全性規制の認定

- UL 1577 に準拠する UL 認定
- 5000 V rms で 1 分間、SOIC ロング・パッケージ
- 「CSA Component Acceptance Notice 5A」に準拠
- VDE 適合性認定(申請中)
- DIN V VDE V 0884-10 (VDE V 0884-10): 2006-12
- 最大動作絶縁電圧 ( $V_{ORM}$ ) = 846 V peak

## アプリケーション

工業用プログラマブル・ロジック・コントローラ (PLC)  
センサー・アイソレーション

## 概要

ADuM4154<sup>1</sup> は、最大 4 個のスレーブ・デバイスのサポートを含むシリアル・ペリフェラル・インターフェース (SPI) 向けに最適化された SPI Isolator™ デジタル・アイソレータです。このデバイスは、アナログ・デバイセズの iCoupler® チップ・スケール・トランス技術を採用して、CLK、MO/SI、MI/SO、SS などの SPI の各信号の伝搬遅延とジッタを小さくしているため、最大 17 MHz までの SPI クロック・レートをサポートしています。

また ADuM4154 アイソレータは、1 個のアイソレータから最大 4 個のスレーブ・デバイスを扱うことを可能にする、スレーブを選択するマルチプレックサ機能も提供します。指定するスレーブが選択されると、スレーブ・セレクト信号が小さい伝搬遅延で所望の出力へ伝送されるため、厳しいタイミングでの制御が可能になります。絶縁された SSx 信号は 250 kbps の低速 2 チャンネル・アドレス・バスを介してアドレス指定されるため、選択するスレーブ・デバイスを僅か 2.5 μs で変更することができます。

## 機能ブロック図

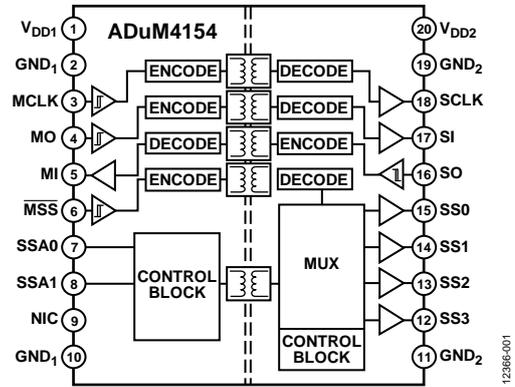


図 1.

表 1. 関連製品

Product	Description
ADuM3150	3.75 kV, high speed clock delayed SPI Isolator
ADuM3151/ADuM3152/ ADuM3153	3.75 kV, multichannel SPI Isolator
ADuM3154	3.75 kV multiple slave SPI Isolator

<sup>1</sup>米国特許 5,952,849; 6,262,600; 6,903,578; 7,075,329 により保護されています。その他の特許は申請中です。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2015 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル  
電話 03 (5402) 8200  
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー  
電話 06 (6350) 6868

## 目次

特長.....	1	絶対最大定格.....	13
アプリケーション.....	1	ESDの注意.....	13
機能ブロック図.....	1	ピン配置およびピン機能説明.....	14
概要.....	1	代表的な性能特性.....	16
改訂履歴.....	2	アプリケーション情報.....	17
仕様.....	3	はじめに.....	17
電気的特性—5 V動作.....	3	プリント回路ボード(PCB)のレイアウト.....	19
電気的特性—3.3 V動作.....	5	伝搬遅延に関するパラメータ.....	19
電気的特性—ミックスド5 V/3.3 V動作.....	7	DC高精度と磁界耐性.....	19
電気的特性—ミックスド3.3 V/5 V動作.....	9	消費電力.....	20
パッケージ特性.....	10	絶縁寿命.....	20
適用規格.....	11	外形寸法.....	22
絶縁および安全性関連の仕様.....	11	オーダー・ガイド.....	22
DIN V VDE V 0884-10 (VDE V 0884-10): 2006-12 絶縁特性.....	12		
推奨動作条件.....	12		

## 改訂履歴

10/14—Revision 0: Initial Version

## 仕様

## 電気的特性—5 V 動作

特に指定がない限り、すべての typ 仕様は  $T_A = 25^\circ\text{C}$  および  $V_{DD1} = V_{DD2} = 5\text{ V}$  で規定。最小/最大仕様は、 $4.5\text{ V} \leq V_{DD1} \leq 5.5\text{ V}$ 、 $4.5\text{ V} \leq V_{DD2} \leq 5.5\text{ V}$ 、 $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$  の推奨動作範囲に適用。特に指定がない限り、スイッチング規定値は、 $C_L = 15\text{ pF}$  と CMOS 信号レベルでテストされます。

表 2. スwitching仕様

Parameter	Symbol	A Grade			B Grade			Unit	Test Conditions/Comments
		Min	Typ	Max	Min	Typ	Max		
MCLK, MO, SO									
SPI Clock Rate	$SPI_{MCLK}$			1			17	MHz	
Data Rate Fast (MO, SO)	$DR_{FAST}$			2			34	Mbps	Within PWD limit
Propagation Delay	$t_{PHL}, t_{PLH}$			25	12		14	ns	50% input to 50% output
Pulse Width	PW	100			12.5			ns	Within PWD limit
Pulse Width Distortion	PWD			2			2	ns	$ t_{PLH} - t_{PHL} $
Codirectional Channel Matching <sup>1</sup>	$t_{PSKCD}$			2			2	ns	
Jitter, High Speed	$J_{HS}$		1			1		ns	
MSS									
Data Rate Fast	$DR_{FAST}$			2			34	Mbps	Within PWD limit
Propagation Delay	$t_{PHL}, t_{PLH}$		21	26		21	26	ns	50% input to 50% output
Pulse Width	PW	100			12.5			ns	Within PWD limit
Pulse Width Distortion	PWD			3			3	ns	$ t_{PLH} - t_{PHL} $
Setup Time <sup>2</sup>	$MSS_{SETUP}$	1.5			10			ns	
Jitter, High Speed	$J_{HS}$		1			1		ns	
SSA0, SSA1									
Data Rate Slow	$DR_{SLOW}$			250			250	kbps	Within PWD limit
Propagation Delay	$t_{PHL}, t_{PLH}$	0.1		2.6	0.1		2.6	$\mu\text{s}$	50% input to 50% output
Pulse Width	PW	4			4			$\mu\text{s}$	Within PWD limit
Jitter, Low Speed	$J_{LS}$			2.5			2.5	$\mu\text{s}$	
SSAx <sup>3</sup> Minimum Input Skew <sup>4</sup>	$t_{SSAx\ SKEW}^3$	40			40			ns	

<sup>1</sup> 同方向チャンネル間マッチングは、アイソレーション・バリアの同じ側に入力を持つ2つのチャンネル間の伝搬遅延の差の絶対値を表します。

<sup>2</sup> MSS信号には、すべてのグレードでグリッチ・フィルタが入っています。これに対して B グレードでは、他の高速信号にはグリッチ・フィルタは入っていません。MSSが別の高速信号の前に出力に届くことを保証するため、速度グレードに応じて異なる時間だけ競合信号より前にMSSをセットアップしてください。

<sup>3</sup> SSAx = SSA0 または SSA1。

<sup>4</sup> 内部非同期クロック、ユーザーから使用不可で、低速信号をサンプルします。同方向チャンネルのエッジ順がエンド・アプリケーションにとって重要な場合、正しい順序または出力への同時到着を確保するため、前のパルスは少なくとも  $1\ t_{SSAx\ SKEW}$  だけ後ろのパルスより前にある必要があります。

表 3. すべてのモデル<sup>1, 2, 3</sup>

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
<b>SUPPLY CURRENT</b>						
A Grade and B Grade	$I_{DD1}$		4.8	6.5	mA	$C_L = 0 \text{ pF}$ , $DR_{FAST} = 1 \text{ MHz}$ , $DR_{SLOW} = 0 \text{ MHz}$
	$I_{DD2}$		6.5	10	mA	$C_L = 0 \text{ pF}$ , $DR_{FAST} = 1 \text{ MHz}$ , $DR_{SLOW} = 0 \text{ MHz}$
B Grade	$I_{DD1}$		10	17	mA	$C_L = 0 \text{ pF}$ , $DR_{FAST} = 17 \text{ MHz}$ , $DR_{SLOW} = 0 \text{ MHz}$
	$I_{DD2}$		13.5	18	mA	$C_L = 0 \text{ pF}$ , $DR_{FAST} = 17 \text{ MHz}$ , $DR_{SLOW} = 0 \text{ MHz}$
<b>DC SPECIFICATIONS</b>						
MCLK, MSS, MO, SO, SSA0, SSA1						
Input Threshold						
Logic High	$V_{IH}$	$0.7 \times V_{DDx}$			V	
Logic Low	$V_{IL}$			$0.3 \times V_{DDx}$	V	
Input Hysteresis	$V_{IHYST}$		500		mV	
Input Current per Channel	$I_I$	-1	+0.01	+1	$\mu\text{A}$	$0 \text{ V} \leq V_{INPUT} \leq V_{DDx}$
SCLK, MI, SI, SS0, SS1, SS2, SS3						
Output Voltages						
Logic High	$V_{OH}$	$V_{DDx} - 0.1$	5.0		V	$I_{OUTPUT} = -20 \mu\text{A}$ , $V_{INPUT} = V_{IH}$
		$V_{DDx} - 0.4$	4.8		V	$I_{OUTPUT} = -4 \mu\text{A}$ , $V_{INPUT} = V_{IH}$
Logic Low	$V_{OL}$		0.0	0.1	V	$I_{OUTPUT} = 20 \mu\text{A}$ , $V_{INPUT} = V_{IL}$
			0.2	0.4	V	$I_{OUTPUT} = 4 \mu\text{A}$ , $V_{INPUT} = V_{IL}$
$V_{DD1}$ , $V_{DD2}$ Undervoltage Lockout	UVLO			2.6	V	
Supply Current per High Speed Channels						
Dynamic Input	$I_{DD1(D)}$		0.080		mA/Mbps	
Dynamic Output	$I_{DD0(D)}$		0.046		mA/Mbps	
Supply Current for All Low Speed Channels						
Quiescent Input	$I_{DD1(Q)}$		4.2		mA	
Quiescent Output	$I_{DD2(Q)}$		6.1		mA	
<b>AC SPECIFICATIONS</b>						
Output Rise/Fall Time	$t_R/t_F$		2.5		ns	10% to 90%
Common-Mode Transient Immunity <sup>4</sup>	$ CM $	25	35		kV/ $\mu\text{s}$	$V_{INPUT} = V_{DDx}$ , $V_{CM} = 1000 \text{ V}$ , transient magnitude = 800 V

<sup>1</sup>  $V_{DDx} = V_{DD1}$  または  $V_{DD2}$ 。<sup>2</sup>  $V_{INPUT}$  は、MCLK、MSS、MO、SO、SSA0 または SSA1 のピン入力電圧。<sup>3</sup>  $I_{OUTPUT}$  は SCLK、MI、SI、SS0、SS1、SS2、SS3 ピンの出力電流。<sup>4</sup>  $|CM|$  は、出力電圧を  $V_{OH}$  規定値および  $V_{OL}$  規定値以内に維持している間に維持できる同相モード電圧の最大スルーレートです。同相モード電圧スルーレートは、立上がりおよび立下がりの両同相モード電圧エッジに適用されます。

## 電气的特性—3.3 V 動作

特に指定がない限り、すべての typ 仕様は  $T_A = 25^\circ\text{C}$  および  $V_{DD1} = V_{DD2} = 3.3\text{ V}$  で規定。最小/最大仕様は、 $3.0\text{ V} \leq V_{DD1} \leq 3.6\text{ V}$ 、 $3.0\text{ V} \leq V_{DD2} \leq 3.6\text{ V}$ 、 $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$  の推奨動作範囲に適用。特に指定がない限り、スイッチング規定値は、 $C_L = 15\text{ pF}$  と CMOS 信号レベルでテストされます。

表 4. スwitching仕様

Parameter	Symbol	A Grade			B Grade			Unit	Test Conditions/Comments
		Min	Typ	Max	Min	Typ	Max		
MCLK, MO, SO									
SPI Clock Rate	$SPI_{MCLK}$			1			12.5	MHz	
Data Rate Fast (MO, SO)	$DR_{FAST}$			2			34	Mbps	Within PWD limit
Propagation Delay	$t_{PHL}, t_{PLH}$			30			21	ns	50% input to 50% output
Pulse Width	PW	100			12.5			ns	Within PWD limit
Pulse Width Distortion	PWD			3			2	ns	$ t_{PLH} - t_{PHL} $
Codirectional Channel Matching <sup>1</sup>	$t_{PSKCD}$			3			2	ns	
Jitter, High Speed	$J_{HS}$		1			1		ns	
MSS									
Data Rate Fast	$DR_{FAST}$			2			34	Mbps	Within PWD limit
Propagation Delay	$t_{PHL}, t_{PLH}$			34			34	ns	50% input to 50% output
Pulse Width	PW	100			12.5			ns	Within PWD limit
Pulse Width Distortion	PWD			3			3	ns	$ t_{PLH} - t_{PHL} $
Setup Time <sup>2</sup>	$\overline{MSS}_{SETUP}$	1.5			10			ns	
Jitter, High Speed	$J_{HS}$		1			1		ns	
SSA0, SSA1									
Data Rate Slow	$DR_{SLOW}$			250			250	kbps	Within PWD limit
Propagation Delay	$t_{PHL}, t_{PLH}$	0.1		2.6	0.1		2.6	$\mu\text{s}$	50% input to 50% output
Pulse Width	PW	4			4			$\mu\text{s}$	Within PWD limit
Jitter, Low Speed	$J_{LS}$			2.5			2.5	$\mu\text{s}$	
SSAx <sup>3</sup> Minimum Input Skew <sup>4</sup>	$t_{SSAx\ SKEW}^3$	40			40			ns	

<sup>1</sup> 同方向チャンネル間マッチングは、アイソレーション・バリアの同じ側に入力を持つ2つのチャンネル間の伝搬遅延の差の絶対値を表します。

<sup>2</sup>  $\overline{MSS}$  信号にはすべてのグレードでグリッチ・フィルタが入っています。これに対して B グレードでは、他の高速信号にはグリッチ・フィルタは入っていません。 $\overline{MSS}$ が別の高速信号の前に出力に届くことを保証するため、速度グレードに応じて異なる時間だけ競合信号より前に $\overline{MSS}$ をセットアップしてください。

<sup>3</sup> SSAx = SSA0 または SSA1。

<sup>4</sup> 内部非同期クロック、ユーザーから使用不可で、低速信号をサンプルします。同方向チャンネルのエッジ順がエンド・アプリケーションにとって重要な場合、出力への正しい順序または同時到着を確保するため、前のパルスは少なくとも  $1\ t_{SSAx\ SKEW}$  だけ後ろのパルスより前にある必要があります。

表 5. すべてのモデル<sup>1, 2, 3</sup>

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
<b>SUPPLY CURRENT</b>						
A Grade and B Grade	$I_{DD1}$		3.4	5	mA	$C_L = 0$ pF, $DR_{FAST} = 1$ MHz, $DR_{SLOW} = 0$ MHz
	$I_{DD2}$		5	7	mA	$C_L = 0$ pF, $DR_{FAST} = 1$ MHz, $DR_{SLOW} = 0$ MHz
B Grade	$I_{DD1}$		11.7	14	mA	$C_L = 0$ pF, $DR_{FAST} = 17$ MHz, $DR_{SLOW} = 0$ MHz
	$I_{DD2}$		10	13	mA	$C_L = 0$ pF, $DR_{FAST} = 17$ MHz, $DR_{SLOW} = 0$ MHz
<b>DC SPECIFICATIONS</b>						
MCLK, MSS, MO, SO, SSA0, SSA1						
Input Threshold						
Logic High	$V_{IH}$	$0.7 \times V_{DDx}$			V	
Logic Low	$V_{IL}$			$0.3 \times V_{DDx}$	V	
Input Hysteresis	$V_{IHYST}$		500		mV	
Input Current per Channel	$I_I$	-1	+0.01	+1	$\mu$ A	$0 \text{ V} \leq V_{INPUT} \leq V_{DDx}$
SCLK, MI, SI, SS0, SS1, SS2, SS3						
Output Voltages						
Logic High	$V_{OH}$	$V_{DDx} - 0.1$	5.0		V	$I_{OUTPUT} = -20 \mu\text{A}$ , $V_{INPUT} = V_{IH}$
		$V_{DDx} - 0.4$	4.8		V	$I_{OUTPUT} = -4 \text{ mA}$ , $V_{INPUT} = V_{IH}$
Logic Low	$V_{OL}$		0.0	0.1	V	$I_{OUTPUT} = 20 \mu\text{A}$ , $V_{INPUT} = V_{IL}$
			0.2	0.4	V	$I_{OUTPUT} = 4 \text{ mA}$ , $V_{INPUT} = V_{IL}$
$V_{DD1}$ , $V_{DD2}$ Undervoltage Lockout	UVLO		2.6		V	
Supply Current per High Speed Channel						
Dynamic Input	$I_{DDI(D)}$		0.078		mA/Mbps	
Dynamic Output	$I_{DDO(D)}$		0.026		mA/Mbps	
Supply Current for All Low Speed Channels						
Quiescent Input	$I_{DD1(Q)}$		2.9		mA	
Quiescent Output	$I_{DD2(Q)}$		4.7		mA	
<b>AC SPECIFICATIONS</b>						
Output Rise/Fall Time	$t_R/t_F$		2.5		ns	10% to 90%
Common-Mode Transient Immunity <sup>4</sup>	$ CM $	25	35		kV/ $\mu$ s	$V_{INPUT} = V_{DDx}$ , $V_{CM} = 1000$ V, transient magnitude = 800 V

<sup>1</sup>  $V_{DDx} = V_{DD1}$  または  $V_{DD2}$ 。<sup>2</sup>  $V_{INPUT}$  は、MCLK、MSS、MO、SO、SSA0 または SSA1 のピン入力電圧。<sup>3</sup>  $I_{OUTPUT}$  は SCLK、MI、SI、SS0、SS1、SS2、SS3 ピンの出力電流。<sup>4</sup>  $|CM|$  は、出力電圧を  $V_{OH}$  規定値および  $V_{OL}$  規定値以内に維持している間に維持できる同相モード電圧の最大スルーレートです。同相モード電圧スルーレートは、立上がりおよび立下がりの両同相モード電圧エッジに適用されます。

## 電气的特性—ミックスド 5 V/3.3 V 動作

特に指定がない限り、すべての typ 仕様は  $T_A = 25^\circ\text{C}$  および  $V_{DD1} = 5\text{ V}$ 、 $V_{DD2} = 3.3\text{ V}$  で規定。最小/最大仕様は、 $4.5\text{ V} \leq V_{DD1} \leq 5.5\text{ V}$ 、 $3.0\text{ V} \leq V_{DD2} \leq 3.6\text{ V}$ 、 $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$  の推奨動作範囲に適用。特に指定がない限り、スイッチング規定値は、 $C_L = 15\text{ pF}$  と CMOS 信号レベルでテストされます。

表 6. スイッチング仕様

Parameter	Symbol	A Grade			B Grade			Unit	Test Conditions/Comments
		Min	Typ	Max	Min	Typ	Max		
MCLK, MO, SO									
SPI Clock Rate	$SPI_{MCLK}$			1			15.6	MHz	
Data Rate Fast (MO, SO)	$DR_{FAST}$			2			34	Mbps	Within PWD limit
Propagation Delay	$t_{PHL}, t_{PLH}$			27			17	ns	50% input to 50% output
Pulse Width	PW	25			12.5			ns	Within PWD limit
Pulse Width Distortion	PWD			2			2	ns	$ t_{PLH} - t_{PHL} $
Codirectional Channel Matching <sup>1</sup>	$t_{PSKCD}$			2			2	ns	
Jitter, High Speed	$J_{HS}$		1			1		ns	
MSS									
Data Rate Fast	$DR_{FAST}$			2			34	Mbps	Within PWD limit
Propagation Delay	$t_{PHL}, t_{PLH}$			30			30	ns	50% input to 50% output
Pulse Width	PW	25			12.5			ns	Within PWD limit
Pulse Width Distortion	PWD			2			2	ns	$ t_{PLH} - t_{PHL} $
Setup Time <sup>2</sup>	$MSS_{SETUP}$	1.5			10			ns	
Jitter, High Speed	$J_{HS}$		1			1		ns	
SSA0, SSA1									
Data Rate Slow	$DR_{SLOW}$			250			250	kbps	Within PWD limit
Propagation Delay	$t_{PHL}, t_{PLH}$	0.1		2.6	0.1		2.6	$\mu\text{s}$	50% input to 50% output
Pulse Width	PW	4			4			$\mu\text{s}$	Within PWD limit
Jitter, Low Speed	$J_{LS}$			2.5			2.5	$\mu\text{s}$	$ t_{PLH} - t_{PHL} $
SSAx <sup>3</sup> Minimum Input Skew <sup>4</sup>	$t_{SSAx\ SKEW}^3$	40			40			ns	

<sup>1</sup> 同方向チャンネル間マッチングは、アイソレーション・バリアの同じ側に入力を持つ 2 つのチャンネル間の伝搬遅延の差の絶対値を表します。

<sup>2</sup> MSS 信号は両速度グレードでフィルタされたグリッチです。これに対して他の高速信号は B グレードでフィルタされたグリッチではありません。MSS が別の高速信号の前に出力に届くことを保証するため、速度グレードに応じて異なる時間だけ競合信号より前に MSS をセットアップします。

<sup>3</sup> SSAx = SSA0 または SSA1。

<sup>4</sup> 内部非同期クロック、ユーザーから使用不可で、低速信号をサンプルします。同方向チャンネルのエッジ順がエンド・アプリケーションにとって重要な場合、正しい順序または出力への同時到着を保証するため、前のパルスは少なくとも  $1\ t_{SSAx\ SKEW}$  だけ後ろのパルスより前にある必要があります。

表 7. すべてのモデル<sup>1, 2, 3</sup>

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
<b>SUPPLY CURRENT</b>						
A Grade and B Grade	$I_{DD1}$		4.8	6.5	mA	$C_L = 0$ pF, $DR_{FAST} = 1$ MHz, $DR_{SLOW} = 0$ MHz
	$I_{DD2}$		5	7	mA	$C_L = 0$ pF, $DR_{FAST} = 1$ MHz, $DR_{SLOW} = 0$ MHz
B Grade	$I_{DD1}$		10	17	mA	$C_L = 0$ pF, $DR_{FAST} = 17$ MHz, $DR_{SLOW} = 0$ MHz
	$I_{DD2}$		10	13	mA	$C_L = 0$ pF, $DR_{FAST} = 17$ MHz, $DR_{SLOW} = 0$ MHz
<b>DC SPECIFICATIONS</b>						
MCLK, MSS, MO, SO, SSA0, SSA1						
Input Threshold						
Logic High	$V_{IH}$	$0.7 \times V_{DDx}$			V	
Logic Low	$V_{IL}$			$0.3 \times V_{DDx}$	V	
Input Hysteresis	$V_{IHYST}$		500		mV	
Input Current per Channel	$I_I$	-1	+0.01	+1	$\mu$ A	$0 \text{ V} \leq V_{INPUT} \leq V_{DDX}$
SCLK, MI, SI, SS0, SS1, SS2, SS3						
Output Voltages						
Logic High	$V_{OH}$	$V_{DDx} - 0.1$	5.0		V	$I_{OUTPUT} = -20 \mu\text{A}$ , $V_{INPUT} = V_{IH}$
		$V_{DDx} - 0.4$	4.8		V	$I_{OUTPUT} = -4 \text{ mA}$ , $V_{INPUT} = V_{IH}$
Logic Low	$V_{OL}$		0.0	0.1	V	$I_{OUTPUT} = 20 \mu\text{A}$ , $V_{INPUT} = V_{IL}$
			0.2	0.4	V	$I_{OUTPUT} = 4 \text{ mA}$ , $V_{INPUT} = V_{IL}$
$V_{DD1}$ , $V_{DD2}$ Undervoltage Lockout	UVLO		2.6		V	
Supply Current for All Low Speed Channels						
Quiescent Input	$I_{DD1(Q)}$		4.2		mA	
Quiescent Output	$I_{DD2(Q)}$		4.7		mA	
<b>AC SPECIFICATIONS</b>						
Output Rise/Fall Time	$t_R/t_F$		2.5		ns	10% to 90%
Common-Mode Transient Immunity <sup>4</sup>	CM	25	35		kV/ $\mu$ s	$V_{INPUT} = V_{DDx}$ , $V_{CM} = 1000$ V, transient magnitude = 800 V

<sup>1</sup>  $V_{DDx} = V_{DD1}$  または  $V_{DD2}$ 。<sup>2</sup>  $V_{INPUT}$  は、MCLK、MSS、MO、SO、SSA0 または SSA1 のピン入力電圧。<sup>3</sup>  $I_{OUTPUT}$  は SCLK、MI、SI、SS0、SS1、SS2、SS3 ピンの出力電流。<sup>4</sup> |CM| は、出力電圧を  $V_{OH}$  規定値および  $V_{OL}$  規定値以内に維持している間に維持できる同相モード電圧の最大スルーレートです。同相モード電圧スルーレートは、立上がりおよび立下がりの両同相モード電圧エッジに適用されます。

## 電气的特性—ミックスド 3.3 V/5 V 動作

特に指定がない限り、すべての typ 仕様は  $T_A = 25^\circ\text{C}$  および  $V_{DD1} = 3.3\text{ V}$ 、 $V_{DD2} = 5\text{ V}$  で規定。最小/最大仕様は、 $3.0\text{ V} \leq V_{DD1} \leq 3.6\text{ V}$ 、 $4.5\text{ V} \leq V_{DD2} \leq 5.5\text{ V}$ 、 $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$  の推奨動作範囲に適用。特に指定がない限り、スイッチング規定値は、 $C_L = 15\text{ pF}$  と CMOS 信号レベルでテストされます。

表 8. スwitching 仕様

Parameter	Symbol	A Grade			B Grade			Unit	Test Conditions/Comments
		Min	Typ	Max	Min	Typ	Max		
MCLK, MO, SO									
SPI Clock Rate	$SPI_{MCLK}$		1			15.6		MHz	
Data Rate Fast (MO, SO)	$DR_{FAST}$		2			34		Mbps	Within PWD limit
Propagation Delay	$t_{PHL}, t_{PLH}$		28			17		ns	50% input to 50% output
Pulse Width	PW	100			12.5			ns	Within PWD limit
Pulse Width Distortion	PWD		2			2		ns	$ t_{PLH} - t_{PHL} $
Codirectional Channel Matching <sup>1</sup>	$t_{PSKCD}$		2			2		ns	
Jitter, High Speed	$J_{HS}$		1			1		ns	
MSS									
Jitter			1			1		ns	
Data Rate Fast	$DR_{FAST}$		2			34		Mbps	Within PWD limit
Propagation Delay	$t_{PHL}, t_{PLH}$		28		21	28		ns	50% input to 50% output
Pulse Width	PW	100			12.5			ns	Within PWD limit
Pulse Width Distortion	PWD		2			2		ns	$ t_{PLH} - t_{PHL} $
Setup Time <sup>2</sup>	$MSS_{SETUP}$	1.5			10			ns	
Jitter, High Speed	$J_{HS}$		1			1		ns	
SSA0, SSA1									
Data Rate Slow	$DR_{SLOW}$		250			250		kbps	Within PWD limit
Propagation Delay	$t_{PHL}, t_{PLH}$	0.1	2.6		0.1	2.6		$\mu\text{s}$	50% input to 50% output
Pulse Width	PW	4			4			$\mu\text{s}$	Within PWD limit
Jitter, Low Speed	$J_{LS}$		2.5			2.5		$\mu\text{s}$	$ t_{PLH} - t_{PHL} $
SSAx <sup>3</sup> Minimum Input Skew <sup>4</sup>	$t_{SSAX\_SKEW}^3$	40			40			ns	

<sup>1</sup> 同方向チャンネル間マッチングは、アイソレーション障壁の同じ側に入力を持つ2つのチャンネル間の伝搬遅延の差の絶対値を表します。

<sup>2</sup> MSS信号は両速度グレードでフィルタされたグリッチです。これに対して他の高速信号はBグレードでフィルタされたグリッチではありません。MSSが別の高速信号の前に出力に届くことを保証するため、速度グレードに応じて異なる時間だけ競合信号より前にMSSをセットアップします。

<sup>3</sup> SSAx = SSA0 または SSA1。

<sup>4</sup> 内部非同期クロック、ユーザーから使用不可で、低速信号をサンプルします。同方向チャンネルのエッジ順がエンド・アプリケーションにとって重要な場合、正しい順序または出力への同時到着を保証するため、前のパルスは少なくとも  $1 t_{SSAX\_SKEW}$  だけ後ろのパルスより前にある必要があります。

表 9. すべてのモデル<sup>1, 2, 3</sup>

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
<b>SUPPLY CURRENT</b>						
A Grade and B Grade	$I_{DD}$		3.4	5	mA	$C_L = 0$ pF, $DR_{FAST} = 1$ MHz, $DR_{SLOW} = 0$ MHz
	$I_{DD2}$		6.5	10	mA	$C_L = 0$ pF, $DR_{FAST} = 1$ MHz, $DR_{SLOW} = 0$ MHz
B Grade	$I_{DD}$		11.7	14	mA	$C_L = 0$ pF, $DR_{FAST} = 17$ MHz, $DR_{SLOW} = 0$ MHz
	$I_{DD2}$		13.5	18	mA	$C_L = 0$ pF, $DR_{FAST} = 17$ MHz, $DR_{SLOW} = 0$ MHz
<b>DC SPECIFICATIONS</b>						
MCLK, MSS, MO, SO, SSA0, SSA1						
Input Threshold						
Logic High	$V_{IH}$	$0.7 \times V_{DDx}$			V	
Logic Low	$V_{IL}$			$0.3 \times V_{DDx}$	V	
Input Hysteresis	$V_{IHYST}$		500		mV	
Input Current per Channel	$I_I$	-1	+0.01	+1	$\mu$ A	$0 V \leq V_{INPUT} \leq V_{DDx}$
SCLK, MI, SI, SS0, SS1, SS2, SS3						
Output Voltages						
Logic High	$V_{OH}$	$V_{DDx} - 0.1$	5.0		V	$I_{OUTPUT} = -20 \mu$ A, $V_{INPUT} = V_{IH}$
		$V_{DDx} - 0.4$	4.8		V	$I_{OUTPUT} = -4 \mu$ A, $V_{INPUT} = V_{IH}$
Logic Low	$V_{OL}$		0.0	0.1	V	$I_{OUTPUT} = 20 \mu$ A, $V_{INPUT} = V_{IL}$
			0.2	0.4	V	$I_{OUTPUT} = 4 \mu$ A, $V_{INPUT} = V_{IL}$
$V_{DD1}$ , $V_{DD2}$ Undervoltage Lockout	UVLO		2.6		V	
Supply Current for All Low Speed Channels						
Quiescent Input	$I_{DD1(Q)}$		2.9		mA	
Quiescent Output	$I_{DD2(Q)}$		6.1		mA	
<b>AC SPECIFICATIONS</b>						
Output Rise/Fall Time	$t_R/t_F$		2.5		ns	10% to 90%
Common-Mode Transient Immunity <sup>4</sup>	$ CM $	25	35		kV/ $\mu$ s	$V_{INPUT} = V_{DDx}$ , $V_{CM} = 1000$ V, transient magnitude = 800 V

<sup>1</sup>  $V_{DDx} = V_{DD1}$  または  $V_{DD2}$ 。<sup>2</sup>  $V_{INPUT}$  は、MCLK、MSS、MO、SO、SSA0 または SSA1 のピン入力電圧。<sup>3</sup>  $I_{OUTPUT}$  は SCLK、MI、SI、SS0、SS1、SS2、SS3 ピンの出力電流。<sup>4</sup>  $|CM|$  は、出力電圧を  $V_{OH}$  規定値および  $V_{OL}$  規定値以内に維持している間に維持できる同相モード電圧の最大スルーレートです。同相モード電圧スルーレートは、立上がりおよび立下がりの両同相モード電圧エッジに適用されます。

## パッケージ特性

表 10.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Resistance (Input to Output) <sup>1</sup>	$R_{I/O}$		$10^{12}$		$\Omega$	
Capacitance (Input to Output) <sup>1</sup>	$C_{I/O}$		1.0		pF	$f = 1$ MHz
Input Capacitance <sup>2</sup>	$C_I$		4.0		pF	
IC Junction to Ambient Thermal Resistance	$\theta_{JA}$		46		$^{\circ}$ C/W	Thermocouple located at center of package underside

<sup>1</sup> デバイスは 2 端子デバイスと見なします。すなわち、ピン 1~ピン 8 を相互に接続し、ピン 9~ピン 16 を相互に接続します。<sup>2</sup> 入力容量は任意の入力データ・ピンとグラウンド間。

## 適用規格

ADuM4154 は、表 11 に記載する組織の認定済みまたは認定申請中です。特定のクロスアイソレーション波形と絶縁レベルに対する推奨最大動作電圧については、表 16 と絶縁寿命のセクションを参照してください。

表 11.

UL	CSA	VDE (Pending)
Recognized Under UL 1577 Component Recognition Program <sup>1</sup> 5000 V rms Single Protection  File E214100	Approved under CSA Component Acceptance Notice #5A  Basic insulation per CSA 60950-1-07+A1 and IEC 60950-1, 800 V rms (1131 V peak) maximum working voltage <sup>3</sup> CSA 60950-1-07+A1 and IEC 60950-1, 400 V rms (565 V peak) maximum working voltage Reinforced insulation per IEC 60601-1 250 V rms (353 V peak) maximum working File 205078	Certified according to DIN V VDE V 0884-10 (VDE V 0884-10):2006-12 <sup>2</sup> Reinforced insulation, 846 V peak  File 2471900-4880-0001

<sup>1</sup> UL1577 に従い、絶縁テスト電圧 6,000 V rms 以上を 1 秒間加えて各 ADuM4154 を確認テストします(リーク電流検出規定値 = 5 $\mu$ A)。

<sup>2</sup> DIN V VDE V 0884-10 に従い、各 ADuM4154 に 1,590 Vpeak 以上の絶縁テスト電圧を 1 秒間加えることにより確認テストします(部分放電の検出規定値 = 5 pC)。(\*)マーク付のブランドは、DIN V VDE V 0884-10 認定製品を表します。

<sup>3</sup> 400 V<sub>AC RMS</sub> を超える動作電圧で使用すると、アイソレータの寿命が大幅に短縮されます。AC および DC 動作条件での推奨最大動作電圧については表 16 を参照してください。

## 絶縁および安全性関連の仕様

表 12.

Parameter	Symbol	Value	Unit	Test Conditions/Comments
Rated Dielectric Insulation Voltage		5000	V rms	1 minute duration
Minimum External Air Gap (Clearance)	L(I01)	8.3	mm min	Measured from input terminals to output terminals, shortest distance through air
Minimum External Tracking (Creepage)	L(I02)	8.3	mm min	Measured from input terminals to output terminals, shortest distance path along body
Minimum Internal Gap (Internal Clearance)		0.017	mm min	Distance through insulation
Tracking Resistance (Comparative Tracking Index)	CTI	>400	V	DIN IEC 112/VDE 0303 Part 1
Material Group		II		Material group (DIN VDE 0110, 1/89, Table 1)

**DIN V VDE V 0884-10 (VDE V 0884-10): 2006-12 絶縁特性**

このアイソレータは、安全性制限値データ以内での電氣的絶縁強化に対してのみ有効です。安全性データの維持は、保護回路を使って確実にする必要があります。パッケージに(\*)マークが付いたブランドは、DIN V VDE V 0884-10 認定製品を表します。

表 13.

Description	Test Conditions/Comments	Symbol	Characteristic	Unit
Installation Classification per DIN VDE 0110 For Rated Mains Voltage ≤ 150 V rms For Rated Mains Voltage ≤ 300 V rms For Rated Mains Voltage ≤ 400 V rms Climatic Classification			I to IV I to III I to II 40/105/21	
Pollution Degree per DIN VDE 0110, Table 1			2	
Maximum Working Insulation Voltage		$V_{IORM}$	846	V peak
Input-to-Output Test Voltage, Method b1	$V_{IORM} \times 1.875 = V_{pd(m)}$ , 100% production test, $t_{ini} = t_m = 1$ sec, partial discharge < 5 pC	$V_{pd(m)}$	1590	V peak
Input-to-Output Test Voltage, Method a After Environmental Tests Subgroup 1	$V_{IORM} \times 1.5 = V_{pd(m)}$ , $t_{ini} = 60$ sec, $t_m = 10$ sec, partial discharge < 5 pC	$V_{pd(m)}$	1375	V peak
After Input and/or Safety Test Subgroup 2 and Subgroup 3	$V_{IORM} \times 1.2 = V_{pd(m)}$ , $t_{ini} = 60$ sec, $t_m = 10$ sec, partial discharge < 5 pC	$V_{pd(m)}$	1018	V peak
Highest Allowable Overvoltage		$V_{IOTM}$	7000	V peak
Surge Isolation Voltage		$V_{IOSM}$	6000	V peak
Safety Limiting Values	$V_{IOSM(TEST)} = 10$ kV, 1.2 $\mu$ s rise time, 50 $\mu$ s, 50% fall time Maximum value allowed in the event of a failure (see Figure 2)			
Case Temperature		$T_S$	135	°C
Safety Total Dissipated Power		$P_S$	2.4	W
Insulation Resistance at $T_S$	$V_{IO} = 500$ V	$R_S$	>10 <sup>9</sup>	$\Omega$

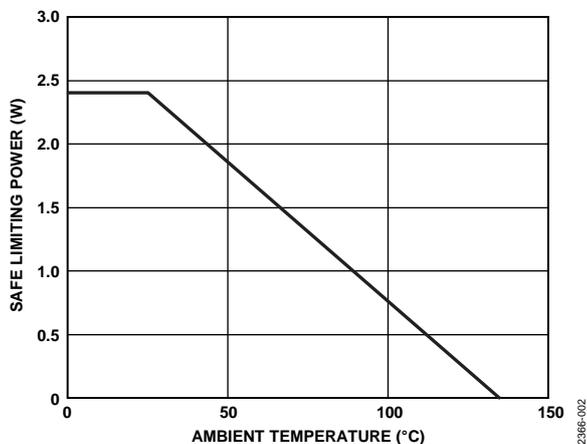


図 2. 温度ディレーティング・カーブ  
DIN V VDE V 0884-10 による安全な規定値の  
ケース温度に対する依存性

**推奨動作条件**

表 14.

Parameter	Symbol	Value
Operating Temperature Range	$T_A$	-40°C to +125°C
Supply Voltage Range <sup>1</sup>	$V_{DD1}, V_{DD2}$	3.0 V to 5.5 V
Input Signal Rise and Fall Times		1.0 ms

<sup>1</sup> 外部磁界耐性については、DC 精度と磁界耐性のセクションを参照してください。

## 絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 15.

Parameter	Rating
Storage Temperature ( $T_{ST}$ ) Range	$-65^\circ\text{C}$ to $+150^\circ\text{C}$
Ambient Operating Temperature ( $T_A$ ) Range	$-40^\circ\text{C}$ to $+125^\circ\text{C}$
Supply Voltages ( $V_{DD1}$ , $V_{DD2}$ )	$-0.5\text{ V}$ to $+7.0\text{ V}$
Input Voltages (MCLK, MSS, MO, SO, SSA0, SSA1)	$-0.5\text{ V}$ to $V_{DDx} + 0.5\text{ V}$
Output Voltages (SCLK, MI, SI, SS0 SS1, SS2, SS3)	$-0.5\text{ V}$ to $V_{DDx} + 0.5\text{ V}$
Average Output Current per Pin <sup>1</sup>	$-10\text{ mA}$ to $+10\text{ mA}$
Common-Mode Transients <sup>2</sup>	$-100\text{ kV}/\mu\text{s}$ to $+100\text{ kV}/\mu\text{s}$

<sup>1</sup> 温度に対する最大安全定格電流値については、図2を参照してください。

<sup>2</sup> 絶縁障壁にまたがる同相モード過渡電圧を表します。絶対最大定格を超える同相モード過渡電圧は、ラッチアップまたは永久故障の原因になります。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上での製品動作を定めたものではありません。製品を長時間絶対最大定格状態に置くと製品の信頼性に影響を与えます。

表 16.最大連続動作電圧<sup>1</sup>

Parameter	Max	Constraint
60 Hz AC Voltage	400 V rms	20-year lifetime at 0.1% failure rate, zero average voltage
DC Voltage	1173 V peak	Limited by the creepage of the package, Pollution Degree 2, Material Group II <sup>2,3</sup>

<sup>1</sup> 詳細については、絶縁寿命のセクションを参照してください。

<sup>2</sup> 他の汚染度と材料グループ条件では規定値は異なります。

<sup>3</sup> システム・レベル規格によっては、部品がプリント配線ボード(PWB)沿面距離の使用を許容している場合があります。サポートしているDC電圧は、これらの規格に対して高くなっている可能性があります。

## ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能説明

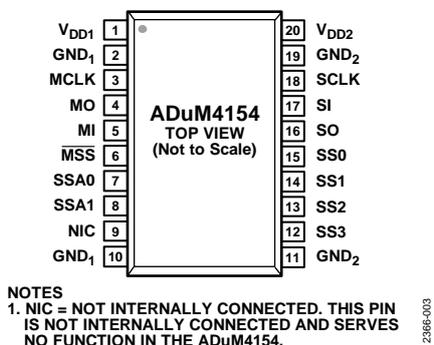


図 3. ピン配置

表 17. ピン機能の説明

ピン番号	記号	方向	説明
1	V <sub>DD1</sub>	Power	アイソレータ・サイド1の入力電源。バイパス・コンデンサを V <sub>DD1</sub> と GND <sub>1</sub> (ローカル・グラウンド)の間に接続する必要があります。
2、10	GND <sub>1</sub>	Return	グラウンド1。アイソレータ・サイド1のグラウンド基準電位とリターン。
3	MCLK	Input	マスター・コントローラからの SPI クロック。
4	MO	Input	マスターからスレーブ MO/SI ラインへの SPI データ。
5	MI	Output	スレーブからマスター MI/SO ラインへの SPI データ。
6	MSS	Input	マスターからのスレーブ・セレクト。この信号はアクティブ・ローです。スレーブ・セレクト・ピンは、速度グレードに応じて次のクロックまたはデータ・エッジから最大 10 ns のセットアップ・タイムを必要とします。
7	SSA0	Input	マルチプレクサ選択入力、下位ビット。
8	SSA1	Input	マルチプレクサ選択入力、上位ビット。
9	NIC		内部で未接続。このピンは内部で未接続。ADuM4154 の機能はありません。
11、19	GND <sub>2</sub>	Return	グラウンド2。アイソレータ・サイド2のグラウンド基準電位とリターン。
12	SS3	Output	スレーブのためのセレクト信号3。SS3の非セレクト時は高インピーダンス。
13	SS2	Output	スレーブのためのセレクト信号2。SS2の非セレクト時は高インピーダンス。
14	SS1	Output	スレーブのためのセレクト信号1。SS1の非セレクト時は高インピーダンス。
15	SS0	Output	スレーブのためのセレクト信号0。SS0の非セレクト時は高インピーダンス。
16	SO	Input	スレーブからマスター MI/SO ラインへの SPI データ。
17	SI	Output	マスターからスレーブ MO/SI ラインへの SPI データ。
18	SCLK	Output	マスター・コントローラからの SPI クロック。
20	V <sub>DD2</sub>	Power	アイソレータ・サイド2の入力電源。バイパス・コンデンサを V <sub>DD2</sub> と GND <sub>2</sub> (ローカル・グラウンド)の間に接続する必要があります。

表 18. マルチプレクサ・セレクトの真理値表<sup>1</sup>

MSS	Master Mux Inputs		Slave Mux Outputs			
	SSA0	SSA1	SS0	SS1	SS2	SS3
1	0	0	1	Z	Z	Z
0	0	0	0	Z	Z	Z
1	1	0	Z	1	Z	Z
0	1	0	Z	0	Z	Z
1	0	1	Z	Z	1	Z
0	0	1	Z	Z	0	Z
1	1	1	Z	Z	Z	1
0	1	1	Z	Z	Z	0

<sup>1</sup> Z = 高インピーダンス。

表 19. パワーオフ・デフォルト状態の真理値表 (正ロジック)<sup>1, 2</sup>

Master Side				Slave Side			
Power State	Output	Inputs		Power State	Input	Outputs	
V <sub>DD1</sub>	MI	MCLK	MO	V <sub>DD2</sub>	SO	SCLK	SI
Unpowered <sup>3</sup>	Z	X	X	Powered	X	Z	Z
Powered	Z	X	X	Unpowered <sup>3</sup>	X	Z	Z
Powered	1	1	1	Powered	1	1	1
Powered	0	0	0	Powered	0	0	0

<sup>1</sup> Z = 高インピーダンス。

<sup>2</sup> X = 無関係。

<sup>3</sup> 電源がない側の出力は高インピーダンスで、グラウンドから 1 ダイオード降下分以内です。

代表的な性能特性

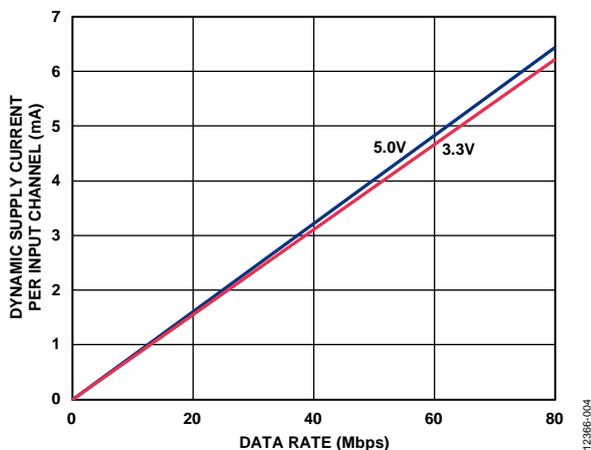


図 4.5.0 V および 3.3 V 動作でのデータレート対入力チャンネル当たりのダイナミック電源電流

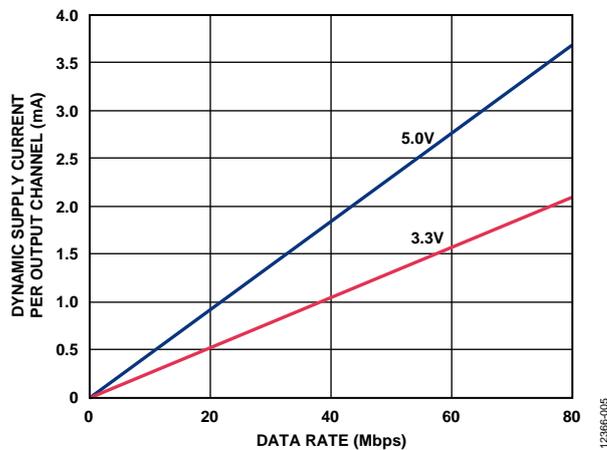


図 5.7.5.0 V および 3.3 V 動作でのデータレート対出力チャンネル当たりのダイナミック電源電流

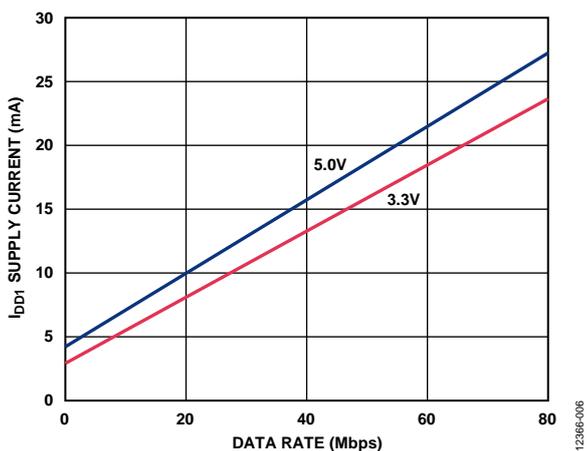


図 6.5.5.0 V および 3.3 V 動作でのデータレート対 I<sub>DD1</sub> 電源電流

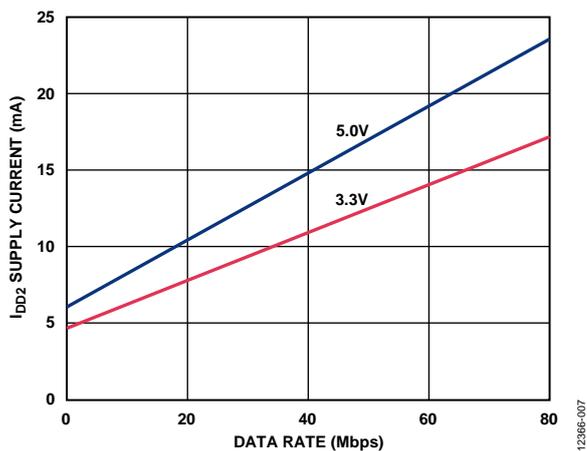


図 7.5.5.0 V および 3.3 V 動作でのデータレート対 I<sub>DD2</sub> 電源電流

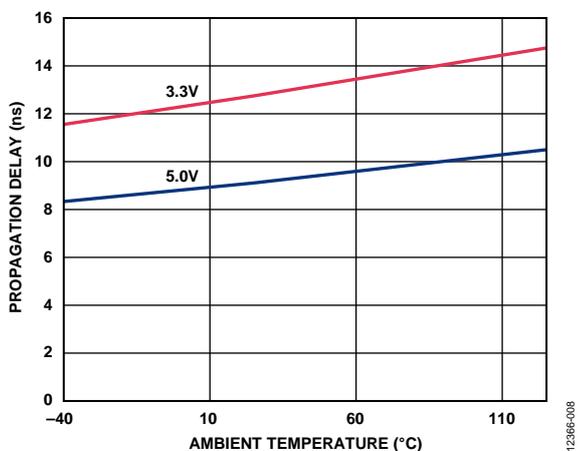


図 8.6.周囲温度対高速チャンネル伝搬遅延  
グリッチ・フィルタなし  
(高速チャンネルのセクション参照)

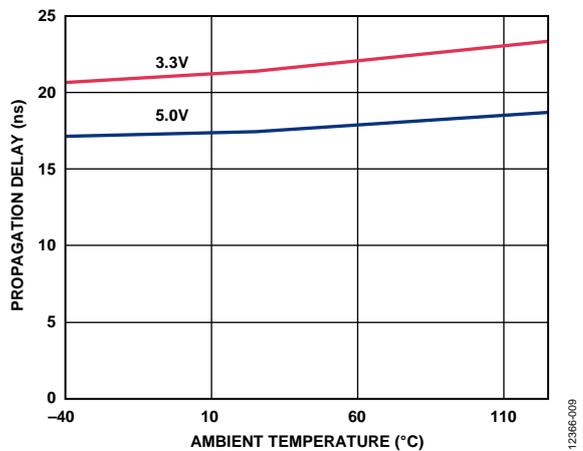


図 9.9.周囲温度対高速チャンネル伝搬遅延  
グリッチ・フィルタ使用  
(高速チャンネルのセクション参照)

## アプリケーション情報

### はじめに

ADuM4154 では、速度に対して SPI アイソレーションを最適化し、制御およびステータス・モニタリング機能向けに低速チャンネルを追加しています。アイソレータでは、速度とノイズ耐性を強化するため差動シグナリング *iCoupler* 技術を採用しています。

### 高速チャンネル

ADuM4154 は 4 個の高速チャンネルを内蔵しています。最初の 3 チャンネル CLK、MI/SO、MO/SI (スラッシュ(/)はアイソレータを跨ぐ特定の入力および出力チャンネルの接続を表します)は、B グレードでは伝搬遅延の最小化向けに、A グレードでは高ノイズ耐性向けに、それぞれ最適化されています。グレード間の違いは、A グレード・バージョンのこれら 3 チャンネルにグリッチ・フィルタ(伝搬遅延が増えます)が追加されていることです。最大伝搬遅延の 14 ns の B グレード・バージョンは、標準の 4 線式 SPI で 17 MHz の最大クロック・レートをサポートしますが、B グレード・バージョンではグリッチ・フィルタがないので、通信線上に 10 ns より小さいスプリアス・グリッチは生じません。

B グレード・デバイスに 10 ns より小さいグリッチが入力されると、グリッチの 2 番目のエッジが検知できません。このパルス条件は後段の出力でのスプリアス・データ変化(入力と異なるデータ変化)として現れ、リフレッシュまたは次の有効データ・エッジまで補正されません。ノイズの多い環境では A グレード・デバイスの使用が推奨されます。

SPI 信号パス、ADuM4154 のピン記号、データ方向の間の関係を表 20 に示します。

表 20.ピン記号と SPI 信号パス名の対応

SPI Signal Path	Master Side 1	Data Direction	Slave Side 2
CLK	MCLK	→	SCLK
MO/SI	MO	→	SI
MI/SO	MI	←	SO
$\overline{SS}$	$\overline{MSS}$	→	$\overline{SSx}$

データパスは、SPI の動作モードを自ら知ることはできません。CLK と MO/SI SPI データ経路は、伝搬遅延とチャンネル間マッチングについて最適化されています。MI/SO SPI データ経路は、伝搬遅延について最適化されています。デバイスはクロック・チャンネルに対して同期化されていないため、クロック極性またはデータラインに対するタイミングについて制約がありません。

$\overline{SS}$  エラー! ブックマークが定義されていません。(スレーブ・セレクト・バー)は、通常アクティブ・ロー信号です。 $\overline{SS}$ は、SPI バスおよび SPI に似たバスで様々な機能を持ちます。これらの多くの機能はエッジ・トリガであるため、A グレードと B グレードの  $\overline{SS}$  の経路にはグリッチ・フィルタが内蔵されています。グリッチ・フィルタは、短いパルスが出力へ伝搬するのを阻止し、他の誤動作を防止します。B グレード・デバイスの  $\overline{MSS}$  信号では、グリッチ・フィルタによる伝播遅延を考慮して最初のアクティブ・クロック・エッジに対して 10 ns のセットアップ・タイムを必要とします。

### スレーブ・セレクト・マルチプレクサ

ADuM4154 を通して、最大 4 つの独立したスレーブ・デバイスを制御することができます。図 10 に、汎用アイソレータによる実現方法を示します。1 つのアイソレーション・チャンネルが各スレーブ・セレクトに対して必要なため、4 個のスレーブへ双方向データを転送するためには 7 つの高速チャンネルが必要です。

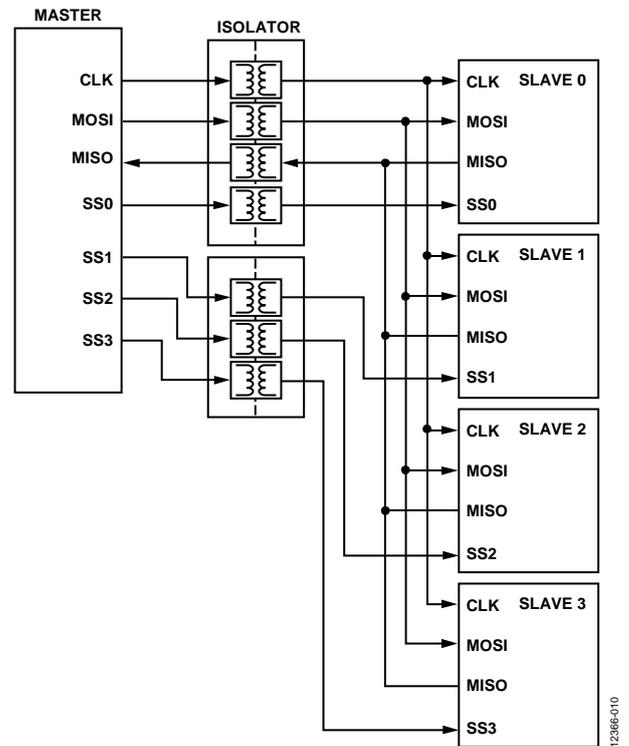


図 10.標準アイソレータを使用した複数スレーブの制御

図 11 に、最大 4 個のスレーブを ADuM4154 から制御する方法を示します。図では、MSS 入力をアイソレータのスレーブ側の 4 個の出力の 1 つに接続し、この接続により、標準ソリューションと比較してアイソレーション・チャンネルが 3 個削減されています。

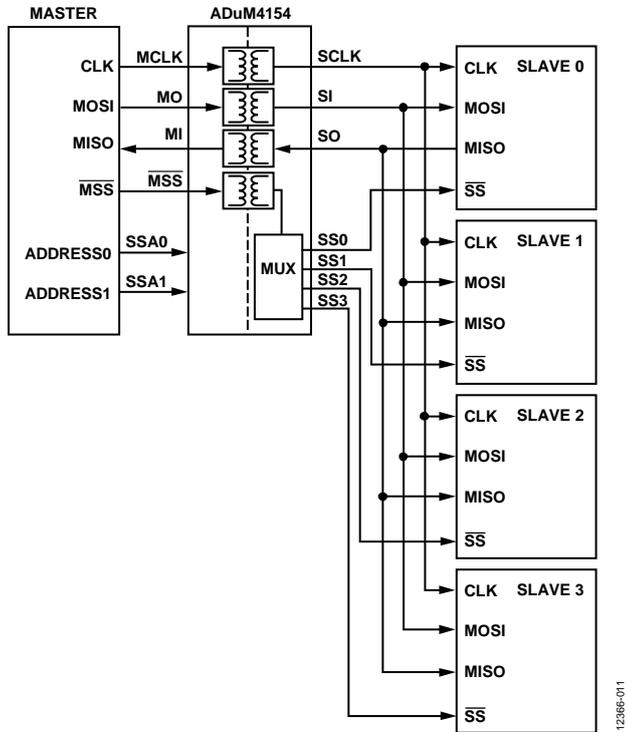


図 11. 複数スレーブの制御

マルチプレクサ・セレクト・ラインは、ADuM4154 の DC 正当保証方式の一部として組み込まれている低速チャンネルです。デバイスの与えられたサイドのすべての高速および低速入力の DC 値が同時にサンプルされ、パッケージ化され、アイソレーション・コイルを跨いでシフトされます。高速チャンネルの DC 精度が比較され、低速マルチプレクサ・セレクト・ライン SSA0 と SSA1 は、マルチプレクサ制御ブロックへ転送されます。高速チャンネルの DC 正当保証データは、チップ外から見えないように内部で処理されます。

このデータはフリー・ランニング内部クロックでレギュレーションされます。データはこのクロックを使って離散時間にサンプルされるため、マルチプレクサ・セレクト・ラインの伝搬遅延は、内部サンプル・クロックに対してどこで入力データ・エッジが変化するかに応じて、0.1  $\mu\text{s}$  ~ 2.6  $\mu\text{s}$  になります。最大 2.6  $\mu\text{s}$  のアドレス伝搬遅延時間経過後、マルチプレクサは MSS 信号を所望の出力へ接続します。選択されない出力は高インピーダンスになり、アプリケーションからこれらを所望のアイドル状態にします。

図 12 に、SSA0 と SSA1 の両チャンネルの動作を示します。この図では、MSS がロー・レベルで、SS0、SS1、SS2、SS3 はプルアップされているものと想定しています。

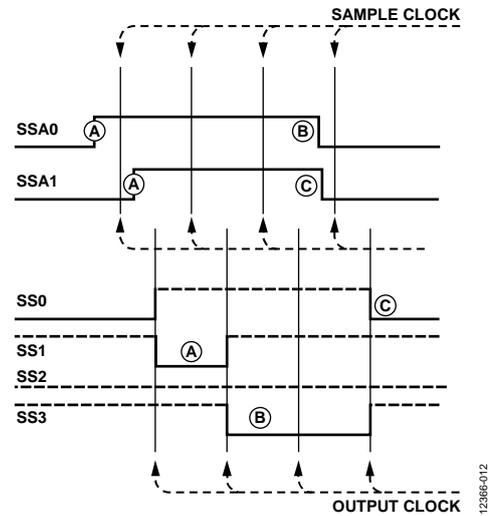


図 12. マルチプレクサ・セレクトのタイミング

図 12 に示すマルチプレクサ・セレクト・タイミングについて次に説明します。

- ポイント A: マルチプレクサ・セレクト・ラインは  $t_{SSA\text{NSKEW}}$  時間内に同時に切り替わる必要があります。そうしないと、エッジと不適切なマルチプレクサ出力の選択との間での入力のサンプリングを許してしまいます。SS1 上のポイント A は、出力マルチプレクサ上の不安定状態で SSA0 と SSA1 の間が広いことから発生しています。
- ポイント B: マルチプレクサ・セレクト・ラインを予測処理するためには、SSA0 と SSA1 の状態が 4  $\mu\text{s}$  以上安定した後に、マルチプレクサを別の出力へ切り替える必要があります。これにより、入力から少なくとも 2 個のサンプルを取得した後に、マルチプレクサ出力が切り替わることが保証されます。
- ポイント C: 図 12 のこのポイントは、SS3 のアクティブと SS0 のアクティブの間のクリーンな転送を表しています。このマルチプレクサは、選択された 2 つの出力間で短い継続時間の不安定状態が発生しないようにデザインされています。

### プリント回路ボード(PCB)のレイアウト

ADuM4154 デジタル・アイソレータには、ロジック・インターフェースのための外付け回路は不要です。V<sub>DD1</sub> 電源ピンと V<sub>DD2</sub> 電源ピンには電源バイパス・コンデンサを接続することが推奨されます(図 13 参照)。コンデンサの値は、0.01μF~0.1μF とする必要があります。コンデンサの両端と入力電源ピンとの間の合計リード長は 20 mm 以下にする必要があります。

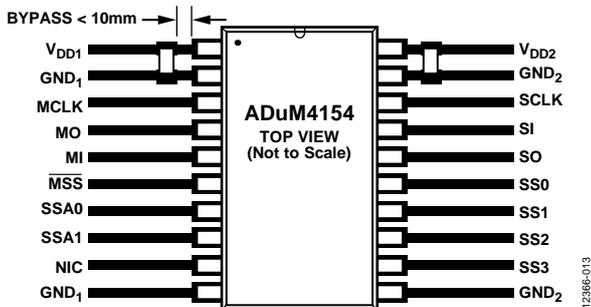


図 13.推奨 PCB レイアウト

高い同相モード過渡電圧が発生するアプリケーションでは、アイソレーション・バリアを通過するボード結合が最小になるようにすることが重要です。さらに、如何なるカップリングもデバイス側のすべてのピンで等しく発生するように PCB レイアウトをデザインしてください。この注意を怠ると、ピン間で発生する電位差がデバイスの絶対最大定格を超えてしまい、ラッチアップまたは恒久的な損傷が発生することがあります。

### 伝搬遅延に関するパラメータ

伝搬遅延時間は、ロジック信号がデバイスを通過するのに要する時間を表すパラメータです。ハイ・レベルからロー・レベル変化の入出力間伝搬遅延は、ロー・レベルからハイ・レベル変化の伝搬遅延と異なることがあります。

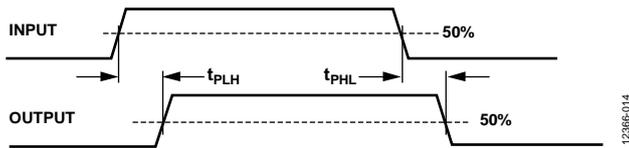


図 14.伝搬遅延パラメータ

パルス幅歪みとはこれら 2 つのエッジの伝搬遅延時間の最大の差を意味し、入力信号のタイミングが保存される精度を表します。

チャンネル間マッチングとは、1 つの ADuM4154 デバイス内にある複数のチャンネル間の伝搬遅延差の最大値を意味します。

### DC 高精度と磁界耐性

アイソレータ入力での正および負のロジック変化により、細かいパルス(約 1 ns)がトランスを経由してデコーダに送られます。デコーダは双安定であるため、パルスによるセットまたはリセットにより入力ロジックの変化が出力に表されます。約 1.2 μs 以上入力にロジック変化がない場合、正常な入力状態を表す周期的なリフレッシュ・パルス列データのセットを低速チャンネルを介して送信して、出力での DC を正しいデータに維持します。受信側デコーダが約 5μs 間以上このパルスを受信しないと、入力側が電源オフであるか非動作状態にあると見なされ、このウォッチドッグ・タイマ回路によりアイソレータ出力が強制的に高インピーダンス状態にされます。

このデバイスの磁界耐性の限界は、トランスの受信側コイルに発生する誘導電圧が十分大きくなり、デコーダをセットまたはリセットさせる誤動作が発生することで決まります。次の解析によりこのような条件が決定されます。ADuM4154 の 3 V 動作は最も感度の高い動作モードであるため、この条件を調べます。

トランス出力でのパルスは 1.5 V 以上の振幅を持っています。デコーダは約 1.0 V の検出スレッシュホールドを持つので、誘導電圧に対しては 0.5 V の余裕を持っています。受信側コイルへの誘導電圧は次式で与えられます。

$$V = (-d\beta/dt)\Sigma\pi r_n^2; n = 1, 2, \dots, N$$

ここで

$\beta$  は磁束密度。

$r_n$  は受信側コイルの巻数  $n$  回目の半径。

$N$  は受信側コイルの巻き数。

ADuM4154 受信側コイルの形状が与えられ、かつ誘導電圧がデコーダにおける 0.5 V 余裕の最大 50%であるという条件が与えられると、最大許容磁界は図 15 のように計算されます。

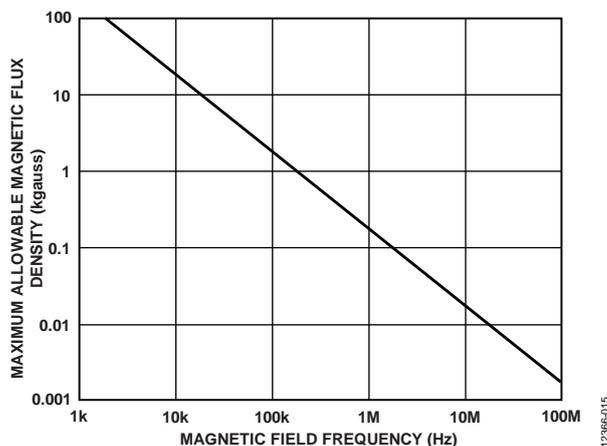


図 15.最大許容外付け磁束密度

例えば、磁界周波数= 1 MHz で、最大許容磁界= 0.5 Kgauss の場合、受信側コイルでの誘導電圧は 0.25 V になります。この電圧は検出スレッシュホールドの約 50% であるため、出力変化の誤動作はありません。最悪極性で仮にこのような条件が送信パルス内に存在しても、干渉が受信パルスを 1.0 V 以上から 0.75V へ減少されるため、デコーダの検出スレッシュホールド 0.5 V に対してこの電圧はなお余裕を持っています。

前述の磁束密度値は、ADuM4154 トランスから与えられた距離だけ離れた特定の電流値に対応します。図 16 に、周波数の関数としての許容電流値をいくつかの特定の距離に対して示します。ADuM4154 は、外部磁界に対して良好な耐性を持っています。極めて大きな高周波電流がデバイスの非常に近いところにある場合にのみ問題になります。1 MHz の例では、デバイス動作に影響を与えるためには、1.2 kA の電流を ADuM4154 から 5 mm の距離まで近づける必要があります。

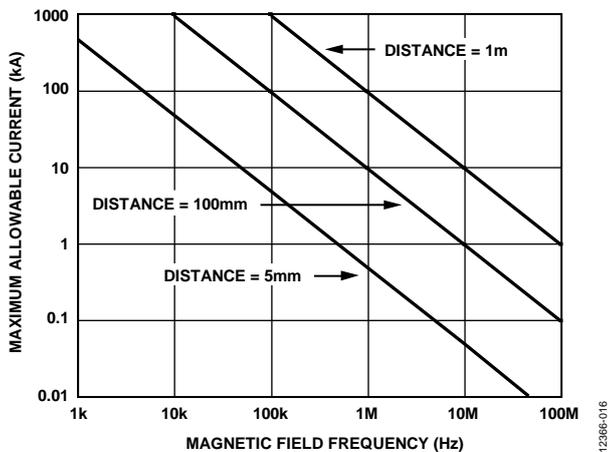


図 16. 様々な電流値と ADuM4154 までの距離に対する最大許容電流

強い磁界と高周波が組合わさると、PCB パターンで形成されるループに十分大きな誤差電圧が誘導されて、後段回路のスレッシュホールドがトリガされてしまうことがあります。ループを形成する PCB 構造を回避するように注意してください。

## 消費電力

ADuM4154 アイソレータ内にあるチャンネルの電源電流は、電源電圧、チャンネルのデータレート、チャンネルの出力負荷、チャンネルが高速か低速かによって変わってきます。

低速チャンネルでは、内部ピンポン・データパス（データの周期的な相互のやり取り）で発生する静止電流は一定です。動作周波数が十分低いため、推奨容量負荷により発生する容量損失が静止電流に比較して無視できます。データ・レートの明確な計算は省略します。低速チャンネルから発生するアイソレータの各サイドの静止電流は、特定の動作電圧に対して表 3、表 5、表 7、表 9 に記載されています。

これらの静止電流が高速電流に加算されます。次にアイソレータの各サイドの合計電流を示します。ダイナミック電流は、それぞれの電圧に対して表 3 と表 5 から取得します。

サイド 1 の場合、電源電流は、

$$I_{DD1} = I_{DD1(D)} \times (f_{MCLK} + f_{MO} + f_{MSS}) + f_{MI} \times (I_{DDO(D)} + ((0.5 \times 10^{-3}) \times C_{L(MI)} \times V_{DD1})) + I_{DD1(Q)}$$

サイド 2 の場合、電源電流は、

$$I_{DD2} = I_{DD1(D)} \times f_{SO} + f_{SCLK} \times (I_{DDO(D)} + ((0.5 \times 10^{-3}) \times C_{L(SCLK)} \times V_{DD2})) + f_{SI} \times (I_{DDO(D)} + ((0.5 \times 10^{-3}) \times C_{L(SI)} \times V_{DD2})) + f_{SSx} \times (I_{DDO(D)} + ((0.5 \times 10^{-3}) \times C_{L(SSx)} \times V_{DD2})) + I_{DD2(Q)}$$

ここで、

$I_{DD1(D)}$  と  $I_{DD2(D)}$  は、それぞれチャンネル当たりの入力ダイナミック電源電流と出力ダイナミック電源電流です (mA/Mbps)。

$f_x$  は、指定チャンネルのロジック信号データレート (Mbps)。

$I_{DD1(Q)}$ 、 $I_{DD2(Q)}$  は指定サイド 1 とサイド 2 の静止電源電流 (mA)。

$C_{L(x)}$  は、指定出力の負荷容量 (pF)。

$V_{DDx}$  は、評価されるサイドの電源電圧 (V)。

図 4 と図 7 に、入力と無負荷状態の出力に対して、データレートの関数としてのチャンネル当たりの電源電流 (typ) を示します。図 5 と図 8 に、すべての高速チャンネルを同じ速度で動作させ、低速チャンネルをアイドルさせた ADuM4154 チャンネル構成に対して、データレートの関数としての  $I_{DD1}$  と  $I_{DD2}$  の電源電流を示します。

## 絶縁寿命

すべての絶縁構造は、十分長い時間電圧ストレスを受けるとブレイクダウンします。絶縁性能の低下率は、絶縁バリアに加えらる電圧波形の特性、材料、材料の使用 방법에依存します。

注目すべき 2 つのタイプの絶縁劣化は、空気にさらされた表面のブレイクダウンと絶縁疲労です。表面ブレイクダウンは表面トラッキング現象（絶縁物表面を電流が流れる現象）で、システム・レベル規格の沿面距離 (Creepage) 条件で主に決定されます。絶縁疲労は、チャージ・インジェクションまたは絶縁材料内部の変位電流により長時間絶縁低下が生じる現象です。

### 表面トラッキング

表面トラッキングは、動作電圧、環境条件、絶縁材料特性に基づく最小沿面距離を設定することにより、電気的安全規格で規定されています。安全性規制当局は、部品の表面絶縁についてキャラクタライゼーション・テストを行います。これにより部品を異なる材料グループに分けることができます。材料グループのレベルが下のものほど表面トラッキングに対して強い耐性を持つため、小さい沿面距離で十分な寿命を持つことができます。与えられた動作電圧と材料グループに対する最小沿面距離は、各システム・レベル規格内にあり、アイソレーションを跨ぐ合計 rms 電圧、汚染度、材料グループに基づきます。ADuM4154 アイソレータの材料グループと沿面距離を表 12 に示します。

### 絶縁疲労

疲労による絶縁寿命は、厚さ、材料特性、加わる電圧ストレスにより決定されます。製品寿命がアプリケーション動作電圧で適切であることを確認することが重要です。疲労に対してアイソレータがサポートしている動作電圧は、トラッキングに対してサポートしている動作電圧と同じでないことがあります。大部分の規格で規定されているトラッキングに適用できるのは動作電圧です。

長時間性能低下の主な原因はポリイミド絶縁体内の変位電流であり、時間とともに損傷を大きくしていることを、テストとモデルが示しています。絶縁体上のストレスは、DC ストレスと時間変化する AC 成分の 2 つの広いカテゴリに分類することができます。DC ストレスは変位電流がないため殆ど疲労を発生しませんが、時間変化する AC 成分の電圧ストレスは疲労を発生します。

認定ドキュメントに記載する定格は、通常 60 Hz の正弦波ストレスに基づいています。これは、ライン電圧からのアイソレーションを反映するためです。ただし、多くの実用的なアプリケーションは、60 Hz AC と絶縁バリアを跨ぐ DC との組み合わせを持っています (式 1 参照)。ストレスの AC 部分のみが疲労を発生させるため、式を AC rms 電圧を求めるように変形することができます (式 2 参照)。この製品で使用しているポリイミド材料での絶縁疲労の場合、AC rms 電圧が製品寿命を決定します。

$$V_{RMS} = \sqrt{V_{AC\ RMS}^2 + V_{DC}^2} \quad (1)$$

または

$$V_{AC\ RMS} = \sqrt{V_{RMS}^2 - V_{DC}^2} \quad (2)$$

ここで、

$V_{RMS}$  は合計 rms 動作電圧。

$V_{AC\ RMS}$  は動作電圧の時間変化部分。

$V_{DC}$  は動作電圧の DC オフセット。

### 計算とパラメータ使用の例

電力変換アプリケーションで頻繁に発生する例を次に示します。アイソレーション・バリアの片側のライン電圧は 240 V<sub>AC RMS</sub> とし、アイソレーション・バリアのもう一方の側のバス電圧は 400 V<sub>DC</sub> とします。アイソレータ材料はポリイミドです。デバイスの沿面距離と寿命を求める際のクリティカル電圧を定めるため、図 17 と次式を参照してください。

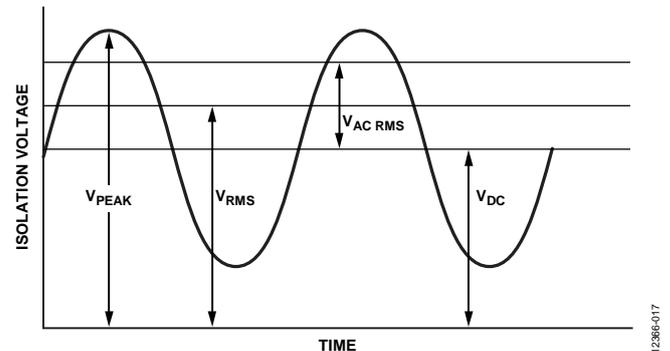


図 17.クリティカル電圧の例

式 1 の障壁を跨ぐ動作電圧は、

$$V_{RMS} = \sqrt{V_{AC\ RMS}^2 + V_{DC}^2}$$

$$V_{RMS} = \sqrt{240^2 + 400^2}$$

$$V_{RMS} = 466\text{ V}$$

466 V rms が、システム規格から要求される沿面距離を調べる際に材料グループおよび汚染度と組み合わせて使用する動作電圧です。

寿命が適切であることを調べるときは、動作電圧の時間変化部分を取り出します。AC rms 電圧は式 2 から得られます。

$$V_{AC\ RMS} = \sqrt{V_{RMS}^2 - V_{DC}^2}$$

$$V_{AC\ RMS} = \sqrt{466^2 - 400^2}$$

$$V_{AC\ RMS} = 240\text{ V}$$

この場合、 $V_{AC\ RMS}$  はライン電圧 240 V<sub>RMS</sub> になります。この計算は、波形が正弦波でない場合さらに適切になります。この値を表 16 に示す動作電圧の規定値と予想寿命について比較すると、60 Hz より低い正弦波では 50 年のサービス寿命規定値を満たしています。

表 16 に示す DC 動作電圧規定値は、IEC 60664-1 の規定に準拠してパッケージの沿面距離により設定されていることに注意してください。この値は特定のシステム・レベル規格と異なることがあります。

外形寸法

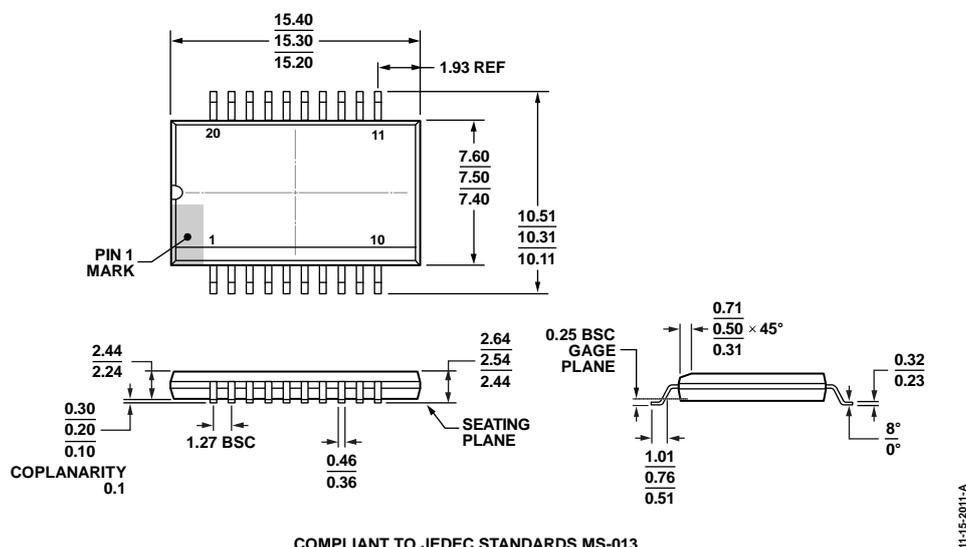


図 18.20 ピン標準スモール・アウトライン・パッケージ、クリーペッジ強化型 [SOIC\_IC] ワイド・ボディ (RI-20-1)  
寸法: mm

オーダー・ガイド

Model <sup>1, 2</sup>	No. of Inputs, V <sub>DD1</sub> Side	No. of Inputs, V <sub>DD2</sub> Side	Maximum Data Rate (MHz)	Maximum Propagation Delay, 5 V (ns)	Isolation Rating (V rms)	Temperature Range	Package Description	Package Option
ADuM4154ARIZ	5	1	1	25	5000	-40°C to +125°C	20-Lead SOIC_IC	RI-20-1
ADuM4154ARIZ-RL	5	1	1	25	5000	-40°C to +125°C	20-Lead SOIC_IC, 13" Tape and Reel	RI-20-1
ADuM4154BRIZ	5	1	17	14	5000	-40°C to +125°C	20-Lead SOIC_IC	RI-20-1
ADuM4154BRIZ-RL	5	1	17	14	5000	-40°C to +125°C	20-Lead SOIC_IC, 13" Tape and Reel	RI-20-1
EVAL-ADuM3154Z							Evaluation Board	

<sup>1</sup> Z = RoHS 準拠製品。

<sup>2</sup> EVAL-ADuM3154Z では、評価用に機能的に等価なデバイスを使用しています。EVAL-ADuM3154Z 評価用ボードのパッド・レイアウトでは、20ピン SOIC\_IC パッケージをサポートしていません。