



# 単電源／両電源、高電圧絶縁型 IGBT ゲート・ドライバ

データシート

ADuM4136

## 特長

- 4 A ピーク・ドライブの出力機能
- 出力電力デバイス抵抗: <math>< 1 \Omega</math>
- 非飽和保護の機能
  - 絶縁型の故障出力
  - 故障時のソフト・シャットダウン
- 絶縁故障およびレディ通知機能
- 低伝搬遅延: 55 ns (typ)
- 最小パルス幅: 50 ns
- 動作温度範囲:  $-40^\circ\text{C} \sim +125^\circ\text{C}$
- 出力電圧範囲: 最大 35 V
- 入力電圧範囲: 2.5 V  $\sim$  6 V
- 出力／入力の低電圧ロックアウト (UVLO)
- 沿面距離: 最小 7.8 mm
- 100 kV/ $\mu\text{s}$  の最小コモンモード過渡耐圧 (CMTI)
- 600 V rms または 1092 V dc の動作電圧での耐用年数: 20 年
- 安全性と規制に対する認定 (申請中)
  - 5 kV ac、1 分間、UL 1577 準拠
  - CSA Component Acceptance Notice 5A
  - DIN V VDE V 0884-10 (VDE V 0884-10) : 2006-12
  - $V_{\text{IORM}} = 849 \text{ V peak}$  (基本)

## アプリケーション

- MOSFET/IGBT ゲート・ドライバ
- 太陽光発電 (PV) インバータ
- モーター駆動
- 電源

## 概要

ADuM4136 は、絶縁型ゲート・バイポーラ・トランジスタ (IGBT) の駆動用に特別に最適化された 1 チャンネル・ゲート・ドライバです。入力信号と出力ゲート・ドライバ間の絶縁には、アナログ・デバイセズの iCoupler® 技術が使用されています。

ユニポーラまたはバイポーラの 2 次電源による動作も可能で、必要な場合は負のゲート駆動にも対応できます。

アナログ・デバイセズのチップ・スケール・トランスを搭載しているため、チップの高電圧領域と低電圧領域間で制御情報の絶縁型通信も可能です。チップの状態に関する情報は、専用の出力から読み出すことができます。2 次側での故障発生後のデバイスのリセット制御は、デバイスの 1 次側で行います。

ADuM4136 には、高電圧短絡回路の IGBT 動作を保護する非飽和検出回路が内蔵されています。非飽和保護の機能には、最初のターンオンによる電圧スパイクをマスクすることを目的とした、スイッチング・イベント後の 312 ns (typ) のマスキング時間など、ノイズ低減機能も含まれます。537  $\mu\text{A}$  (typ) の電流源を内蔵しているため、デバイス数を少なくできます。ただし、ノイズ耐性を向上する必要がある場合は、内部ブランキング・スイッチを使用して外部電流源を追加できます。

一般的な IGBT 閾値レベルを考慮して、2 次側の UVLO は 12 V に設定されています。

## 機能ブロック図

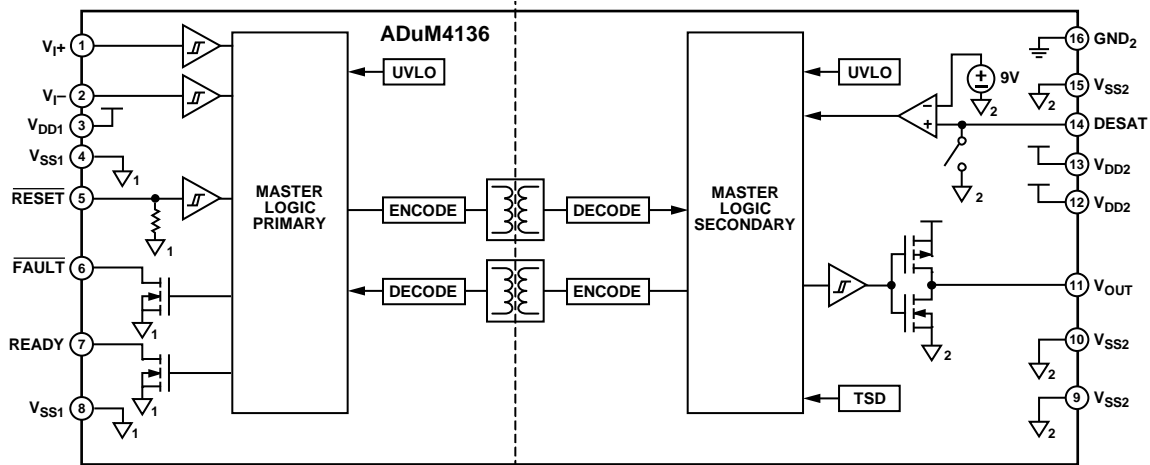


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2016 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル  
電話 03 (5402) 8200  
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー  
電話 06 (6350) 6868

## 目次

|   |   |                     |    |
|---|---|---------------------|----|
| 特長.....                                       | 1 | ピン配置およびピン機能の説明..... | 7  |
| アプリケーション.....                                 | 1 | 代表的な性能特性.....       | 8  |
| 概要.....                                       | 1 | アプリケーション情報.....     | 11 |
| 機能ブロック図.....                                  | 1 | PCB レイアウト.....      | 11 |
| 改訂履歴.....                                     | 2 | 伝搬遅延に関するパラメータ.....  | 11 |
| 仕様.....                                       | 3 | 保護機能.....           | 11 |
| 電気的特性.....                                    | 3 | 消費電力.....           | 13 |
| パッケージ特性.....                                  | 4 | DC 精度と磁界耐性.....     | 13 |
| 適用規格.....                                     | 4 | 絶縁寿命.....           | 13 |
| 絶縁および安全性関連の仕様.....                            | 4 | 代表的なアプリケーション.....   | 15 |
| DIN V VDE V 0884-10 (VDE V 0884-10) 絶縁特性..... | 5 | 外形寸法.....           | 16 |
| 推奨動作条件.....                                   | 5 | オーダー・ガイド.....       | 16 |
| 絶対最大定格.....                                   | 6 |                     |    |
| ESD に関する注意.....                               | 6 |                     |    |

## 改訂履歴

7/2016—Revision 0: Initial Version

## 仕様

## 電気的特性

ローサイド電圧は  $V_{SS1}$  を基準としています。ハイサイド電圧は  $GND_2$ 、 $2.5\text{ V} \leq V_{DD1} \leq 6\text{ V}$ 、 $12\text{ V} \leq V_{DD2} \leq 35\text{ V}$ 、および  $T_J = -40\text{ }^\circ\text{C} \sim +125\text{ }^\circ\text{C}$  を基準としています。特に断りのない限り、他のすべての最小/最大の仕様規定は推奨動作範囲の全体に適用されます。すべての代表仕様は、 $T_J = 25\text{ }^\circ\text{C}$ 、 $V_{DD1} = 5.0\text{ V}$ 、 $V_{DD2} = 15\text{ V}$  での値です。

表 1.

| Parameter  | Symbol                                 | Min                  | Typ   | Max                  | Unit             | Test Conditions/Comments  |
|--|--|----------------------|-------|----------------------|------------------|---|
| <b>DC SPECIFICATIONS</b>   |  |                      |       |                      |                  |   |
| High-Side Power Supply   |  |                      |       |                      |                  |   |
| Input Voltage  |  |                      |       |                      |                  |   |
| $V_{DD2}$  | $V_{DD2}$                              | 12                   |       | 35                   | V                | $V_{DD2} - V_{SS2} \leq 35\text{ V}$  |
| $V_{SS2}$  | $V_{SS2}$                              | -15                  |       | 0                    | V                |   |
| Input Current, Quiescent   |  |                      |       |                      |                  |   |
| $V_{DD2}$  | $I_{DD2(Q)}$                           |                      | 3.62  | 4.49                 | mA               | Ready high  |
| $V_{SS2}$  | $I_{SS2(Q)}$                           |                      | 4.82  | 6.21                 | mA               |   |
| Logic Supply   |  |                      |       |                      |                  |   |
| $V_{DD1}$ Input Voltage  |  |                      |       |                      |                  |   |
| $V_{DD1}$  | $V_{DD1}$                              | 2.5                  |       | 6                    | V                |   |
| Input Current  |  |                      |       |                      |                  |   |
| Output Low   | $I_{DD1}$                              |                      | 1.78  | 2.17                 | mA               | Output signal low   |
| Output High  |  |                      | 4.78  | 5.89                 | mA               | Output signal high  |
| Logic Inputs ( $V_{I+}$ , $V_{I-}$ , $\overline{\text{RESET}}$ ) |  |                      |       |                      |                  |   |
| Input Current ( $V_{I+}$ , $V_{I-}$ Only)                        |  |                      |       |                      |                  |   |
| $V_{I+}$   | $I_I$                                  | -1                   | +0.01 | +1                   | $\mu\text{A}$    |   |
| Input Voltage  |  |                      |       |                      |                  |   |
| Logic High   | $V_{IH}$                               | $0.7 \times V_{DD1}$ |       |                      | V                | $2.5\text{ V} \leq V_{DD1} - V_{SS1} \leq 5\text{ V}$   |
|  |  | 3.5                  |       |                      | V                | $V_{DD1} - V_{SS1} > 5\text{ V}$  |
| Logic Low  | $V_{IL}$                               |                      |       | $0.3 \times V_{DD1}$ | V                | $2.5\text{ V} \leq V_{DD1} - V_{SS1} \leq 5\text{ V}$   |
|  |  |                      |       | 1.5                  | V                | $V_{DD1} - V_{SS1} > 5\text{ V}$  |
| $\overline{\text{RESET}}$ Internal Pull-Down                     |  |                      |       |                      |                  |   |
|  | $R_{\overline{\text{RESET}}\_PD}$      |                      | 300   |                      | k $\Omega$       |   |
| Undervoltage Lockout (UVLO)                                      |  |                      |       |                      |                  |   |
| $V_{DD1}$  |  |                      |       |                      |                  |   |
| Positive Going Threshold   | $V_{VDD1UV+}$                          |                      | 2.43  | 2.49                 | V                |   |
| Negative Going Threshold   | $V_{VDD1UV-}$                          | 2.29                 | 2.34  |                      | V                |   |
| Hysteresis   | $V_{VDD1UVH}$                          |                      | 0.09  |                      | V                |   |
| $V_{DD2}$  |  |                      |       |                      |                  |   |
| Positive Going Threshold   | $V_{VDD2UV+}$                          |                      | 11.6  | 12.0                 | V                |   |
| Negative Going Threshold   | $V_{VDD2UV-}$                          | 10.4                 | 11.2  |                      | V                |   |
| Hysteresis   | $V_{VDD2UVH}$                          |                      | 0.4   |                      | V                |   |
| $\overline{\text{FAULT}}$ Pull-Down FET Resistance               |  |                      |       |                      |                  |   |
|  | $R_{\overline{\text{FAULT}}\_PD\_FET}$ |                      | 11    | 50                   | $\Omega$         | Tested at 5 mA  |
| READY Pull-Down FET Resistance                                   |  |                      |       |                      |                  |   |
|  | $R_{RDY\_PD\_FET}$                     |                      | 11    | 50                   | $\Omega$         | Tested at 5 mA  |
| Desaturation (DESAT)   |  |                      |       |                      |                  |   |
| Desaturation Detect Comparator Voltage                           |  |                      |       |                      |                  |   |
|  | $V_{DESAT\_TH}$                        | 8.66                 | 9.2   | 9.57                 | V                |   |
| Internal Current Source  |  |                      |       |                      |                  |   |
|  | $I_{DESAT\_SRC}$                       | 466                  | 537   | 592                  | $\mu\text{A}$    |   |
| Thermal Shutdown (TSD)   |  |                      |       |                      |                  |   |
| TSD Positive Edge  |  |                      |       |                      |                  |   |
|  | $T_{TSD\_POS}$                         |                      | 155   |                      | $^\circ\text{C}$ |   |
| TSD Hysteresis   |  |                      |       |                      |                  |   |
|  | $T_{TSD\_HYST}$                        |                      | 20    |                      | $^\circ\text{C}$ |   |
| Internal NMOS Gate On Resistance                                 |  |                      |       |                      |                  |   |
|  | $R_{DSON\_N}$                          |                      | 322   | 625                  | m $\Omega$       | Tested at 250 mA  |
|  |  |                      | 325   | 625                  | m $\Omega$       | Tested at 1 A   |
| Internal PMOS Gate On Resistance                                 |  |                      |       |                      |                  |   |
|  | $R_{DSON\_P}$                          |                      | 475   | 975                  | m $\Omega$       | Tested at 250 mA  |
|  |  |                      | 480   | 975                  | m $\Omega$       | Tested at 1 A   |
| Soft Shutdown NMOS On Resistance                                 |  |                      |       |                      |                  |   |
|  | $R_{DSON\_FAULT}$                      |                      | 10.4  | 22                   | $\Omega$         | Tested at 250 mA  |
| Peak Current   |  |                      |       |                      |                  |   |
|  |  |                      | 4.61  |                      | A                | $V_{DD2} = 12\text{ V}$ , 2 $\Omega$ gate resistance  |
| <b>SWITCHING SPECIFICATIONS</b>                                  |  |                      |       |                      |                  |   |
| Pulse Width <sup>1</sup>   |  |                      |       |                      |                  |   |
|  | PW                                     | 50                   |       |                      | ns               | $C_L = 2\text{ nF}$ , $V_{DD2} = 15\text{ V}$ , $R_{GON}^2 = R_{GOFF}^2 = 3.9\text{ } \Omega$ |
| $\overline{\text{RESET}}$ Debounce                               |  |                      |       |                      |                  |   |
|  | $t_{DEB\_RESET}$                       | 500                  | 615   | 700                  | ns               |   |

| Parameter                                      | Symbol             | Min | Typ | Max  | Unit              | Test Conditions/Comments  |
|--|--------------------|-----|-----|------|-------------------|---|
| Propagation Delay <sup>3</sup>                 | $t_{DHL}, t_{DLH}$ | 40  | 55  | 68   | ns                | $C_L = 2 \text{ nF}, V_{DD2} = 15 \text{ V}, R_{GON}^2 = R_{GOFF}^2 = 3.9 \Omega$ |
| Propagation Delay Skew <sup>4</sup>            | $t_{PSK}$          |     |     | 15   | ns                | $C_L = 2 \text{ nF}, R_{GON}^2 = R_{GOFF}^2 = 3.9 \Omega$                         |
| Output Rise/Fall Time (10% to 90%)             | $t_R/t_F$          | 11  | 16  | 22.9 | ns                | $C_L = 2 \text{ nF}, V_{DD2} = 15 \text{ V}, R_{GON}^2 = R_{GOFF}^2 = 3.9 \Omega$ |
| Blanking Capacitor Discharge Switch Masking    | $t_{DESAT\_DELAY}$ | 213 | 312 | 615  | ns                |   |
| Time to Report Desaturation Fault to FAULT Pin | $t_{REPORT}$       |     | 1.3 | 2    | $\mu\text{s}$     |   |
| Common-Mode Transient Immunity (CMTI)          | CM                 |     |     |      |                   |   |
| Static CMTI <sup>5</sup>                       |                    | 100 |     |      | kV/ $\mu\text{s}$ | $V_{CM} = 1500 \text{ V}$   |
| Dynamic CMTI <sup>6</sup>                      |                    | 100 |     |      | kV/ $\mu\text{s}$ | $V_{CM} = 1500 \text{ V}$   |

<sup>1</sup> 最小パルス幅は、仕様規定されたタイミング・パラメータが確保される最小のパルス幅です。

<sup>2</sup> 「消費電力」のセクションを参照してください。

<sup>3</sup> 伝搬遅延  $t_{DLH}$  は、入力立上がりロジック・ハイ閾値  $V_{IH}$  から  $V_{OUT}$  信号の出力立上がり 10% 閾値までを測定した値です。伝搬遅延  $t_{DHL}$  は、ロジック・ロー閾値  $V_{IL}$  から  $V_{OUT}$  信号の出力立下がり 90% 閾値までを測定した値です。伝搬遅延パラメータの波形については、図 22 を参照してください。

<sup>4</sup>  $t_{PSK}$  は、推奨動作の条件内で同一の動作温度、電源電圧、出力負荷で、複数のユニットにおいて測定した  $t_{DLH}$  または  $t_{DHL}$  の最大の差です。伝搬遅延パラメータの波形については、図 22 を参照してください。

<sup>5</sup> 静的な共通モード過渡耐圧は、出力ハイの出力電圧が  $0.8 \times V_{DD2}$ 、または出力ローの出力電圧が  $0.8 \text{ V}$  にとどまる場合、 $V_{SS1}$  と  $V_{SS2}$  の間における最大の  $dv/dt$  として定義されます。推奨レベルを上回る過渡電圧で動作させると、データが一時的に不安定になる場合があります。

<sup>6</sup> 動的な共通モード過渡耐圧は、スイッチング・エッジが過渡テスト・パルスと一致する場合、 $V_{SS1}$  と  $V_{SS2}$  の間における最大の  $dv/dt$  として定義されます。推奨レベルを上回る過渡電圧で動作させると、データが一時的に不安定になる場合があります。

## パッケージ特性

表 2.

| Parameter   | Symbol        | Min | Typ              | Max | Unit                        | Test Conditions/Comments            |
|---|---------------|-----|------------------|-----|-----------------------------|-------------------------------------|
| Resistance (Input Side to High-Side Output) <sup>1</sup>  | $R_{L,O}$     |     | 10 <sup>12</sup> |     | $\Omega$                    |                                     |
| Capacitance (Input Side to High-Side Output) <sup>1</sup> | $C_{L,O}$     |     | 2.0              |     | pF                          |                                     |
| Input Capacitance   | $C_i$         |     | 4.0              |     | pF                          |                                     |
| Junction to Ambient Thermal Resistance                    | $\theta_{JA}$ |     | 75.4             |     | $^{\circ}\text{C}/\text{W}$ | 4-layer printed circuit board (PCB) |
| Junction to Case Thermal Resistance                       | $\theta_{JC}$ |     | 35.4             |     | $^{\circ}\text{C}/\text{W}$ | 4-layer PCB                         |

<sup>1</sup> デバイスは 2 端子デバイスとみなします。すなわち、ピン 1 ~ ピン 8 が相互に接続され、ピン 9 ~ ピン 16 が相互に接続されているとみなされます。

## 適用規格

ADuM4136 は、表 3 に記載された組織による認定を申請中です。

表 3.

| UL (Pending)  | CSA (Pending)  | VDE (Pending)                                  |
|---|--|--|
| Recognized under UL 1577 Component Recognition Program <sup>1</sup> | Approved under CSA Component Acceptance Notice 5A  | Certified according to VDE0884-10 <sup>2</sup> |
| Single Protection,<br>5000 V rms Isolation Voltage                  | Basic insulation per CSA 60950-1-07+A1+A2 and IEC 60950-1 2 <sup>nd</sup> Ed.+A1+A2, 780 V rms (1103 V peak) maximum working voltage<br>CSA 60950-1-07+A1+A2 and IEC 60950-1 Second Ed.+A1+A2,<br>390 V rms (551 V peak) maximum working voltage | Basic insulation, 849 V peak                   |
| File E214100  | File 205078  | File 2471900-4880-0001                         |

<sup>1</sup> UL 1577 に従い、各 ADuM4136 は、6000 V rms 以上の絶縁試験電圧を 1 秒間かける試験（電流リーク検出の規定値 =  $10 \mu\text{A}$ ）でテストされています。

<sup>2</sup> DIN V VDE V 0884-10 に従い、各 ADuM4136 は、1590 V (peak) 以上の絶縁試験電圧を 1 秒間かける試験でテストされています（部分放電検出の規定値 =  $5 \text{ pC}$ ）。デバイス表面のアスタリスク (\*) マークは、DIN V VDE V 0884-10 の認定製品であることを表します。

## 絶縁および安全性関連の仕様

表 4.

| Parameter  | Symbol | Value     | Unit  | Test Conditions/Comments   |
|--|--------|-----------|-------|--|
| Rated Dielectric Insulation Voltage              |        | 5000      | V rms | 1-minute duration  |
| Minimum External Air Gap (Clearance)             | L(I01) | 7.8 min   | mm    | Measured from input terminals to output terminals, shortest distance through air     |
| Minimum External Tracking (Creepage)             | L(I02) | 7.8 min   | mm    | Measured from input terminals to output terminals, shortest distance path along body |
| Minimum Internal Gap (Internal Clearance)        |        | 0.026 min | mm    | Insulation distance through insulation   |
| Tracking Resistance (Comparative Tracking Index) | CTI    | >400      | V     | DIN IEC 112/VDE 0303 Part 1  |
| Isolation Group                                  |        | II        |       | Material Group (DIN VDE 0110, 1/89, Table 1)   |

DIN V VDE V 0884-10 (VDE V 0884-10) 絶縁特性

安全性データの維持は、保護回路によって確保されます。パッケージのアスタリスク (\*) マークは、560 V (peak) 動作電圧の DIN V VDE V 0884-10 認定を取得済みであることを示しています。

表 5. VDE 特性

| Description   | Test Conditions/Comments   | Symbol             | Characteristic                 | Unit   |
|---|--|--------------------|--------------------------------|--------|
| Installation Classification per DIN VDE 0110<br>For Rated Mains Voltage ≤ 150 V rms<br>For Rated Mains Voltage ≤ 300 V rms<br>For Rated Mains Voltage ≤ 400 V rms |  |                    | I to IV<br>I to III<br>I to II |        |
| Climatic Classification   |  |                    | 40/105/21                      |        |
| Pollution Degree per DIN VDE 0110, Table 1  |  |                    | 2                              |        |
| Maximum Working Insulation Voltage  |  | V <sub>IORM</sub>  | 849                            | V peak |
| Input to Output Test Voltage, Method B1   | V <sub>IORM</sub> × 1.875 = V <sub>pd(m)</sub> , 100% production test, t <sub>ini</sub> = t <sub>m</sub> = 1 sec, partial discharge < 5 pC | V <sub>pd(m)</sub> | 1592                           | V peak |
| Input to Output Test Voltage, Method A<br>After Environmental Tests Subgroup 1  | V <sub>IORM</sub> × 1.5 = V <sub>pd(m)</sub> , t <sub>ini</sub> = 60 sec, t <sub>m</sub> = 10 sec, partial discharge < 5 pC                | V <sub>pd(m)</sub> | 1274                           | V peak |
| After Input and/or Safety Test Subgroup 2 and Subgroup 3  | V <sub>IORM</sub> × 1.2 = V <sub>pd(m)</sub> , t <sub>ini</sub> = 60 sec, t <sub>m</sub> = 10 sec, partial discharge < 5 pC                | V <sub>pd(m)</sub> | 1019                           | V peak |
| Highest Allowable Overvoltage   |  | V <sub>IOTM</sub>  | 8000                           | V peak |
| Surge Isolation Voltage   | V <sub>PEAK</sub> = 12.8 kV, 1.2 μs rise time, 50 μs, 50% fall time  | V <sub>IOSM</sub>  | 8000                           | V peak |
| Safety Limiting Values  | Maximum value allowed in the event of a failure (see Figure 2)   |                    |                                |        |
| Maximum Junction Temperature  |  | T <sub>S</sub>     | 150                            | °C     |
| Safety Total Dissipated Power   |  | P <sub>S</sub>     | 2.77                           | W      |
| Insulation Resistance at T <sub>S</sub>   | V <sub>IO</sub> = 500 V  | R <sub>S</sub>     | >10 <sup>9</sup>               | Ω      |

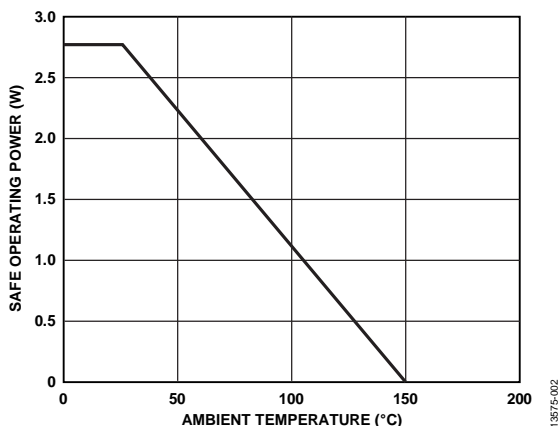


図 2. 熱ディレーティング曲線、安全限界値とケース温度の依存関係 (DIN V VDE V 0884-10)

推奨動作条件

表 6.

| Parameter   | Value                    |
|---|--------------------------|
| Operating Temperature Range (T <sub>A</sub> )       | -40°C to +125°C          |
| Supply Voltages                                     |                          |
| V <sub>DD1</sub> <sup>1</sup>                       | 2.5 V to 6 V             |
| V <sub>DD2</sub> <sup>2</sup>                       | 12 V to 35 V             |
| V <sub>DD2</sub> - V <sub>SS2</sub> <sup>2</sup>    | 12 V to 35 V             |
| V <sub>SS2</sub> <sup>2</sup>                       | -15 V to 0 V             |
| Input Signal Rise/Fall Time                         | 1 ms                     |
| Static Common Mode Transient Immunity <sup>3</sup>  | -100 kV/μs to +100 kV/μs |
| Dynamic Common Mode Transient Immunity <sup>4</sup> | -100 kV/μs to +100 kV/μs |

<sup>1</sup> V<sub>SS1</sub> を基準。

<sup>2</sup> GND<sub>2</sub> を基準。

<sup>3</sup> 静的なコモンモード過渡耐圧は、出力ハイの出力電圧が 0.8 × V<sub>DD2</sub>、または出力ローの出力電圧が 0.8 V にとどまる場合、V<sub>SS1</sub> と V<sub>SS2</sub> の間における最大の dv/dt として定義されます。推奨レベルを上回る過渡電圧で動作させると、データが一時的に不安定になることがあります。

<sup>4</sup> 動的なコモンモード過渡耐圧は、スイッチング・エッジが過渡テスト・パルスと一致する場合、V<sub>SS1</sub> と V<sub>SS2</sub> の間における最大の dv/dt として定義されます。推奨レベルを上回る過渡電圧で動作させると、データが一時的に不安定になることがあります。

## 絶対最大定格

表 7.

| Parameter                                      | Rating                               |
|--|--------------------------------------|
| Storage Temperature Range ( $T_{ST}$ )         | -55°C to +150°C                      |
| Junction Operating Temperature Range ( $T_J$ ) | -40°C to +125°C                      |
| Supply Voltage                                 |                                      |
| $V_{DD1}$ to $V_{SS1}$                         | -0.3 V to +6.5 V                     |
| $V_{DD2}$ to $GND_2$                           | -0.3 V to +40 V                      |
| $V_{SS2}$ to $GND_2$                           | -20 V to +0.3 V                      |
| $V_{DD2} - V_{SS2}$                            | 40 V                                 |
| Input Voltage                                  |                                      |
| $V_{DESAT}^1$                                  | -0.3 V to $V_{DD2} + 0.3$ V          |
| $V_{I+}^2, V_{I-}^2, \overline{RESET}^2$       | -0.3 V to +6.5 V                     |
| Output Voltage                                 |                                      |
| $V_{OUT}^3$                                    | -0.3 V to $V_{DD2} + 0.3$ V          |
| Common-Mode Transients (ICM)                   | -150 kV/ $\mu$ s to +150 kV/ $\mu$ s |

<sup>1</sup>  $GND_2$  を基準。

<sup>2</sup>  $V_{SS1}$  を基準。

<sup>3</sup>  $V_{SS2}$  を基準。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上のデバイス動作を定めたものではありません。製品を長時間にわたり絶対最大定格状態に置くと、製品の信頼性に影響を与えることがあります。

表 8. 最大の連続動作電圧<sup>1</sup>

| Parameter        | Value       | Constraint   |
|------------------|-------------|--|
| 60 Hz AC Voltage | 600 V rms   | 20-year lifetime at 0.1% failure rate, zero average voltage                                  |
| DC Voltage       | 1092 V peak | Limited by the creepage of the package, Pollution Degree 2, Material Group II <sup>2,3</sup> |

<sup>1</sup> 詳細については、絶縁寿命のセクションを参照してください。

<sup>2</sup> 他の汚染度要件および材料グループ要件により、別の制限が発生します。

<sup>3</sup> 一部のシステム・レベル規格では、プリント配線基板 (PWB) の沿面距離値をコンポーネントに使用することを許可しています。これらの規格では、サポートされている DC 電圧が高いことがあります。

## ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵していますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

表 9. 真理値表 (正論理)<sup>1</sup>

| $V_{I+}$ Input | $V_{I-}$ Input | RESET Pin      | READY Pin | FAULT Pin      | $V_{DD1}$ State | $V_{DD2}$ State | $V_{GATE}^2$ |
|----------------|----------------|----------------|-----------|----------------|-----------------|-----------------|--------------|
| L              | L              | H              | H         | H              | Powered         | Powered         | L            |
| L              | H              | H              | H         | H              | Powered         | Powered         | L            |
| H              | L              | H              | H         | H              | Powered         | Powered         | H            |
| H              | H              | H              | H         | H              | Powered         | Powered         | L            |
| X              | X              | H              | L         | Unknown        | Powered         | Powered         | L            |
| X              | X              | H              | Unknown   | L              | Powered         | Powered         | L            |
| L              | L              | H              | L         | Unknown        | Unpowered       | Powered         | L            |
| X              | X              | L <sup>3</sup> | Unknown   | H <sup>3</sup> | Powered         | Powered         | L            |
| X              | X              | X              | L         | Unknown        | Powered         | Unpowered       | Unknown      |

<sup>1</sup> L はロー、H はハイ、X はドント・ケア (どちらでもよい)。

<sup>2</sup>  $V_{GATE}$  は、駆動されるゲートの電圧。

<sup>3</sup> 時間依存値。タイミングの詳細については、図 22 を参照してください。

ピン配置およびピン機能の説明

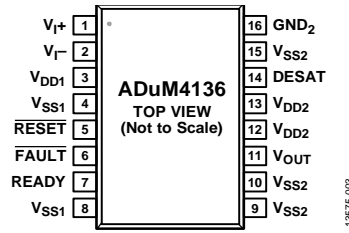


図 3. ピン配置

表 10. ピン機能の説明

| ピン番号 | 記号               | 説明   |
|------|------------------|--|
| 1    | V <sub>I+</sub>  | 正論理 CMOS 入力駆動信号。   |
| 2    | V <sub>I-</sub>  | 負論理 CMOS 入力駆動信号。   |
| 3    | V <sub>DD1</sub> | 1 次側の電源電圧で、2.5 V ~ 6 V。このピンに接続する電源電圧は、V <sub>SS1</sub> を基準とする必要があります。  |
| 4    | V <sub>SS1</sub> | 1 次側のグラウンド基準。  |
| 5    | RESET            | CMOS 入力。故障が存在する場合、このピンをローにすると故障がクリアされます。300 kΩ のプルダウン抵抗が内蔵されています。  |
| 6    | FAULT            | オープンドレイン・ロジック出力。信号を読み出すには、このピンをプルアップ抵抗に接続します。このピンがロー状態の場合は、非飽和故障が発生したことを示しています。故障が発生している場合、ゲート駆動出力はハイ状態に移行しません。                                  |
| 7    | READY            | オープンドレイン・ロジック出力。信号を読み出すには、このピンをプルアップ抵抗に接続します。このピンがハイ状態の場合、デバイスが機能しており、ゲート・ドライバとして動作できることを示しています。READY がローの場合、ゲート駆動出力がハイに遷移することはできません。            |
| 8    | V <sub>SS1</sub> | 1 次側のグラウンド基準。  |
| 9    | V <sub>SS2</sub> | 2 次側の負の電源電圧で、-15 V ~ 0 V。このピンに接続する電源電圧は、GND <sub>2</sub> を基準とする必要があります。  |
| 10   | V <sub>SS2</sub> | 2 次側の負の電源電圧で、-15 V ~ 0 V。このピンに接続する電源電圧は、GND <sub>2</sub> を基準とする必要があります。  |
| 11   | V <sub>OUT</sub> | デバイス用のゲート駆動の出力電流経路。  |
| 12   | V <sub>DD2</sub> | 2 次側の入力電源電圧で、12 V ~ 35 V。このピンに接続する電源電圧は、GND <sub>2</sub> を基準とする必要があります。  |
| 13   | V <sub>DD2</sub> | 2 次側の入力電源電圧で、12 V ~ 35 V。このピンに接続する電源電圧は、GND <sub>2</sub> を基準とする必要があります。  |
| 14   | DESAT            | 非飽和状態の検出。このピンは、外部電流源またはプルアップ抵抗に接続します。このピンが故障すると、1 次側の FAULT ピンで故障の発生がアサートされます。1 次側で故障をクリアしないと、ゲート駆動が停止します。故障中に、小型のターンオフ FET によりゲート電圧がゆっくりと低下します。 |
| 15   | V <sub>SS2</sub> | 2 次側の負の電源電圧で、-15 V ~ 0 V。このピンに接続する電源電圧は、GND <sub>2</sub> を基準とする必要があります。  |
| 16   | GND <sub>2</sub> | 2 次側のグラウンド基準。このピンは、IGBT のエミッタまたは駆動される MOSFET のソースに接続します。   |

代表的な性能特性

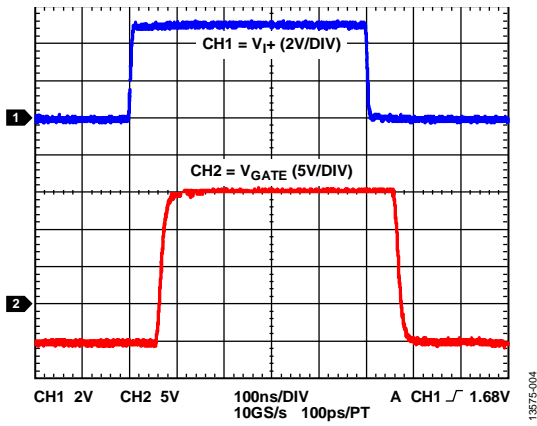


図 4. 入力-出力波形、2 nF の負荷、5.1  $\Omega$  の直列ゲート抵抗、 $V_{DD1} = +5\text{ V}$ 、 $V_{DD2} = +15\text{ V}$ 、 $V_{SS2} = -5\text{ V}$

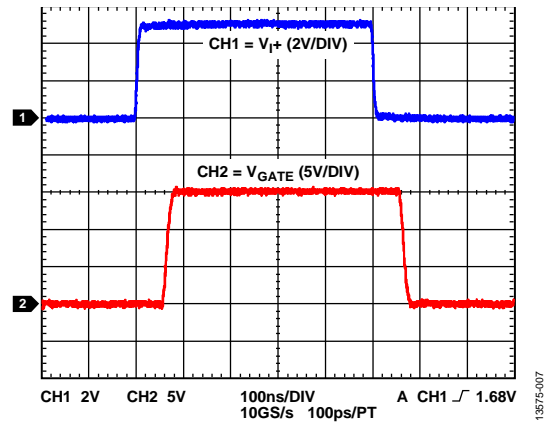


図 7. 入力-出力波形、2 nF の負荷、4.0  $\Omega$  の直列ゲート抵抗、 $V_{DD1} = 5\text{ V}$ 、 $V_{DD2} = 15\text{ V}$ 、 $V_{SS2} = 0\text{ V}$

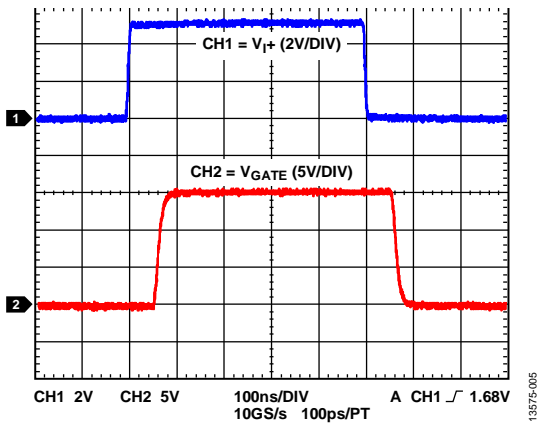


図 5. 入力-出力波形、2 nF の負荷、5.1  $\Omega$  の直列ゲート抵抗、 $V_{DD1} = 5\text{ V}$ 、 $V_{DD2} = 15\text{ V}$ 、 $V_{SS2} = 0\text{ V}$

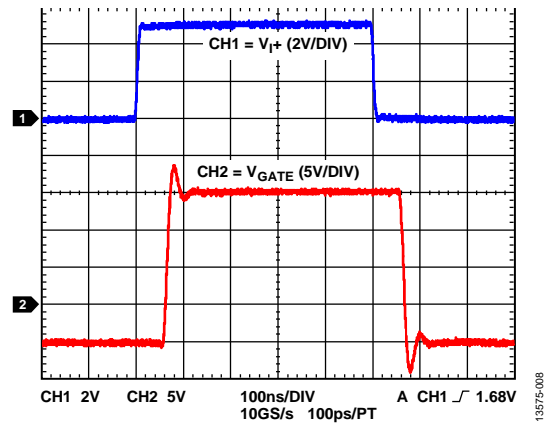


図 8. 入力-出力波形、2 nF の負荷、2.0  $\Omega$  の直列ゲート抵抗、 $V_{DD1} = +5\text{ V}$ 、 $V_{DD2} = +15\text{ V}$ 、 $V_{SS2} = -5\text{ V}$

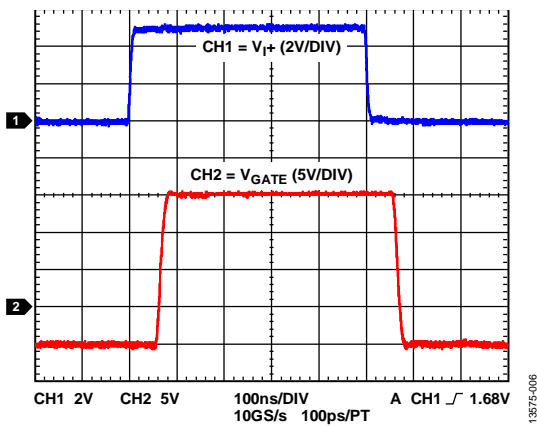


図 6. 入力-出力波形、2 nF の負荷、4.0  $\Omega$  の直列ゲート抵抗、 $V_{DD1} = +5\text{ V}$ 、 $V_{DD2} = +15\text{ V}$ 、 $V_{SS2} = -5\text{ V}$

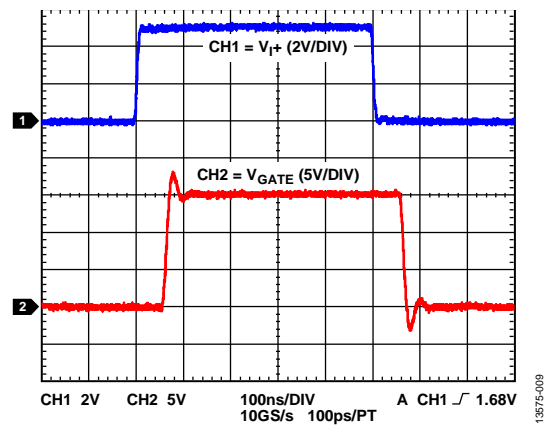


図 9. 入力-出力波形、2 nF の負荷、2.0  $\Omega$  の直列ゲート抵抗、 $V_{DD1} = 5\text{ V}$ 、 $V_{DD2} = 15\text{ V}$ 、 $V_{SS2} = 0\text{ V}$



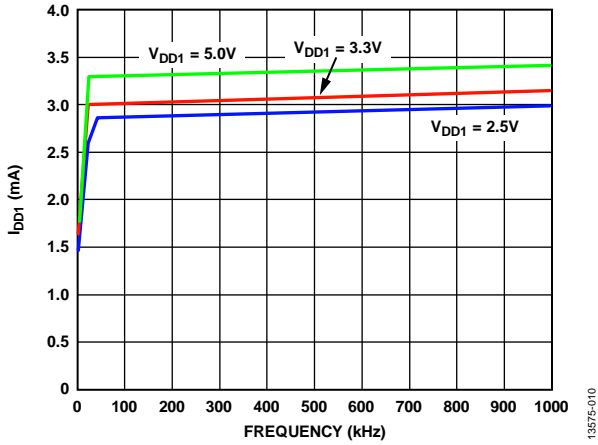


図 10.  $I_{DD1}$  電流と周波数の関係、デューティ = 50 %、 $V_{I+} = V_{DD1}$

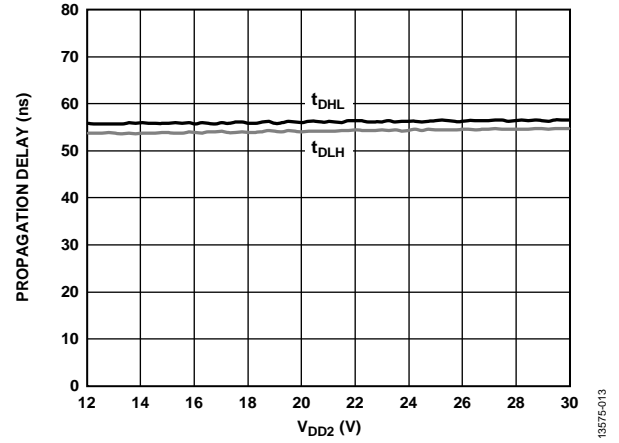


図 13. 伝搬遅延と出力電源電圧の関係 ( $V_{DD2}$ )、 $V_{DD1} = 5$  V

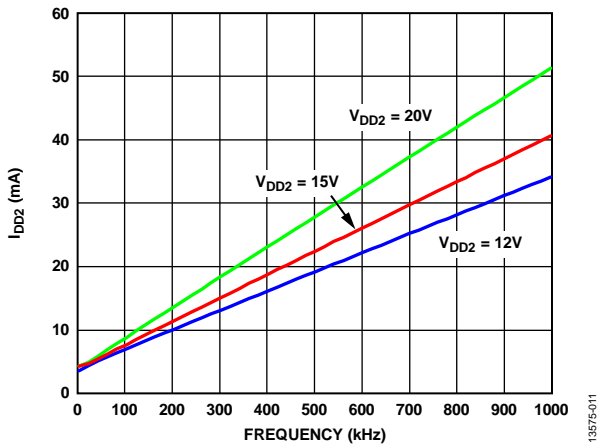


図 11.  $I_{DD2}$  電流と周波数の関係、デューティ = 50 %、 $2$  nF の負荷、 $V_{SS2} = 0$  V

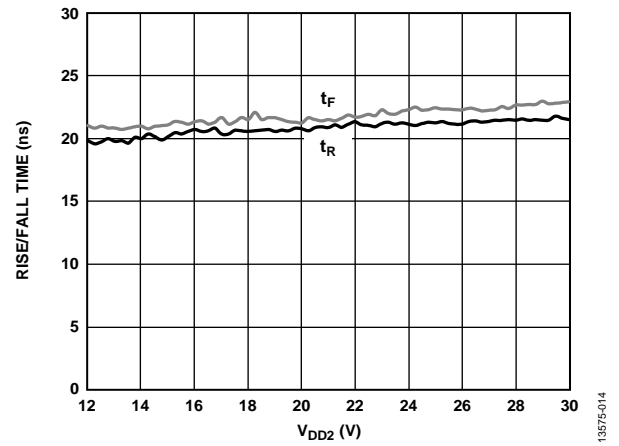


図 14. 立上がり/立下がり時間と  $V_{DD2}$  の関係、 $V_{DD2} - V_{SS2} = 12$  V、 $V_{DD1} = 5$  V、 $2$  nF の負荷、 $R_G = 5.1 \Omega$

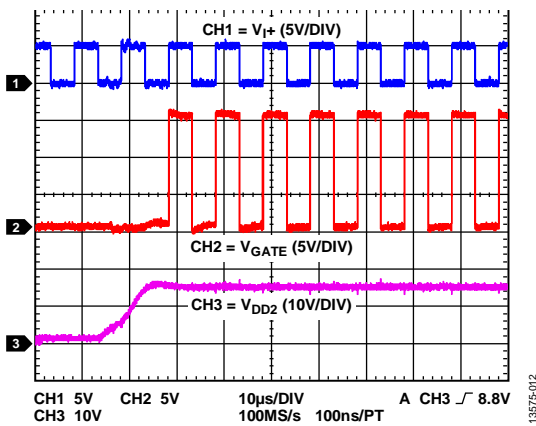


図 12. 代表的な  $V_{DD2}$  スタートアップから出力有効まで

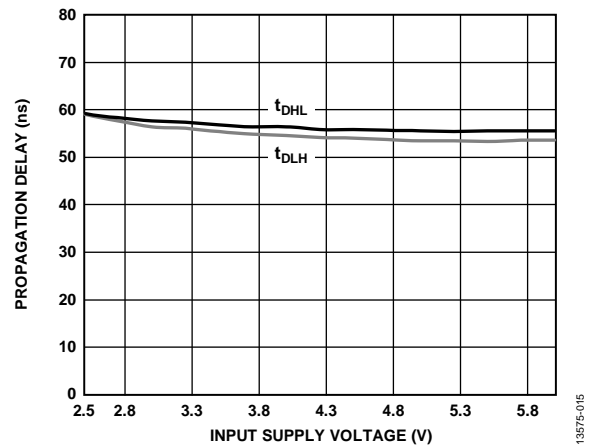


図 15. 伝搬遅延と入力電源電圧の関係、 $V_{DD2} - V_{SS2} = 12$  V

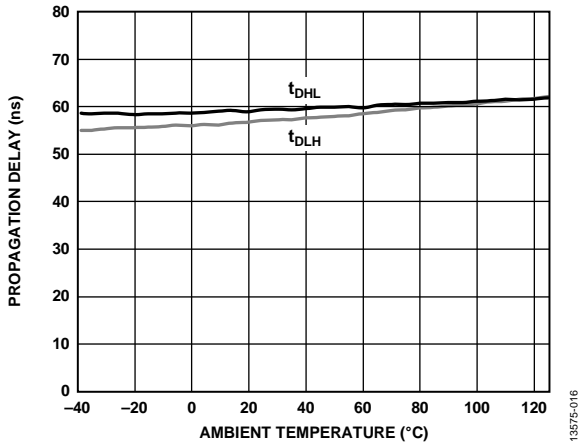


図 16. 伝搬遅延と周囲温度の関係、 $V_{DD2} = 5\text{ V}$ 、 $V_{DD2} - V_{SS2} = 12\text{ V}$

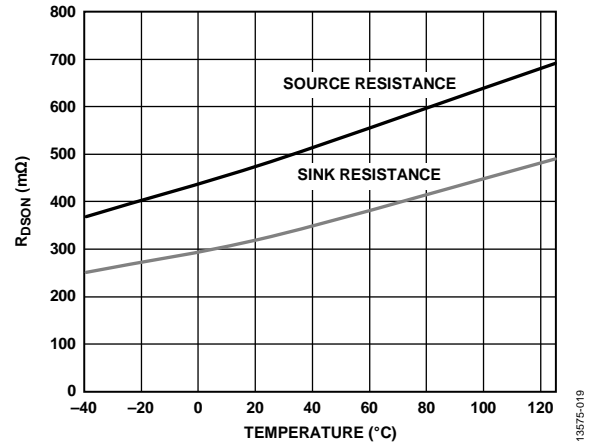


図 19. 出力オン抵抗 ( $R_{DS(on)}$ ) と温度の関係、 $V_{DD2} = 15\text{ V}$ 、 $1\text{ A}$  でテスト

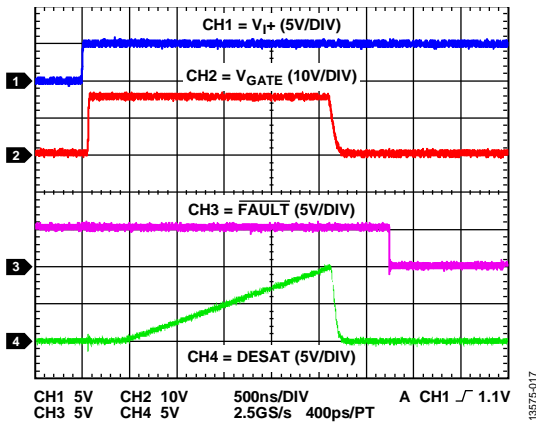


図 17. 非飽和状態と通知機能の例

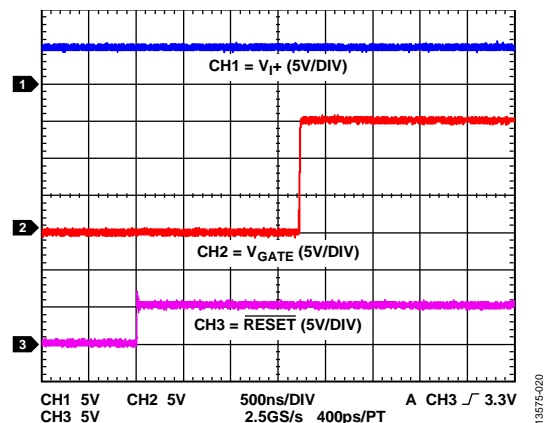


図 20. RESET から出力有効までの例

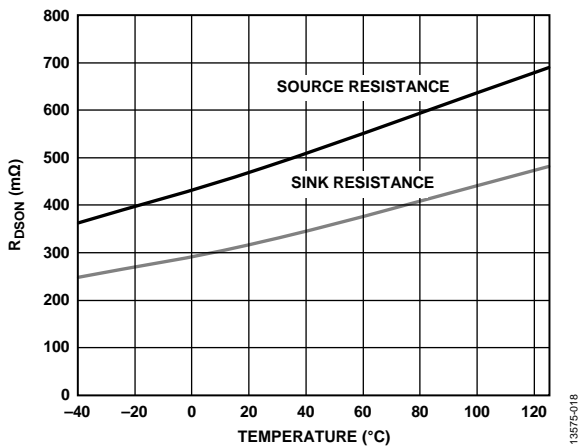


図 18. 出力オン抵抗 ( $R_{DS(on)}$ ) と温度の関係、 $V_{DD2} = 15\text{ V}$ 、 $250\text{ mA}$  でテスト

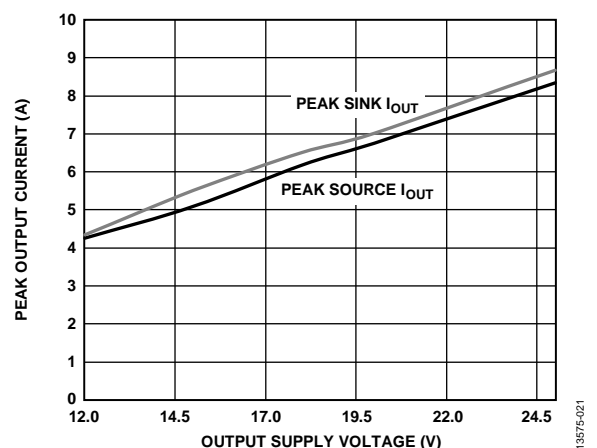


図 21. ピーク出力電流と出力電源電圧の関係、 $2.4\ \Omega$  の直列抵抗 ( $I_{OUT}$  は、デバイスのゲートに入力される電流/デバイスのゲートから出力される電流)

## アプリケーション情報

### PCB レイアウト

ADuM4136 の IGBT ゲート・ドライバには、ロジック・インターフェース用の外部インターフェース回路は必要ありません。入出力の電源ピンに電源バイパス・コンデンサを接続する必要があります。0.01  $\mu\text{F}$  ~ 0.1  $\mu\text{F}$  の小型セラミック・コンデンサを使用して、優れた高周波バイパスを提供します。出力電源ピン  $V_{DD2}$  に 10  $\mu\text{F}$  コンデンサを追加して、ADuM4136 出力でゲート容量を駆動するのに必要な電荷を提供することを推奨します。出力電源ピンでは、バイパスでのインダクタンスを低減するために、バイパス・コンデンサでビアを使用したり、複数のビアを使用したりしないでください。小さいコンデンサと入出力電源ピンの両端間の合計リード長が 5 mm を超えてはいけません。

### 伝搬遅延に関するパラメータ

伝搬遅延時間は、ロジック信号がコンポーネントを通過するのに要する時間を表します。ロー出力への伝搬遅延とハイ出力への伝搬遅延は異なる場合があります。ADuM4136 において、 $t_{DLH}$  は立上がり入力ハイ・ロジック閾値 ( $V_{IH}$ ) から出力立上がり 10% 閾値までの時間として仕様規定されています (図 22 を参照)。同様に、立下がり伝搬遅延 ( $t_{DHL}$ ) は、入力立ち下がりロー・ロジック閾値 ( $V_{IL}$ ) から出力立下がり 90% 閾値までの時間として定義されています。立上がり時間と立下がり時間は負荷条件によって異なり、伝搬遅延には含まれません。これはゲート・ドライバの業界標準です。

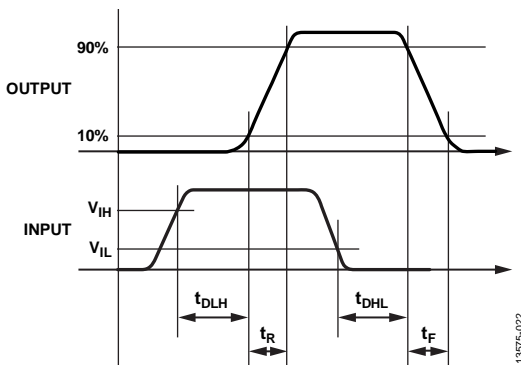


図 22. 伝搬遅延パラメータ

伝播遅延スキューは、同じ温度、入力電圧、負荷条件下で動作する複数の ADuM4136 コンポーネント間での伝播遅延差の最大値に相当します。

### 保護機能

#### 故障の通知

ADuM4136 は、IGBT の動作時に発生する可能性のある故障保護機能を備えています。主要な故障状態は非飽和です。飽和状態が検出された場合、ADuM4136 はゲート駆動をシャットダウンし、**FAULT** がロー・レベルであることをアサートします。この出力は、**RESET** がロー・レベルになってから 500 ns の間はディスプレイになり、その後ハイ・レベルになります。**FAULT** は、**RESET** の立下がりエッジでハイ・レベルにリセットされます。**RESET** がロー・レベルに維持されている間、出力はディスプレイのままになります。**RESET** ピンには、300 k $\Omega$  のプルダウン抵抗が内蔵されています。

### 非飽和の検出

時折、ADuM4136 の IGBT に接続された回路でコンポーネントに障害または故障が発生することがあります。例えば、インダクタ／モーター巻線に短絡がある場合や、電源／グラウンド・バスへの短絡がある場合などに発生します。結果として、電流が過度に流れて IGBT が非飽和状態になります。この状態を検出し、FET が損傷する可能性を低減するため、ADuM4136 には閾値回路が採用されています。ハイサイド・ドライバがオンのときに **DESAT** ピンが 9.2 V の代表的な非飽和の閾値 ( $V_{DESAT\_TH}$ ) を超えると、ADuM4136 は故障状態になり、IGBT がオフになります。このとき、**FAULT** ピンがロー・レベルになります。537  $\mu\text{A}$  (typ) の内部電流源が提供されるだけでなく、外部電流源またはプルアップ抵抗を使用して充電電流をブーストすることもできます。

ADuM4136 には、IGBT が初めてオンになるときの誤トリガーを防止するため、ブランキング時間が組み込まれています。非飽和を検出してから **FAULT** ピンに非飽和の故障を通知するまでにかかる時間は 2  $\mu\text{s}$  ( $t_{REPORT}$ ) 未満です。**RESET** をロー・レベルにすると、故障がクリアされます。**RESET** ピンには、500 ns のバウンス防止時間 ( $t_{DEB\_RESET}$ ) が設けられています。図 23 に示している  $t_{DESAT\_DELAY}$  時間は、IGBT がオンになっている時間の最初の部分で、ブランキング・コンデンサをグラウンドに接続する内部スイッチをロー・レベルの状態に保ち、約 312 ns (typ) のマスキング時間を提供します。

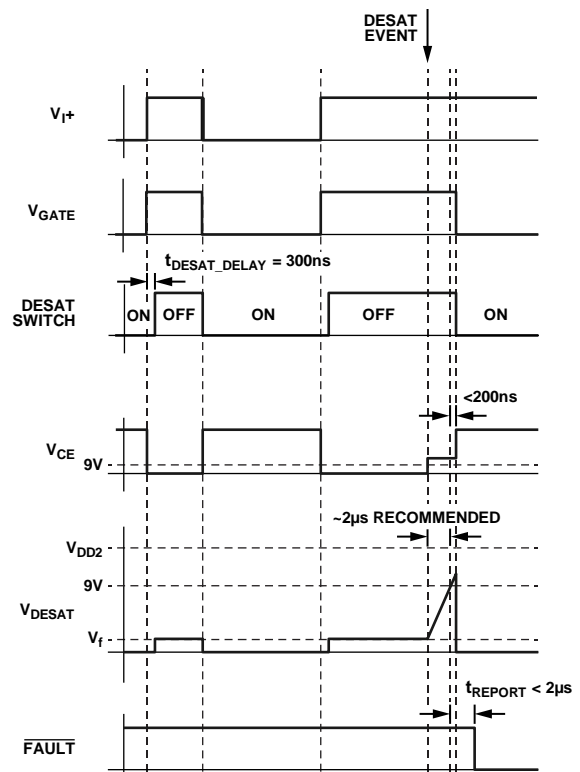


図 23. 非飽和検出のタイミング図

次のデザイン例では、図 29 に示している回路図と図 23 のタイミング図を参照してください。通常の動作環境下で IGBT オフになっているとき、IGBT 両端の電圧  $V_{CE}$  はシステムに供給されるレール電圧まで上昇します。この場合、阻止ダイオードがオフになり、ADuM4136 が高電圧から保護されます。オフになっている間、内部の非飽和スイッチがオンになり、電流が  $R_{BLANK}$  抵抗を流れます。これにより、 $C_{BLANK}$  コンデンサを低電圧に保つことができます。IGBT がオンになっている最初の 312 ns (typ) にわたり、内部の非飽和スイッチはオン状態を維持し、DESAT ピンの電圧をロー・レベルにクランプします。

312 ns (typ) の遅延時間が経過した後、DESAT ピンが解放され、DESAT ピンは DESAT ピンの内部電流源またはオプションの外部プルアップ抵抗  $R_{BLANK}$  によって  $V_{DD2}$  に向かって上昇します。駆動されるスイッチのコレクタまたはドレインによってクランプされていない場合、電流の駆動能力が向上します。この時点で電流を減衰するには、 $R_{DESAT}$  を選択します。通常は、100  $\Omega$  ~ 2 k $\Omega$  の範囲で選択します。IGBT のコレクタが高レール電圧を超えることを阻止し、高速回復ダイオードとして使用できるように、阻止ダイオードを選択してください。

非飽和状態になると、非飽和検出回路で  $V_{CE}$  が 9.2 V の閾値を超えます。 $R_{BLANK}$  抵抗を使用せずにブランキング電流を上昇させる場合、537  $\mu$ A (typ) を  $C_{BLANK}$  容量で除算した値に比例して、ブランキング・コンデンサの電圧  $C_{BLANK}$  が上昇します。IGBT の仕様規定によって異なりますが、標準的なブランキング時間は約 2  $\mu$ s です。DESAT ピンが 9.2 V の閾値を超えると、故障レジスタに値が書き込まれ、200 ns 以内にゲート出力がロー・レベルを駆動します。N-FET 故障 MOSFET (内部ゲート・ドライバ N-FET よりも約 35 倍抵抗が高い) を使用して出力がロー・レベルになり、ソフト・シャットダウンが実行されます。これにより、デバイスが突然オフになった場合に IGBT で過電圧スパイクが発生する可能性が低くなります。2  $\mu$ s 以内に、1 次側の FAULT ピンに故障が通知されます。故障をクリアするには、リセットする必要があります。

**サーマル・シャットダウン**

ADuM4136 の内部温度が 155  $^{\circ}$ C (typ) を超えると、デバイスはサーマル・シャットダウン (TSD) 状態になります。サーマル・シャットダウンの間、READY ピンは 1 次側でロー・レベルになり、ゲート駆動がディスエーブルになります。TSD 状態になると、内部温度が 135  $^{\circ}$ C (typ) 未満になるまでデバイスは TSD を終了しません。内部温度が 125  $^{\circ}$ C (typ) 未満になると、READY ピンがハイ・レベルに戻り、デバイスがシャットダウンを終了します。

**低電圧ロックアウト (UVLO) 故障**

UVLO 故障は、電源電圧が指定された UVLO 閾値未満の場合に発生します。1 次側または 2 次側が UVLO 状態になると、READY ピンがロー・レベルになり、ゲート駆動がディスエーブルになります。UVLO 状態が解消されると、デバイスは動作を再開し、READY ピンがハイ・レベルになります。

**READY ピン**

オープンドレイン READY ピンは、1 次側と 2 次側の通信がアクティブであることを確認する出力です。UVLO 状態または TSD 状態が存在しない場合、READY ピンはハイ・レベルを維持します。READY ピンがロー・レベルになると、IGBT ゲートがロー・レベルになります。

表 11. READY ピンのロジックの表

| UVLO | TSD | READY Pin Output |
|------|-----|------------------|
| No   | No  | High             |
| Yes  | No  | Low              |
| No   | Yes | Low              |
| Yes  | Yes | Low              |

**FAULT ピン**

オープンドレイン FAULT ピンは、非飽和故障が発生したことを通知する出力です。FAULT ピンがロー・レベルになると、IGBT ゲートがロー・レベルになります。非飽和状態になった場合、RESET ピンは少なくとも 500 ns の間ロー・レベルになり、その後ハイ・レベルに移行して IGBT ゲート駆動に動作を戻す必要があります。

**RESET ピン**

RESET ピンには、300 k $\Omega$  (typ) のプルダウン抵抗が内蔵されています。RESET ピンは、CMOS レベルのロジックを受け付けます。RESET ピンがロー・レベルに維持されると、500 ns のバウンズ防止時間が経過した後に、FAULT ピンのあらゆる故障がクリアされます。RESET ピンがロー・レベルに維持されている間、 $V_{OUT}$  のスイッチは閉じて、IGBT のゲート電圧がロー・レベルになります。RESET がハイ・レベルになると、故障が解消し、デバイスは動作を再開します。

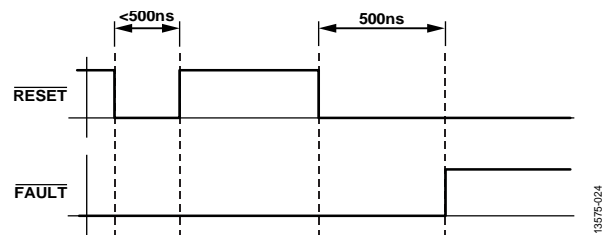


図 24. RESET タイミング

**$V_{I+}$  および  $V_{I-}$  の動作**

ADuM4136 には、IGBT ゲート駆動信号  $V_{OUT}$  を制御するため、 $V_{I+}$  と  $V_{I-}$  の 2 つの駆動入力があります。 $V_{I+}$  入力と  $V_{I-}$  入力はどちらも CMOS ロジック・レベル入力を使用します。 $V_{I+}$  ピンと  $V_{I-}$  ピンの入力ロジックを制御するには、 $V_{I+}$  をハイ・レベル、または  $V_{I-}$  をロー・レベルにアサートします。 $V_{I-}$  ピンがロー・レベルの場合、 $V_{I+}$  ピンは正論理を受け付けます。 $V_{I+}$  がハイ・レベルに維持されている場合、 $V_{I-}$  ピンは負論理を受け付けます。故障がアサートされた場合、RESET ピンによって故障がクリアされるまで送信がブロックされます。

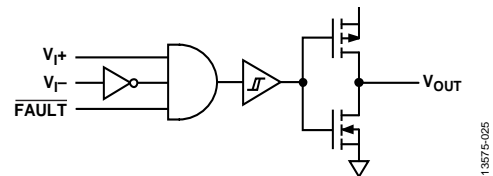


図 25.  $V_{I+}$  および  $V_{I-}$  のブロック図

最小パルス幅は、タイミング仕様が確保される最小期間です。

## ゲート抵抗の選択

通常は、ターンオンよりもターンオフを速くするように設定します。直列抵抗を選択するには、IGBTの最大許容ピーク電流を決定します。ゲートの電圧振幅とゲート・ドライバの内部抵抗から外部抵抗を求めることができます。

$$I_{PEAK} = (V_{DD2} - V_{SS2}) / (R_{DSON\_N} + R_{GOFF})$$

例えば、ターンオフ・ピーク電流が4Aで、 $(V_{DD2} - V_{SS2})$  が18Vの場合は、次のようになります。

$$R_{GOFF} = ((V_{DD2} - V_{SS2}) - I_{PEAK} \times R_{DSON\_N}) / I_{PEAK}$$

$$R_{GOFF} = (18\text{ V} - 4\text{ A} \times 0.6\ \Omega) / 4\text{ A} = 3.9\ \Omega$$

$R_{GOFF}$  を選択した後に、少し大きい  $R_{GON}$  を選択して、ターンオン時間を遅くすることができます。

## 消費電力

IGBTゲートの駆動中に、ドライバは電力を消費する必要があります。この電力は無視できるレベルではないため、留意しないとTSD状態になります。IGBTのゲートは、容量性負荷として大まかにシミュレートすることができます。ミラー容量と他の非直線性により、一般的には、特定のIGBTが指定されている入力容量  $C_{ISS}$  に5を乗算して、駆動される負荷の概算値を見積もります。この値を使用して、スイッチング動作によるシステムの総消費電力  $P_{DISS}$  を見積もるには、次の数式を使用します。

$$P_{DISS} = C_{EST} \times (V_{DD2} - V_{SS2})^2 \times f_s$$

ここで

$$C_{EST} = C_{ISS} \times 5$$

$f_s$  は、IGBTのスイッチング周波数。

この消費電力は、内部ゲート・ドライバの内部オン抵抗と外部ゲート抵抗  $R_{GON}$  および  $R_{GOFF}$  で共有されます。直列抵抗の合計に対する内部ゲート抵抗の比率により、ADuM4136チップ内の損失を計算できます。

$$P_{DISS\_ADuM4136} = P_{DISS} \times 0.5 (R_{DSON\_P} / (R_{GON} + R_{DSON\_P}) + R_{DSON\_N} / (R_{GOFF} + R_{DSON\_N}))$$

チップ内の消費電力に  $\theta_{JA}$  を乗算することで、周囲温度に対するADuM4136の温度上昇値を得られます。

$$T_{ADuM4136} = \theta_{JA} \times P_{DISS\_ADuM4136} + T_{AMB}$$

デバイスを仕様範囲内に収めるには、 $T_{ADuM4136}$  が  $125\text{ }^\circ\text{C}$  を超えてはいけません。 $T_{ADuM4136}$  が  $155\text{ }^\circ\text{C}$  (typ) を超えると、デバイスはサーマル・シャットダウン状態になります。

## DC精度と磁界耐性

ADuM4136は、外部磁界に対する耐性を備えています。トランスの受信側コイルに発生する誘導電圧が、誤ってデコーダをセットまたはリセットする値まで大きくなると、ADuM4136の磁界耐性が限界に達します。このエラー状態が発生する条件は、後述する解析によって求めることができます。ADuM4136の2.5V動作条件は最も感受性の高い動作モードであるため、検査する必要があります。

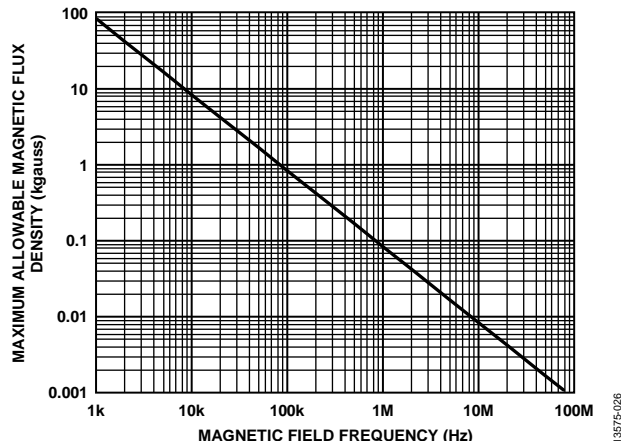


図 26. 最大許容の外部磁束密度

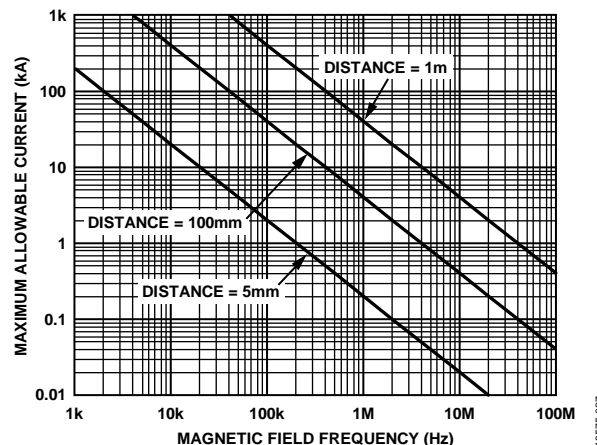


図 27. ADuM4136 の間隔と最大許容電流の関係

## 絶縁寿命

絶縁構造は種類に関係なく、長時間電圧ストレスを受けると最終的に劣化します。絶縁性能の低下率は、絶縁の両端に加える電圧波形の特性だけでなく、材料の境界面や材料自体にも依存します。

注目すべき2つの絶縁劣化タイプとして、空気にさらされる表面に沿った破壊と絶縁疲労があります。表面破壊とは、システム・レベル規格に定められた沿面距離条件で決定される表面トラッキング現象です。絶縁疲労とは、チャージ・インジェクションまたは絶縁材料内部の変位電流により、長時間にわたる絶縁低下が生じる現象です。

## 表面トラッキング

表面トラッキングは電気安全規格で規定されています。また、動作電圧、環境条件、絶縁材料の特性に基づいて最小沿面距離が定められています。安全性規制当局では、部品の表面絶縁について特性評価テストを行い、部品をさまざまな材料グループに分類しています。材料グループ等級が低いものほど表面トラッキングに対する耐性が高いため、短い沿面距離で十分に長い寿命を実現できます。特定の動作電圧と材料グループの最小沿面距離は、各システム・レベル規格で定められていて、絶縁両端の rms 合計電圧、汚染度、材料グループに基づいています。ADuM4136 アイソレータの材料グループと沿面距離を表 4 に示します。

## 絶縁疲労

疲労による絶縁寿命は、厚さ、材料特性、加わる電圧ストレスによって決まります。アプリケーション動作電圧での製品寿命が十分であると確認することが重要です。アイソレータがサポートしている耐疲労動作電圧が、耐トラッキング動作電圧と異なることがあります。トラッキングに該当する動作電圧は、ほとんどの規格で規定されています。

試験とモデリングにより、長期間の性能低下の主な要因は、増分型損傷を引き起こすポリイミド絶縁体内の変位電流であることが判明しています。絶縁体のストレスは、DC ストレスや、AC 成分の時間とともに変化する電圧ストレスに大別できます。前者は変位電流が存在しないため、ほとんど疲労を発生させませんが、後者は疲労を発生させます。

認定ドキュメントに記載されている定格は、通常 60 Hz のサイン波ストレスに基づいています。これは、ライン電圧からの絶縁がこのストレスに反映されるためです。ただし、多くの実用的なアプリケーションでは、60 Hz の AC とバリアをまたぐ DC が組み合わされています（式 1 を参照）。ストレスの AC 部分のみが疲労を発生させるため、AC rms 電圧を求めるように式を組み替えることができます（式 2 を参照）。この製品で使用されているポリイミド材料での絶縁疲労に関しては、AC rms 電圧によって製品寿命が決定されます。

$$V_{RMS} = \sqrt{V_{AC\ RMS}^2 + V_{DC}^2} \quad (1)$$

または

$$V_{AC\ RMS} = \sqrt{V_{RMS}^2 - V_{DC}^2} \quad (2)$$

ここで

$V_{RMS}$  は、合計 rms 動作電圧。

$V_{AC\ RMS}$  は、動作電圧の時間とともに変化する部分。

$V_{DC}$  は、動作電圧の DC オフセット。

## 計算とパラメータ使用の例

電力変換アプリケーションでの一般的な例を次に示します。絶縁バリアの一方に 240 V AC rms のライン電圧、もう一方に 400 V dc のバス電圧が存在するとします。アイソレータの材料はポリイミドです。デバイスの沿面距離と寿命を判断するために臨界電圧を求めるには、図 28 と以降の数式を参照してください。

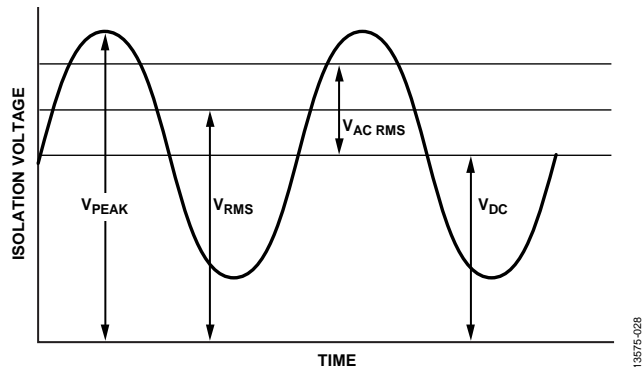


図 28. 臨界電圧の例

式 1 のバリアをまたぐ動作電圧は、

$$V_{RMS} = \sqrt{V_{AC\ RMS}^2 + V_{DC}^2}$$

$$V_{RMS} = \sqrt{240^2 + 400^2}$$

$$V_{RMS} = 466\ \text{V rms}$$

システムの規格で要求される沿面距離を求める場合は、この 466 V rms の動作電圧を材料グループおよび汚染度と組み合わせで使用します。

寿命が十分であるかどうか判断するには、動作電圧の時間とともに変化する部分を求めます。AC rms 電圧を求めるには、式 2 を使用します。

$$V_{AC\ RMS} = \sqrt{V_{RMS}^2 - V_{DC}^2}$$

$$V_{AC\ RMS} = \sqrt{466^2 - 400^2}$$

$$V_{AC\ RMS} = 240\ \text{V rms}$$

この場合、AC rms は 240 V rms のライン電圧です。この計算は、波形がサイン波でない場合、最適です。AC 波形の値を表 8 に示す動作電圧の制限値と比較して期待寿命を確認すると、60 Hz サイン波の値よりも低く、20 年の運用寿命規定を十分に満たしていることがわかります。

表 8 の DC 動作電圧の規定値は、IEC 60664-1 で仕様規定されているパッケージの沿面距離により定められています。この値は、特定のシステム・レベル規格とは異なることがあります。

代表的なアプリケーション

図 29 の代表的なアプリケーション回路図は、追加の  $R_{BLANK}$  抵抗を備えたバイポーラ設定を示しています。この設定は、非飽和検出

においてブランキング・コンデンサの充電電流を増加させるために使用されます。 $R_{BLANK}$  抵抗はオプションです。単電源動作が必要な場合は、 $V_{SS2}$  電源電圧を印加せず、 $V_{SS2}$  を  $GND_2$  に接続します。

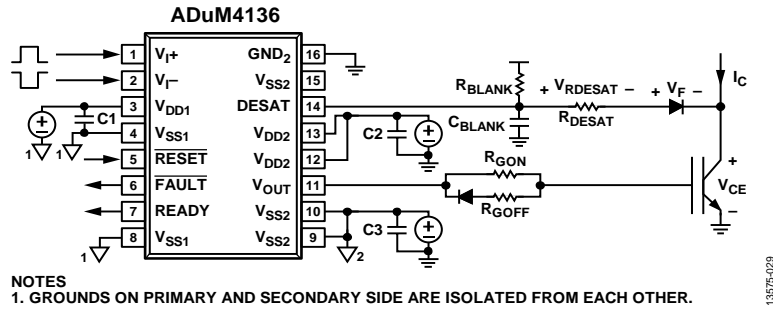
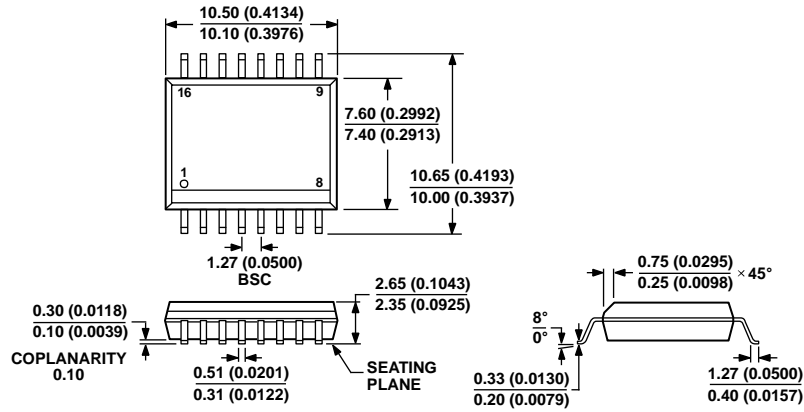


図 29. 代表的なアプリケーション回路図

外形寸法



COMPLIANT TO JEDEC STANDARDS MS-013-AA  
 CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS  
 (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR  
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

03-27-2007-B

図 30. 16 ピン標準 SOP (スモール・アウトライン・パッケージ) [SOIC\_W]  
 ワイド・ボディ (RW-16)  
 寸法: mm (インチ)

オーダー・ガイド

| Model <sup>1</sup> | Temperature Range | Package Description  | Package Option |
|--------------------|-------------------|--|----------------|
| ADuM4136BRWZ       | -40°C to +125°C   | 16-Lead Standard Small Outline Package [SOIC_W]                    | RW-16          |
| ADuM4136BRWZ-RL    | -40°C to +125°C   | 16-Lead Standard Small Outline Package [SOIC_W], 13" Tape and Reel | RW-16          |
| EVAL-ADuM4136EBZ   |                   | Evaluation Board   |                |

<sup>1</sup> Z = RoHS 準拠製品。