



高電圧絶縁型ゲート・ドライバ ミラー・クランプ内蔵、2 A 出力

データシート

ADuM4121/ADuM4121-1

特長

- 2 A のピーク出力電流 ($< 2 \Omega R_{\text{DS(on)}}$)
- 入力電圧 2.5 V ~ 6.5 V
- 出力電圧 4.5 V ~ 35 V
- V_{DD1} 2.5 V での低電圧ロックアウト (UVLO)
- V_{DD2} に関する複数の UVLO オプション
 - グレード A: 4.4 V (代表値) UVLO、 V_{DD2}
 - グレード B: 7.3 V (代表値) UVLO、 V_{DD2}
 - グレード C: 11.3 V (代表値) UVLO、 V_{DD2}
- 高精度タイミング特性
 - アイソレータおよびドライバの最大伝搬遅延 53 ns
- CMOS 入力ロジック・レベル
- 高いコモンモード過渡耐性: $> 150 \text{ kV}/\mu\text{s}$
- 高いジャンクション温度動作: 125 °C
- デフォルトのロー・レベル出力
- ミラー・クランプ内蔵
- 安全と規制に関する認定 (申請中)
 - UL 1577 による UL 認定
 - 5 kV rms で 1 分間
 - 「CSA Component Acceptance Notice 5A」に準拠
 - VDE 適合性認定 (申請中)
 - DIN V VDE V 0884-10 (VDE V 0884-10) : 2006-12
 - $V_{\text{ORM}} = 849 \text{ V}$ ピーク
- ワイドボディ、8 ピン SOIC

アプリケーション

- スイッチング電源
- 絶縁型 IGBT/MOSFET ゲート・ドライバ
- 産業用インバータ
- 窒化ガリウム (GaN) / 炭化ケイ素 (SiC) パワー・デバイス

概要

ADuM4121/ADuM4121-1¹ は 2 A の絶縁型 1 チャンネル・ドライバで、高精度の絶縁を提供するためにアナログ・デバイセズの iCoupler® 技術を採用しています。これらのデバイスは 5 kV rms の絶縁性能を備えており、ワイドボディの 8 ピン SOIC パッケージで提供されます。高速 CMOS 技術とモノリシック・トランス技術を組み合わせたこれらの絶縁部品は、パルス・トランスとゲート・ドライバの組み合わせによって実現する他のデバイスに比べて優れた性能特性を提供します。

ADuM4121/ADuM4121-1 は 2.5 V ~ 6.5 V の入力電源で動作し、より低電圧のシステムとの互換性も備えています。高電圧レベル変換方式を採用するゲート・ドライバと比較して、ADuM4121/ADuM4121-1 には、入力と出力が真に電気的に絶縁されているという利点があります。

ADuM4121/ADuM4121-1 は、ゲート駆動出力の立下がりエッジで 2 V で動作するミラー・クランプを内蔵しており、誘導ミラー容量の作用によってターンオンする可能性を下げるために、駆動される側のゲートに、より低インピーダンスのパスを提供します。

また、オプションでサーマル・シャットダウンを有効または無効にできるので、絶縁型ゲート・バイポーラ・トランジスタ (IGBT) / 金属酸化膜半導体電界効果トランジスタ (MOSFET) 構成のスイッチング特性を、幅広いスイッチング電圧範囲にわたり、高い信頼性で制御することができます。

機能ブロック図

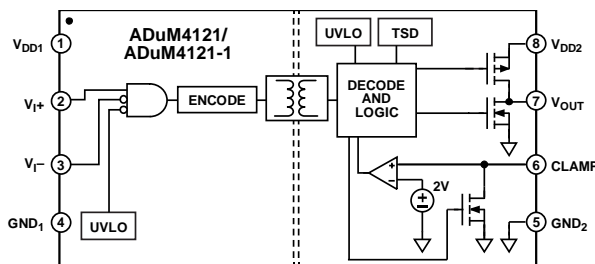


図 1.

¹ 米国特許 5,952,849; 6,873,065; 7,075,239 により保護されています。その他の特許は申請中です。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	ESD に関する注意.....	6
アプリケーション.....	1	ピン配置およびピン機能の説明.....	7
概要.....	1	代表的な性能特性.....	8
機能ブロック図.....	1	動作原理.....	11
改訂履歴.....	2	アプリケーション情報.....	12
仕様.....	3	プリント回路基板 (PCB) レイアウト.....	12
電気的特性.....	3	伝搬遅延に関するパラメータ.....	12
適用規格.....	4	低電圧ロックアウト (UVLO).....	12
パッケージ特性.....	4	出力負荷特性.....	13
絶縁および安全性関連の仕様.....	5	消費電力.....	13
DIN V VDE V 0884-10 (VDE V 0884-10) 絶縁特性.....	5	絶縁寿命.....	14
推奨動作条件.....	5	代表的なアプリケーション.....	14
絶対最大定格.....	6	外形寸法.....	16
熱抵抗.....	6	オーダー・ガイド.....	16

改訂履歴

10/2016—Revision 0: Initial Version

仕様

電気的特性

ローサイド電圧は GND_1 を基準としています。ハイサイド電圧は GND_2 、 $2.5\text{ V} \leq V_{DD1} \leq 6.5\text{ V}$ 、 $4.5\text{ V} \leq V_{DD2} \leq 35\text{ V}$ 、 $T_J = -40\text{ }^\circ\text{C} \sim +125\text{ }^\circ\text{C}$ を基準としています。特に指定のない限り、他のすべての最小/最大の仕様規定は推奨動作範囲全体に適用されます。すべての代表仕様は、 $T_J = 25\text{ }^\circ\text{C}$ 、 $V_{DD1} = 5.0\text{ V}$ 、 $V_{DD2} = 15\text{ V}$ での値です。

表 1.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
DC SPECIFICATIONS						
High Side Power Supply						
V_{DD2} Input Voltage	V_{DD2}	4.5		35	V	
V_{DD2} Input Current, Quiescent	$I_{DD2(Q)}$		2.3	2.7	mA	
Logic Supply						
V_{DD1} Input Voltage	V_{DD1}	2.5		6.5	V	
Input Current	I_{DD1}		3.6	5	mA	$V_{I+} = \text{high}, V_{I-} = \text{low}$
Logic Inputs (V_{I+}, V_{I-})						
Input Current	I_{I+}, I_{I-}	-1	0.01	+1	μA	
Input Voltage						
Logic High	V_{IH}	$0.7 \times V_{DD1}$ 3.5			V	$2.5\text{ V} \leq V_{DD1} \leq 5\text{ V}$ $V_{DD1} > 5\text{ V}$
Logic Low	V_{IL}			$0.3 \times V_{DD1}$ 1.5	V	$2.5\text{ V} \leq V_{DD1} \leq 5\text{ V}$ $V_{DD1} > 5\text{ V}$
UVLO						
V_{DD1}						
Positive-Going Threshold	$V_{VDD1UV+}$		2.45	2.5	V	
Negative-Going Threshold	$V_{VDD1UV-}$	2.3	2.35		V	
Hysteresis	$V_{VDD1UVH}$		0.1		V	
V_{DD2}						
Grade A						
Positive Going Threshold	$V_{VDD2UV+}$		4.4	4.5	V	
Negative Going Threshold	$V_{VDD2UV-}$	4.1	4.2		V	
Hysteresis	$V_{VDD2UVH}$		0.2		V	
Grade B						
Positive Going Threshold	$V_{VDD2UV+}$		7.3	7.5	V	
Negative Going Threshold	$V_{VDD2UV-}$	6.9	7.1		V	
Hysteresis	$V_{VDD2UVH}$		0.2		V	
Grade C						
Positive Going Threshold	$V_{VDD2UV+}$		11.3	11.6	V	
Negative Going Threshold	$V_{VDD2UV-}$	10.8	11.1		V	
Hysteresis	$V_{VDD2UVH}$		0.2		V	
Thermal Shutdown (TSD)						
Positive Edge	T_{TSD_POS}		155		$^\circ\text{C}$	The ADuM4121-1 does not have TSD
Hysteresis	T_{TSD_HYST}		30		$^\circ\text{C}$	
Internal NMOS Gate Resistance	R_{DSON_N}		0.6	1.6	Ω	Tested at 250 mA, $V_{DD2} = 15\text{ V}$
Internal PMOS Gate Resistance	R_{DSON_P}		0.6	1.6	Ω	Tested at 1 A, $V_{DD2} = 15\text{ V}$
			0.8	1.8	Ω	Tested at 250 mA, $V_{DD2} = 15\text{ V}$
Internal Miller Clamp Resistance	R_{DSON_MILLER}		0.8	2	Ω	Tested at 1 A, $V_{DD2} = 15\text{ V}$
			0.8	2	Ω	Tested at 200 mA, $V_{DD2} = 15\text{ V}$
Miller Clamp Voltage Threshold	V_{CLP_TH}	1.75	2	2.25	V	Referenced to GND_2 , $V_{DD2} = 15\text{ V}$
Peak Current	I_{PK}		2.3		A	$V_{DD2} = 12\text{ V}$, 4 Ω gate resistance
SWITCHING SPECIFICATIONS						
Pulse Width	PW	50			ns	$C_L = 2\text{ nF}$, $V_{DD2} = 15\text{ V}$, $R_{GON} = R_{GOFF} = 5\text{ } \Omega$
Propagation Delay						
Rising Edge ²	t_{DLH}	22	32	42	ns	$C_L = 2\text{ nF}$, $V_{DD2} = 15\text{ V}$, $R_{GON} = R_{GOFF} = 5\text{ } \Omega$
Falling Edge ²	t_{DHL}	30	38	53	ns	$C_L = 2\text{ nF}$, $V_{DD2} = 15\text{ V}$, $R_{GON} = R_{GOFF} = 5\text{ } \Omega$

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Skew ³	t _{PSK}			22	ns	C _L = 2 nF, V _{DD2} = 15 V, R _{GGON} = R _{G_{OFF}} = 5 Ω
Falling Edge ⁴	t _{PSKHL}			12	ns	C _L = 2 nF, V _{DD2} = 15 V, R _{GGON} = R _{G_{OFF}} = 5 Ω
Rising Edge ⁵	t _{PSKLH}			15	ns	C _L = 2 nF, V _{DD2} = 15 V, R _{GGON} = R _{G_{OFF}} = 5 Ω
Pulse Width Distortion	t _{PWD}		7	13	ns	C _L = 2 nF, V _{DD2} = 15 V, R _{GGON} = R _{G_{OFF}} = 5 Ω
Output Rise/Fall Time (10% to 90%)	t _r /t _f	11	18	26	ns	C _L = 2 nF, V _{DD2} = 15 V, R _{GGON} = R _{G_{OFF}} = 5 Ω
Common-Mode Transient Immunity (CMTI)	CM					
Static CMTI ⁶		150			kV/μs	V _{CM} = 1500 V
Dynamic CMTI ⁷		150			kV/μs	V _{CM} = 1500 V

¹ R_{GGON} と R_{G_{OFF}} は、テスト時の外部ゲート抵抗です。

² 伝搬遅延 t_{DLH} は、入力立上がりロジック・ハイ閾値 V_{IH} から V_{OUT} 信号の出力立上がり 10% 閾値までを測定した値です。伝搬遅延 t_{DHL} は、ロジック・ロー閾値 V_{IL} から V_{Ox} 信号の出力立下がり 90% 閾値までを測定した値です。伝搬遅延パラメータの波形については、図 24 を参照してください。

³ t_{PSK} は、推奨動作条件内の同一の動作温度、電源電圧、出力負荷において、複数のユニットで測定した t_{DLH} および/または t_{DHL} の最悪時の差の大きさです。伝搬遅延パラメータの波形については、図 24 を参照してください。

⁴ t_{PSKHL} は、推奨動作条件内の同一の動作温度、電源電圧、出力負荷で、複数のユニットで測定した t_{DHL} の最悪の場合の差の大きさです。伝搬遅延パラメータの波形については、図 24 を参照してください。

⁵ t_{PSKLH} は、推奨動作条件内の同一の動作温度、電源電圧、出力負荷で、複数のユニットで測定した t_{DLH} の最悪の場合の差の大きさです。伝搬遅延パラメータの波形については、図 24 を参照してください。

⁶ 静的コモンモード過渡耐性 (CMTI) は、入力をハイまたはローに保持した状態で、出力ハイのときに出力電圧が 0.8 × V_{DD2} より上に維持され、出力ローのときに 0.8 V に維持される、GND₁ と GND₂ の間の最大 dv/dt として定義されます。トランジエントが推奨レベルを超える状態で動作させると、瞬間的にデータが乱れることがあります。

⁷ 動的コモンモード過渡耐性 (CMTI) は、スイッチング・エッジが過渡テスト・パルスに揃ったときの、GND₁ と GND₂ の間の最大 dv/dt として定義されます。過渡が推奨レベルを超える状態で動作させると、一時的にデータが乱れることがあります。

適用規格

ADuM4121/ADuM4121-1 は、表 2 に記載された組織の認定を申請中です。

表 2.

UL (Pending)	CSA (Pending)	VDE (Pending)	CQC (Pending)
UL1577 Component Recognition Program	Approved under CSA Component Acceptance Notice 5A	DIN V VDE V 0884-10 (VDE V 0884-10):2006-12	Certified under CQC11-471543-2012
Single Protection, 5000 V rms Isolation Voltage	CSA 60950-1-07+A1+A2 and IEC 60950-1, second edition, +A1+A2: Basic insulation at 800 V rms (1131 V peak) Reinforced insulation at 400 V rms (565 V peak) IEC 60601-1 Edition 3.1: Basic insulation (1 MOPP), 500 V rms (707 V peak) Reinforced insulation (2 MOPP), 250 V rms (1414 V peak) CSA 61010-1-12 and IEC 61010-1 third edition Basic insulation at: 600 V rms mains, 800 V secondary (1089 V peak) Reinforced insulation at: 300 V rms mains, 400 V secondary (565 V peak)	Reinforced insulation, 849 V peak, V _{IOSM} = 10 kV peak Basic insulation 849 V peak, V _{IOSM} = 16 kV peak	GB4943.1-2011 Basic insulation at 800 V rms (1131 V peak) Reinforced insulation at 400 V rms (565 V peak)
File E214100	File 205078	File 2471900-4880-0001	File (pending)

パッケージ特性

表 3.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Resistance (Input Side to High-Side Output) ¹	R _{I-O}		10 ¹²		Ω	
Capacitance (Input Side to High-Side Output) ¹	C _{I-O}		2.0		pF	
Input Capacitance	C _I		4.0		pF	
Junction to Top Characterization Parameter	Ψ _{JT}		7.3		°C/W	4-layer PCB

¹ デバイスは 2 端子デバイスとみなします。すなわち、ピン 1 ~ ピン 4 を相互に接続し、ピン 5 ~ ピン 8 を相互に接続します。

絶縁および安全性関連の仕様

表 4.

Parameter	Symbol	Value	Unit	Conditions
Rated Dielectric Insulation Voltage		5000	V rms	1-minute duration
Minimum External Air Gap (Clearance)	L(I01)	8 min	mm	Measured from input terminals to output terminals, shortest distance through air
Minimum External Tracking (Creepage)	L(I02)	8 min	mm	Measured from input terminals to output terminals, shortest distance path along body
Minimum Clearance in the Plane of the Printed Circuit Board (PCB Clearance)	L (PCB)	8.3 min	mm	Measured from input terminals to output terminals, shortest distance through air, line of sight, in the PCB mounting plane
Minimum Internal Gap (Internal Clearance)		25.5 min	μm	Minimum distance through insulation
Tracking Resistance (Comparative Tracking Index)	CTI	>400	V	DIN IEC 112/VDE 0303 Part 3
Isolation Group		II		Material Group (DIN VDE 0110, 1/89, Table 1)

DIN V VDE V 0884-10 (VDE V 0884-10) 絶縁特性

このアイソレータは、安全限界データ範囲内の強化絶縁のみに適しています。安全性データの維持は、保護回路によって確保されます。

表 5. VDE 特性

Description	Test Conditions/Comments	Symbol	Characteristic	Unit
Installation Classification per DIN VDE 0110 For Rated Mains Voltage ≤ 600 V rms			I to IV	
Climatic Classification			40/105/21	
Pollution Degree per DIN VDE 0110, Table 1			2	
Maximum Working Insulation Voltage		V _{IORM}	849	V peak
Input to Output Test Voltage, Method B1	V _{IORM} × 1.875 = V _{pd(m)} , 100% production test, t _{ini} = t _m = 1 sec, partial discharge < 5 pC	V _{pd(m)}	1592	V peak
Input to Output Test Voltage, Method A				
After Environmental Tests Subgroup 1	V _{IORM} × 1.5 = V _{pd(m)} , t _{ini} = 60 sec, t _m = 10 sec, partial discharge < 5 pC	V _{pd(m)}	1274	V peak
After Input and/or Safety Test Subgroup 2 and Subgroup 3	V _{IORM} × 1.2 = V _{pd(m)} , t _{ini} = 60 sec, t _m = 10 sec, partial discharge < 5 pC	V _{pd(m)}	1019	V peak
Highest Allowable Overvoltage		V _{IOTM}	7000	V peak
Surge Isolation Voltage Basic	V _{PEAK} = 16 kV, 1.2 μs rise time, 50 μs, 50% fall time	V _{IOSM}	16,000	V peak
Surge Isolation Voltage Reinforced	V _{PEAK} = 16 kV, 1.2 μs rise time, 50 μs, 50% fall time	V _{IOSM}	10,000	V peak
Safety Limiting Values	Maximum value allowed in the event of a failure (see Figure 2)			
Maximum Junction Temperature		T _S	150	°C
Safety Total Dissipated Power		P _S	1.2	W
Insulation Resistance at T _S	V _{IO} = 500 V	R _S	>10 ⁹	Ω

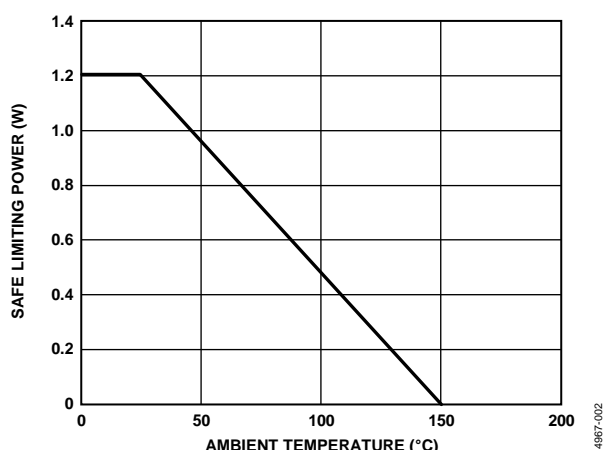


図 2. 熱ディレーティング・カーブ、DIN V VDE V 0884-10 による安全限界値のケース温度に対する依存性

推奨動作条件

表 6.

Parameter	Value
Operating Temperature Range (T _J)	-40°C to +125°C
Supply Voltages	
V _{DD1} to GND ₁	2.5 V to 6.5 V
V _{DD2} to GND ₂	4.5 V to 35 V

絶対最大定格

特に指定のない限り、周囲温度 = 25 °C。

表 7.

Parameter	Rating
Storage Temperature Range (T _{ST})	-55°C to +150°C
Junction Operating Temperature Range (T _J)	-40°C to +125°C
Supply Voltages	
V _{DD1} to GND ₁	-0.3 V to +7 V
V _{DD2} to GND ₂	-0.3 V to +40 V
Input Voltages	
V _{I+} , V _{I-} ¹	-0.3 V to +7 V
V _{CLAMP} ²	-0.3 V to V _{DD2} + 0.3 V
Output Voltages	
V _{OUT} ²	-0.3 V to V _{DD2} + 0.3 V
Common-Mode Transients (CM) ³	-200 kV/μs to +200 kV/μs

¹ 定格値は、V_{DD1} > 2.5 Vであることを前提としています。V_{DD1}に電源が供給されていないときのV_{I+}とV_{I-}の最大定格は6.5 Vです。

² GND₂を基準として最大40 V。

³ |CM|は絶縁バリアをまたぐコモンモード過渡電圧を表します。絶対最大定格を超えるコモンモード過渡電圧は、ラッチアップまたは恒久的な故障の原因になりえることがあります。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を引き起こす場合があります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

表 9. 最大連続動作電圧¹

Parameter	Rating	Unit	Constraint
AC Voltage			
Bipolar Waveform			
Basic Insulation	849	V peak	50-year minimum insulation lifetime
Reinforced Insulation	789	V peak	Lifetime limited by package creepage maximum approved working voltage per IEC 60950-1
Unipolar Waveform			
Basic Insulation	1698	V peak	50-year minimum insulation lifetime
Reinforced Insulation	849	V peak	50-year minimum insulation lifetime
DC Voltage			
Basic Insulation	1118	V peak	Lifetime limited by package creepage maximum approved working voltage per IEC 60950-1
Reinforced Insulation	558	V peak	Lifetime limited by package creepage maximum approved working voltage per IEC 60950-1

¹ 最大連続動作電圧は、絶縁バリアに加わる連続電圧の大きさを表します。詳細については、「絶縁寿命」のセクションを参照してください。

表 10. 真理値表

V _{I-}	V _{I+}	V _{DD1} State	V _{DD2} State	V _{OUT} Output
Don't care	Low	Powered	Powered	Low
Low	High	Powered	Powered	High
High	Don't care	Powered	Powered	Low
Don't care	Don't care	Unpowered	Powered	Low
Don't care	Don't care	Powered	Unpowered	Low ¹

¹ 出力はローですが、デバイスに電源が供給されていないので能動的に駆動されてはいません。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関係しています。PCB の熱設計には細心の注意が必要です。θ_{JA} は、ジャンクションから周囲への熱抵抗です (°C/W)。

表 8. 熱抵抗

Package Type	θ _{JA}	Unit
RI-8-1 ¹	104.2	°C/W

¹ テスト条件 1: 熱インピーダンスのシミュレーション値は4層 PCB に基づく値です。

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

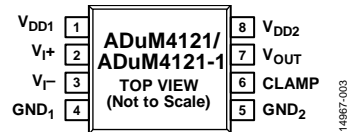


図 3. ピン配置

表 11. ピン機能の説明

Pin No.	Mnemonic	Description
1	V _{DD1}	アイソレータ・サイド1の電源電圧。
2	V _{I+}	非反転ゲート駆動ロジック入力。
3	V _{I-}	反転ゲート駆動ロジック入力。
4	GND ₁	グラウンド1。このピンはアイソレータ・サイド1のグラウンド基準です。
5	GND ₂	グラウンド2。このピンはアイソレータ・サイド2のグラウンド基準です。
6	CLAMP	ミラー・クランプおよびゲート電圧検出。このピンは駆動されるゲートに直接接続します。
7	V _{OUT}	ゲート駆動出力。このピンは、外付けの直列抵抗を介して、駆動されるゲートに接続します。
8	V _{DD2}	アイソレータ・サイド2の電源電圧。

代表的な性能特性

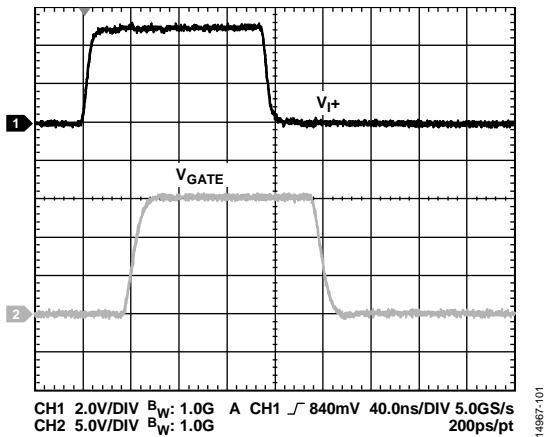


図 4. V_{I+} と V_{GATE} の波形 - 2 nF 負荷、3.9 Ω 直列ゲート抵抗、 $V_{DD2} = 15$ V (V_{GATE} はゲート抵抗後の電圧)

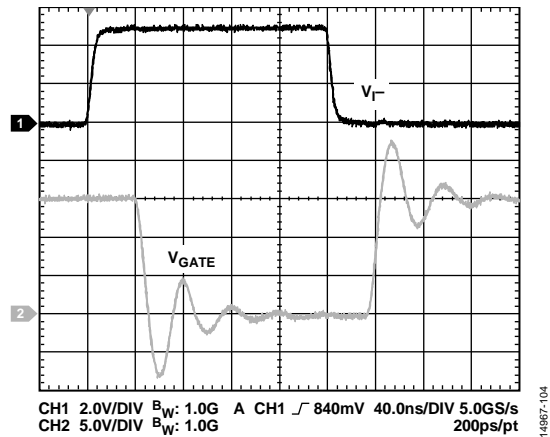


図 7. V_{I-} と V_{GATE} の波形 - 2 nF 負荷、0 Ω 直列ゲート抵抗、 $V_{DD2} = 15$ V

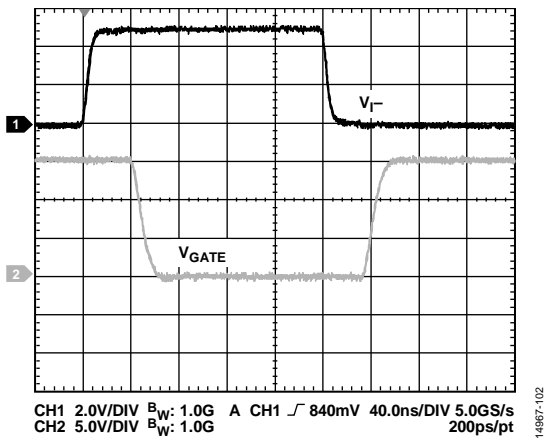


図 5. V_{I-} と V_{GATE} の波形 - 2 nF 負荷、3.9 Ω 直列ゲート抵抗、 $V_{DD2} = 15$ V

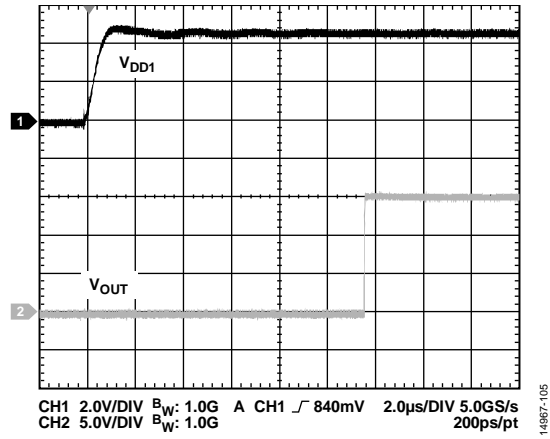


図 8. 出力波形に対する V_{DD1} の遅延 (代表値) - $V_{I+} = V_{DD1}$ 、 $V_{I-} = GND_1$

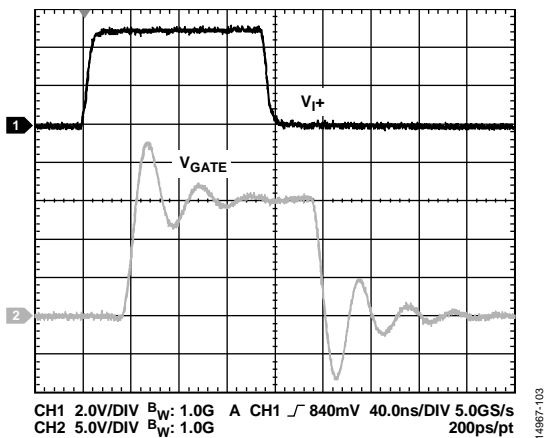


図 6. V_{I+} と V_{GATE} の波形 - 2 nF 負荷、0 Ω 直列ゲート抵抗、 $V_{DD2} = 15$ V

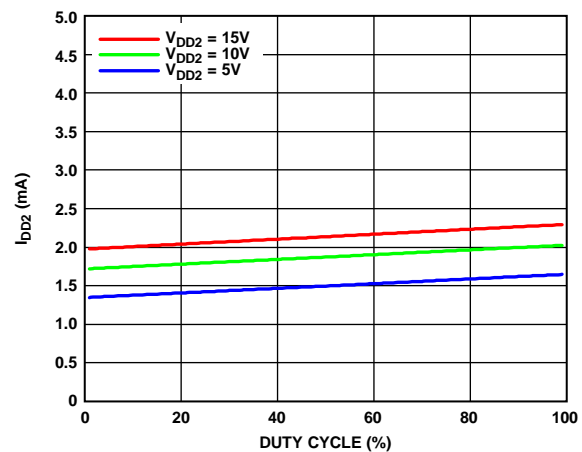


図 9. I_{DD2} とデューティ・サイクルの関係 - $V_{DD1} = 5$ V、スイッチング周波数 (f_{SW}) = 10 kHz、2 nF 負荷

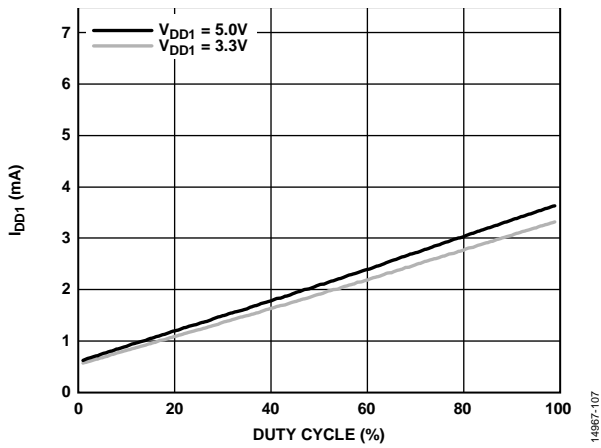


図 10. I_{DD1} とデューティ・サイクルの関係 - $f_{SW} = 10$ kHz、 2 nF 負荷

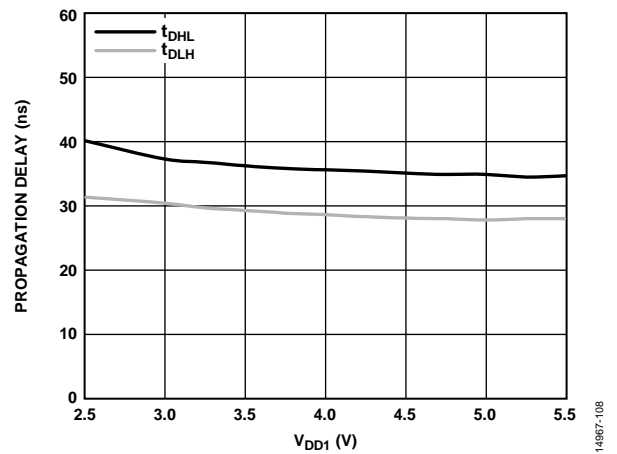


図 13. 伝播遅延と V_{DD1} の関係 - $V_{DD2} = 15$ V、 2 nF 負荷、 0Ω ゲート抵抗

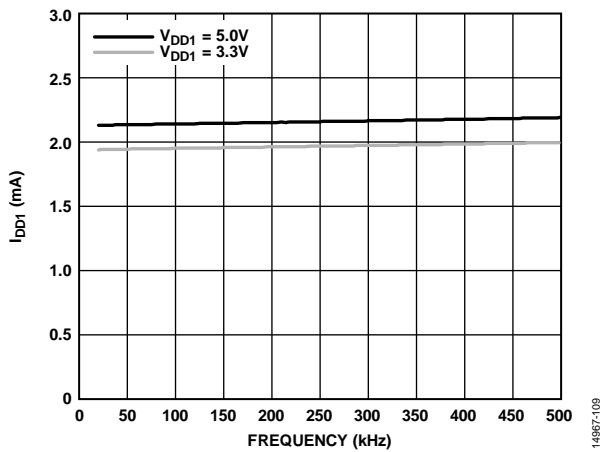


図 11. I_{DD1} の周波数特性

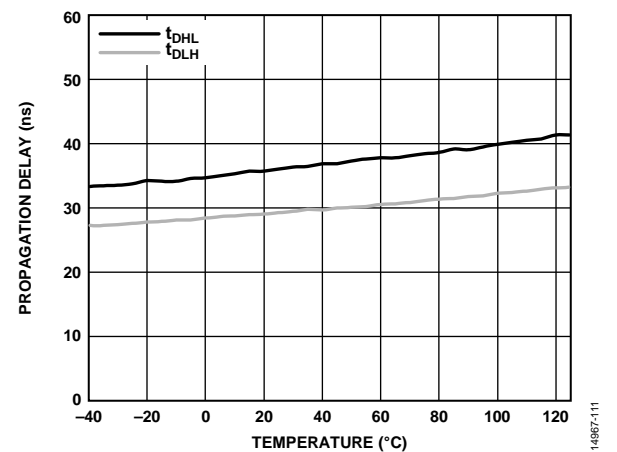


図 14. 伝播遅延の温度特性 - 2 nF 負荷

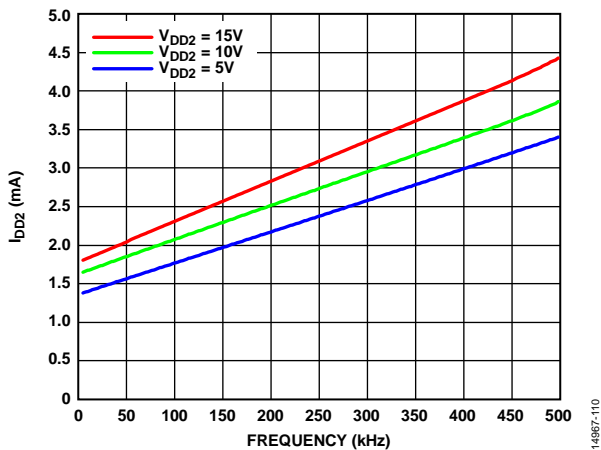


図 12. I_{DD2} の周波数特性 - 2 nF 負荷

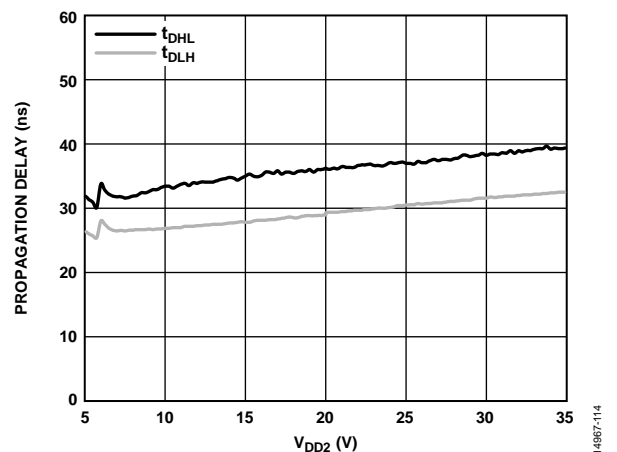


図 15. 伝播遅延と V_{DD2} の関係 - 2 nF 負荷

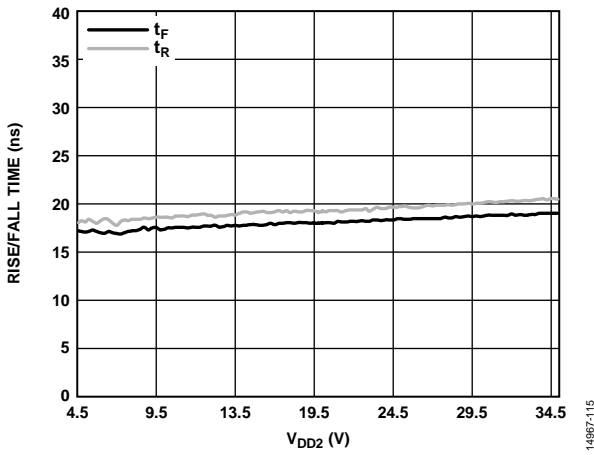


図 16. 立上がり/立下がり時間と V_{DD2} の関係 - 2 nF 負荷、3.9 Ω 抵抗

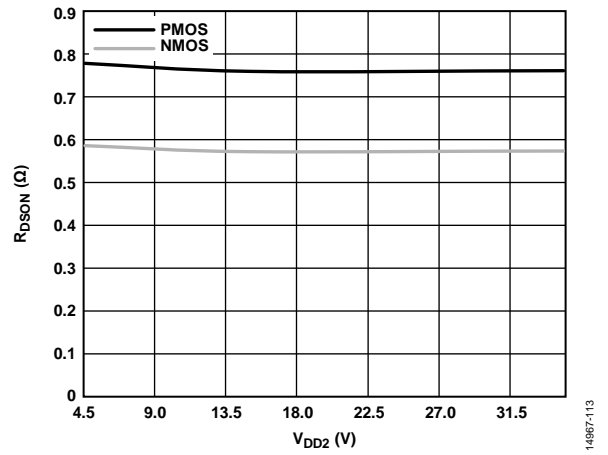


図 18. 代表的な出力抵抗 (R_{DSON}) と V_{DD2} の関係

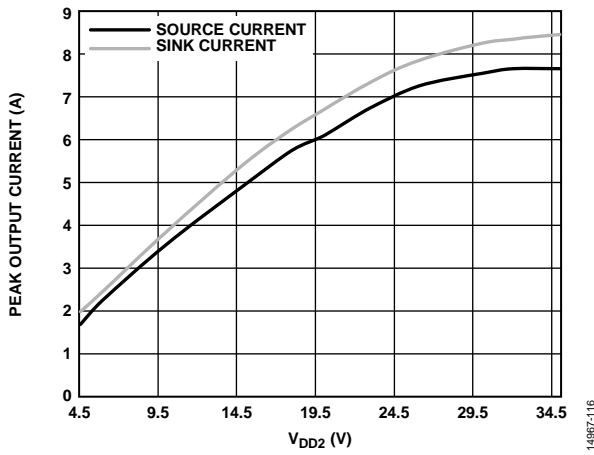


図 17. ピーク出力電流と V_{DD2} の関係 - 2 Ω 直列抵抗

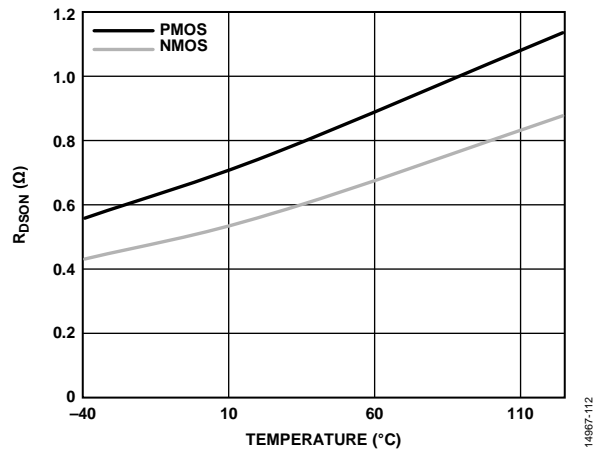


図 19. 代表的な出力抵抗 (R_{DSON}) と温度の関係、 $V_{DD2} = 15$ V

動作原理

ゲート・ドライバは、スイッチング・デバイスのゲートの立上がり時間を高速にすることが求められる状況で必要です。ほとんどのエンハンスメント型パワー・デバイスのゲート信号は、ソース・ノードまたはエミッタ・ノードを基準とします。ゲート・ドライバは、このソース・ノードまたはエミッタ・ノードに追従できなければならないので、ハーフ・ブリッジのようにソース・ノードまたはエミッタ・ノードがスイングする構成では、制御信号とゲート・ドライバ出力の間を絶縁する必要があります。ゲートのスイッチング時間は、ゲート・ドライバの駆動強度に依存します。CMOS 出力段の手前のバッファ段は、全体の遅延時間を減らし、ドライバの最終的な駆動強度を上げます。

ADuM4121/ADuM4121-1 は、ポリイミド絶縁層で分離された *iCoupler* チップ・スケール・トランスのコイルを使って絶縁バリア越しにデータを伝送する高周波搬送波により、ゲート・ド

ライバの制御側と出力側の間の絶縁を実現します。

ADuM4121/ADuM4121-1 が使用するエンコーディング方式は、正論理のオンオフ・キーイング (OOK) です。つまり、*iCoupler* チップ・スケール・トランスのコイルを越える搬送波周波数の存在によってハイ信号が伝送されます。正論理エンコーディングでは、ゲート・ドライバの入力側に電源が供給されていないとき、出力に必ずロー信号が現れます。ロー状態は、ショートスルー状態が生じる可能性のある状況で駆動するエンハンスメント・モードのパワー・デバイスでは最も一般的な安全状態です。このアーキテクチャは、高いコモンモード過渡耐圧、および電氣的ノイズ/電磁干渉に対して高い耐性を発揮するように設計されています。放射エミッションは、スペクトラム拡散 OOK 搬送波や、その他の手法 (差動コイル・レイアウトなど) により、最小限に抑えられています。

ADuM4121/ADuM4121-1 が使用するエンコーディング方式を図 20 に示します。

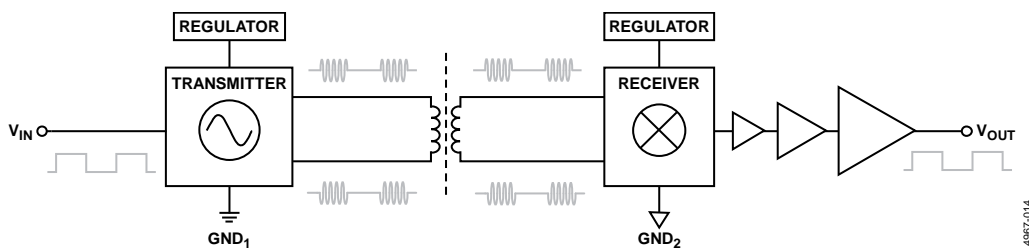


図 20. OOK エンコーディングの動作ブロック図

アプリケーション情報

プリント回路基板 (PCB) レイアウト

ADuM4121/ADuM4121-1 デジタル・アイソレータには、ロジック・インターフェース用の外付けインターフェース回路は不要です。図 21 に示すように、入力および出力電源ピンには、電源バイパス・コンデンサが必要です。0.01 μ F ~ 0.1 μ F の小型セラミック・コンデンサを使用して、十分な高周波バイパスを与えます。また、出力電源ピン V_{DD2} に 10 μ F コンデンサを追加して、ADuM4121/ADuM4121-1 出力でゲート容量を駆動するのに必要な電荷を供給することを推奨します。出力電源ピンのバイパス・コンデンサにはビアを使わないでください。バイパスのインダクタンスを小さくするために、多数のビアを使わなければなりません。小さいコンデンサと入力または出力電源ピンの両端間の合計リード長が 20 mm を超えてはいけません。

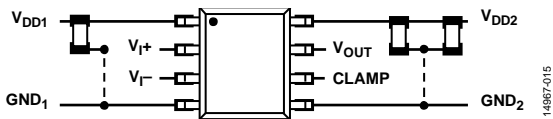


図 21. 推奨プリント回路基板 (PCB) レイアウト

VI+ および VI- 動作

ADuM4121/ADuM4121-1 には、IGBT ゲート駆動信号 V_{OUT} を制御するための 2 つの駆動入力、 V_{I+} と V_{I-} があります。 V_{I+} ピンと V_{I-} ピンは、どちらも CMOS ロジック・レベル入力を使用します。 V_{I+} ピンと V_{I-} ピンの入力ロジックは、 V_{I+} ピンをハイ・レベルに、または V_{I-} ピンをロー・レベルにアサートすることによって制御します。 V_{I-} ピンがロー・レベルの場合、 V_{I+} ピンは正論理を受け付けます。 V_{I+} がハイ・レベルに維持されている場合、 V_{I-} ピンは負論理を受け付けます。

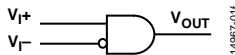


図 22. V_{I+} および V_{I-} のブロック図

詳細については、図 23 を参照してください。

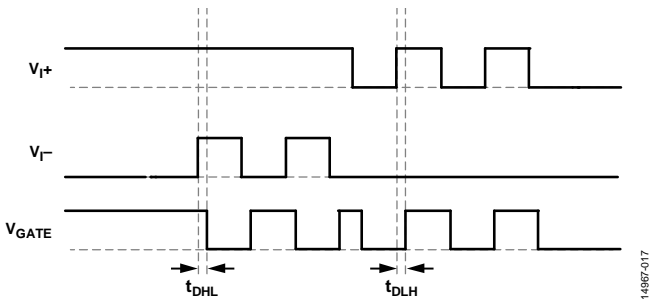


図 23. V_{I+} および V_{I-} のタイミング図

伝搬遅延に関するパラメータ

伝搬遅延時間は、ロジック信号がデバイスを通るのに要する時間を表わすパラメータです。ロジック・ロー出力への伝搬遅延は、ロジック・ハイ出力への伝搬遅延と異なる場合があります。ADuM4121/ADuM4121-1 の t_{DLH} は、立上がり入力ハイ・ロジック閾値 V_{IH} から出力立上がり 10% 閾値までの時間として仕様規定されています (図 24 を参照)。同様に、立下がり伝搬遅延 t_{DHL} は、入力立ち下がりロー・ロジック閾値 V_{IL} から、出力立下がり 90% 閾値までの時間として定義されています。立上がり時間と立下がり時間は負荷条件によって異なり、伝搬遅延には含まれません (ゲート・ドライバの業界標準)。

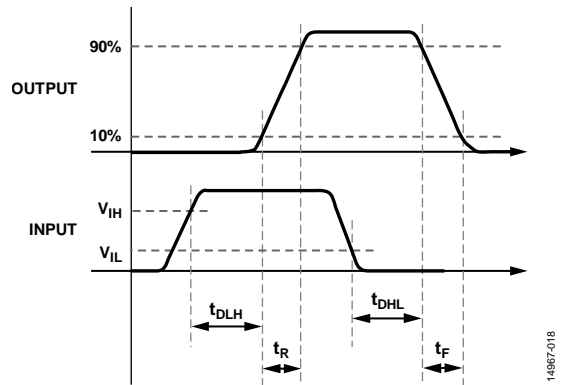


図 24. 伝搬遅延パラメータ

チャンネル間マッチングは、1 つの ADuM4121/ADuM4121-1 コンポーネント内にある複数のチャンネル間の伝播遅延差の最大値です。

伝播遅延スキューは、同じ条件下で動作する複数の ADuM4121/ADuM4121-1 コンポーネント間での伝播遅延差の最大値です。

低電圧ロックアウト (UVLO)

ADuM4121/ADuM4121-1 は、デバイスの 1 次側と 2 次側の両方に UVLO 保護機能を備えています。1 次側または 2 次側の電圧が立下がりエッジ UVLO より低くなると、デバイスはロー信号を出力します。ADuM4121/ADuM4121-1 に供給される電源の電圧が立上がりエッジ UVLO 閾値を超えた後は、デバイスは入力された信号を出力します。小さい電源リップルに対応するために、UVLO にはヒステリシスが組み込まれています。1 次側の UVLO 閾値は、全モデルで共通です。2 次側出力の UVLO 閾値には、表 12 に示す 3 つのオプションがあります。

表 12. モデル・オプションのリスト

Model Number	TSD	UVLO (V)
ADuM4121ARIZ	Yes	4.5
ADuM4121BRIZ	Yes	7.5
ADuM4121CRIZ	Yes	11.6
ADuM4121ARIZ-1	No	4.5
ADuM4121BRIZ-1	No	7.5
ADuM4121CRIZ-1	No	11.6

出力負荷特性

ADuM4121/ADuM4121-1 の出力信号は、出力負荷の特性に依存します。代表的な出力負荷は、N チャンネル MOSFET です。N チャンネル MOSFET 負荷に対するドライバの出力応答は、図 25 に示すように、スイッチの出力抵抗 (R_{SW})、プリント基板のトレースによるインダクタンス (L_{TRACE})、直列ゲート抵抗 (R_{GATE})、ゲートとソース間の容量 (C_{GS}) を使ってモデル化します。

R_{SW} は、ADuM4121/ADuM4121-1 の内部ドライバ出力のスイッチ抵抗で、約 1.5Ω です。 R_{GATE} は、MOSFET または IGBT 固有のゲート抵抗と、その他の外部直列抵抗です。2 A ゲート・ドライバを必要とする MOSFET または IGBT には、代表値で約 1Ω の固有抵抗と、 $2 \text{ nF} \sim 10 \text{ nF}$ のゲート・ソース間容量 C_{GS} が含まれています。 L_{TRACE} はプリント基板のトレースのインダクタンスで、うまくレイアウトされていて、ADuM4121/ADuM4121-1 の出力から MOSFET または IGBT のゲートへのトレースが短く幅が広ければ、通常 5 nH 以下です。

下の式は RLC 回路の Q 値を定義する式で、ステップ変化に対する ADuM4121/ADuM4121-1 の出力応答を示します。十分に減衰された出力の場合、Q は 1 未満です。直列ゲート抵抗を追加すると、出力応答を減衰させることができます。

$$Q = \frac{1}{(R_{SW} + R_{GATE})} \times \sqrt{\frac{L_{TRACE}}{C_{GS}}}$$

出力のリングングは、直列ゲート抵抗を追加して応答を減衰させると減少します。図 4 に示す波形は、 2 nF の負荷と 3.9Ω の外部直列ゲート抵抗によって正しく減衰された例を示しています。図 6 に示す波形は、 2 nF の負荷と外部直列ゲート抵抗 0Ω の、減衰不足の例です。

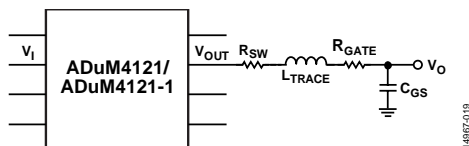


図 25. N チャンネル MOSFET のゲートの RLC モデル

ミラー・クランプ

ADuM4121/ADuM4121-1 はミラー・クランプを内蔵しており、MOSFET または IGBT のシャットオフ時にミラー容量によって MOSFET または IGBT のゲートに発生する電圧スパイクを低減します。入力ゲート信号が IGBT をオフに (ロー・レベルに) しようとする時、ミラー・クランプ MOSFET が最初にオフします。GATE_SENSE ピンの電圧が 2 V の内部電圧リファレンス (GND_2 基準) を超えると、内部ミラー・クランプは MOSFET または IGBT のオフ時間の残りの時間にわたってオンにラッチし、ゲート電流が流れる 2 つ目の低インピーダンス電流パスを形成します。ミラー・クランプ・スイッチは、入力駆動信号がローからハイに変わるまでオン状態を維持します。タイミングの波形例を図 26 に示します。

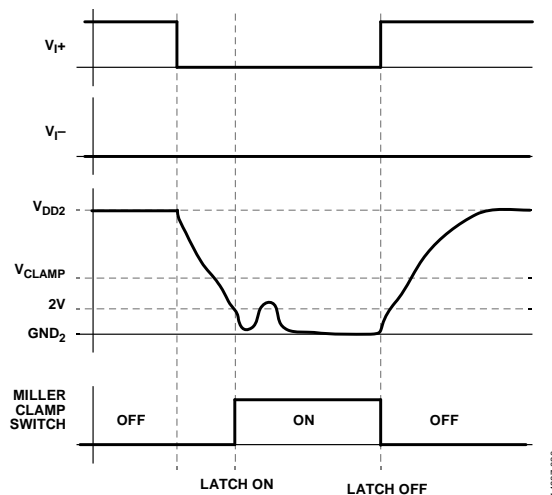


図 26. ミラー・クランプの例

消費電力

MOSFET または IGBT のゲートを駆動中に、ドライバは電力を消費する必要があります。この電力は無視できるレベルではなく、考慮しないとサーマル・シャットダウン (TSD) 状態になることがあります。IGBT のゲートは、容量性負荷として大まかにシミュレートすることができます。ミラー容量と他の非直線性により、一般的には、必要な MOSFET または IGBT の規定入力容量 C_{ISS} に 3 ~ 5 を掛けて、駆動される負荷を安全側に見積もります。この値を使用して、スイッチング動作によるシステムの総消費電力を見積もるには次の数式を使用します。

$$P_{DISS} = C_{EST} \times (V_{DD2} - GND_2)^2 \times f_{SW}$$

ここで、

$$C_{EST} = C_{ISS} \times 5$$

f_{SW} は IGBT のスイッチング周波数です。

あるいは、ゲート電荷を以下のように使うことができます。

$$P_{DISS} = Q_G \times (V_{DD2} - GND_2) \times f_{SW}$$

ここで、 Q_G は駆動されるデバイスの合計ゲート電荷です。

この消費電力は、内部ゲート・ドライバの内部オン抵抗と外部ゲート抵抗 R_{GON} および R_{GOFF} で共有されます。直列抵抗の合計に対する内部ゲート抵抗の比率により、ADuM4121/ADuM4121-1 デバイス内の損失を計算できます。以下に示す計算は ADuM4121 の場合ですが、ADuM4121-1 にも使用できます。

$$P_{DISS_ADuM4121} = P_{DISS} \times 0.5 \left(\frac{R_{DSON_P}}{R_{GON} + R_{DSON_P}} \right) + 0.5 \left(\frac{R_{DSON_N}}{R_{GOFF} + R_{DSON_N}} \right)$$

このチップ内の消費電力に θ_{JA} を掛けることで、ADuM4121 の周囲温度からの温度上昇値が得られます。

$$T_{ADuM4121} = \theta_{JA} \times P_{DISS_ADuM4121} + T_{AMB}$$

デバイスを仕様値内に維持するには、 $T_{ADuM4121}$ が 125°C を超えないようにする必要があります。 $T_{ADuM4121}$ が TSD の上昇時間閾値を超えるとデバイスは TSD に入り、TSD の下降時間閾値を下回るまで出力がローのままになります。ADuM4121-1 にはサーマル・シャットダウン機能はありません。

絶縁寿命

すべての絶縁構造は、電圧ストレスを充分長い時間受けると最終的には破壊されます。絶縁性能の低下率は、絶縁に加えらる電圧波形の特性に依存します。アナログ・デバイセズは、規制当局が行うテストの他に、広範囲な評価を実施して ADuM4121/ADuM4121-1 の絶縁構造の寿命を決定しています。

アナログ・デバイセズは、定格連続動作電圧より高い電圧レベルを使った加速寿命テストを実施しています。複数の動作条件に対する加速係数が決定されています。これらの係数を使うと、実際の動作電圧での故障までの時間を計算することができます。

バイポーラ AC 動作条件での 50 年の運用寿命に対するピーク電圧と、CSA/VDE 認定の最大動作電圧をまとめて表 9 に示します。多くのケースで、承認された動作電圧は 50 年運用寿命の電圧より高くなっています。これらの高い動作電圧での動作は、ケースによって絶縁寿命を短くすることがあります。

ADuM4121/ADuM4121-1 の絶縁寿命は、絶縁バリアに加えらる電圧波形のタイプに依存します。iCoupler 絶縁構造の性能は、波形がバイポーラ AC、ユニポーラ AC、DC のいずれであるかに応じて、異なるレートで低下します。これらのさまざまな絶縁電圧波形を図 27、図 28、図 29 に示します。

バイポーラ AC 電圧環境は iCoupler 製品にとって最悪条件ですが、アナログ・デバイセズの推奨する最大動作電圧に対する動作寿命は 50 年です。ユニポーラ AC またはユニポーラ DC 電圧の場合、絶縁に加わるストレスは大幅に少なくなります。このユニポーラ AC または DC 電圧環境では、より高い動作電圧での動作が可能ですが、その場合でも 50 年の運用寿命を実現することができます。図 28 または図 29 に適合しない絶縁電圧波形はバイポーラ AC 波形として扱う必要があり、そのピーク電圧は表 9 に示す 50 年寿命電圧値に制限する必要があります。

図 28 に示す電圧は、説明のためにだけ正弦波としていることに注意してください。すなわち、0 V とある規定値との間で変化する任意の電圧波形とすることができます。規定値は正または負となることができませんが、電圧は 0 V を通過することはできません。

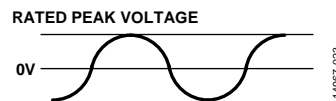


図 27. バイポーラ AC 波形

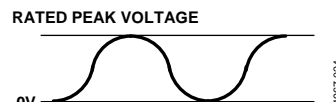


図 28. ユニポーラ AC 波形

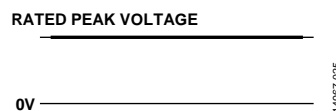
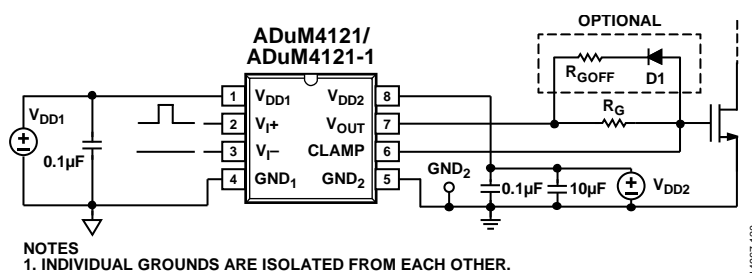


図 29. DC 波形

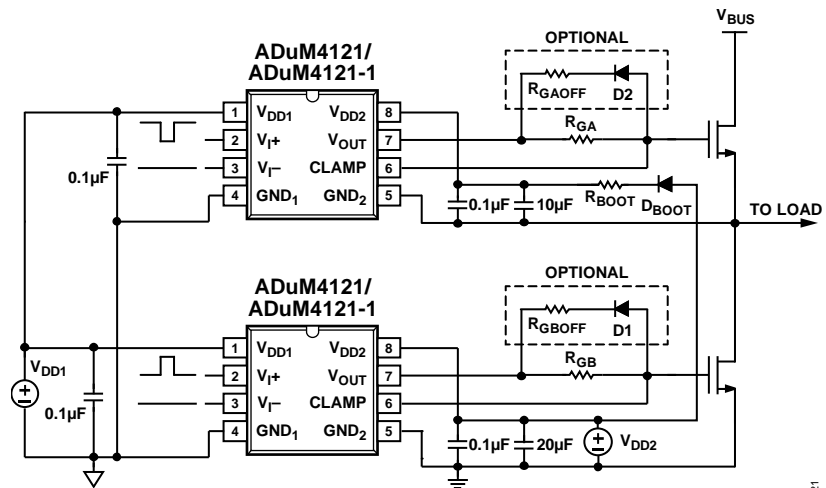
代表的なアプリケーション

ADuM4121/ADuM4121-1 の代表的なアプリケーションを図 30 に示します。外部ゲート抵抗 R_G は、駆動されるデバイスのゲート電圧の立上がり時間と立下がり時間を制御します。D1 を通る並列パスを形成することにより、さらに調整を行うためにオプションのターンオフ・パスを使用することができます。ブートストラップ設定の例を図 31 に示します。これら両方の例では、いずれも V_I^- ピンがローに接続されて、ゲート・ドライバへの正のロジック入力を構成しています。このように V_I^- ピンはディスプレイ・ピンとして動作し、 V_I^- ピンがハイになると出力がローになります。



NOTES
1. INDIVIDUAL GROUNDS ARE ISOLATED FROM EACH OTHER.

図 30. 代表的なアプリケーションの図 (シングル・デバイス)



NOTES
1. INDIVIDUAL GROUNDS ARE ISOLATED FROM EACH OTHER.

図 31. 代表的なアプリケーションの図 (ブートストラップ設定)

14867-121

外形寸法

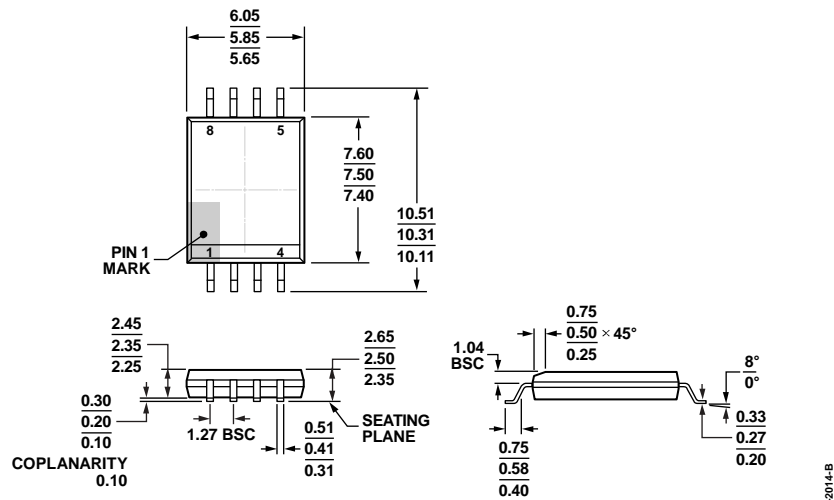


図 32. 沿面距離を増やした 8 ピン標準スモール・アウトライン・パッケージ [SOIC_IC]
ワイドボディ
(RI-8-1)
寸法: mm

オーダー・ガイド

Model ¹	No. of Channels	Output Peak Current (A)	Thermal Shutdown	Minimum Output Voltage (V)	Temperature Range	Package Description	Package Option
ADuM4121ARIZ	1	2	Yes	4.5	-40°C to +125°C	8-Lead SOIC_IC	RI-8-1
ADuM4121ARIZ-RL	1	2	Yes	4.5	-40°C to +125°C	8-Lead SOIC_IC, 13" Tape and Reel	RI-8-1
ADuM4121BRIZ	1	2	Yes	7.5	-40°C to +125°C	8-Lead SOIC_IC	RI-8-1
ADuM4121BRIZ-RL	1	2	Yes	7.5	-40°C to +125°C	8-Lead SOIC_IC, 13" Tape and Reel	RI-8-1
ADuM4121CRIZ	1	2	Yes	11.6	-40°C to +125°C	8-Lead SOIC_IC	RI-8-1
ADuM4121CRIZ-RL	1	2	Yes	11.6	-40°C to +125°C	8-Lead SOIC_IC, 13" Tape and Reel	RI-8-1
ADuM4121-1ARIZ	1	2	No	4.5	-40°C to +125°C	8-Lead SOIC_IC	RI-8-1
ADuM4121-1ARIZ-RL	1	2	No	4.5	-40°C to +125°C	8-Lead SOIC_IC, 13" Tape and Reel	RI-8-1
ADuM4121-1BRIZ	1	2	No	7.5	-40°C to +125°C	8-Lead SOIC_IC	RI-8-1
ADuM4121-1BRIZ-RL	1	2	No	7.5	-40°C to +125°C	8-Lead SOIC_IC, 13" Tape and Reel	RI-8-1
ADuM4121-1CRIZ	1	2	No	11.6	-40°C to +125°C	8-Lead SOIC_IC	RI-8-1
ADuM4121-1CRIZ-RL	1	2	No	11.6	-40°C to +125°C	8-Lead SOIC_IC, 13" Tape and Reel	RI-8-1
EVAL-ADuM4121EBZ	1	2	Yes	4.5	-40°C to +125°C	Evaluation Board	RI-8-1
EVAL-ADuM4121-1EBZ	1	2	No	4.5	-40°C to +125°C	Evaluation Board	RI-8-1

¹ Z = RoHS 準拠製品。