

ADuM3470/ADuM3471/ADuM3472/ADuM3473/ADuM3474

特長

- PWM コントローラを内蔵
- トランス・ドライバを内蔵
- 調整可能なレギュレーション済み出力: 3.3 V~24 V
- 出力電力: 2 W
- 5.0 V 出力で 400 mA 負荷を保证する 70%の効率
- 4 チャンネルの DC~25 Mbps (NRZ) 信号アイソレーション
- 20 ピン SSOP パッケージを採用
- 高温動作: 105°C
- 同相モード・トランジェント耐性: 25 kV/μs 以上
- 200 kHz~1 MHz で調整可能な発振器周波数
- パワーアップ時のソフト・スタート機能
- パルスごとの過電流保護機能
- サーマル・シャットダウン
- アイソレーション: 2500 V rms

アプリケーション

- RS-232/RS-422/RS-485 トランシーバ
- 工業用フィールド・バス・アイソレーション
- 電源スタートアップ・バイアスとゲート駆動
- 絶縁型センサー・インターフェース
- プロセス制御

概要

ADuM3470/ADuM3471/ADuM3472/ADuM3473/ADuM3474 デバイス¹は、PWM コントローラと絶縁型 DC/DC コンバータ用のトランス・ドライバを内蔵する 4 チャンネル・デジタル・アイソレータです。アナログ・デバイセズの *iCoupler*[®] 技術を採用したこの DC/DC コンバータは、5.0 V または 3.3 V 入力電圧 / 3.3 V~24 V 出力電圧で最大 2 W の絶縁されたレギュレーション済み電力を供給します。これにより、2 W 絶縁型デザインで別々の絶縁型 DC/DC コンバータが不要になります。*iCoupler* チップ・スケール・トランス技術を使ってロジック信号をアイソレーションし、絶縁型 2 次側制御機能付きの内蔵トランス・ドライバにより、絶縁型 DC/DC コンバータの高い効率を提供します。これにより、小型の総合アイソレーション・ソリューションが実現されています。

ADuM347x アイソレータは、4 チャンネルの独立なアイソレーション・チャンネルを様々なチャンネル構成とデータレートで提供します (このデータシートでは ADuM347x の x は、ADuM3470/ ADuM3471/ ADuM3472/ ADuM3473/ ADuM3474 を意味します)。

機能ブロック図

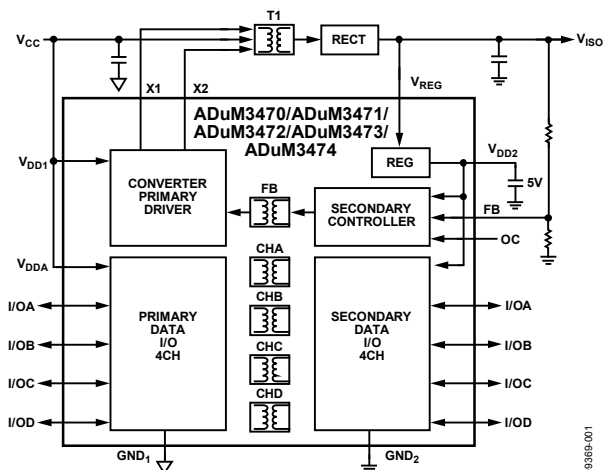


図 1.機能ブロック図

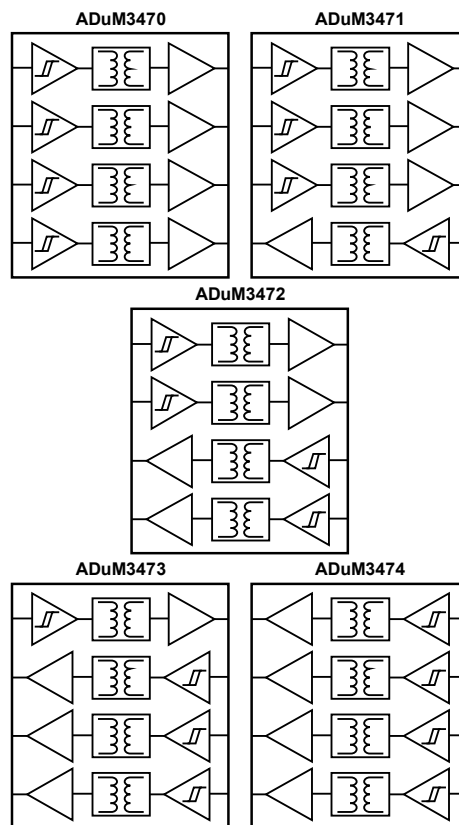


図 2.I/O チャンネルのブロック図

¹ 米国特許 5,952,849、6,873,065、7075、329 B2 により保護されています。その他の特許は申請中です。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2010 Analog Devices, Inc. All rights reserved.

目次

特長.....	1	アプリケーション回路図.....	25
アプリケーション.....	1	トランスのデザイン.....	26
概要.....	1	トランス巻数比.....	26
機能ブロック図.....	1	トランスの ET 定数.....	26
改訂履歴.....	2	トランス 1 次側のインダクタンスと抵抗.....	26
仕様.....	3	トランスのアイソレーション電圧.....	27
電気的特性—5 V 1 次入力電源/5 V 2 次絶縁型電源.....	3	スイッチング周波数.....	27
電気的特性—3.3 V 1 次入力電源/3.3 V 2 次絶縁型電源.....	5	過渡応答.....	27
電気的特性—5 V 1 次入力電源/3.3 V 2 次絶縁型電源.....	7	部品の選択.....	27
電気的特性—5 V 1 次入力電源/15 V 2 次絶縁型電源.....	9	プリント回路ボード(PCB)のレイアウト.....	28
パッケージ特性.....	11	熱解析.....	28
各種規制の認定(申請中).....	11	伝搬遅延に関するパラメータ.....	28
絶縁および安全性関連の仕様.....	11	DC 精度と磁界耐性.....	29
DIN V VDE V 0884-10 (VDE V 0884-10)絶縁特性.....	12	消費電力.....	30
推奨動作条件.....	12	消費電力の考慮事項.....	30
絶対最大定格.....	13	絶縁寿命.....	31
ESD の注意.....	13	外形寸法.....	32
ピン配置およびピン機能説明.....	14	オーダー・ガイド.....	32
代表的な性能特性.....	19		
用語.....	24		
アプリケーション情報.....	25		
動作原理.....	25		

改訂履歴

10/10—Revision 0: Initial Version

仕様

電気的特性—5 V 1 次入力電源/5 V 2 次絶縁型電源

4.5 V ≤ (V_{DD1} = V_{DDA}) ≤ 5.5 V、V_{DD2} = V_{REG} = V_{ISO} = 5.0 V、f_{SW} = 500 kHz、すべての電圧はそれぞれのグラウンドを基準とします。図 38 のアプリケーション回路図参照。特に指定がない限り、すべての最小/最大仕様は推奨動作範囲に適用。すべてのtyp仕様は、T_A = 25°C、V_{DD1} = V_{DDA} = 5.0 V、V_{DD2} = V_{REG} = V_{ISO} = 5.0 Vでの値です。

表 1.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
DC-TO-DC CONVERTER POWER SUPPLY						
Isolated Output Voltage	V _{ISO}	4.5	5.0	5.5	V	I _{ISO} = 0 mA, V _{ISO} = V _{FB} × (R1 + R2)/R2
Feedback Voltage Setpoint	V _{FB}	1.15	1.25	1.35	V	I _{ISO} = 0 mA
Line Regulation	V _{ISO (LINE)}		1	10	mV/V	I _{ISO} = 50 mA, V _{CC} = 4.5 V to 5.5 V
Load Regulation	V _{ISO (LOAD)}		1	2	%	I _{ISO} = 50 mA to 200 mA
Output Ripple	V _{ISO (RIP)}		50		mV p-p	20 MHz bandwidth, C _{OUT} = 0.1 μF 47 μF, I _{ISO} = 100 mA
Output Noise	V _{ISO (N)}		100		mV p-p	20 MHz bandwidth, C _{OUT} = 0.1 μF 47 μF, I _{ISO} = 100 mA
Switching Frequency	f _{SW}		1000		kHz	R _{OC} = 50 kΩ
			200		kHz	R _{OC} = 270 kΩ
		192	318	515	kHz	V _{OC} = V _{DD2} (open loop)
Switch On-Resistance	R _{ON}		0.5		Ω	
Undervoltage Lockout, V_{CC}, V_{DD2} Supplies						
Positive Going Threshold	V _{UV+}		2.8		V	
Negative Going Threshold	V _{UV-}		2.6		V	
Hysteresis	V _{UVH}		0.2		V	
iCoupler DATA CHANNELS						
DC to 2 Mbps Data Rate¹						
Maximum Output Supply Current ²	I _{ISO (MAX)}	400			mA	f ≤ 1 MHz, V _{ISO} = 5.0 V
Efficiency at Maximum Output Supply Current ³			70		%	I _{ISO} = I _{ISO (MAX)} , f ≤ 1 MHz
I _{CC} Supply Current, No V _{ISO} Load	I _{CC (Q)}					I _{ISO} = 0 mA, f ≤ 1 MHz
ADuM3470			14	30	mA	
ADuM3471			15	30	mA	
ADuM3472			16	30	mA	
ADuM3473			17	30	mA	
ADuM3474			18	30	mA	
25 Mbps Data Rate (CRWZ Grade Only)						
I _{CC} Supply Current, No V _{ISO} Load	I _{CC (D)}					
ADuM3470			44		mA	I _{ISO} = 0 mA, C _L = 15 pF, f = 12.5 MHz
ADuM3471			46		mA	I _{ISO} = 0 mA, C _L = 15 pF, f = 12.5 MHz
ADuM3472			48		mA	I _{ISO} = 0 mA, C _L = 15 pF, f = 12.5 MHz
ADuM3473			50		mA	I _{ISO} = 0 mA, C _L = 15 pF, f = 12.5 MHz
ADuM3474			52		mA	I _{ISO} = 0 mA, C _L = 15 pF, f = 12.5 MHz
Available V _{ISO} Supply Current ⁴	I _{ISO (LOAD)}					f _{SW} = 500 kHz
ADuM3470			390		mA	C _L = 15 pF, f = 12.5 MHz
ADuM3471			388		mA	C _L = 15 pF, f = 12.5 MHz
ADuM3472			386		mA	C _L = 15 pF, f = 12.5 MHz
ADuM3473			384		mA	C _L = 15 pF, f = 12.5 MHz
ADuM3474			382		mA	C _L = 15 pF, f = 12.5 MHz
I _{CC} Supply Current, Full V _{ISO} Load	I _{CC (MAX)}		550		mA	C _L = 0 pF, f = 0 MHz, V _{DD} = 5 V,

ADuM3470/ADuM3471/ADuM3472/ADuM3473/ADuM3474

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
I/O Input Currents	$I_{IA}, I_{IB}, I_{IC}, I_{ID}$	-20	+0.01	+20	μA	$I_{ISO} = 400 \text{ mA}$
Logic High Input Threshold	V_{IH}	2.0			V	
Logic Low Input Threshold	V_{IL}			0.8	V	
Logic High Output Voltages	$V_{OAH}, V_{OBH}, V_{OCH}, V_{ODH}$	$V_{CC} - 0.3, V_{ISO} - 0.3$	5.0		V	$I_{Ox} = -20 \mu\text{A}, V_{Ix} = V_{IxH}$
Logic Low Output Voltages	$V_{OAL}, V_{OBL}, V_{OCL}, V_{ODL}$	$V_{CC} - 0.5, V_{ISO} - 0.3$	4.8		V	$I_{Ox} = -4 \text{ mA}, V_{Ix} = V_{IxH}$
			0.0	0.1	V	$I_{Ox} = 20 \mu\text{A}, V_{Ix} = V_{IxL}$
			0.0	0.4	V	$I_{Ox} = 4 \text{ mA}, V_{Ix} = V_{IxL}$
AC SPECIFICATIONS						
ADuM347xARWZ						
Minimum Pulse Width	PW			1000	ns	$C_L = 15 \text{ pF}$, CMOS signal levels
Maximum Data Rate		1			Mbps	$C_L = 15 \text{ pF}$, CMOS signal levels
Propagation Delay	t_{PHL}, t_{PLH}		55	100	ns	$C_L = 15 \text{ pF}$, CMOS signal levels
Pulse Width Distortion, $ t_{PLH} - t_{PHL} $	PWD			40	ns	$C_L = 15 \text{ pF}$, CMOS signal levels
Propagation Delay Skew	t_{PSK}			50	ns	$C_L = 15 \text{ pF}$, CMOS signal levels
Channel-to-Channel Matching	t_{PSKCD}/t_{PSKOD}			50	ns	$C_L = 15 \text{ pF}$, CMOS signal levels
ADuM347xCRWZ						
Minimum Pulse Width	PW			40	ns	$C_L = 15 \text{ pF}$, CMOS signal levels
Maximum Data Rate		25			Mbps	$C_L = 15 \text{ pF}$, CMOS signal levels
Propagation Delay	t_{PHL}, t_{PLH}	30	45	60	ns	$C_L = 15 \text{ pF}$, CMOS signal levels
Pulse Width Distortion, $ t_{PLH} - t_{PHL} $	PWD			6	ns	$C_L = 15 \text{ pF}$, CMOS signal levels
Change vs. Temperature			5		ps/°C	$C_L = 15 \text{ pF}$, CMOS signal levels
Propagation Delay Skew	t_{PSK}			15	ns	$C_L = 15 \text{ pF}$, CMOS signal levels
Channel-to-Channel Matching, Codirectional Channels	t_{PSKCD}			6	ns	$C_L = 15 \text{ pF}$, CMOS signal levels
Channel-to-Channel Matching, Opposing Directional Channels	t_{PSKOD}			15	ns	$C_L = 15 \text{ pF}$, CMOS signal levels
Output Rise/Fall Time (10% to 90%)	t_R/t_F		2.5		ns	$C_L = 15 \text{ pF}$, CMOS signal levels
Common-Mode Transient Immunity at Logic High Output	$ CM_H $	25	35		kV/ μs	$V_{Ix} = V_{DD}$ or V_{ISO} , $V_{CM} = 1000 \text{ V}$, transient magnitude = 800 V
Common-Mode Transient Immunity at Logic Low Output	$ CM_L $	25	35		kV/ μs	$V_{Ix} = 0 \text{ V}$, $V = 1000 \text{ V}$, transient magnitude = 800 V
Refresh Rate	f_r		1.0		Mbps	

¹ 全4チャンネルの電源電流値の成分は、同一データレートでまとめてあります。

² V_{ISO} 電源電流は、全データ・レートが2 Mbps 以下の場合外部用途に使用することができます。データ・レートが2 Mbps より高い場合、データ・レートに比例する追加電流がデータ I/O チャンネルに流れます。与えられたデータレートで動作する個々のチャンネル動作に対応する追加電源電流は、消費電力のセクションの説明に従って計算することができます。I/O チャンネルのダイナミック負荷は外部負荷として扱い、 V_{ISO} 電源枠に含める必要があります。

³ データ・チャンネルの静止動作の電源要求は、電源セクションから分離できません。効率には、内部消費電力の一部としてI/O チャンネルで消費される静止電力が含まれます。

⁴ この電流は、 V_{ISO} 出力での外部負荷の駆動に使用できます。最大ダイナミック負荷条件を表すフル容量負荷で、25 Mbps の最大データ・レートですべてのチャンネルが同時に駆動されます。最大データレート以下での使用可能な電源電流の計算については、消費電力のセクションを参照してください。

電氣的特性—3.3 V 1 次入力電源/3.3 V 2 次絶縁型電源

3.0 V ≤ (V_{DD1} = V_{DDA}) ≤ 3.6 V、V_{DD2} = V_{REG} = V_{ISO} = 3.3 V、f_{SW} = 500 kHz、すべての電圧はそれぞれのグラウンドを基準とします。図 38 のアプリケーション回路図参照。特に指定がない限り、すべての最小/最大仕様は推奨動作範囲に適用。すべてのtyp仕様は、T_A = 25°C、V_{DD1} = V_{DDA} = 3.3 V、V_{DD2} = V_{REG} = V_{ISO} = 3.3 Vでの値です。

表 2.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
DC-TO-DC CONVERTER POWER SUPPLY						
Isolated Output Voltage	V _{ISO}	3.0	3.3	3.6	V	I _{ISO} = 0 mA, V _{ISO} = V _{FB} × (R1 + R2)/R2
Feedback Voltage Setpoint	V _{FB}	1.15	1.25	1.35	V	I _{ISO} = 0 mA
Line Regulation	V _{ISO (LINE)}		1	10	mV/V	I _{ISO} = 50 mA, V _{CC} = 3.0 V to 3.6 V
Load Regulation	V _{ISO (LOAD)}		1	2	%	I _{ISO} = 20 mA to 100 mA
Output Ripple	V _{ISO (RIP)}		50		mV p-p	20 MHz bandwidth, C _{OUT} = 0.1 μF 47 μF, I _{ISO} = 100 mA
Output Noise	V _{ISO (N)}		100		mV p-p	20 MHz bandwidth, C _{OUT} = 0.1 μF 47 μF, I _{ISO} = 100 mA
Switching Frequency	f _{SW}		1000		kHz	R _{OC} = 50 kΩ
			200		kHz	R _{OC} = 270 kΩ
		192	318	515	kHz	V _{OC} = V _{DD2} (open loop)
Switch On-Resistance	R _{ON}		0.6		Ω	
Undervoltage Lockout, V_{CC}, V_{DD2} Supplies						
Positive Going Threshold	V _{UV+}		2.8		V	
Negative Going Threshold	V _{UV-}		2.6		V	
Hysteresis	V _{UVH}		0.2		V	
iCoupler DATA CHANNELS						
DC to 2 Mbps Data Rate¹						
Maximum Output Supply Current ²	I _{ISO (MAX)}	250			mA	f ≤ 1 MHz, V _{ISO} = 3.3 V
Efficiency at Maximum Output Supply Current ³			70		%	I _{ISO} = I _{ISO (MAX)} , f ≤ 1 MHz
I_{CC} Supply Current, No V_{ISO} Load						
ADuM3470	I _{CC (Q)}		9	20	mA	I _{ISO} = 0 mA, f ≤ 1 MHz
ADuM3471			10	20	mA	
ADuM3472			11	20	mA	
ADuM3473			11	20	mA	
ADuM3474			12	20	mA	
25 Mbps Data Rate (CRWZ Grade Only)						
I_{CC} Supply Current, No V_{ISO} Load						
ADuM3470	I _{CC (D)}		28		mA	I _{ISO} = 0 mA, C _L = 15 pF, f = 12.5 MHz
ADuM3471			29		mA	I _{ISO} = 0 mA, C _L = 15 pF, f = 12.5 MHz
ADuM3472			31		mA	I _{ISO} = 0 mA, C _L = 15 pF, f = 12.5 MHz
ADuM3473			32		mA	I _{ISO} = 0 mA, C _L = 15 pF, f = 12.5 MHz
ADuM3474			34		mA	I _{ISO} = 0 mA, C _L = 15 pF, f = 12.5 MHz
Available V_{ISO} Supply Current⁴						
ADuM3470	I _{ISO (LOAD)}		244		mA	C _L = 15 pF, f = 12.5 MHz
ADuM3471			243		mA	C _L = 15 pF, f = 12.5 MHz
ADuM3472			241		mA	C _L = 15 pF, f = 12.5 MHz
ADuM3473			240		mA	C _L = 15 pF, f = 12.5 MHz
ADuM3474			238		mA	C _L = 15 pF, f = 12.5 MHz
I _{CC} Supply Current, Full V _{ISO} Load	I _{CC (MAX)}		350		mA	C _L = 0 pF, f = 0 MHz, V _{DD} = 3.3 V, I _{ISO} = 250 mA

ADuM3470/ADuM3471/ADuM3472/ADuM3473/ADuM3474

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
I/O Input Currents	$I_{IA}, I_{IB}, I_{IC}, I_{ID}$	-10	+0.01	+10	μA	
Logic High Input Threshold	V_{IH}	1.6			V	
Logic Low Input Threshold	V_{IL}			0.4	V	
Logic High Output Voltages	$V_{OAH}, V_{OBH}, V_{OCH}, V_{ODH}$	$V_{CC} - 0.2, V_{ISO} - 0.2$	5.0		V	$I_{Ox} = -20 \mu\text{A}, V_{Ix} = V_{IxH}$
		$V_{CC} - 0.5, V_{ISO} - 0.5$	4.8		V	$I_{Ox} = -4 \text{mA}, V_{Ix} = V_{IxH}$
Logic Low Output Voltages	$V_{OAL}, V_{OBL}, V_{OCL}, V_{ODL}$		0.0	0.1	V	$I_{Ox} = 20 \mu\text{A}, V_{Ix} = V_{IxL}$
			0.0	0.4	V	$I_{Ox} = 4 \text{mA}, V_{Ix} = V_{IxL}$
AC SPECIFICATIONS						
ADuM347xARWZ						
Minimum Pulse Width	PW			1000	ns	$C_L = 15 \text{pF}$, CMOS signal levels
Maximum Data Rate		1			Mbps	$C_L = 15 \text{pF}$, CMOS signal levels
Propagation Delay	t_{PHL}, t_{PLH}		60	100	ns	$C_L = 15 \text{pF}$, CMOS signal levels
Pulse Width Distortion, $ t_{PLH} - t_{PHL} $	PWD			40	ns	$C_L = 15 \text{pF}$, CMOS signal levels
Propagation Delay Skew	t_{PSK}			50	ns	$C_L = 15 \text{pF}$, CMOS signal levels
Channel-to-Channel Matching	t_{PSKCD}/t_{PSKOD}			50	ns	$C_L = 15 \text{pF}$, CMOS signal levels
ADuM347xCRWZ						
Minimum Pulse Width	PW			40	ns	$C_L = 15 \text{pF}$, CMOS signal levels
Maximum Data Rate		25			Mbps	$C_L = 15 \text{pF}$, CMOS signal levels
Propagation Delay	t_{PHL}, t_{PLH}	30	60	75	ns	$C_L = 15 \text{pF}$, CMOS signal levels
Pulse Width Distortion, $ t_{PLH} - t_{PHL} $	PWD			8	ns	$C_L = 15 \text{pF}$, CMOS signal levels
Change vs. Temperature			5		ps/°C	$C_L = 15 \text{pF}$, CMOS signal levels
Propagation Delay Skew	t_{PSK}			45	ns	$C_L = 15 \text{pF}$, CMOS signal levels
Channel-to-Channel Matching, Codirectional Channels	t_{PSKCD}			8	ns	$C_L = 15 \text{pF}$, CMOS signal levels
Channel-to-Channel Matching, Opposing Directional Channels	t_{PSKOD}			15	ns	$C_L = 15 \text{pF}$, CMOS signal levels
Output Rise/Fall Time (10% to 90%)	t_R/t_F		2.5		ns	$C_L = 15 \text{pF}$, CMOS signal levels
Common-Mode Transient Immunity at Logic High Output	$ CM_H $	25	35		kV/ μs	$V_{Ix} = V_{DD}$ or V_{ISO} , $V_{CM} = 1000 \text{V}$, transient magnitude = 800 V
Common-Mode Transient Immunity at Logic Low Output	$ CM_L $	25	35		kV/ μs	$V_{Ix} = 0 \text{V}$, $V = 1000 \text{V}$, transient magnitude = 800 V
Refresh Rate	f_r		1.0		Mbps	

¹ 全4チャンネルの電源電流値の成分は、同一データレートでまとめてあります。

² V_{ISO} 電源電流は、全データ・レートが2 Mbps 以下の場合外部用途に使用することができます。データ・レートが2 Mbps より高い場合、データ・レートに比例する追加電流がデータ I/O チャンネルに流れます。与えられたデータレートで動作する個々のチャンネル動作に対応する追加電源電流は、消費電力のセクションの説明に従って計算することができます。I/O チャンネルのダイナミック負荷は外部負荷として扱い、 V_{ISO} 電源枠に含める必要があります。

³ データ・チャンネルの静止動作の電源要求は、電源セクションから分離できません。効率には、内部消費電力の一部として I/O チャンネルで消費される静止電力が含まれます。

⁴ この電流は、 V_{ISO} 出力での外部負荷の駆動に使用できます。最大ダイナミック負荷条件を表すフル容量負荷で、25 Mbps の最大データ・レートですべてのチャンネルが同時に駆動されます。最大データレート以下での使用可能な電源電流の計算については、消費電力のセクションを参照してください。

電气的特性—5 V 1 次入力電源/3.3 V 2 次絶縁型電源

4.5 V \leq ($V_{DD1} = V_{DDA}$) \leq 5.5 V、 $V_{DD2} = V_{REG} = V_{ISO} = 3.3$ V、 $f_{SW} = 500$ kHz、すべての電圧はそれぞれのグラウンドを基準とします。図 38 のアプリケーション回路図参照。特に指定がない限り、すべての最小/最大仕様は推奨動作範囲に適用。すべてのtyp仕様は、 $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = V_{DDA} = 5.0$ V、 $V_{DD2} = V_{REG} = V_{ISO} = 3.3$ Vでの値です。

表 3.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
DC-TO-DC CONVERTER POWER SUPPLY						
Isolated Output Voltage	V_{ISO}	3.0	3.3	3.6	V	$I_{ISO} = 0$ mA, $V_{ISO} = V_{FB} \times (R1 + R2)/R2$
Feedback Voltage Setpoint	V_{FB}	1.15	1.25	1.35	V	$I_{ISO} = 0$ mA
Line Regulation	$V_{ISO(LINE)}$		1	10	mV/V	$I_{ISO} = 50$ mA, $V_{CC} = 4.5$ V to 5.5 V
Load Regulation	$V_{ISO(LOAD)}$		1	2	%	$I_{ISO} = 50$ mA to 200 mA
Output Ripple	$V_{ISO(RIP)}$		50		mV p-p	20 MHz bandwidth, $C_{OUT} = 0.1 \mu\text{F} \parallel 47 \mu\text{F}$, $I_{ISO} = 100$ mA
Output Noise	$V_{ISO(N)}$		100		mV p-p	20 MHz bandwidth, $C_{OUT} = 0.1 \mu\text{F} \parallel 47 \mu\text{F}$, $I_{ISO} = 100$ mA
Switching Frequency	f_{SW}		1000		kHz	$R_{OC} = 50$ k Ω
			200		kHz	$R_{OC} = 270$ k Ω
		209	318	515	kHz	$V_{OC} = V_{DD2}$ (open loop)
Switch On-Resistance	R_{ON}		0.5		Ω	
Undervoltage Lockout, V_{CC}, V_{DD2} Supplies						
Positive Going Threshold	V_{UV+}		2.8		V	
Negative Going Threshold	V_{UV-}		2.6		V	
Hysteresis	V_{UVH}		0.2		V	
iCoupler DATA CHANNELS						
DC to 2 Mbps Data Rate¹						
Maximum Output Supply Current ²	$I_{ISO(MAX)}$	400			mA	$f \leq 1$ MHz, $V_{ISO} = 3.3$ V
Efficiency at Maximum Output Supply Current ³			70		%	$I_{ISO} = I_{ISO(MAX)}$, $f \leq 1$ MHz
I_{CC} Supply Current, No V_{ISO} Load	$I_{CC(Q)}$					$I_{ISO} = 0$ mA, $f \leq 1$ MHz
ADuM3470			9	30	mA	
ADuM3471			9	30	mA	
ADuM3472			10	30	mA	
ADuM3473			10	30	mA	
ADuM3474			10	30	mA	
25 Mbps Data Rate (CRWZ Grade Only)						
I_{CC} Supply Current, No V_{ISO} Load	$I_{CC(D)}$					
ADuM3470			33		mA	$I_{ISO} = 0$ mA, $C_L = 15$ pF, $f = 12.5$ MHz
ADuM3471			33		mA	$I_{ISO} = 0$ mA, $C_L = 15$ pF, $f = 12.5$ MHz
ADuM3472			33		mA	$I_{ISO} = 0$ mA, $C_L = 15$ pF, $f = 12.5$ MHz
ADuM3473			33		mA	$I_{ISO} = 0$ mA, $C_L = 15$ pF, $f = 12.5$ MHz
ADuM3474			33		mA	$I_{ISO} = 0$ mA, $C_L = 15$ pF, $f = 12.5$ MHz
Available V_{ISO} Supply Current ⁴	$I_{ISO(LOAD)}$					
ADuM3470			393		mA	$C_L = 15$ pF, $f = 12.5$ MHz
ADuM3471			392		mA	$C_L = 15$ pF, $f = 12.5$ MHz
ADuM3472			390		mA	$C_L = 15$ pF, $f = 12.5$ MHz
ADuM3473			389		mA	$C_L = 15$ pF, $f = 12.5$ MHz
ADuM3474			388		mA	$C_L = 15$ pF, $f = 12.5$ MHz
I_{CC} Supply Current, Full V_{ISO} Load	$I_{CC(MAX)}$		375		mA	$C_L = 0$ pF, $f = 0$ MHz, $V_{DD} = 5$ V, $I_{ISO} = 400$ mA
I/O Input Currents	I_{IA} , I_{IB} , I_{IC}	-20	+0.01	+20	μA	

ADuM3470/ADuM3471/ADuM3472/ADuM3473/ADuM3474

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Logic High Input Threshold	I_{ID} V_{IH}	2.0			V	
Logic Low Input Threshold	V_{IL}			0.8	V	
Logic High Output Voltages	$V_{OAH}, V_{OBH},$ V_{OCH}, V_{ODH}	$V_{CC} - 0.3, V_{ISO} - 0.3$	5.0		V	$I_{Ox} = -20 \mu A, V_{Ix} = V_{IxH}$
		$V_{CC} - 0.5, V_{ISO} - 0.3$	4.8		V	$I_{Ox} = -4 mA, V_{Ix} = V_{IxH}$
Logic Low Output Voltages	$V_{OAL}, V_{OBL},$ V_{OCL}, V_{ODL}		0.0	0.1	V	$I_{Ox} = 20 \mu A, V_{Ix} = V_{IxL}$
			0.0	0.4	V	$I_{Ox} = 4 mA, V_{Ix} = V_{IxL}$
AC SPECIFICATIONS						
ADuM347xARWZ						
Minimum Pulse Width	PW			1000	ns	$C_L = 15 pF$, CMOS signal levels
Maximum Data Rate		1			Mbps	$C_L = 15 pF$, CMOS signal levels
Propagation Delay	t_{PHL}, t_{PLH}		55	100	ns	$C_L = 15 pF$, CMOS signal levels
Pulse Width Distortion, $ t_{PLH} - t_{PHL} $	PWD			40	ns	$C_L = 15 pF$, CMOS signal levels
Propagation Delay Skew	t_{PSK}			50	ns	$C_L = 15 pF$, CMOS signal levels
Channel-to-Channel Matching	t_{PSKCD}/t_{PSKOD}			50	ns	$C_L = 15 pF$, CMOS signal levels
ADuM347xCRWZ						
Minimum Pulse Width	PW			40	ns	$C_L = 15 pF$, CMOS signal levels
Maximum Data Rate		25			Mbps	$C_L = 15 pF$, CMOS signal levels
Propagation Delay	t_{PHL}, t_{PLH}	30	50	70	ns	$C_L = 15 pF$, CMOS signal levels
Pulse Width Distortion, $ t_{PLH} - t_{PHL} $	PWD			8	ns	$C_L = 15 pF$, CMOS signal levels
Change vs. Temperature			5		ps/°C	$C_L = 15 pF$, CMOS signal levels
Propagation Delay Skew	t_{PSK}			15	ns	$C_L = 15 pF$, CMOS signal levels
Channel-to-Channel Matching, Codirectional Channels	t_{PSKCD}			8	ns	$C_L = 15 pF$, CMOS signal levels
Channel-to-Channel Matching, Opposing Directional Channels	t_{PSKOD}			15	ns	$C_L = 15 pF$, CMOS signal levels
Output Rise/Fall Time (10% to 90%)	t_R/t_F		2.5		ns	$C_L = 15 pF$, CMOS signal levels
Common-Mode Transient Immunity at Logic High Output	$ CM_H $	25	35		kV/ μs	$V_{Ix} = V_{DD}$ or $V_{ISO}, V_{CM} = 1000 V$, transient magnitude = 800 V
Common-Mode Transient Immunity at Logic Low Output	$ CM_L $	25	35		kV/ μs	$V_{Ix} = 0 V, V = 1000 V$, transient magnitude = 800 V
Refresh Rate	f_r		1.0		Mbps	

¹ 全4チャンネルの電源電流値の成分は、同一データレートでまとめてあります。

² V_{ISO} 電源電流は、全データ・レートが 2 Mbps 以下の場合外部用途に使用することができます。データ・レートが 2 Mbps より高い場合、データ・レートに比例する追加電流がデータ I/O チャンネルに流れます。与えられたデータレートで動作する個々のチャンネル動作に対応する追加電源電流は、消費電力のセクションの説明に従って計算することができます。I/O チャンネルのダイナミック負荷は外部負荷として扱い、 V_{ISO} 電源枠に含める必要があります。

³ データ・チャンネルの静止動作の電源要求は、電源セクションから分離できません。効率には、内部消費電力の一部として I/O チャンネルで消費される静止電力が含まれます。

⁴ この電流は、 V_{ISO} 出力での外部負荷の駆動に使用できます。最大ダイナミック負荷条件を表すフル容量負荷で、25 Mbps の最大データ・レートですべてのチャンネルが同時に駆動されます。最大データレート以下での使用可能な電源電流の計算については、消費電力のセクションを参照してください。

電氣的特性—5 V 1 次入力電源/15 V 2 次絶縁型電源

4.5 V ≤ (V_{DD1} = V_{D_{DA}}) ≤ 5.5 V、V_{REG} = V_{ISO} = 15 V、V_{DD2} = 5.0 V、f_{SW} = 500 kHz、すべての電圧はそれぞれのグラウンドを基準とします。図 39 のアプリケーション回路図参照。特に指定がない限り、すべての最小/最大仕様は推奨動作範囲に適用。すべての typ 仕様は、T_A = 25°C、V_{DD1} = V_{D_{DA}} = 5.0 V、V_{REG} = V_{ISO} = 15 V、V_{DD2} = 5.0 V での値です。

表 4.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
DC-TO-DC CONVERTER POWER SUPPLY						
Isolated Output Voltage	V _{ISO}	13.8	15	16.2	V	I _{ISO} = 0 mA, V _{ISO} = V _{FB} × (R1 + R2)/R2
Feedback Voltage Setpoint	V _{FB}	1.15	1.25	1.35	V	I _{ISO} = 0 mA
V _{DD2} Linear Regulator Regulator Voltage	V _{DD2}	4.6	5.0	5.4	V	V _{REG} = 7 V to 15 V, I _{DD2} = 0 mA to 50 mA
Dropout Voltage	V _{DD2DO}		0.5	1.5	V	I _{DD2} = 50 mA
Line Regulation	V _{ISO(LINE)}		1	10	mV/V	I _{ISO} = 50 mA, V _{CC} = 4.5 V to 5.5 V
Load Regulation	V _{ISO(LOAD)}		1	3	%	I _{ISO} = 20 mA to 100 mA
Output Ripple	V _{ISO(RIP)}		200		mV p-p	20 MHz bandwidth, C _{OUT} = 0.1 μF 47 μF, I _{ISO} = 100 mA
Output Noise	V _{ISO(N)}		500		mV p-p	20 MHz bandwidth, C _{OUT} = 0.1 μF 47 μF, I _{ISO} = 100 mA
Switching Frequency	f _{SW}		1000		kHz	R _{OC} = 50 kΩ
			200		kHz	R _{OC} = 270 kΩ
		192	318	515	kHz	V _{OC} = V _{DD2} (open loop)
Switch On-Resistance	R _{ON}		0.5		Ω	
Undervoltage Lockout, V _{CC} , V _{DD2} Supplies						
Positive Going Threshold	V _{UV+}		2.8		V	
Negative Going Threshold	V _{UV-}		2.6		V	
Hysteresis	V _{UVH}		0.2		V	
iCoupler DATA CHANNELS						
DC to 2 Mbps Data Rate ¹						
Maximum Output Supply Current ²	I _{ISO(MAX)}	100			mA	f ≤ 1 MHz, V _{ISO} = 5.0 V
Efficiency at Maximum Output Supply Current ³			70		%	I _{ISO} = I _{ISO(MAX)} , f ≤ 1 MHz
I _{CC} Supply Current, No V _{ISO} Load	I _{CC(Q)}					I _{ISO} = 0 mA, f ≤ 1 MHz
ADuM3470			25	45	mA	
ADuM3471			27	45	mA	
ADuM3472			29	45	mA	
ADuM3473			31	45	mA	
ADuM3474			33	45	mA	
25 Mbps Data Rate (CRWZ Grade Only)						
I _{CC} Supply Current, No V _{ISO} Load	I _{CC(D)}					
ADuM3470			73		mA	I _{ISO} = 0 mA, C _L = 15 pF, f = 12.5 MHz
ADuM3471			83		mA	I _{ISO} = 0 mA, C _L = 15 pF, f = 12.5 MHz
ADuM3472			93		mA	I _{ISO} = 0 mA, C _L = 15 pF, f = 12.5 MHz
ADuM3473			102		mA	I _{ISO} = 0 mA, C _L = 15 pF, f = 12.5 MHz
ADuM3474			112		mA	I _{ISO} = 0 mA, C _L = 15 pF, f = 12.5 MHz
Available V _{ISO} Supply Current ⁴	I _{ISO(LOAD)}					
ADuM3470			91		mA	C _L = 15 pF, f = 12.5 MHz
ADuM3471			89		mA	C _L = 15 pF, f = 12.5 MHz
ADuM3472			86		mA	C _L = 15 pF, f = 12.5 MHz
ADuM3473			83		mA	C _L = 15 pF, f = 12.5 MHz
ADuM3474			80		mA	C _L = 15 pF, f = 12.5 MHz
I _{CC} Supply Current, Full V _{ISO} Load	I _{CC(MAX)}		425		mA	C _L = 0 pF, f = 0 MHz, V _{DD} = 5 V, I _{ISO} = 100 mA
I/O Input Currents	I _{IA} , I _{IB} , I _{IC} , I _{ID}	-20	+0.01	+20	μA	

ADuM3470/ADuM3471/ADuM3472/ADuM3473/ADuM3474

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Logic High Input Threshold	V_{IH}	2.0			V	
Logic Low Input Threshold	V_{IL}			0.8	V	
Logic High Output Voltages	$V_{OAH}, V_{OBH}, V_{OCH}, V_{ODH}$	$V_{CC} - 0.3, V_{ISO} - 0.3$	5.0		V	$I_{Ox} = -20 \mu A, V_{Ix} = V_{IxH}$
		$V_{CC} - 0.5, V_{ISO} - 0.3$	4.8		V	$I_{Ox} = -4 \text{ mA}, V_{Ix} = V_{IxH}$
Logic Low Output Voltages	$V_{OAL}, V_{OBL}, V_{OCL}, V_{ODL}$		0.0	0.1	V	$I_{Ox} = 20 \mu A, V_{Ix} = V_{IxL}$
			0.0	0.4	V	$I_{Ox} = 4 \text{ mA}, V_{Ix} = V_{IxL}$
AC SPECIFICATIONS						
ADuM347xARWZ						
Minimum Pulse Width	PW			1000	ns	$C_L = 15 \text{ pF}$, CMOS signal levels
Maximum Data Rate		1			Mbps	$C_L = 15 \text{ pF}$, CMOS signal levels
Propagation Delay	t_{PHL}, t_{PLH}		55	100	ns	$C_L = 15 \text{ pF}$, CMOS signal levels
Pulse Width Distortion, $ t_{PLH} - t_{PHL} $	PWD			40	ns	$C_L = 15 \text{ pF}$, CMOS signal levels
Propagation Delay Skew	t_{PSK}			50	ns	$C_L = 15 \text{ pF}$, CMOS signal levels
Channel-to-Channel Matching	t_{PSKCD}/t_{PSKOD}			50	ns	$C_L = 15 \text{ pF}$, CMOS signal levels
ADuM347xCRWZ						
Minimum Pulse Width	PW			40	ns	$C_L = 15 \text{ pF}$, CMOS signal levels
Maximum Data Rate		25			Mbps	$C_L = 15 \text{ pF}$, CMOS signal levels
Propagation Delay	t_{PHL}, t_{PLH}	30	45	60	ns	$C_L = 15 \text{ pF}$, CMOS signal levels
Pulse Width Distortion, $ t_{PLH} - t_{PHL} $	PWD			6	ns	$C_L = 15 \text{ pF}$, CMOS signal levels
Change vs. Temperature			5		ps/°C	$C_L = 15 \text{ pF}$, CMOS signal levels
Propagation Delay Skew	t_{PSK}			15	ns	$C_L = 15 \text{ pF}$, CMOS signal levels
Channel-to-Channel Matching, Codirectional Channels	t_{PSKCD}			6	ns	$C_L = 15 \text{ pF}$, CMOS signal levels
Channel-to-Channel Matching, Opposing Directional Channels	t_{PSKOD}			15	ns	$C_L = 15 \text{ pF}$, CMOS signal levels
Output Rise/Fall Time (10% to 90%)	t_R/t_F		2.5		ns	$C_L = 15 \text{ pF}$, CMOS signal levels
Common-Mode Transient Immunity at Logic High Output	$ CM_H $	25	35		kV/ μ s	$V_{Ix} = V_{DD}$ or V_{ISO} , $V_{CM} = 1000 \text{ V}$, transient magnitude = 800 V
Common-Mode Transient Immunity at Logic Low Output	$ CM_L $	25	35		kV/ μ s	$V_{Ix} = 0 \text{ V}$, $V = 1000 \text{ V}$, transient magnitude = 800 V
Refresh Rate	f_r		1.0		Mbps	

¹ 全4チャンネルの電源電流値の成分は、同一データレートでまとめてあります。

² V_{ISO} 電源電流は、全データ・レートが 2 Mbps 以下の場合外部用途に使用することができます。データ・レートが 2 Mbps より高い場合、データ・レートに比例する追加電流がデータ I/O チャンネルに流れます。与えられたデータレートで動作する個々のチャンネル動作に対応する追加電源電流は、消費電力のセクションの説明に従って計算することができます。I/O チャンネルのダイナミック負荷は外部負荷として扱い、 V_{ISO} 電源枠に含める必要があります。

³ データ・チャンネルの静止動作の電源要求は、電源セクションから分離できません。効率には、内部消費電力の一部として I/O チャンネルで消費される静止電力が含まれます。

⁴ この電流は、 V_{ISO} 出力での外部負荷の駆動に使用できます。最大ダイナミック負荷条件を表すフル容量負荷で、25 Mbps の最大データ・レートですべてのチャンネルが同時に駆動されます。最大データレート以下での使用可能な電源電流の計算については、消費電力のセクションを参照してください。

ADuM3470/ADuM3471/ADuM3472/ADuM3473/ADuM3474

パッケージ特性

表 5.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Resistance (Input to Output) ¹	R _{I-O}		10 ¹²		Ω	
Capacitance (Input to Output) ¹	C _{I-O}		2.2		pF	f = 1 MHz
Input Capacitance ²	C _I		4.0		pF	
IC Junction to Ambient Thermal Resistance	θ _{JA}		50.5		°C/W	Thermocouple located at center of package underside, test conducted on 4-layer board with thin traces ³
Thermal Shutdown						
Thermal Shutdown Threshold	TS _{SD}		150		°C	T _J rising
Thermal Shutdown Hysteresis	TS _{SD-HYS}		20		°C	

¹ デバイスは 2 端子デバイスと見なします。すなわち、ピン 1～ピン 8 を相互に接続し、ピン 9～ピン 16 を相互に接続します。

² 入力容量は任意の入力データ・ピンとグラウンド間。

³ 熱モデルの定義については熱解析のセクションを参照してください。

各種規制の認定(申請中)

表 6.

UL	CSA	VDE
Recognized under the UL 1577 component recognition program ¹	Approved under CSA Component Acceptance Notice #5A	Certified according to DIN V VDE V 0884-10 (VDE V 0884-10):2006-12 ²
Single protection, 2500 V rms isolation voltage	Basic insulation per CSA 60950-1-03 and IEC 60950-1, 600 V rms (848 V peak) maximum working voltage	Reinforced insulation, 560 V peak
File E214100	File 205078	File 2471900-4880-0001

¹ UL1577 に従い、絶縁テスト電圧 3,000 V rms 以上を 1 秒間加えて各 ADuM3470/ADuM3471/ADuM3472/ADuM3473/ADuM3474 を確認テストします(リーク電流検出規定値 = 10μA)。

² DIN V VDE V 0884-10 に従い、各 ADuM347x に 1,050 V_{peak} 以上の絶縁テスト電圧を 1 秒間加えることによりテストして保証されています(部分放電の検出規定値 = 5 pC)。(*)マーク付のブランドは、DIN V VDE V 0884-10 認定製品を表します。

絶縁および安全性関連の仕様

表 7.

Parameter	Symbol	Value	Unit	Test Conditions/Comments
Rated Dielectric Insulation Voltage		2500	V rms	1-minute duration
Minimum External Air Gap (Clearance)	L(I01)	>5.1	mm	Measured from input terminals to output terminals, shortest distance through air
Minimum External Tracking (Creepage)	L(I02)	>5.1	mm	Measured from input terminals to output terminals, shortest distance path along body
Minimum Internal Gap (Internal Clearance)		0.017 min	mm	Distance through insulation
Tracking Resistance (Comparative Tracking Index)	CTI	>400	V	DIN IEC 112/VDE 0303 Part 1
Isolation Group		II		Material Group (DIN VDE 0110, 1/89, Table 1)

DIN V VDE V 0884-10 (VDE V 0884-10)絶縁特性

これらのアイソレータは、安全性制限値データ以内でのみ強化された電氣的アイソレーションを満たします。安全性データの維持は、保護回路を使って確実にする必要があります。パッケージに(*)マークが付いたブランドは、DIN V VDE V 0884-10 認定製品を表します。

表 8.

Description	Test Conditions/Comments	Symbol	Characteristic	Unit
Installation Classification per DIN VDE 0110 For Rated Mains Voltage ≤ 150 V rms For Rated Mains Voltage ≤ 300 V rms For Rated Mains Voltage ≤ 400 V rms			I to IV I to III I to II	
Climatic Classification			40/105/21	
Pollution Degree per DIN VDE 0110, Table 1			2	
Maximum Working Insulation Voltage		V_{IORM}	560	V peak
Input-to-Output Test Voltage, Method B1	$V_{IORM} \times 1.875 = V_{PR}$, 100% production test, $t_m = 1$ sec, partial discharge < 5 pC	V_{PR}	1050	V peak
Input-to-Output Test Voltage, Method A		V_{PR}		
After Environmental Tests Subgroup 1	$V_{IORM} \times 1.6 = V_{PR}$, $t_m = 60$ sec, partial discharge < 5 pC		896	V peak
After Input and/or Safety Test Subgroup 2 and Subgroup 3	$V_{IORM} \times 1.2 = V_{PR}$, $t_m = 60$ sec, partial discharge < 5 pC		672	V peak
Highest Allowable Overvoltage	Transient overvoltage, $t_{TR} = 10$ sec	V_{TR}	4000	V peak
Safety Limiting Values	Maximum value allowed in the event of a failure (see Figure 3)			
Case Temperature		T_S	150	$^{\circ}\text{C}$
Side 1 Current		I_{S1}	1.25	A
Insulation Resistance at T_S	$V_{IO} = 500$ V	R_S	$>10^9$	Ω

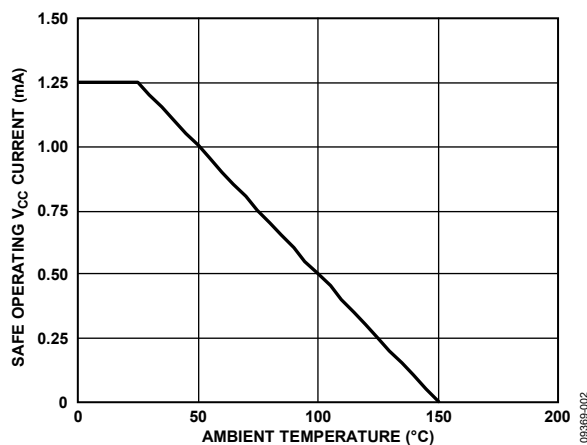


図 3.温度ディレーティング・カーブ、DIN EN 60747-5-2 による安全な規定値のケース温度に対する依存性

推奨動作条件

表 9.

Parameter	Symbol	Min	Max	Unit
Operating Temperature	T_A	-40	+105	$^{\circ}\text{C}$
Supply Voltages ¹				
V_{CC} at $V_{ISO} = 3.3$ V	V_{CC}	3.0	3.6	V
V_{CC} at $V_{ISO} = 5.0$ V	V_{CC}	3.0	3.6	V
V_{CC} at $V_{ISO} = 5.0$ V	V_{CC}	4.5	5.5	V
Minimum Load	$I_{ISO (MIN)}$	10		mA

¹ すべての電圧はそれぞれのグラウンドを基準とします。

絶対最大定格

特に指定のない限り、周囲温度は 25 °C です。

表 10.

Parameter	Rating
Storage Temperature Range (T_{ST})	-55°C to +150°C
Ambient Operating Temperature Range (T_A)	-40°C to +105°C
Supply Voltages	
V_{DD1} , V_{DDA} , V_{DD2} ¹	-0.5 V to +7.0 V
V_{REG} , X1, X2 ¹	-0.5 V to +20.0 V
Input Voltage (V_{IA} , V_{IB} , V_{IC} , V_{ID}) ^{1,2}	-0.5 V to $V_{DD1} + 0.5$ V
Output Voltage (V_{OA} , V_{OB} , V_{OC} , V_{OD}) ^{1,2}	-0.5 V to $V_{DD0} + 0.5$ V
Average Output Current per Pin ³	-10 mA to +10 mA
Common-Mode Transients ⁴	-100 kV/μs to +100 kV/μs

¹ すべての電圧はそれぞれのグラウンドを基準とします。

² V_{DD1} と V_{DD0} は、それぞれチャンネルの入力側と出力側の電源電圧を表します。プリント回路ボード(PCB)のレイアウトを参照してください。

³ 種々の温度に対する最大定格電流値については図 3 を参照してください。

⁴ 絶縁障壁にまたがる同相モード過渡電圧を表します。絶対最大定格を超える同相モード過渡電圧を加えると、ラッチアップまたは恒久的損傷が生ずることがあります。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

表 11.50 年の最小寿命をサポートする最大連続動作電圧¹

Parameter	Max	Unit	Applicable Certification
AC Voltage, Bipolar Waveform	565	V peak	All certifications
AC Voltage, Unipolar Waveform			
Basic Insulation	848	V peak	Working voltage per IEC 60950-1
DC Voltage			
Basic Insulation	848	V peak	Working voltage per IEC 60950-1

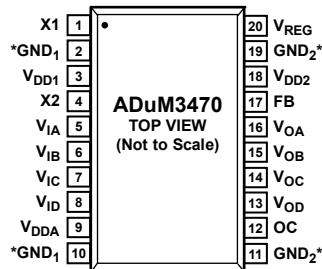
¹ アイソレーション障壁に加わる連続電圧の大きさを意味します。詳細については、絶縁寿命のセクションを参照してください。

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



*PIN 2 AND PIN 10 ARE INTERNALLY CONNECTED, AND CONNECTING BOTH TO GND₁ IS RECOMMENDED. PIN 11 AND PIN 19 ARE INTERNALLY CONNECTED, AND CONNECTING BOTH TO GND₂ IS RECOMMENDED.

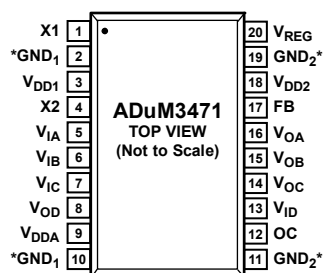
09389-004

図 4.ADuM3470 のピン配置

表 12.ADuM3470 のピン機能説明

ピン番号	記号	説明
1	X1	トランス・ドライバ出力 1。
2、10	GND ₁	グラウンド 1。アイソレータ 1 次側のグラウンド・リファレンス。
3	V _{DD1}	トランス・ドライバ電源電圧 3.0~5.5 V。V _{DDA} ピンに接続します。10 μF のバイパス・コンデンサを V _{DD1} と GND ₁ の間に接続してください。
4	X2	トランス・ドライバ出力 2。
5	V _{1A}	ロジック入力 A。
6	V _{1B}	ロジック入力 B。
7	V _{1C}	ロジック入力 C。
8	V _{1D}	ロジック入力 D。
9	V _{DDA}	1 次側電源電圧 3.0 V~5.5 V。V _{DD1} ピンに接続します。0.1 μF のバイパス・コンデンサを V _{DDA} と GND ₁ の間に接続してください。
11、19	GND ₂	アイソレータ・サイド 2 のグラウンド基準。
12	OC	発振器制御ピン。OC = ハイ・レベル = V _{DD2} のとき、2 次側コントローラはオープン・ループで動作します。出力電圧をレギュレーションするときは、OC ピンと GND ₂ の間に抵抗を接続します。2 次側コントローラは、抵抗値で設定した周波数 200 kHz~1 MHz で動作します。
13	V _{OD}	ロジック出力 D。
14	V _{OC}	ロジック出力 C。
15	V _{OB}	ロジック出力 B。
16	V _{OA}	ロジック出力 A。
17	FB	2 次側出力電圧 V _{ISO} からの帰還入力。V _{ISO} と FB ピンの間に抵抗分圧器を接続して、V _{FB} 電圧を 1.25 V 内蔵リファレンス電圧レベルに一致させます。このとき、 $V_{ISO} = V_{FB} \times (R1 + R2) / R2$ の関係を使います。抵抗分圧器は、オープン・ループ・モードでソフトスタートのためにも必要です。
18	V _{DD2}	2 次側コントローラとサイド 2 データ・チャンネルに対する内部電源電圧ピン。十分な外部電圧が V _{REG} に加えられると、内部レギュレータが V _{DD2} ピンを 5.0 V へレギュレーションします。その他の場合、V _{DD2} は 3.0 V~5.5 V の範囲にある必要があります。0.1 μF のバイパス・コンデンサを V _{DD2} と GND ₂ の間に接続してください。
20	V _{REG}	2 次側コントローラとサイド 2 データ・チャンネルに電源を供給する内部レギュレータの入力。V _{DD2} 出力を 5.0 V へレギュレーションするためには、V _{REG} は 5.5 V~15 V の範囲にある必要があります。

ADuM3470/ADuM3471/ADuM3472/ADuM3473/ADuM3474



*PIN 2 AND PIN 10 ARE INTERNALLY CONNECTED, AND CONNECTING BOTH TO GND₁ IS RECOMMENDED. PIN 11 AND PIN 19 ARE INTERNALLY CONNECTED, AND CONNECTING BOTH TO GND₂ IS RECOMMENDED.

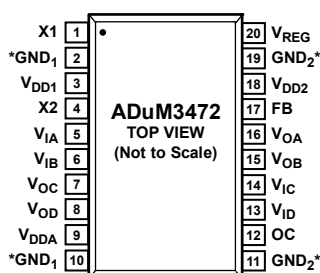
08369-005

図 5.ADuM3471 のピン配置

表 13.ADuM3471 のピン機能説明

ピン番号	記号	説明
1	X1	トランス・ドライバ出力 1。
2、10	GND ₁	グラウンド 1。アイソレータ 1 次側のグラウンド・リファレンス。
3	V _{DD1}	トランス・ドライバ電源電圧 3.0~5.5 V。V _{DDA} ピンに接続します。10 μF のバイパス・コンデンサを V _{DD1} と GND ₁ の間に接続してください。
4	X2	トランス・ドライバ出力 2。
5	V _{IA}	ロジック入力 A。
6	V _{IB}	ロジック入力 B。
7	V _{IC}	ロジック入力 C。
8	V _{OD}	ロジック出力 D。
9	V _{DDA}	1 次側電源電圧 3.0 V~5.5 V。V _{DD1} ピンに接続します。0.1 μF のバイパス・コンデンサを V _{DDA} と GND ₁ の間に接続してください。
11、19	GND ₂	アイソレータ・サイド 2 のグラウンド基準。
12	OC	発振器制御ピン。OC = ハイ・レベル = V _{DD2} のとき、2 次側コントローラはオープン・ループで動作します。出力電圧をレギュレーションするときは、OC ピンと GND ₂ の間に抵抗を接続します。2 次側コントローラは、抵抗値で設定した周波数 200 kHz~1 MHz で動作します。
13	V _{ID}	ロジック入力 D。
14	V _{OC}	ロジック出力 C。
15	V _{OB}	ロジック出力 B。
16	V _{OA}	ロジック出力 A。
17	FB	2 次側出力電圧 V _{ISO} からの帰還入力。V _{ISO} と FB ピンの間に抵抗分圧器を接続して、V _{FB} 電圧を 1.25 V 内蔵リファレンス電圧レベルに一致させます。このとき、 $V_{ISO} = V_{FB} \times (R1 + R2) / R2$ の関係を使います。抵抗分圧器は、オープン・ループ・モードでソフトスタートのためにも必要です。
18	V _{DD2}	2 次側コントローラとサイド 2 データ・チャンネルに対する内部電源電圧ピン。十分な外部電圧が V _{REG} に加えられると、内部レギュレータが V _{DD2} ピンを 5.0 V へレギュレーションします。その他の場合、V _{DD2} は 3.0 V~5.5 V の範囲にある必要があります。0.1 μF のバイパス・コンデンサを V _{DD2} と GND ₂ の間に接続してください。
20	V _{REG}	2 次側コントローラとサイド 2 データ・チャンネルに電源を供給する内部レギュレータの入力。V _{DD2} 出力を 5.0 V へレギュレーションするためには、V _{REG} は 5.5 V~15 V の範囲にある必要があります。

ADuM3470/ADuM3471/ADuM3472/ADuM3473/ADuM3474



*PIN 2 AND PIN 10 ARE INTERNALLY CONNECTED, AND CONNECTING BOTH TO GND₁ IS RECOMMENDED. PIN 11 AND PIN 19 ARE INTERNALLY CONNECTED, AND CONNECTING BOTH TO GND₂ IS RECOMMENDED.

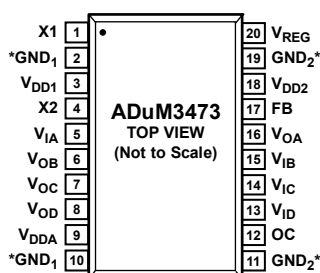
06389B-006

図 6.ADuM3472 のピン配置

表 14.ADuM3472 のピン機能説明

ピン番号	記号	説明
1	X1	トランス・ドライバ出力 1。
2、10	GND ₁	グラウンド 1。アイソレータ 1 次側のグラウンド・リファレンス。
3	V _{DD1}	トランス・ドライバ電源電圧 3.0~5.5 V。V _{DDA} ピンに接続します。10 μF のバイパス・コンデンサを V _{DD1} と GND ₁ の間に接続してください。
4	X2	トランス・ドライバ出力 2。
5	V _{1A}	ロジック入力 A。
6	V _{1B}	ロジック入力 B。
7	V _{0C}	ロジック出力 C。
8	V _{0D}	ロジック出力 D。
9	V _{DDA}	1 次側電源電圧 3.0 V~5.5 V。V _{DD1} ピンに接続します。0.1 μF のバイパス・コンデンサを V _{DDA} と GND ₁ の間に接続してください。
11、19	GND ₂	アイソレータ・サイド 2 のグラウンド基準。
12	OC	発振器制御ピン。OC = ハイ・レベル = V _{DD2} のとき、2 次側コントローラはオープン・ループで動作します。出力電圧をレギュレーションするときは、OC ピンと GND ₂ の間に抵抗を接続します。2 次側コントローラは、抵抗値で設定した周波数 200 kHz~1 MHz で動作します。
13	V _{1D}	ロジック入力 D。
14	V _{1C}	ロジック入力 C。
15	V _{0B}	ロジック出力 B。
16	V _{0A}	ロジック出力 A。
17	FB	2 次側出力電圧 V _{ISO} からの帰還入力。V _{ISO} と FB ピンの間に抵抗分圧器を接続して、V _{FB} 電圧を 1.25 V 内蔵リファレンス電圧レベルに一致させます。このとき、 $V_{ISO} = V_{FB} \times (R1 + R2)/R2$ の関係を使います。抵抗分圧器は、オープン・ループ・モードでソフトスタートのためにも必要です。
18	V _{DD2}	2 次側コントローラとサイド 2 データ・チャンネルに対する内部電源電圧ピン。十分な外部電圧が V _{REG} に加えられると、内部レギュレータが V _{DD2} ピンを 5.0 V へレギュレーションします。その他の場合、V _{DD2} は 3.0 V~5.5 V の範囲にある必要があります。0.1 μF のバイパス・コンデンサを V _{DD2} と GND ₂ の間に接続してください。
20	V _{REG}	2 次側コントローラとサイド 2 データ・チャンネルに電源を供給する内部レギュレータの入力。V _{DD2} 出力を 5.0 V へレギュレーションするためには、V _{REG} は 5.5 V~15 V の範囲にある必要があります。

ADuM3470/ADuM3471/ADuM3472/ADuM3473/ADuM3474



*PIN 2 AND PIN 10 ARE INTERNALLY CONNECTED, AND CONNECTING BOTH TO GND₁ IS RECOMMENDED. PIN 11 AND PIN 19 ARE INTERNALLY CONNECTED, AND CONNECTING BOTH TO GND₂ IS RECOMMENDED.

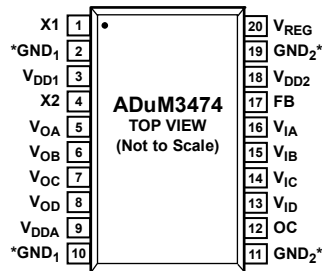
06389B-007

図 7.ADuM3473 のピン配置

表 15.ADuM3473 のピン機能説明

ピン番号	記号	説明
1	X1	トランス・ドライバ出力 1。
2、10	GND ₁	グラウンド 1。アイソレータ 1 次側のグラウンド・リファレンス。
3	V _{DD1}	トランス・ドライバ電源電圧 3.0~5.5 V。V _{DDA} ピンに接続します。10 μF のバイパス・コンデンサを V _{DD1} と GND ₁ の間に接続してください。
4	X2	トランス・ドライバ出力 2。
5	V _{1A}	ロジック入力 A。
6	V _{OB}	ロジック出力 B。
7	V _{OC}	ロジック出力 C。
8	V _{OD}	ロジック出力 D。
9	V _{DDA}	1 次側電源電圧 3.0 V~5.5 V。V _{DD1} ピンに接続します。0.1 μF のバイパス・コンデンサを V _{DDA} と GND ₁ の間に接続してください。
11、19	GND ₂	アイソレータ・サイド 2 のグラウンド基準。
12	OC	発振器制御ピン。OC = ハイ・レベル = V _{DD2} のとき、2 次側コントローラはオープン・ループで動作します。出力電圧をレギュレーションするときは、OC ピンと GND ₂ の間に抵抗を接続します。2 次側コントローラは、抵抗値で設定した周波数 200 kHz~1 MHz で動作します。
13	V _{ID}	ロジック入力 D。
14	V _{IC}	ロジック入力 C。
15	V _{IB}	ロジック入力 B。
16	V _{OA}	ロジック出力 A。
17	FB	2 次側出力電圧 V _{ISO} からの帰還入力。V _{ISO} と FB ピンの間に抵抗分圧器を接続して、V _{FB} 電圧を 1.25 V 内蔵リファレンス電圧レベルに一致させます。このとき、 $V_{ISO} = V_{FB} \times (R1 + R2) / R2$ の関係を使います。抵抗分圧器は、オープン・ループ・モードでソフトスタートのためにも必要です。
18	V _{DD2}	2 次側コントローラとサイド 2 データ・チャンネルに対する内部電源電圧ピン。十分な外部電圧が V _{REG} に加えられると、内部レギュレータが V _{DD2} ピンを 5.0 V へレギュレーションします。その他の場合、V _{DD2} は 3.0 V~5.5 V の範囲にある必要があります。0.1 μF のバイパス・コンデンサを V _{DD2} と GND ₂ の間に接続してください。
20	V _{REG}	2 次側コントローラとサイド 2 データ・チャンネルに電源を供給する内部レギュレータの入力。V _{DD2} 出力を 5.0 V へレギュレーションするためには、V _{REG} は 5.5 V~15 V の範囲にある必要があります。

ADuM3470/ADuM3471/ADuM3472/ADuM3473/ADuM3474



*PIN 2 AND PIN 10 ARE INTERNALLY CONNECTED, AND CONNECTING BOTH TO GND₁ IS RECOMMENDED. PIN 11 AND PIN 19 ARE INTERNALLY CONNECTED, AND CONNECTING BOTH TO GND₂ IS RECOMMENDED.

06389B-008

図 8.ADuM3474 のピン配置

表 16.ADuM3474 のピン機能説明

ピン番号	記号	説明
1	X1	トランス・ドライバ出力 1。
2、10	GND ₁	グラウンド 1。アイソレータ 1 次側のグラウンド・リファレンス。
3	V _{DD1}	トランス・ドライバ電源電圧 3.0~5.5 V。V _{DDA} ピンに接続します。10 μF のバイパス・コンデンサを V _{DD1} と GND ₁ の間に接続してください。
4	X2	トランス・ドライバ出力 2。
5	V _{OA}	ロジック出力 A。
6	V _{OB}	ロジック出力 B。
7	V _{OC}	ロジック出力 C。
8	V _{OD}	ロジック出力 D。
9	V _{DDA}	1 次側電源電圧 3.0 V~5.5 V。V _{DD1} ピンに接続します。0.1 μF のバイパス・コンデンサを V _{DDA} と GND ₁ の間に接続してください。
11、19	GND ₂	アイソレータ・サイド 2 のグラウンド基準。
12	OC	発振器制御ピン。OC = ハイ・レベル = V _{DD2} のとき、2 次側コントローラはオープン・ループで動作します。出力電圧をレギュレーションするときは、OC ピンと GND ₂ の間に抵抗を接続します。2 次側コントローラは、抵抗値で設定した周波数 200 kHz~1 MHz で動作します。
13	V _{ID}	ロジック入力 D。
14	V _{IC}	ロジック入力 C。
15	V _{IB}	ロジック入力 B。
16	V _{IA}	ロジック入力 A。
17	FB	2 次側出力電圧 V _{ISO} からの帰還入力。V _{ISO} と FB ピンの間に抵抗分圧器を接続して、V _{FB} 電圧を 1.25 V 内蔵リファレンス電圧レベルに一致させます。このとき、 $V_{ISO} = V_{FB} \times (R1 + R2) / R2$ の関係を使います。抵抗分圧器は、オープン・ループ・モードでソフトスタートのためにも必要です。
18	V _{DD2}	2 次側コントローラとサイド 2 データ・チャンネルに対する内部電源電圧ピン。十分な外部電圧が V _{REG} に加えられると、内部レギュレータが V _{DD2} ピンを 5.0 V にレギュレーションします。その他の場合、V _{DD2} は 3.0 V~5.5 V の範囲にある必要があります。0.1 μF のバイパス・コンデンサを V _{DD2} と GND ₂ の間に接続してください。
20	V _{REG}	2 次側コントローラとサイド 2 データ・チャンネルに電源を供給する内部レギュレータの入力。V _{DD2} 出力を 5.0 V にレギュレーションするためには、V _{REG} は 5.5 V~15 V の範囲にある必要があります。

表 17.真理値表(正論理)

V _{Ix} Input ¹	V _{CC} State	V _{DD2} State	V _{Ox} Output ¹	Notes
High	Powered	Powered	High	Normal operation, data is high
Low	Powered	Powered	Low	Normal operation, data is low

¹ V_{Ix} と V_{Ox} は、それぞれチャンネル(A、B、C、D)の入力信号と出力信号を表します。

代表的な性能特性

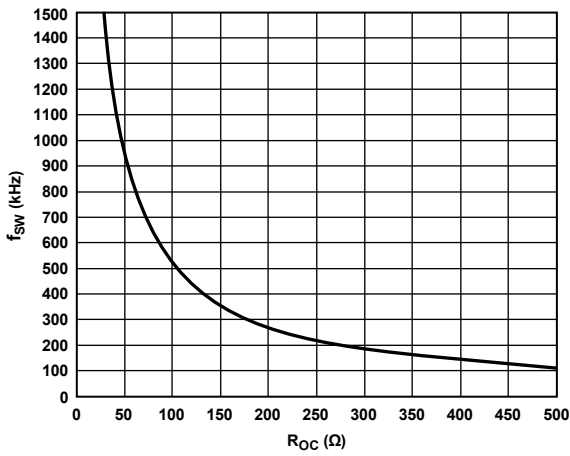


図 9. R_{OC} 抵抗対スイッチング周波数 (f_{SW})

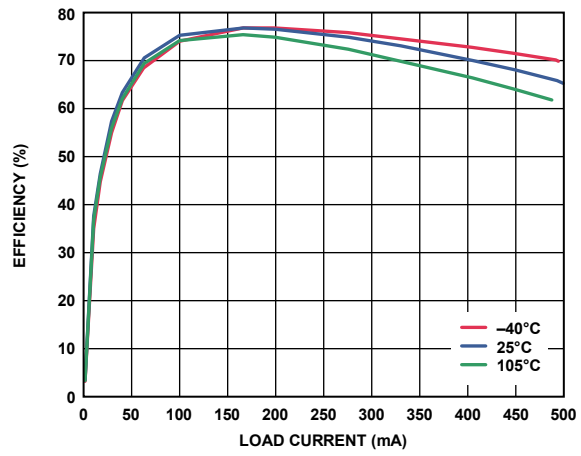


図 12. 5 V 入力から 5 V 出力までの効率の温度特性
Coilcraft 社製トランス、 $f_{SW} = 500 \text{ kHz}$

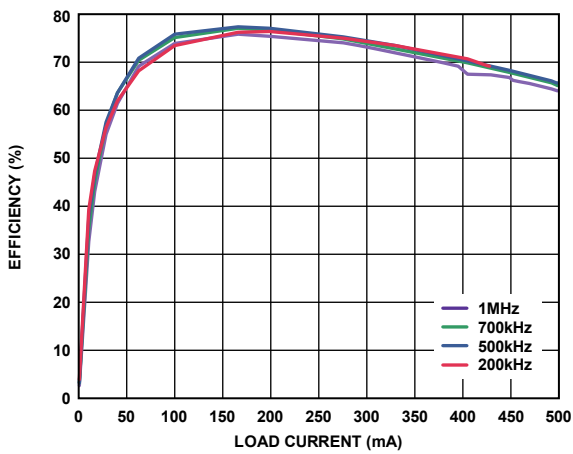


図 10. 様々なスイッチング周波数での
5 V 入力から 5 V 出力までの効率
Coilcraft 社製トランス

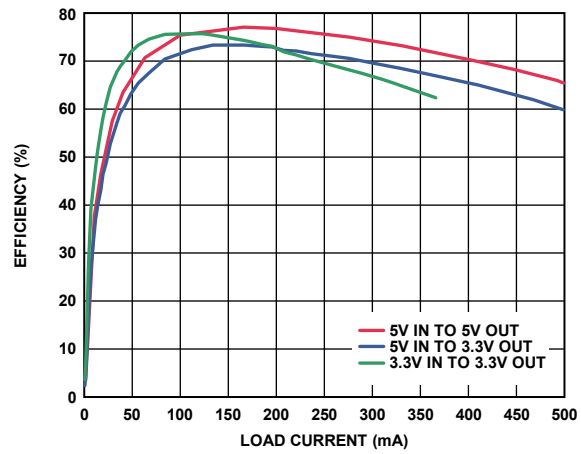


図 13.1 電源の効率
Coilcraft 社製トランス、 $f_{SW} = 500 \text{ kHz}$

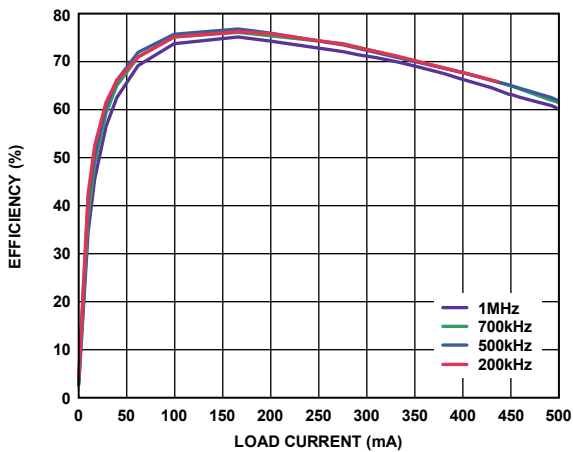


図 11. 様々なスイッチング周波数での
5 V 入力から 5 V 出力までの効率、Halo 社製トランス

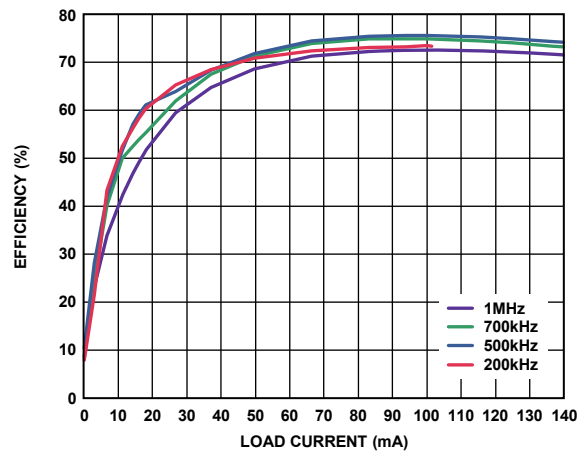


図 14. 様々なスイッチング周波数での
5 V 入力から 15 V 出力までの効率、Coilcraft 社製トランス

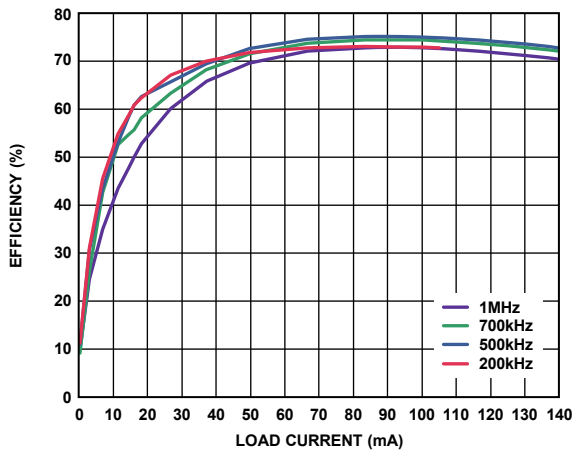


図 15. 様々なスイッチング周波数での 5 V 入力から 15 V 出力までの効率、Halo 社製トランス

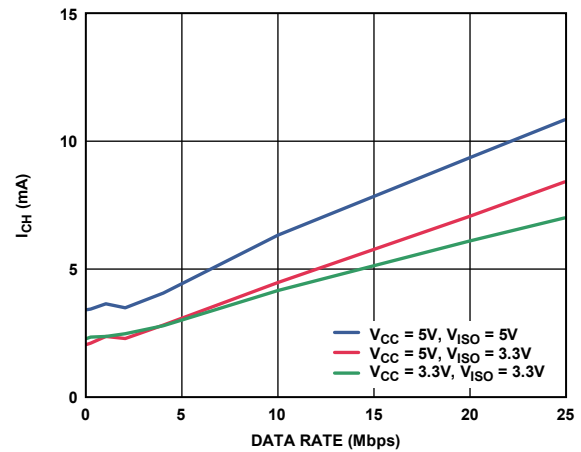


図 18. 順方向データ・チャンネルあたりの 1 電源での I_{CH} 電源電流 (15 pF 出力負荷)

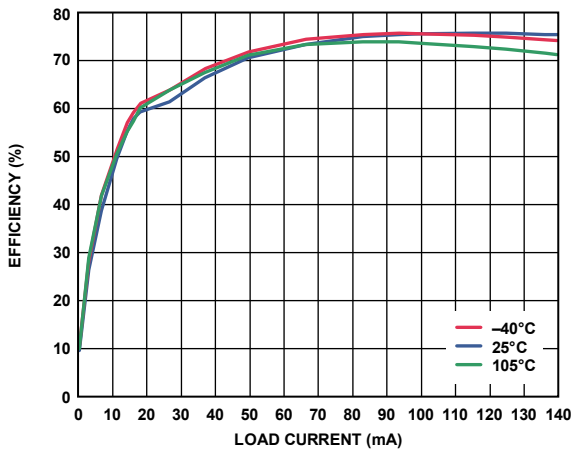


図 16. 5 V 入力から 15 V 出力までの効率の温度特性 Coilcraft 社製トランス、 $f_{sw} = 500 \text{ kHz}$

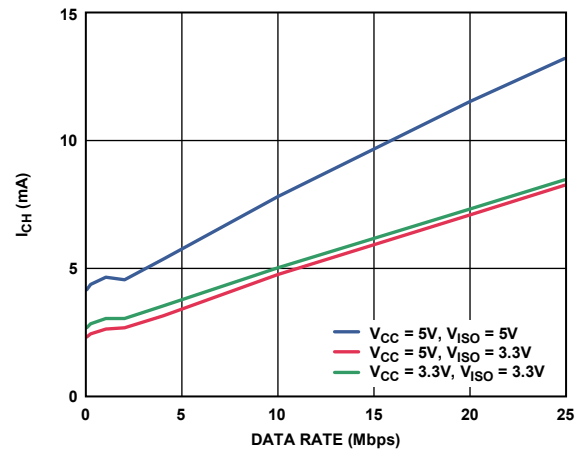


図 19. 逆方向データ・チャンネルあたりの 1 電源での I_{CH} 電源電流 (15 pF 出力負荷)

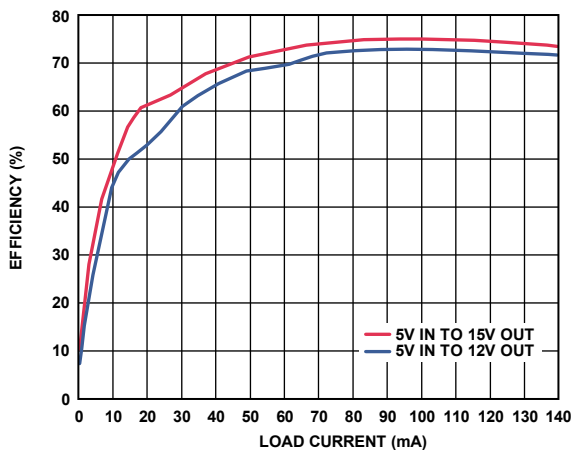


図 17.2 電源の効率、Coilcraft 社製トランス、 $f_{sw} = 500 \text{ kHz}$

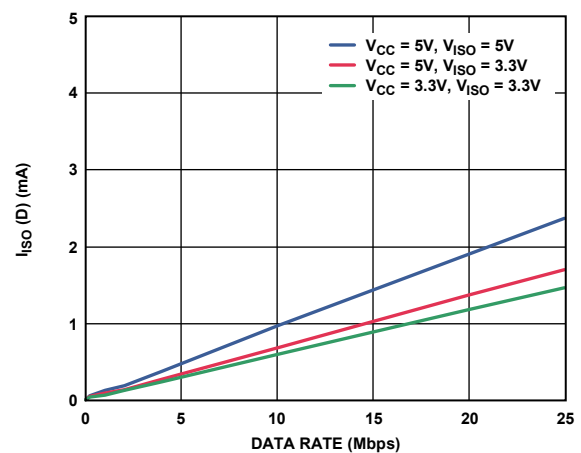


図 20. 出力チャンネルあたりの 1 電源での $I_{ISO(D)}$ ダイナミック電源電流 (15 pF 出力負荷)

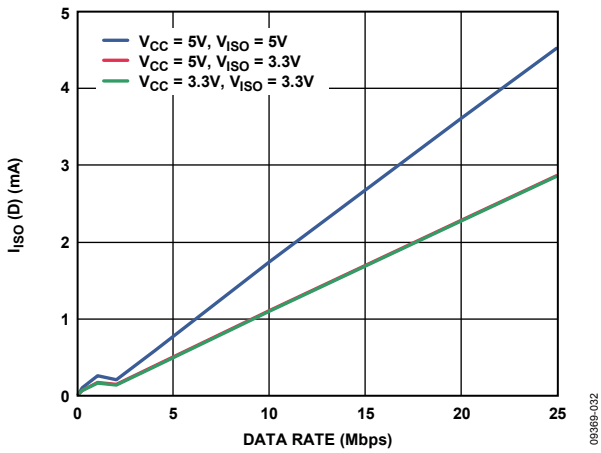


図 21. 入力チャンネルあたりの 1 電源での $I_{iso(D)}$ ダイナミック電源電流

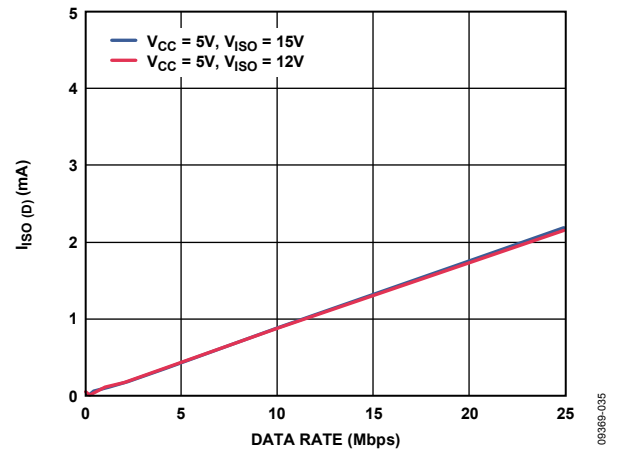


図 24. 出力チャンネルあたりの 2 電源での $I_{iso(D)}$ ダイナミック電源電流 (15 pF 出力負荷)

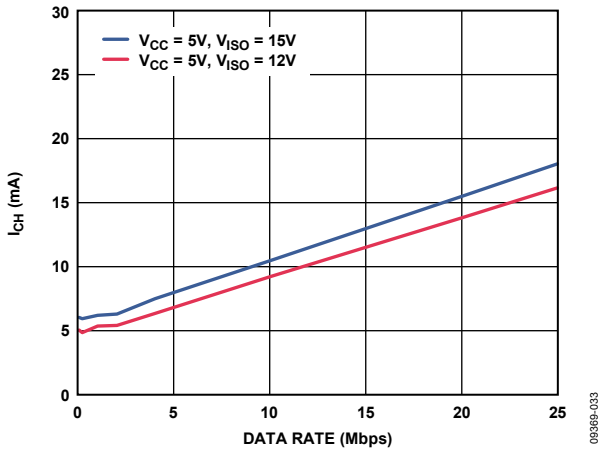


図 22. 順方向データ・チャンネルあたりの 2 電源での I_{CH} 電源電流 (15 pF 出力負荷)

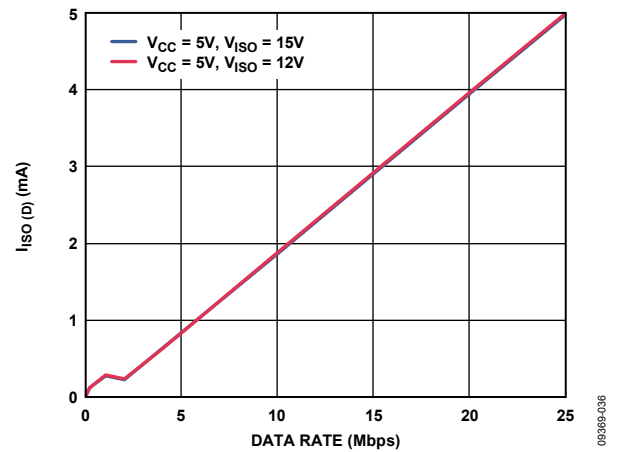


図 25. 入力チャンネルあたりの 2 電源での $I_{iso(D)}$ ダイナミック電源電流

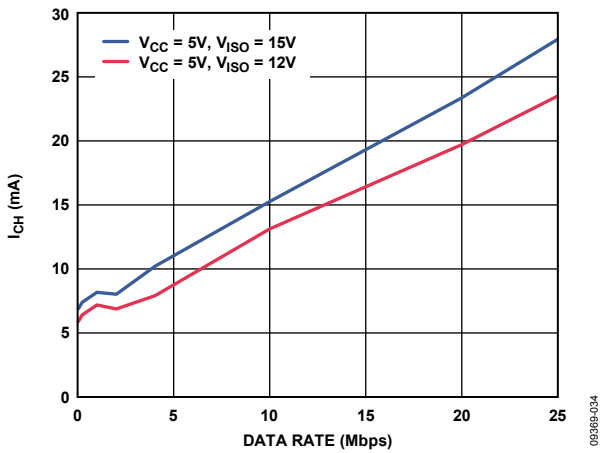


図 23. 逆方向データ・チャンネルあたりの 2 電源での I_{CH} 電源電流 (15 pF 出力負荷)

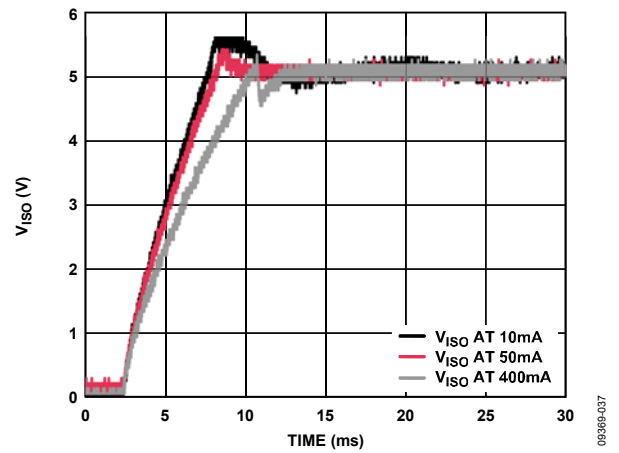


図 26. 5 V 入力から 5 V 出力への V_{iso} スタートアップ 出力負荷 = 10 mA、50 mA、400 mA

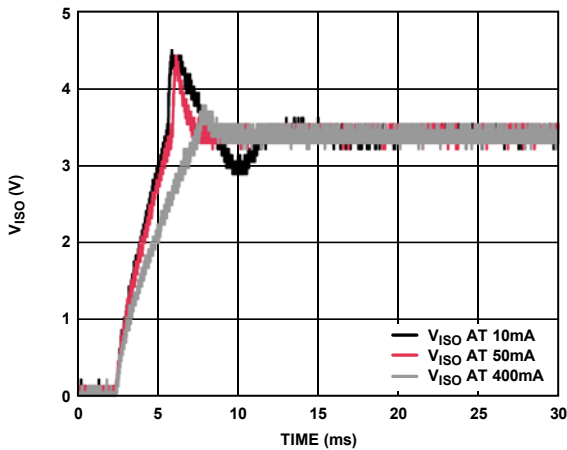


図 27. 27.5 V 入力から 3.3 V 出力への V_{ISO} スタートアップ
出力負荷 = 10 mA、50 mA、400 mA

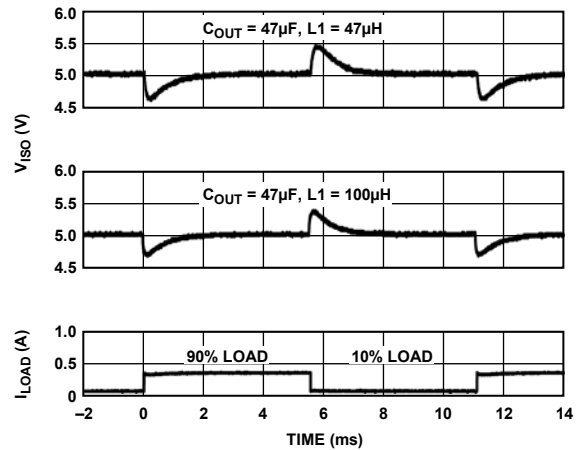


図 30. V_{ISO} 負荷過渡応答
5 V 入力/5 V 出力、400 mA 負荷の 10%→90%
 $f_{sw} = 500$ kHz

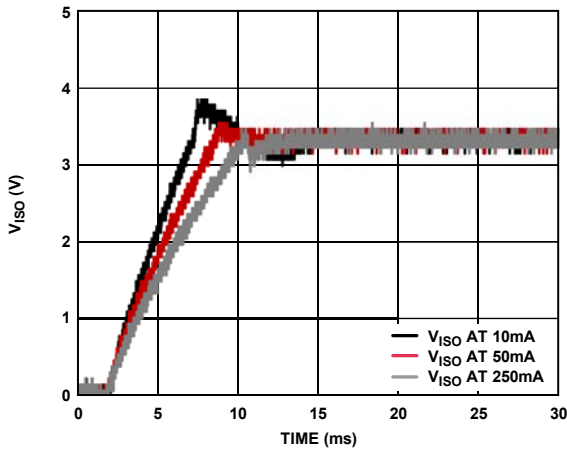


図 28. 3.3 V 入力から 3.3 V 出力への V_{ISO} スタートアップ
出力負荷 = 10 mA、50 mA、250 mA

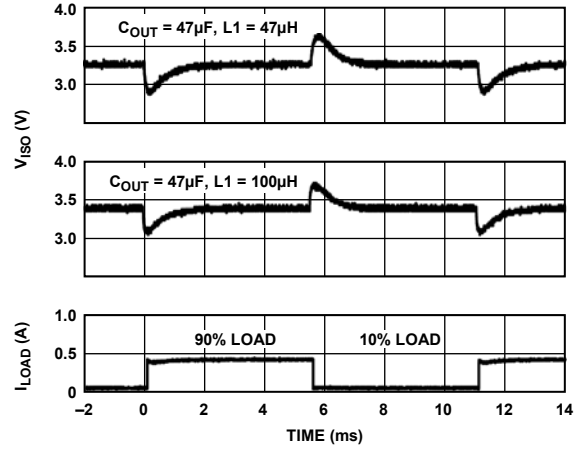


図 31. V_{ISO} 負荷過渡応答
5 V 入力/3.3 V 出力、400 mA 負荷の 10%→90%
 $f_{sw} = 500$ kHz

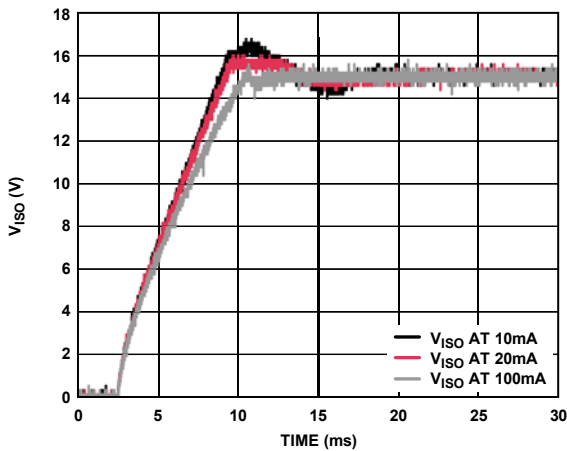


図 29. 29.5 V 入力から 15 V 出力への V_{ISO} スタートアップ
出力負荷 = 10 mA、20 mA、100 mA

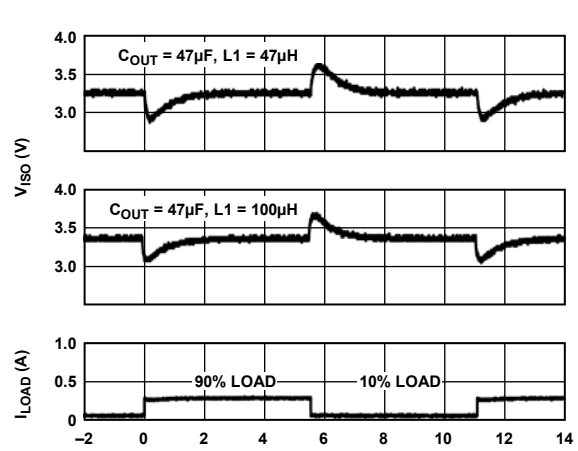


図 32. V_{ISO} 負荷過渡応答
3.3 V 入力/3.3 V 出力、250 mA 負荷の 10%→90%
 $f_{sw} = 500$ kHz

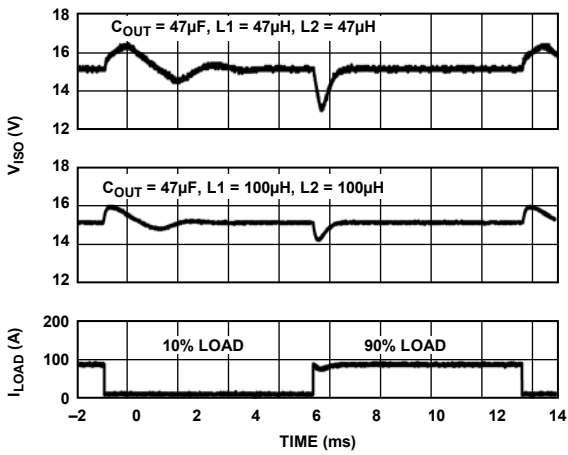


図 33. V_{ISO} 負荷過渡応答
5 V 入力/15 V 出力、100 mA 負荷の 10%→90%
 $f_{SW} = 500$ kHz

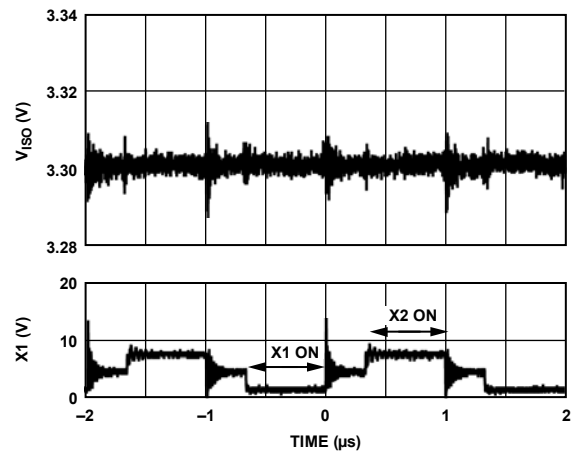


図 36. V_{ISO} 出力リップル
3.3 V 入力/3.3 V 出力、250 mA 負荷
 $f_{SW} = 500$ kHz

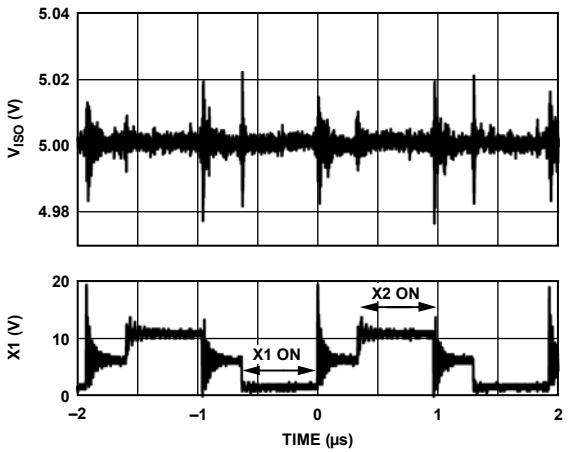


図 34. V_{ISO} 出力リップル
5 V 入力/5 V 出力、400 mA 負荷、 $f_{SW} = 500$ kHz

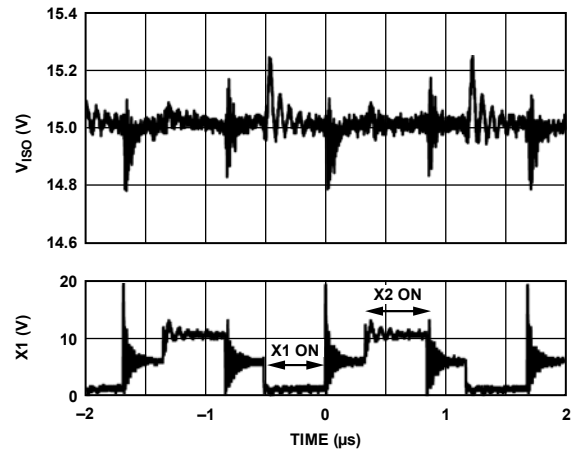


図 37. V_{ISO} 出力リップル
5 V 入力/15 V 出力、100 mA 負荷、 $f_{SW} = 500$ kHz

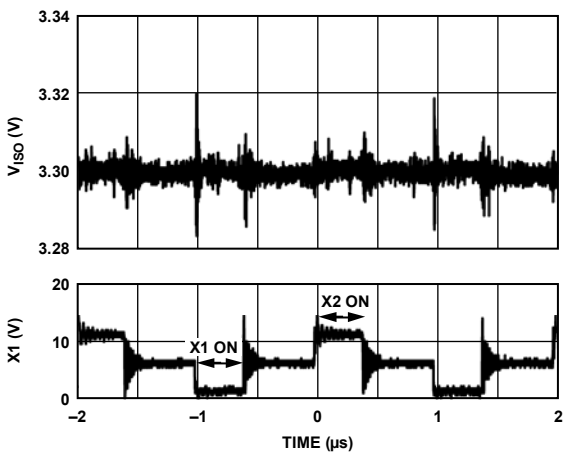


図 35. V_{ISO} 出力リップル
5 V 入力/3.3 V 出力、400 mA 負荷、 $f_{SW} = 500$ kHz

用語

I_{CC(Q)}

I_{CC(Q)}は、V_{ISO}の外部負荷なしで、かつ I/O ピンは 2 Mbps 未満で動作している(ダイナミック電源電流の増加なし)場合に、V_{CC}電源入力に流れる最小動作電流です。

I_{CC(D)}

I_{CC(D)}は、最大ダイナミック負荷条件を表すフル容量負荷で、25 Mbps の最大データレートですべてのチャンネルが同時に駆動される場合の入力電源電流 (typ)です。出力の抵抗負荷はダイナミック負荷と別に扱ってください。

I_{CC(MAX)}

I_{CC(MAX)}は、フル・ダイナミック負荷条件かつフル V_{ISO} 負荷条件での入力電流です。

t_{PLH} 伝搬遅延

t_{PLH} 伝搬遅延は、V_{IK} 信号の立上がりエッジの 50% レベルから V_{OX} 信号の立上がりエッジの 50% レベルまで測定。

t_{PLH} 伝搬遅延

t_{PLH} 伝搬遅延は、V_{IK} 信号の立上がりエッジの 50% レベルから V_{OX} 信号の立上がりエッジの 50% レベルまで測定。

伝搬遅延スキュー(t_{PSK})

t_{PSK}は、t_{PHL} または t_{PLH} におけるワーストケースの差であり、推奨動作条件下で同一の動作温度、電源電圧、出力負荷で動作する複数のユニット間で測定されます。

チャンネル間マッチング

チャンネル間マッチングは、等しい負荷で動作する 2 つのチャンネル間の伝搬遅延の差の絶対値を表します。

最小パルス幅

最小パルス幅は、規定のパルス幅歪みが保証される最小のパルス幅。

最大データレート

最大データレートは、規定のパルス幅歪みが保証される最高速のデータレートです。

アプリケーション情報

動作原理

ADuM347x の DC/DC コンバータ・セクションは、絶縁型パルス幅変調 (PWM) 帰還を持つ 2 次側コントローラ・アーキテクチャを採用しています。VCC 電源は発振回路に供給されます。この発振回路は、外部電源トランス 1 次側への電流を X1 ピンと X2 ピンにある内蔵プッシュプル・スイッチを使ってスイッチングします。トランス 2 次側へ転送される電力は、外付けショットキー・ダイオード (D1 と D2)により全波整流され、L1 インダクタと C_{OUT} コンデンサによりフィルタされ、3.3 V~15 V の絶縁型電源電圧へレギュレーションされます。2 次側 (V_{ISO}) コントローラは、出力の抵抗分圧器からの帰還電圧 V_{FB} を使って出力をレギュレーションして、PWM 制御信号を発生します。この PWM 制御信号は、V_{FB} と表示されている専用 iCoupler データ・チャンネルを使って 1 次側 (V_{CC}) へ送信されます。1 次側 PWM コンバータは X1 スイッチと X2 スイッチのデューティ・サイクルを変えて発振器回路を変調し、2 次側へ送信される電力を制御します。この帰還の使用により、非常に高い電力と効率が可能になっています。

ADuM347x は、V_{CC}電源入力にヒステリシス付きの低電圧ロックアウト (UVLO)機能を内蔵しています。この機能により、ノイズの多い入力電源または低速パワーオン・ランプ・レートによりコンバータが発振しないようになっています。

最適負荷レギュレーションのためには、10 mAの最小負荷電流が推奨されます。これより小さい負荷では、狭いPWM パルスまたは誤動作PWM パルスにより出力に大きなノイズが発生することがあります。このような大きなノイズが発生すると、状況によってはレギュレーションに問題が生ずることがあります。

アプリケーション回路図

ADuM347xには図 38~図 40に示すように、主要な3種類のアプリケーション回路図があります。図 38では、センター・タップ付きの 2 次側と2個のショットキー・ダイオードを使用して、一般的な3.3 V、5 V、12 V、15 Vの電源に対して1出力の全波整流を提供しています。V_{ISO} = 3.3 VまたはV_{ISO} = 5 Vの1電源の場合については、図 38のV_{REG}、V_{DD2}、V_{ISO}を互いに接続することについての注を参照してください。図 39は、電圧2倍回路です。この回路は、デバイスのレギュレータ入力 V_{REG} (ピン20) に接続できる最大の電源である、出力が15 Vを超える1電源へ使用することができます。図 39では、出力電圧は最大24 Vが可能で、V_{REG} ピンは約12 Vに限られます。電圧2倍の2次回路を使用している図 40は、約 ±5 V、±12 V、±15 V出力の粗調整レギュレーション正電源と非レギュレーション負電源の例として示してあります。図 38、図 39、または図 40のすべての回路では、絶縁型出力電圧 (V_{ISO}) をアプリケーション回路図に示す電圧分圧器R1とR2 (値は 1 kΩ~100 kΩ)を使って、次式により設定することができます。

$$V_{ISO} = V_{FB} \times \frac{R1 + R2}{R2}$$

ここで、V_{FB}は内部帰還電圧(約 1.25 V)。

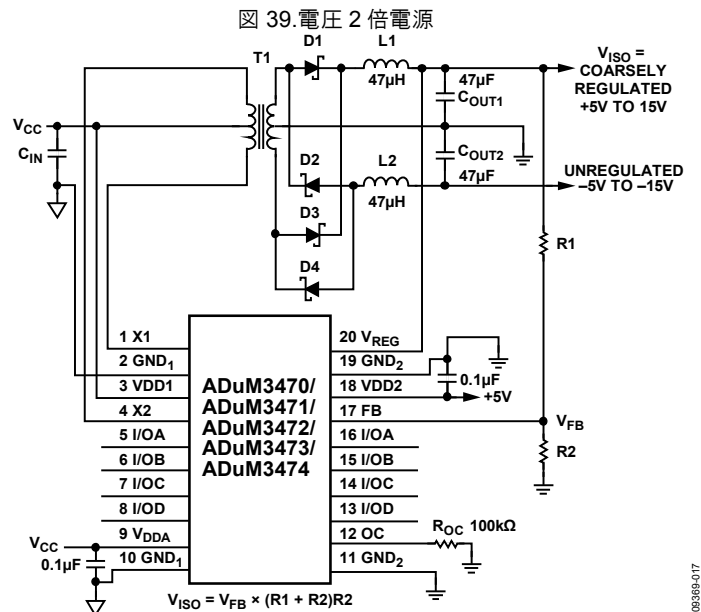
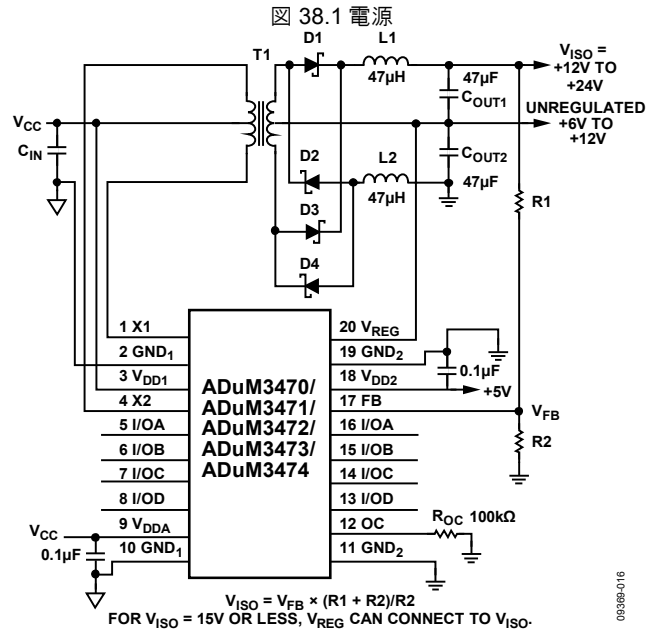
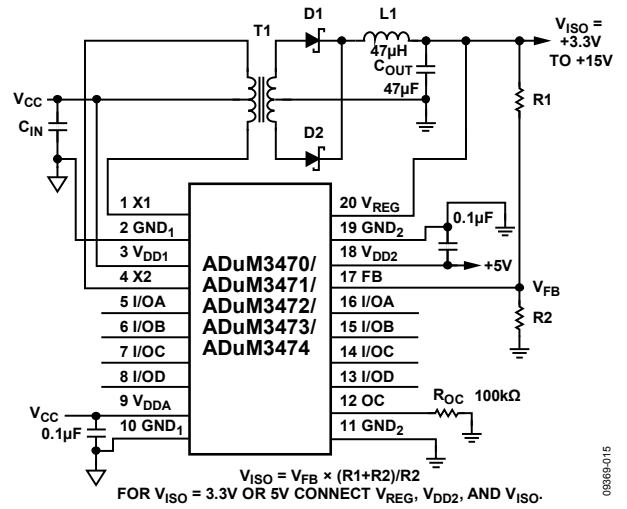


図 40. 正電源と非レギュレーションの負電源

トランスのデザイン

トランスは、図 38、図 39、図 40 で示す回路で使用するようデザインされており、表 18 に一覧を示します。ADuM347x で使用するトランスのデザインは、出力電圧をレギュレーションしない絶縁型 DC/DC コンバータのデザインとは異なることがあります。出力電圧は、ADuM347x の PWM コントローラによりレギュレーションされます。この PWM コントローラは、1 次側スイッチのデューティ・サイクルを絶縁型デジタル・チャンネルを経由して受信した 2 次側帰還電圧 V_{FB} に応じて変化させます。内部コントローラのデューティ・サイクルは最大 40% に制限されています。

トランス巻数比

トランス巻数比を決めるときは、1 次側スイッチの損失と 2 次側ダイオードとインダクタの損失を考慮して、ADuM347x の外部トランス巻数比を次式により計算することができます。

$$\frac{N_S}{N_P} = \frac{V_{ISO} + V_D}{V_{CC(MIN)} \times D \times 2}$$

ここで、

N_S/N_P は 1 次側対 2 次側の巻数比。

V_{ISO} は絶縁型出力電源電圧。

V_D はショットキー・ダイオードの電圧降下 (最大 0.5 V)。

$V_{CC(MIN)}$ は最小入力電源電圧。

D はデューティ・サイクル、30% (typ) デューティ・サイクルに対して 0.30、最大は 40%、プッシュプル・スイッチング・サイクルに対して倍率 2 を使用。

図 38 の場合、表 18 の 5 V / 5 V 参考デザインに対して、 $V_{CC(MIN)} = 4.5$ V、巻数比は $N_S/N_P = 2$ 。

同様に 3.3 V / 3.3 V の 1 電源に対して、 $V_{CC(MIN)} = 3.0$ V、巻数比 $N_S/N_P = 2$ 。したがって、同じトランス巻数比 $N_S/N_P = 2$ を 3 つの 1 電源アプリケーション (5 V / 5 V、5 V / 3.3 V、3.3 V / 3.3 V) に使用することができます。

図 39 の場合、2 倍の巻数とダイオード対を使って 2 倍回路を構成しているため、式に出力電圧の半分 $V_{ISO}/2$ を使用します。

$$\frac{N_S}{N_P} = \frac{\frac{V_{ISO}}{2} + V_D}{V_{CC(MIN)} \times D \times 2}$$

N_S/N_P は 1 次側対 2 次側の巻数比。2 倍回路を構成するため 2 対のダイオードを使用しているため、式で $V_{ISO}/2$ を使用しています。

V_D はショットキー・ダイオード電圧降下 (最大 0.5 V)。

$V_{CC(MIN)}$ は最小入力電源電圧。

D はデューティ・サイクル、30% (typ) デューティ・サイクルに対して 0.30、最大は 40%、プッシュプル・スイッチング・サイクルに対して倍率 2 を使用。

図 39 の場合、表 18 の 5 V / 15 V 参考デザインに対して、 $V_{CC(MIN)} = 4.5$ V、巻数比は $N_S/N_P = 3$ 。

図 40 の場合、2 倍の巻数とダイオード対を使って 2 倍回路を構成していますが、正と負の出力電圧を発生するため、式に V_{ISO} を使用します。

$$\frac{N_S}{N_P} = \frac{V_{ISO} + V_D}{V_{CC(MIN)} \times D \times 2}$$

ここで、

N は 1 次側対 2 次側の巻数比。

V_{ISO} は絶縁型出力電源電圧で、正出力と負出力を持つ 2 倍回路を構成するため 2 対のダイオードを使用しているため、式では V_{ISO} を使用しています。

V_D はショットキー・ダイオード電圧降下 (最大 0.5 V)。

$V_{CC(MIN)}$ は最小入力電源電圧で、プッシュプル・スイッチング・サイクルに対して倍率 2 を使用。図 40 の回路では、高いデューティ・サイクル $D = 0.35$ を使って、 ± 15 V 電源に対してダイオードから見た最大電圧を下げています。 $D = 0.35$ は 35% (typ) デューティ・サイクルに対応し、最大は 40% です。

図 40 の場合、表 18 の +5 V / ± 15 V 参考デザインに対して、 $V_{CC(MIN)} = 4.5$ V、巻数比は $N_S/N_P = 5$ 。

トランスの ET 定数

考慮が必要な次のトランス・デザイン・ファクタは ET 定数です。この定数は、動作温度に対するトランスの最小 $V \times \mu s$ 定数を決定します。表 18 に示す ADuM347x デザインに対しては、次式を使って $14 V \times \mu s$ と $18 V \times \mu s$ の ET 値を選択しています。

$$ET(Min) = \frac{V_{CC(MAX)}}{f_{SW(MIN)} \times 2}$$

ここで、

$V_{CC(MIN)}$ は最大入力電源電圧。

$f_{SW(MIN)}$ は最小 1 次側スイッチング周波数で、スタートアップで 300 kHz、プッシュプル・スイッチング・サイクルに対して倍率 2 を使用。

トランス 1 次側のインダクタンスと抵抗

ADuM347x を使用するデザインに対するトランスのもう 1 つの重要な特性は、1 次側インダクタンスです。ADuM347x に対するトランスとしては、1 次巻線あたり 60 μH ~ 100 μH のインダクタンスを持つことが推奨されます。この範囲の 1 次側インダクタンス値は、ADuM347x のパルスごとに電流を制限する回路のスムーズな動作に必要です。この電流制限回路は、トランス内にサチレーション電流が生ずることを防止します。例えば、インダクタンスが両 1 次側巻線の合計に対して 400 μH と規定されている場合、1 つの巻線のインダクタンスは 2 つの等しい巻線の 1/4 すなわち 100 μH になります。

ADuM347x を使用するデザインに対するトランスのもう 1 つの重要な特性は、1 次側の抵抗です。実用的なできるだけ小さい 1 次側抵抗 (1 Ω 以下) を使用すると、損失を小さくして効率を高くすることに役立ちます。DC 1 次側抵抗は測定と規定が可能で、トランスについて表 18 に示してあります。

表 18. トランスの参考デザイン

Part No.	Manufacturer	Turns Ratio, PRI:SEC	ET Constant (V × μs Min)	Total Primary Inductance (μH)	Total Primary Resistance (Ω)	Isolation Voltage (rms)	Isolation Type	Reference
JA4631-BL	Coilcraft	1CT:2CT	18	255	0.2	2500	Basic	Figure 38
JA4650-BL	Coilcraft	1CT:3CT	18	255	0.2	2500	Basic	Figure 39
KA4976-AL	Coilcraft	1CT:5CT	18	255	0.2	2500	Basic	Figure 40
TGSAD-260V6LF	Halo Electronics	1CT:2CT	14	389	0.8	2500	Supplemental	Figure 38
TGSAD-290V6LF	Halo Electronics	1CT:3CT	14	389	0.8	2500	Supplemental	Figure 39
TGSAD-292V6LF	Halo Electronics	1CT:5CT	14	389	0.8	2500	Supplemental	Figure 40
TGAD-260NARL	Halo Electronics	1CT:2CT	14	389	0.8	1500	Functional	Figure 38
TGAD-290NARL	Halo Electronics	1CT:3CT	14	389	0.8	1500	Functional	Figure 39
TGAD-292NARL	Halo Electronics	1CT:5CT	14	389	0.8	1500	Functional	Figure 40

トランスのアイソレーション電圧

アイソレーション電圧とアイソレーション・タイプは、アプリケーションの要求に従って決定し、規定する必要があります。

表 18に示すトランスは、補足的または基本的アイソレーション用に 2500 V rmsと、機能的アイソレーション用に 1500 V rms と、それぞれ規定されています。その他のアイソレーション・レベルとアイソレーション電圧の規定も可能で、表 18に示すメーカまたはその他のメーカから要求されることもあります。

スイッチング周波数

ADuM347x のスイッチング周波数は、図 38、図 39、図 40に示す R_{oc} 抵抗値を変えることにより、200 kHz~1 MHzの範囲で調整することができます。所望のスイッチング周波数に対して必要とされる R_{oc} 抵抗値は、図 9に示すスイッチング周波数対 R_{oc} 抵抗のカーブから決定することができます。ADuM347x アプリケーション回路図の出力フィルタのインダクタ値と出力コンデンサ値は、最大負荷の 10%~90%を負荷としたとき、500 kHz~1 MHzのスイッチング周波数範囲で安定できるようにデザインされています。

また、ADuM347x はオープン・ループ・モードも持っており、このモードでは、出力電圧がレギュレーションされていないため、トランス巻数比 N_s/N_p と出力条件(出力負荷電流や DC/DC コンバータ回路の損失など)に依存します。OC ピンをハイ・レベルの V_{DD2} ピンに接続すると、このオープン・ループ・モードが選択されます。オープン・ループ・モードでは、スイッチング周波数は 318 kHz です。

過渡応答

図 38 と図 39のアプリケーション回路図に対して、フル負荷の 10%~90%でのADuM347x出力電圧の負荷過渡応答を図 30~図 33に示します。ここに示した応答は低速ですが安定であるため、幾つかのアプリケーションに対する要求よりも広い出力変化が可能です。負荷過渡による出力電圧変化が小さくされているため、図 30~図 33の 2 次側 V_{ISO} 出力波形に示すように、出力回路にインダクタンスを追加することにより、出力が安定を維持していることが示されています。

部品の選択

ADuM347x デジタル・アイソレータには 2 W の DC/DC コンバータが内蔵されているため、ロジック・インターフェース用の外付けインターフェース回路は不要です。入力電源ピンと出力電源ピンには電源バイパスが必要です。サイド 1 のピン 9 とピン 10 の間およびサイド 2 のピン 18 とピン 19 の間に ESR の小さい 0.1 μF のセラミック・バイパス・コンデンサをチップ・パッドからできるだけ近い場所に接続する必要があることに注意してください。

ADuM347xの電源セクションでは、外付け電源トランスを介して効率良く電力を渡すため、高い周波数の発振器を使っています。さらに、*iCoupler*のデータ・セクションの通常動作により、スイッチング過渡電圧が電源ピンに発生します。複数の動作周波数に対してバイパス・コンデンサが必要になります。ノイズの抑圧には、低インダクタンス高周波のコンデンサが必要です。リップル抑圧と適切なレギュレーションには大きな値のコンデンサが必要です。ノイズを除去し、リップルを小さくするために、X5RまたはX7Rの大きな値のセラミック・コンデンサの使用が推奨されます。推奨コンデンサ値は、 V_{DD1} には 10 μF、 V_{ISO} には 47 μFです。これらのコンデンサのESRは小さく、10 Vまでの電圧に対して適度な 1206 サイズまたは 1210 サイズが提供されています。10 V以上の出力電圧に対しては、2 個の 22 μF セラミック・コンデンサを並列に使うことができます。推奨部品については、表 19を参照してください。

インダクタは、値と所要電源電流に基づいて選択する必要があります。スイッチング周波数が 500 kHz~1 MHz で、かつ負荷過渡がフル負荷の 10%~90% の大部分のアプリケーションは、表 19 に示す 47 μ H のインダクタ値で安定です。出力電圧の安定または負荷過渡応答の向上に役立っているため、最小スイッチング周波数 200 kHz の電源アプリケーションに対して最大 200 μ H を使用することができます (図 30~図 33 参照)。表 19 に、小型の 1212 サイズまたは 1210 サイズで負荷が 400 mA より小さい大部分のアプリケーションに対応できる 0.41 A 電流定格の 47 μ H インダクタ、および 300 mA までの負荷に対応できる 0.34 A 電流定格の 100 μ H インダクタを示します。

ショットキー・ダイオードの使用が推奨されます。ショットキー・ダイオードは、損失を小さくする低い順方向電圧と最大 40 V の高い逆方向電圧を持つためです。高い逆方向電圧は図 39 と図 40 に示す 2 倍回路で発生するピーク電圧に耐えるため必要です。

表 19. 推奨部品

Part Number	Manufacturer	Value
GRM32ER71A476KE15L	Murata	47 μ F, 10 V, X7R, 1210
GRM32ER71C226KEA8L	Murata	22 μ F, 16 V, X7R, 1210
GRM31CR71A106KA01L	Murata	10 μ F, 10 V, X7R, 1206
MBR0540T1-D	ON Semiconductor	0.5 A, 40 V, Schottky, SOD-123
LQH3NPN470MM0	Murata	47 μ H, 0.41 A, 1212
ME3220-104KL	Coilcraft	100 μ H, 0.34 A, 1210

プリント回路ボード(PCB)のレイアウト

低 ESR コンデンサの両端と V_{DDx} ピンおよび GND_x ピンとの間の合計リード長は 2 mm 以下にする必要があります。バイパス・コンデンサを 2 mm より長いパターンで接続すると、データ破壊が生ずることがあります。推奨 PCB レイアウトについては、図 41 を参照してください。

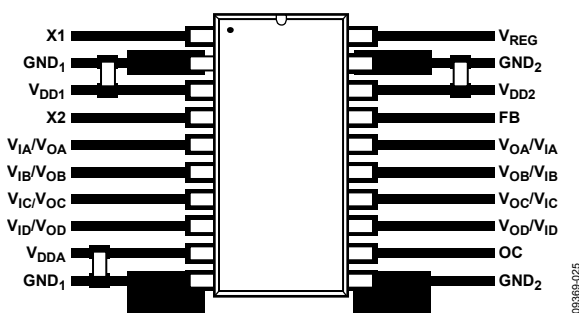


図 41. 推奨 PCB レイアウト

高い同相モード過渡電圧が発生するアプリケーションでは、アイソレーション障壁を通過するボード結合が最小になるように注意する必要があります。さらに、如何なる結合もデバイス側のすべてのピンで等しく発生するようにボード・レイアウトをデザインしてください。この注意を怠ると、ピン間で発生する電位差が表 10 に規定するデバイスの絶対最大定格を超えてしまい、ラッチアップまたは恒久的な損傷が発生することがあります。

ADuM347x は、フル・ロードと最大速度で動作する場合約 1 W を消費するパワー・デバイスです。アイソレーション・デバイスにヒートシンクを使うことができないため、デバイスは基本的に PCB から GND ピンへの熱放散に依存しています。デバイスを高い周囲温度で使用する場合には、 GND_x ピンから PCB グラウンド・プレーンへの熱バスの用意するよう注意が必要です。ボード・レイアウトに、サイト 1 の GND_x (ピン 2 とピン 10) およびサイト 2 のピン 11 とピン 19 の拡大したパッドを示します。パッドからグラウンド・プレーンと電源プレーンへの接続に径の大きいビアを使い、熱伝導性を大きくし、インダクタンスを小さくする必要があります。サーマル・パッドに複数のビアを使うと、チップ内部の温度を大幅に下げることができます。拡大したパッドの寸法は、設計者と使用可能なボード・スペースによって決定されます。

熱解析

ADuM347x 製品は、分割されたリード・フレームに取り付けられた 2 個の内部チップ (2 個のチップはパドルに接続) から構成されています。熱解析のため、チップをサーマル・ユニットとして扱います。最高ジャンクション温度は、表 5 の θ_{JA} を反映します。 θ_{JA} 値は測定値に基づきます。この測定値は、デバイスを細いパターンを持つ JEDEC 標準 4 層ボードに実装し、自然空冷で取得します。通常の動作では、ADuM347x デバイスはフル負荷で、フル温度範囲で出力電流の低下なしに動作しますが、

プリント回路ボード(PCB)のレイアウトのセクションに示す推奨事項に従うと、PCB への熱抵抗が小さくなるため、高い周囲温度で熱余裕を大きくすることができます。ADuM347x はサーマル・シャットダウン回路を内蔵しています。この回路はチップ温度が約 160°C に到達すると、DC/DC コンバータと ADuM347x の出力をシャットダウンします。チップ温度が約 140°C を下回ると、ADuM347x DC/DC コンバータと出力は再びターンオンします。

伝搬遅延に関するパラメータ

伝搬遅延時間は、ロジック信号がデバイスを通るのに要する時間を表すパラメータです (図 42 参照)。ロジック・ロー・レベル出力への伝搬遅延は、ロジック・ハイ・レベル出力への伝搬遅延と異なることがあります。

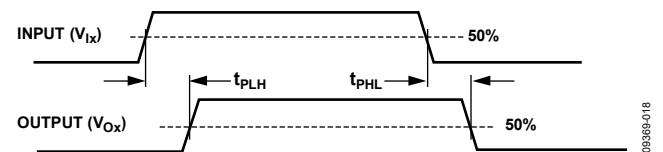


図 42. 伝搬遅延パラメータ

パルス幅歪みとはこれら 2 つの遅延時間の間の最大の差を意味し、入力信号のタイミングが保存される精度を表します。

チャンネル間マッチングとは、1 つの ADuM347x デバイス内にある複数のチャンネル間の伝搬遅延差の最大値を意味します。

伝搬遅延スキューは、同じ条件で動作する複数の ADuM347x デバイス間での伝搬遅延差の最大値を表します。

DC精度と磁界耐性

アイソレータ入力での正および負のロジック変化により、狭いパルス(約 1 ns)がトランスを経由してデコーダに送られます。デコーダは双安定であるため、パルスによるセットまたはリセットにより入力ロジックの変化が表されます。1 μ s以上入力にロジック変化がない場合、正常な入力状態を表す周期的なリフレッシュ・パルスのセットを送信して、出力でのDCを正常に維持します。デコーダが約 5 μ s間以上この内部パルスを受信しないと、入力側が電源オフであるか非動作状態にあると見なされ、ウォッチドッグ・タイマ回路によりアイソレータ出力が強制的にデフォルト状態(表 17参照)にされます。この状況は、ADuM347x デバイスではパワーアップ動作とパワーダウン動作時にのみ発生します。

ADuM347x の磁界耐性の限界は、トランスの受信側コイルに発生する誘導電圧が十分大きくなって、デコーダをセットまたはリセットさせる誤動作の発生により決まります。この状態が発生する条件を以下の解析により求めます。

ADuM347x の 3.3 V 動作は最も感度の高い動作モードであるため、この条件を調べます。

トランス出力でのパルスは 1.0 V 以上の振幅を持っています。デコーダは約 0.5 V の検出スレッシュホールドを持つので、誘導電圧に対しては 0.5 V の余裕を持っています。受信側コイルへの誘導電圧は次式で与えられます。

$$V = (-d\beta/dt)\sum\pi r_n^2; n = 1, 2, \dots, N$$

ここで、

β は磁束密度 (gauss)。

N = 受信側コイルの巻数

r_n = 受信側コイルの n 回目の半径(cm)

ADuM347x受信側コイルの形状が与えられ、かつ誘導電圧がデコーダにおける 0.5 V 余裕の最大 50%であるという条件が与えられると、最大許容磁界は図 43 のように計算されます。

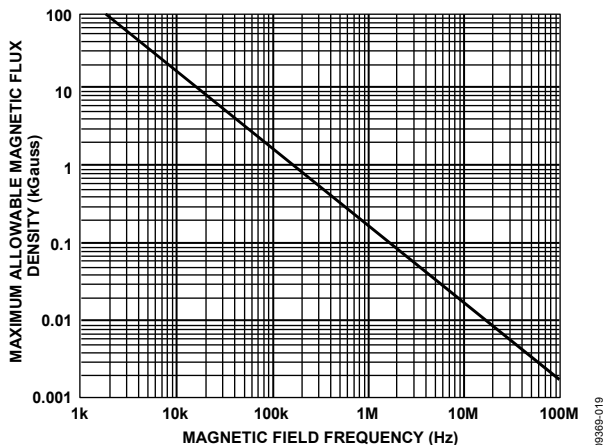


図 43. 最大許容外部磁束密度

たとえば、磁界周波数= 1 MHz で、最大許容磁界= 0.2 k Ggauss の場合、受信側コイルでの誘導電圧は 0.25V になります。これは検出スレッシュホールドの約 50%であるため、出力変化の誤動作はありません。同様に、仮にこのような条件が送信パルス内に存在しても(さらに最悪ケースの極性であっても)、受信パルスが 1.0 V 以上から 0.75V へ減少されるため、デコーダの検出スレッシュホールド 0.5 V に対してなお余裕を持っています。

前述の磁束密度値は、ADuM347x トランスから与えられた距離だけ離れた特定の電流値に対応します。図 44 に、周波数の関数としての許容電流値を与えられた距離に対して示します。図 44 から読み取れるように、ADuM347x の耐性は極めて高く、影響を受けるのは、高周波でかつ部品に非常に近い極めて大きな電流の場合に限られます。1 MHz の例では、デバイス動作に影響を与えるためには、0.5 kA の電流を ADuM347x から 5 mm の距離まで近づける必要があります。

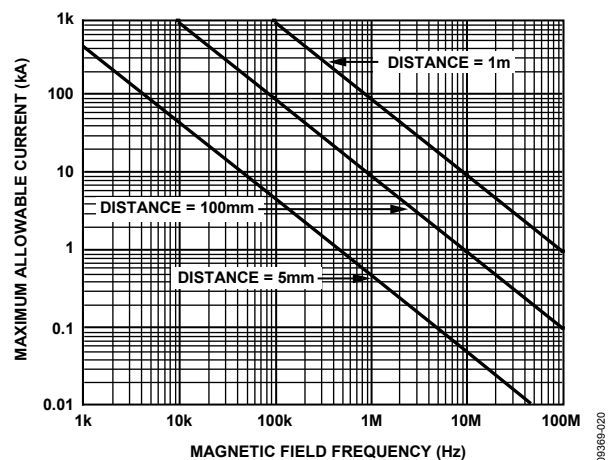


図 44. 様々な電流値と ADuM347x までの距離に対する最大許容電流

強い磁界と高周波が合わさると、PCB パターンで形成されるループに十分大きな誤差電圧が誘導されて、後段回路のスレッシュホールドがトリガされてしまうことに注意が必要です。パターンのレイアウトでは、このようなことが発生しないように注意する必要があります。

消費電力

V_{CC} 電源入力は、iCoupler データ・チャンネルと電源コンバータへ電力を供給します。このため、データ・コンバータおよび 1 次側と 2 次側の I/O チャンネルに流れる静止電流を別々に求めることはできません。これらのすべての静止電力要求は、図 45 に示すように $I_{CC(D)}$ 電流としてまとめてあります。総合 I_{CC} 電源電流は、静止動作電流、I/O チャンネルのダイナミック電流 $I_{CC(D)}$ 、すべての外部 I_{ISO} 負荷の電流の和に一致します。

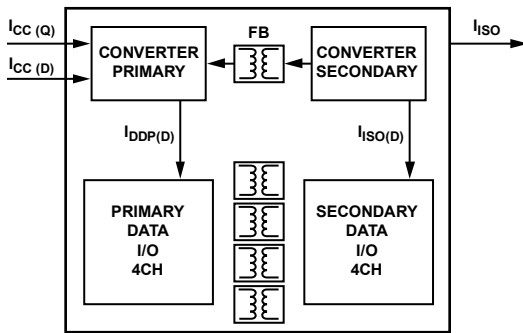


図 45. ADuM347x 内部の消費電力

ダイナミック I/O 電流は、リフレッシュ・レート f_r より高い速度でチャンネルが動作する場合にのみ流れます。各チャンネルのダイナミック電流はデータレートにより決定されます。図 18 と図 22 に順方向チャンネル（入力はデバイス V_{CC} 側）の電流を示します。図 19 と図 23 に逆方向チャンネル（入力はデバイス V_{ISO} 側）の電流を示します。図 18、図 19、図 22、図 23 では 15 pF (typ) 負荷を仮定しています。

次の関係を使うと、総合 I_{DD1} 電流を計算することができます。

$$I_{CC} = (I_{ISO} \times V_{ISO}) / (E \times V_{CC}) + \sum I_{CHn}; n = 1 \sim 4 \quad (1)$$

ここで、

I_{CC} は総合電源入力電流。

I_{ISO} は 2 次側外部負荷を流れる電流。

E は図 13 または図 17 に与えられた出力負荷での電源効率で、注目する V_{ISO} 条件と V_{CC} 条件から取得。

I_{CHn} は 1 チャンネルを流れる電流で、チャンネル方向に応じて図 18、図 19、図 22 または図 23 から決定。

最大許容負荷からダイナミック出力負荷を減算すると、次のように最大外部負荷を計算することができます。

$$I_{ISO(Load)} = I_{ISO(MAX)} - \sum I_{ISO(D)n}; n = 1 \sim 4 \quad (2)$$

ここで、

$I_{ISO(Load)}$ は、2 次側外部負荷へ供給できる電流。

$I_{ISO(MAX)}$ は、 V_{ISO} での最大 2 次側外部負荷電流。

$I_{ISO(D)n}$ は、 V_{ISO} から入力チャンネルまたは出力チャンネルへ流れるダイナミック負荷電流（1 電源の場合は図 20 または図 21 を、2 電源の場合は図 24 または図 25 をそれぞれ参照）。

上記解析では、各データ出力に 15 pF の容量負荷を仮定しています。容量負荷が 15 pF より大きい場合は、 I_{DD1} と $I_{ISO(Load)}$ の解析に追加電流を含める必要があります。

消費電力の考慮事項

ソフト・スタート・モードと電流制限保護機能

ADuM347x が V_{CC} から電源を最初に受け取るとき、ソフトスタート・モードにあり、出力電圧 V_{ISO} は穏やかに上昇しますが、スタートアップ・スレッシュホールドの下にあります。ソフトスタート・モードでは、1 次側コンバータが PWM 信号の幅を穏やかに増加させて、 V_{ISO} パワーアップ時のピーク電流を制限します。出力電圧がスタートアップ・スレッシュホールドを超えると、2 次側コントローラから 1 次側コンバータへ PWM 信号を転送できるようになり、DC/DC コンバータはソフトスタート・モードから通常の PWM 制御モードへ切り替わります。短絡が発生すると、プッシュプル・コンバータが約 2 ms 間シャットダウンしてソフトスタート・モードになります。ソフトスタートの終わりに短絡がまだ存在している場合は、このプロセスが繰り返されます。これは hiccup モードと呼ばれます。短絡がなくなると、ADuM347x は通常の動作を開始します。

また、ADuM347x はパルスごとの電流制限機能も内蔵しています。この機能は、スタートアップと通常の動作でアクティブになり、1 次側スイッチ X1 と X2 が約 1.2 A のピークを超えるのを防止し、トランス巻線も保護します。

データ・チャンネルの電源サイクル

ADuM347x の 1 次側データ入力チャンネルと 2 次側データ入力チャンネルは、UVLO 回路による早期誤動作から保護されています。最小動作電圧より下では、電源コンバータが発振器の非アクティブを維持するため、すべての入力チャンネル・ドライバとリフレッシュ回路がアイドルになります。出力はロー・レベル状態に維持されます。これは、パワーアップ動作とパワーダウン動作で不定状態が送信されるのを防止します。

V_{CC} へ電源を加えるとき、1 次側回路はアイドルになり、UVLO に設定されている電圧に到達するまでアイドルが維持されます。この時点で、データ・チャンネルがデフォルトのロー・レベル出力状態に初期化され、2 次側からデータ・パルスを受信するまでこの状態が続きます。

1 次側入力チャンネルは、入力をサンプルして、非アクティブの 2 次側出力へパルスを送信します。2 次側コンバータが 1 次側から電源を受けると、 V_{ISO} 電圧は上昇を開始します。2 次側の UVLO に到達すると、2 次側出力はデフォルトのロー状態に初期化され、対応する 1 次側入力からデータ（ロジック変化または DC リフレッシュ・パルス）が受信されるまでこのロー状態が続きます。2 次側が初期化された後に出力状態が 1 次側入力に対応するようになるまで最大 1 μ s 必要になります。

2 次側入力はその状態をサンプルして、1 次側へ送信します。出力は、2 次側がアクティブになってから 1 伝搬遅延後に有効になります。

2 次側の充電レートはソフトスタート・サイクル、負荷条件、入力電圧、選択した出力電圧レベルに依存するため、有効なデータが必要とされる前にコンバータが確実に安定するようにデザインで注意してください。

V_{CC} から電源がなくなると、1 次側コンバータとカプラは、UVLO レベルに到達したときシャットダウンします。2 次側は電源の受け取りを停止して、放電を開始します。2 次側出力は、1 次側から受信した直前の状態を保持します。この保持は、UVLO レベルに到達して出力がデフォルトのロー状態になるか、または 2 次側電源が UVLO に到達する前に出力が入力に動作がないことを検出して、出力がデフォルト値に設定されるまで続きます。

絶縁寿命

すべての絶縁構造は、十分長い時間電圧ストレスを受けるとブレイクダウンします。絶縁性能の低下率は、絶縁に加えられる電圧波形の特性に依存します。アナログ・デバイセズは、広範囲なセットの評価を実施して ADuM347x の絶縁構造の寿命を測定しています。定格連続動作電圧より高い電圧レベルを使った加速寿命テストを実施しています。複数の動作条件に対して加速ファクタを定めて、実際の動作電圧での故障までの時間を計算できるようにしています。表 11 に、複数の動作条件での 50 年サービス寿命に対するピーク電圧の一覧を示します。多くのケースで、当局のテストにより認定された動作電圧は 50 年サービス寿命の電圧より高くなっています。記載されたサービス寿命電圧より高い動作電圧で動作させると、早期絶縁故障が発生します。

ADuM347x の絶縁寿命は、アイソレーション障壁に加えられる電圧波形のタイプに依存します。iCoupler 絶縁構造の性能は、波形がバイポーラ AC、DC、ユニポーラ AC のいずれであるかに応じて、異なるレートで低下します。図 46、図 47、図 48 に、これらのアイソレーション電圧波形を示します。

バイポーラ AC 電圧は最も厳しい環境です。AC バイポーラ条件での 50 年動作寿命から、アナログ・デバイセズが推奨する最大動作電圧が決定されています。

ユニポーラ AC またはユニポーラ DC 電圧の場合、絶縁に加わるストレスは大幅に少なくなります。このために高い動作電圧で

の動作が可能になり、さらに 50 年のサービス寿命を実現することができます。表 11 に示す動作電圧は、ユニポーラ AC 電圧またはユニポーラ DC 電圧のケースに適合する場合、50 年最小寿命に適用することができます。図 47 または図 48 に適合しない絶縁電圧波形は、バイポーラ AC 波形として扱う必要があり、ピーク電圧は表 11 に示す 50 年寿命電圧値に制限する必要があります。

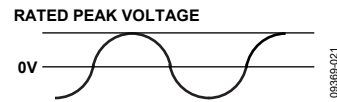


図 46. バイポーラ AC 波形

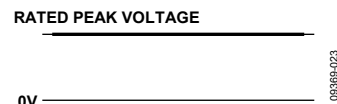
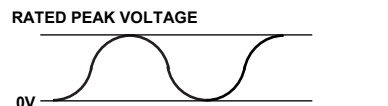


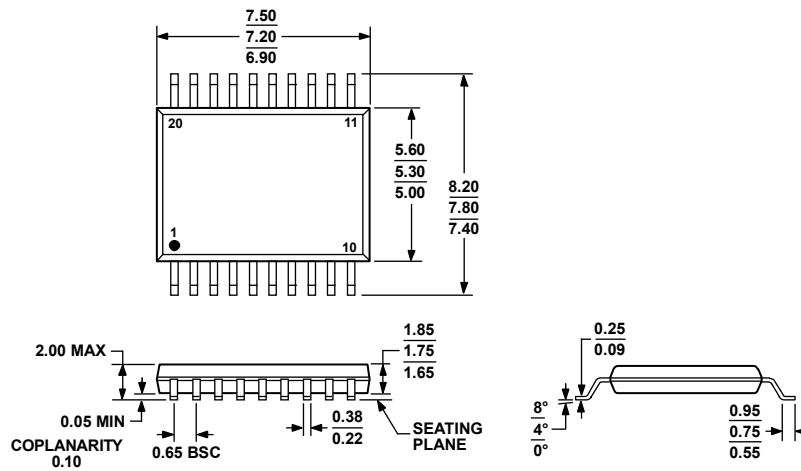
図 47. DC 波形



NOTES:
1. THE VOLTAGE IS SHOWN SINUSOIDAL FOR ILLUSTRATION PURPOSES ONLY. IT IS MEANT TO REPRESENT ANY VOLTAGE WAVEFORM VARYING BETWEEN 0 AND SOME LIMITING VALUE. THE LIMITING VALUE CAN BE POSITIVE OR NEGATIVE, BUT THE VOLTAGE CANNOT CROSS 0V.

図 48. ユニポーラ AC 波形

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-150-AE

06/01/06-A

図 49.20 ピン・シュリンク・スモール・アウトライン・パッケージ[SSOP] (RS-20)
寸法: mm

オーダー・ガイド

Model ^{1,2}	Number of Inputs, V _{CC} Side	Number of Inputs, V _{ISO} Side	Maximum Data Rate (Mbps)	Maximum Propagation Delay, 5 V (ns)	Maximum Pulse Width Distortion (ns)	Temperature Range (°C)	Package Description	Package Option
ADuM3470ARSZ	4	0	1	100	40	-40 to +105	20-Lead SSOP	RS-20
ADuM3470CRSZ	4	0	25	60	6	-40 to +105	20-Lead SSOP	RS-20
ADuM3471ARSZ	3	1	1	100	40	-40 to +105	20-Lead SSOP	RS-20
ADuM3471CRSZ	3	1	25	60	6	-40 to +105	20-Lead SSOP	RS-20
ADuM3472ARSZ	2	2	1	100	40	-40 to +105	20-Lead SSOP	RS-20
ADuM3472CRSZ	2	2	25	60	6	-40 to +105	20-Lead SSOP	RS-20
ADuM3473ARSZ	1	3	1	100	40	-40 to +105	20-Lead SSOP	RS-20
ADuM3473CRSZ	1	3	25	60	6	-40 to +105	20-Lead SSOP	RS-20
ADuM3474ARSZ	0	4	1	100	40	-40 to +105	20-Lead SSOP	RS-20
ADuM3474CRSZ	0	4	25	60	6	-40 to +105	20-Lead SSOP	RS-20

¹ テープとリールを提供しています。"RL7"サフィックスを追加すると、7インチ(500個)のテープおよびリール・オプションが指定されます。

² Z = RoHS 準拠製品。