

この製品の和文データシートに適切ではない誤が見つかりましたので訂正いたしました。
この文書は、2016年7月15日現在、アナログ・デバイセズ株式会社で確認したものを記したものです。本資料には、原文のデータシートのコピーを使用しております。文字が見えにくいなど弊害があるかと存じますが、その場合は原文をご参照下さい。

本文書の作成年月日：2016年7月15日

対象製品名：ADUM3123

対象となる和文データシートのリビジョン(Rev)：Rev.0

修正箇所：

P.9 表 11

DISABLE（ピン番号3）の説明を修正します。

【修正前】ロジック・ローに接続するとイネーブルになります。

↓

【修正後】Hでディスエーブル、Lでイネーブル。詳細は表10参照。

表 11. ピン機能の説明

ピン番号	記号	説明
1	V _{DD1}	アイソレータの1次側の電源電圧。
2	V _I	ゲート駆動入力。
3	DISABLE	ディスエーブル。ロジック・ローに接続するとイネーブルになります。
4	GND ₁	グラウンド1。アイソレータの1次側のグラウンド基準。
5	GND ₂	グラウンド2。アイソレータの2次側のグラウンド基準。
6	NIC	内部では未接続。
7	V _O	ゲート駆動出力。
8	V _{DD2}	アイソレータの2次側の電源電圧。



絶縁型高精度ゲート・ドライバ、 4.0 A 出力

データシート

ADuM3123

特長

出力短絡パルス電流: 4.0 A

絶縁動作電圧

入力側に対する 2 次側: 537 V

高周波数動作: 1 MHz (最大値)

入力ロジック: 3.3 V ~ 5 V

出力駆動: 4.5 V ~ 18 V

低電圧ロックアウト (UVLO) : 2.8 V V_{DD1}

高精度なタイミング特性

アイソレータおよびドライバ伝搬遅延: 64 ns (最大値)

CMOS 入力ロジック・レベル

高いコモンモード過渡耐圧: >25 kV/ μ s

高いジャンクション温度動作: 125°C

デフォルトのロー・レベル出力

安全性と規制の認定 (申請中)

UL 1577 に準拠する UL 認定

3000 V rms 1 分間、SOIC ロング・パッケージ

CSA コンポーネント・アクセプタンス・ノーティス 5A

VDE 適合性認定 (申請中)

DIN V VDE V 0884-10 (VDE V 0884-10) : 2006-12

最大動作絶縁電圧 (V_{IORM}) : 560 V peak

ナローボディの 8 ピン SOIC パッケージを採用

アプリケーション

スイッチング電源

絶縁型ゲート・バイポーラ・トランジスタ (IGBT) / MOSFET

ゲートの駆動

工業用インバータ

概要

ADuM3123¹ は、アナログ・デバイセズの iCoupler® 技術を採用して高精度絶縁を実現する 4.0 A の絶縁型 1 チャンネル・ドライバです。ADuM3123 は、ナローボディの 8 ピン SOIC パッケージで 3000 V rms の絶縁を実現します。高速 CMOS 技術とモノリシック・トランス技術の組み合わせにより、これらの絶縁部品はパルス・トランスとゲート・ドライバの組み合わせなどの置換品より、優れた性能特性を提供します。

ADuM3123 は、3.0 V ~ 5.5 V の入力電源で動作し、これより低い電圧のシステムとの互換性を提供します。高電圧レベル変換方式を採用するゲート・ドライバと比較すると、ADuM3123 は入力と出力の間で真の電気的な絶縁を行う利点を備えています。出力は、入力基準で最大 380 V rms の連続動作が可能です。

このため、ADuM3123 は広い範囲の正または負のスイッチング電圧に対して、IGBT/MOSFET 構成のスイッチング特性における信頼度の高い制御を行うことができます。

機能ブロック図

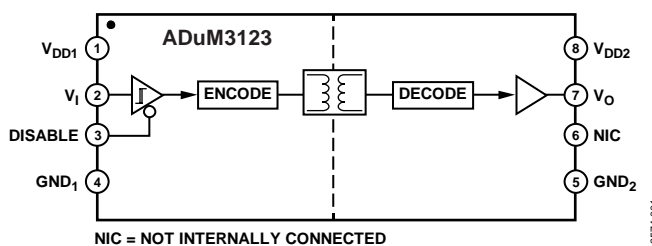


図 1.

¹ 米国特許 5,952,849; 6,873,065; 7,075,239 により保護されています。その他の特許は申請中です。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	ESD に関する注意.....	8
アプリケーション.....	1	ピン配置およびピン機能説明.....	9
概要.....	1	代表的な性能特性.....	10
機能ブロック図.....	1	アプリケーション情報.....	12
改訂履歴.....	2	プリント回路基板 (PCB) レイアウト.....	12
仕様.....	3	伝搬遅延に関するパラメータ.....	12
電気的特性— 5 V 動作.....	3	熱的制約とスイッチ負荷特性.....	12
電気的特性— 3.3 V 動作時.....	5	出力負荷特性.....	12
パッケージ特性.....	6	DC 精度と磁界耐性.....	13
絶縁および安全性関連の仕様.....	6	消費電力.....	14
適用規格.....	6	絶縁寿命.....	14
DIN V VDE V 0884-10 (VDE V 0884-10) 絶縁特性.....	7	外形寸法.....	15
推奨動作条件.....	7	オーダー・ガイド.....	15
絶対最大定格.....	8		

改訂履歴

7/15—Revision 0:Initial Version

仕様

電気的特性— 5 V 動作

すべての電圧はそれぞれのグラウンドを基準とします。特に指定がない限り、 $4.5\text{ V} \leq V_{DD1} \leq 5.5\text{ V}$ 、および $4.5\text{ V} \leq V_{DD2} \leq 18\text{ V}$ 。すべての最小/最大仕様は、 $T_J = -40^\circ\text{C} \sim +125^\circ\text{C}$ で適用。すべての仕様の代表値は $T_J = 25^\circ\text{C}$ 、 $V_{DD1} = 5\text{ V}$ 、および $V_{DD2} = 12\text{ V}$ で規定。スイッチング仕様は CMOS 信号レベルでテスト。

表 1.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
DC SPECIFICATIONS						
Input Supply Current, Quiescent	$I_{DD1(Q)}$		1.4	2.4	mA	
Output Supply Current, Quiescent	$I_{DDO(Q)}$		2.3	3.7	mA	
Supply Current at 1 MHz						
V_{DD1} Supply Current	I_{DD1}		1.6	2.5	mA	Up to 1 MHz, no load
V_{DD2} Supply Current	I_{DD2}		5.6	8.0	mA	Up to 1 MHz, no load
Input Currents	I_I	-1	+0.01	+1	μA	$0\text{ V} \leq V_I \leq V_{DD1}$
Input Threshold						
Logic High	V_{IH}	$0.7 \times V_{DD1}$			V	
Logic Low	V_{IL}			$0.3 \times V_{DD1}$	V	
Output Voltages						
Logic High	V_{OH}	$V_{DD2} - 0.1$	V_{DD2}		V	$V_O = -20\text{ mA}$, $V_I = V_{IH}$
Logic Low	V_{OL}		0.0	0.15	V	$V_O = +20\text{ mA}$, $V_I = V_{IL}$
Undervoltage Lockout, V_{DD1} Supply						
Positive Going Threshold	V_{DD1UV+}		2.8		V	
Negative Going Threshold	V_{DD1UV-}		2.6		V	
Hysteresis	V_{DD1UVH}		0.2		V	
Undervoltage Lockout, V_{DD2} Supply						
Positive Going Threshold	V_{DD2UV+}		4.1	4.4	V	A Grade
			6.9	7.4	V	B Grade
			10.5	11.1	V	C Grade
Negative Going Threshold	V_{DD2UV-}	3.2	3.6		V	A Grade
		5.7	6.2		V	B Grade
		9.0	9.6		V	C Grade
Hysteresis	V_{DD2UVH}		0.5		V	A Grade
			0.7		V	B Grade
			0.9		V	C Grade
Output Short-Circuit Pulsed Current ¹	$I_{O(SC)}$	2.0	4.0		A	$V_{DD2} = 12\text{ V}$
Output Source Resistance	$R_{ON,P}$	0.25	0.95	1.5	Ω	$V_{DD2} = 12\text{ V}$, $I_{V_O} = -250\text{ mA}$
Output Sink Resistance	$R_{ON,N}$	0.55	0.6	1.35	Ω	$V_{DD2} = 12\text{ V}$, $I_{V_O} = 250\text{ mA}$
THERMAL SHUTDOWN TEMPERATURES						
Junction Temperature Shutdown						
Rising Edge	T_{JR}		150		$^\circ\text{C}$	
Falling Edge	T_{JF}		140		$^\circ\text{C}$	

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Pulse Width ²	PW	50			ns	$C_L = 2 \text{ nF}, V_{DD2} = 12 \text{ V}$
Maximum Data Rate ³		1			MHz	$C_L = 2 \text{ nF}, V_{DD2} = 12 \text{ V}$
Propagation Delay ⁴	t_{DHL}, t_{DLH}	19	40	62	ns	$C_L = 2 \text{ nF}, V_{DD2} = 12 \text{ V}$
ADuM3123 A Grade		25	46	68	ns	$C_L = 2 \text{ nF}, V_{DD2} = 4.5 \text{ V}$
Propagation Delay Skew ⁵	t_{PSK}			12	ns	$C_L = 2 \text{ nF}, V_{DD2} = 12 \text{ V}$
Output Rise Time/Fall Time (10% to 90%)	t_R/t_F	1	12	24	ns	$C_L = 2 \text{ nF}, V_{DD2} = 12 \text{ V}$
Supply Current						
Dynamic Input	$I_{DDI(D)}$		0.05		mA/Mbps	$V_{DD2} = 12 \text{ V}$
Dynamic Output	$I_{DDO(D)}$		1.65		mA/Mbps	$V_{DD2} = 12 \text{ V}$
Refresh Rate	f_r		1.2		Mbps	$V_{DD2} = 12 \text{ V}$

¹ 短絡時間は 1 μs 未満。平均電力は、絶対最大定格のセクションに示す規定値を満たす必要があります。

² 最小パルス幅は、規定のタイミング・パラメータが保証される最小のパルス幅です。

³ 最大データ・レートは、規定のタイミング・パラメータが保証される最速のデータ・レートです。

⁴ t_{DHL} 伝搬遅延は、入力立下がりロジック・ロー閾値 V_{IL} から V_O 信号の出力立下がり 90% 閾値までの時間を測定しています。 t_{DLH} 伝搬遅延は、入力立上がりロジック・ハイ閾値 V_{IH} から V_O 信号の出力立上がり 10% レベルまでの時間を測定しています。伝搬遅延パラメータの波形については図 17 を参照してください。

⁵ t_{PSK} は、 t_{DLH} または t_{DHL} におけるワーストケースの差であり、推奨動作条件下で同一の動作温度、電源電圧、出力負荷で動作する複数のユニット間で測定されます。伝搬遅延パラメータの波形については図 17 を参照してください。

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
SWITCHING SPECIFICATIONS						
Pulse Width ²	PW	50			ns	See Figure 17 C _L = 2 nF, V _{DD2} = 12 V
Maximum Data Rate ³		1			MHz	C _L = 2 nF, V _{DD2} = 12 V
Propagation Delay ⁴	t _{DHL} , t _{DLH}	25	44	64	ns	C _L = 2 nF, V _{DD2} = 12 V
ADuM3123 A Grade		28	49	71	ns	C _L = 2 nF, V _{DD2} = 4.5 V
Propagation Delay Skew ⁵	t _{PSK}			12	ns	C _L = 2 nF, V _{DD2} = 12 V
Output Rise/Fall Time (10% to 90%)	t _R /t _F	1	12	24	ns	C _L = 2 nF, V _{DD2} = 12 V
Dynamic Input Supply Current	I _{DD(I)}		0.05		mA/Mbps	V _{DD2} = 12 V
Dynamic Output Supply Current	I _{DD(O)}		1.65		mA/Mbps	V _{DD2} = 12 V
Refresh Rate	f _r		1.1		Mbps	V _{DD2} = 12 V

¹ 短絡時間は 1 μs 未満。平均電力は、絶対最大定格のセクションに示す規定値を満たす必要があります。

² 最小パルス幅は、規定のタイミング・パラメータが保証される最小のパルス幅です。

³ 最大データ・レートは、規定のタイミング・パラメータが保証される最速のデータ・レートです。

⁴ t_{DHL} 伝搬遅延は、入力立下がりロジック・ロー閾値 V_{IL} から V_O 信号の出力立下がり 90% 閾値までの時間を測定しています。t_{DLH} 伝搬遅延は、入力立下がりロジック・ハイ閾値 V_{IH} から V_O 信号の出力立下がり 10% レベルまでの時間を測定しています。伝搬遅延パラメータの波形については図 17 を参照してください。

⁵ t_{PSK} は、t_{DLH} または t_{DHL} におけるワーストケースの差であり、推奨動作条件下で同一の動作温度、電源電圧、出力負荷で動作する複数のユニット間で測定されます。伝搬遅延パラメータの波形については図 17 を参照してください。

パッケージ特性

表 3.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Resistance (Input to Output)	R _{I-O}		10 ¹²		Ω	
Capacitance (Input to Output)	C _{I-O}		2.0		pF	f = 1 MHz
Input Capacitance	C _I		4.0		pF	
IC Thermal Resistance, Junction to Ambient	θ _{JA}		95		°C/W	

絶縁および安全性関連の仕様

表 4.

Parameter	Symbol	Value	Unit	Test Conditions/Comments
Rated Dielectric Insulation Voltage		3000	V rms	1 minute duration
Minimum External Air Gap (Clearance)	L(I01)	3.9 min	mm	Measured from input terminals to output terminals, shortest distance through air
Minimum External Tracking (Creepage)	L(I02)	3.9 min	mm	Measured from input terminals to output terminals, shortest distance path along body
Minimum Internal Gap (Internal Clearance)		0.017 min	mm	Distance through insulation
Tracking Resistance (Comparative Tracking Index)	CTI	>400	V	DIN IEC 112/VDE 0303 Part 1
Isolation Group		II		Material Group (DIN VDE 0110, 1/89, Table 1)

適用規格

ADuM3123 は、表 5 に記載する組織の認定を申請中です。

表 5.

UL	CSA	VDE
Recognized under UL 1577 Component Recognition Program ¹	Approved under CSA Component Acceptance Notice 5A	Certified according to DIN V VDE V 0884-10 (VDE V 0884-10):2006-12 ²
Single Protection 3000 V rms Isolation Voltage	Basic insulation per CSA 60950-1-07 and IEC 60950-1, 380 V rms (537 V peak) maximum working voltage	Reinforced insulation, 560 V peak
File pending	File pending	File pending

¹ UL 1577 に従い、各 ADuM3123 は絶縁テスト電圧 ≥ 3000 V rms を 1 秒間加えることにより確認テストされています (電流リーク検出規定値 = 5 μA)。

² DIN V VDE V 0884-10 に従い、各 ADuM3123 は 1050 V peak 以上の絶縁テスト電圧を 1 秒間加えることにより確認テストされています (部分放電の検出規定値 = 5 pC)。デバイス表面のアスタリスク (*) 付きのブランドは、DIN V VDE V 0884-10 認定製品を表します。

DIN V VDE V 0884-10 (VDE V 0884-10) 絶縁特性

このアイソレータは、安全性制限値データ以内でのみの絶縁強化に適します。安全性データの維持は、保護回路によって保証されます。パッケージ表面のアスタリスク (*) マークは、560 V peak 動作電圧に対して DIN V VDE V 0884-10 認定済みであることを表示します。

表 6.

Description	Test Conditions/Comments	Symbol	Characteristic	Unit
Installation Classification per DIN VDE 0110 For Rated Mains Voltage ≤ 150 V rms For Rated Mains Voltage ≤ 300 V rms For Rated Mains Voltage ≤ 400 V rms Climatic Classification Pollution Degree per DIN VDE 0110, Table 1 Maximum Working Insulation Voltage Input-to-Output Test Voltage, Method b1	$V_{IORM} \times 1.875 = V_{PR}$, 100% production test, $t_m = 1$ sec, partial discharge < 5 pC $V_{IORM} \times 1.6 = V_{PR}$, $t_m = 60$ sec, partial discharge < 5 pC $V_{IORM} \times 1.2 = V_{PR}$, $t_m = 60$ sec, partial discharge < 5 pC	V_{IORM} $V_{pd(m)}$ $V_{pd(m)}$	I to IV I to III I to II 40/105/21 2	
Input-to-Output Test Voltage, Method a After Environmental Tests Subgroup 1 After Input and/or Safety Test Subgroup 2 and Subgroup 3			560 1050	V peak V peak
896 672			V peak V peak	
Highest Allowable Overvoltage Surge Isolation Voltage Safety-Limiting Values Maximum Junction Temperature Safety Total Dissipated Power Insulation Resistance at T_S	$V_{PEAK} = 10$ kV, 1.2 μ s rise time, 50 μ s, 50% fall time Maximum value allowed in the event of a failure (see Figure 2) $V_{IO} = 500$ V	V_{IOTM} V_{IOSM} T_S P_S R_S	4242 6000 150 1.31 >10 ⁹	V peak V peak °C W Ω

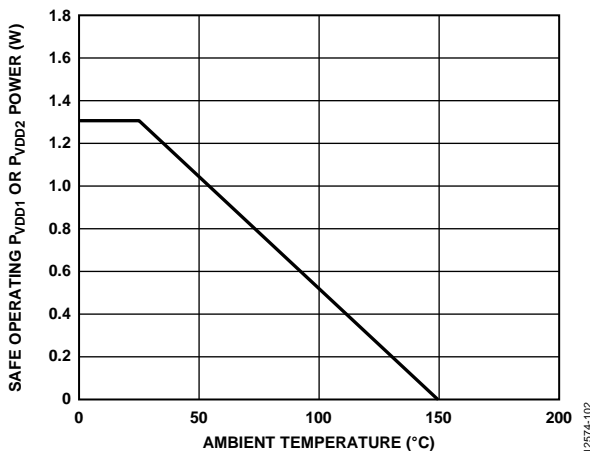


図 2. ADuM3123 の温度ディレーティング曲線、DIN V VDE V 0884-10 による安全な規定値のケース温度に対する依存性

推奨動作条件

表 7.

Parameter	Symbol	Value
Operating Junction Temperature	T_J	-40°C to +125°C
Supply Voltages ¹	V_{DD1} V_{DD2}	3.0 V to 5.5 V 4.5 V to 18 V
Maximum Input Signal Rise/Fall Times	t_{VIA} , t_{VIB}	1 ms
Common-Mode Transient Static ²		-50 kV/ μ s to +50 V/ μ s
Dynamic Common-Mode Transient Immunity ³		-25 kV/ μ s to +25 kV/ μ s

¹ すべての電圧はそれぞれのグラウンドを基準とします。外部磁界耐性については、アプリケーション情報のセクションを参照してください。

² 静的コモンモード過渡耐圧は、出力電圧が $V_I =$ ハイに対して $0.8 \times V_{DD2}$ 以上、または $V_I =$ ローに対して 0.8 V 以上を維持するように、入力をハイまたはローに維持したときの GND_1 と GND_2 の間の最大 dv/dt として定義されます。上記推奨レベルを超えるトランジェント時の動作では、一時的なデータ反転が生じることがあります。

³ 動的コモンモード過渡耐圧は、スイッチング・エッジがトランジェント・テスト・パルスと一致したときの GND_1 と GND_2 の間の最大 dv/dt として定義されます。上記推奨レベルを超えるトランジェント時の動作では、一時的なデータ反転が生じることがあります。

電气的特性— 3.3 V 動作時

すべての電圧はそれぞれのグラウンドを基準とします。特に指定がない限り、 $3.0\text{ V} \leq V_{DD1} \leq 3.6\text{ V}$ 、および $4.5\text{ V} \leq V_{DD2} \leq 18\text{ V}$ 。すべての最小/最大仕様は、 $T_J = -40^\circ\text{C} \sim +125^\circ\text{C}$ で適用。すべての仕様の代表値は $T_J = 25^\circ\text{C}$ 、 $V_{DD1} = 3.3\text{ V}$ 、および $V_{DD2} = 12\text{ V}$ で規定。スイッチング仕様は CMOS 信号レベルでテスト。

表 2.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
DC SPECIFICATIONS						
Input Supply Current, Quiescent	$I_{DD1(Q)}$		0.87	1.4	mA	
Output Supply Current, Quiescent	$I_{DD2(Q)}$		2.3	3.7	mA	
Supply Current at 1 MHz						
V_{DD1} Supply Current	I_{DD1}		1.1	1.5	mA	Up to 1 MHz, no load
V_{DD2} Supply Current	I_{DD2}		5.6	8.0	mA	Up to 1 MHz, no load
Input Currents	I_I	-10	+0.01	+10	μA	$0\text{ V} \leq V_I \leq V_{DD1}$
Input Threshold						
Logic High	V_{IH}	$0.7 \times V_{DD1}$			V	
Logic Low	V_{IL}			$0.3 \times V_{DD1}$	V	
Output Voltages						
Logic High	V_{OH}	$V_{DD2} - 0.1$	V_{DD2}		V	$V_O = -20\text{ mA}$, $V_I = V_{IH}$
Logic Low	V_{OL}		0.0	0.15	V	$V_O = +20\text{ mA}$, $V_I = V_{IL}$
Undervoltage Lockout, V_{DD1} Supply						
Positive Going Threshold	V_{DD1UV+}		2.8		V	
Negative Going Threshold	V_{DD1UV-}		2.6		V	
Hysteresis	V_{DD1UVH}		0.2		V	
Undervoltage Lockout, V_{DD2} Supply						
Positive Going Threshold	V_{DD2UV+}		4.1	4.4	V	A Grade
			6.9	7.4	V	B Grade
			10.5	11.1	V	C Grade
Negative Going Threshold	V_{DD2UV-}	3.2	3.6		V	A Grade
		5.7	6.2		V	B Grade
		9.0	9.6		V	C Grade
Hysteresis	V_{DD2UVH}		0.5		V	A Grade
			0.7		V	B Grade
			0.9		V	C Grade
Output Short-Circuit Pulsed Current ¹	$I_{O(SC)}$	2.0	4.0		A	$V_{DD2} = 12\text{ V}$
Output Source Resistance	$R_{ON,P}$	0.25	0.95	1.5	Ω	$V_{DD2} = 12\text{ V}$, $I_{V_O} = -250\text{ mA}$
Output Sink Resistance	$R_{ON,N}$	0.55	0.6	1.35	Ω	$V_{DD2} = 12\text{ V}$, $I_{V_O} = 250\text{ mA}$
THERMAL SHUTDOWN TEMPERATURES						
Junction Temperature Shutdown						
Rising Edge	T_{JR}		150		$^\circ\text{C}$	
Falling Edge	T_{JF}		140		$^\circ\text{C}$	

絶対最大定格

特に指定がない限り、周囲温度は 25°C です。

表 8.

Parameter	Symbol	Rating
Storage Temperature Range	T_{ST}	-55°C to +150°C
Operating Junction Temperature Range	T_J	-40°C to +150°C
Supply Voltages ¹	V_{DD1} , V_{DD2}	-0.3 V to +6.0 V
		-0.3 V to +20 V
Input Voltage ^{1,2}	V_{IN}	-0.3 V to $V_{DD1} + 0.3$ V
Output Voltage ^{1,2}	V_{OUT}	-0.3 V to $V_{DD0} + 0.3$ V
Average Output Current per Pin	I_{OUT}	-35 mA to +35 mA
Common-Mode Transients ³	C_{MH} , C_{ML}	-100 kV/μs to +100 kV/μs

¹ すべての電圧はそれぞれのグラウンドを基準とします。

² V_{DD1} と V_{DD0} は、それぞれチャンネルの入力側と出力側の電源電圧を表します。

³ 絶縁バリアをまたぐコモンモード・トランジェントを表します。絶対最大定格を超えるコモンモード・トランジェントを加えると、ラッチアップまたは恒久的な損傷が生ずることがあります。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

表 9. 最大連続動作電圧¹

Parameter	Max	Unit	Constraint
AC Voltage			50-year minimum lifetime
Bipolar Waveform	565	V peak	
Unipolar Waveform	1131	V peak	
DC Voltage	1131	V peak	50-year minimum lifetime

¹ 絶縁バリアをまたいで加わる連続電圧の大きさを意味します。詳細については、絶縁寿命のセクションを参照してください。

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

表 10. 真理値表 (正論理)¹

DISABLE	V_I Input	V_{DD1} State	V_{DD2} State	V_O Output	Comments
L	L	Powered	Powered	L	Outputs return to the input state within 1 μs of DISABLE set to low
L	H	Powered	Powered	H	Outputs return to the input state within 1 μs of DISABLE set to low
H	X	Powered	Powered	L	Outputs take on default low state within 3 μs of DISABLE set to high
L	L	Unpowered	Powered	L	Output returns to the input state within 1 μs of V_{DD1} power restoration
X	X	Powered	Unpowered	Indeterminate	Outputs return to the input state within 50 μs of V_{DD2} power restoration

¹ X はドントケア、L はロー、H はハイ。

ピン配置と機能の説明

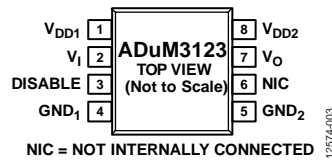


図 3. ピン配置

表 11. ピン機能の説明

ピン番号	記号	説明
1	V _{DD1}	アイソレータの 1 次側の電源電圧。
2	V _I	ゲート駆動入力。
3	DISABLE	ディスエーブル。ロジック・ローに接続するとイネーブルになります。*
4	GND ₁	グラウンド 1。アイソレータの 1 次側のグラウンド基準。
5	GND ₂	グラウンド 2。アイソレータの 2 次側のグラウンド基準。
6	NIC	内部では未接続。
7	V _O	ゲート駆動出力。
8	V _{DD2}	アイソレータの 2 次側の電源電圧。

*訳文を訂正いたしましたので、詳しくは1ページ目の[正誤表](#)をご参照ください。

代表的な性能特性

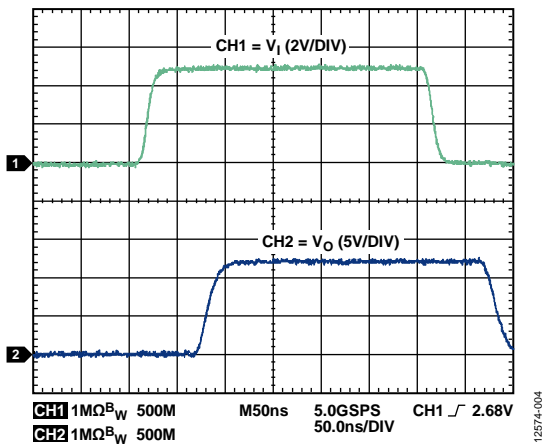


図 4. 2 nF 負荷、3.6 Ω 直列ゲート抵抗での入力と出力の波形、12 V 出力電源

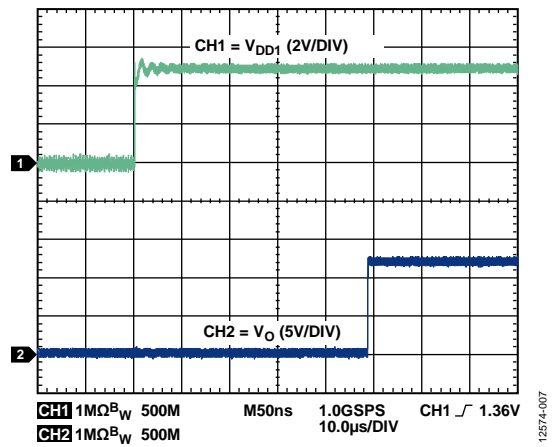


図 7. V_{DD1} から出力までの代表的な遅延波形、 $V_1 = V_{DD1}$

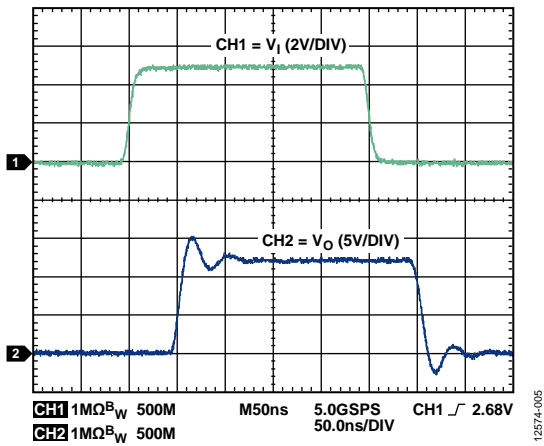


図 5. 2 nF 負荷、0 Ω 直列ゲート抵抗での入力と出力の波形、12 V 出力電源

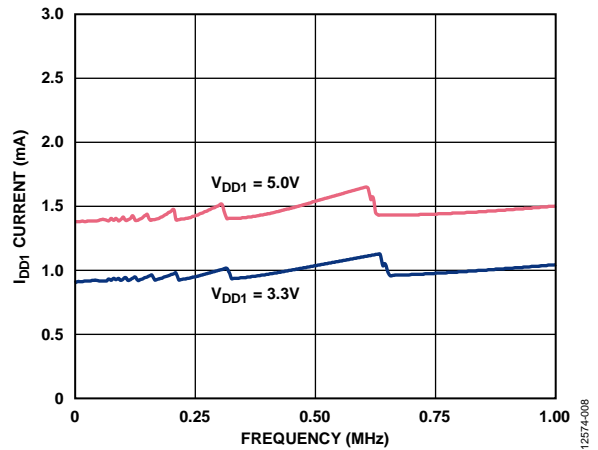


図 8. I_{DD1} 電流の代表的な周波数特性

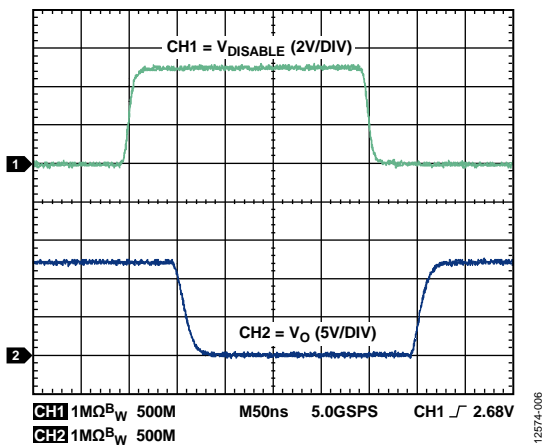


図 6. 2 nF 負荷、3.6 Ω 抵抗での DISABLE と出力の波形、12 V 出力電源、 $V_1 = V_{DD1}$

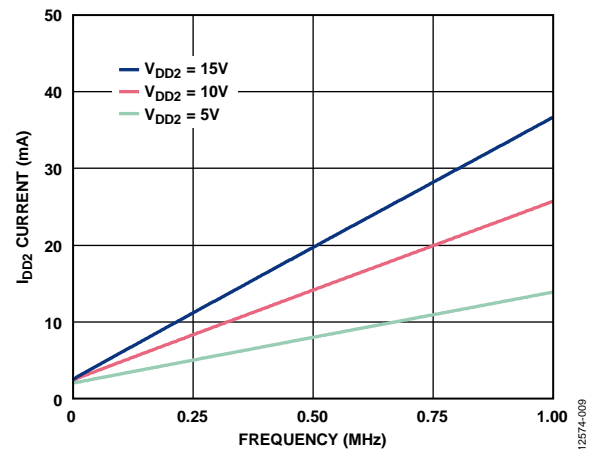


図 9. 2 nF 負荷での I_{DD2} 電流の代表的な周波数特性

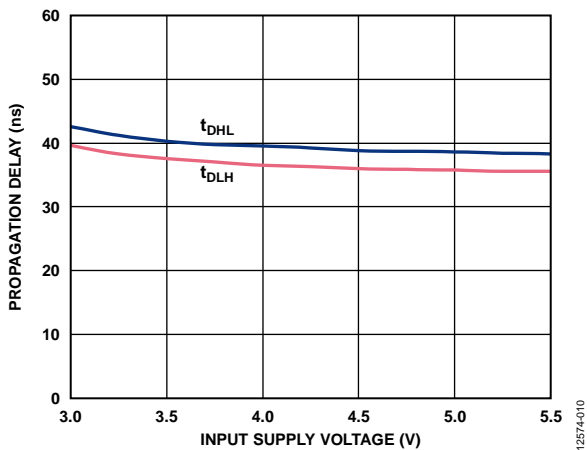


図 10. 入力電源電圧 対 代表的な伝搬遅延、 $V_{DD2} = 12\text{ V}$

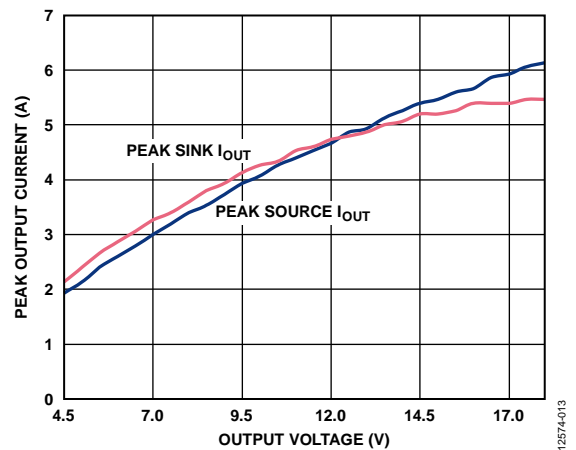


図 13. 出力電圧 対 代表的なピーク出力電流、 $1.2\ \Omega$ 直列抵抗

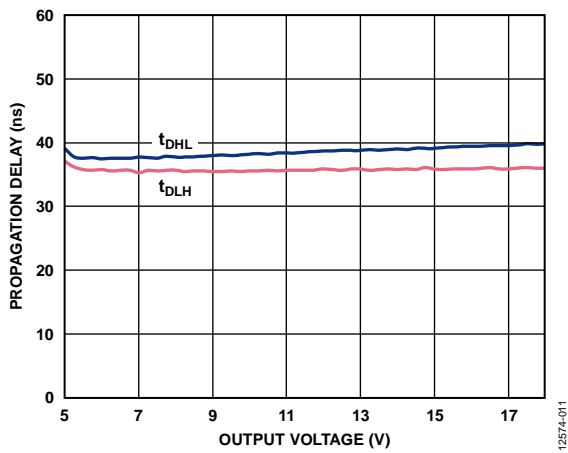


図 11. 出力電圧 対 代表的な伝搬遅延、 $V_{DD1} = 5\text{ V}$

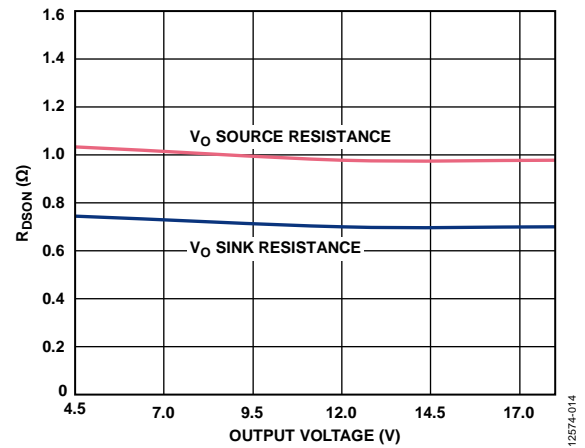


図 14. 出力電圧 対 代表的な出力抵抗 ($R_{DS(on)}$)

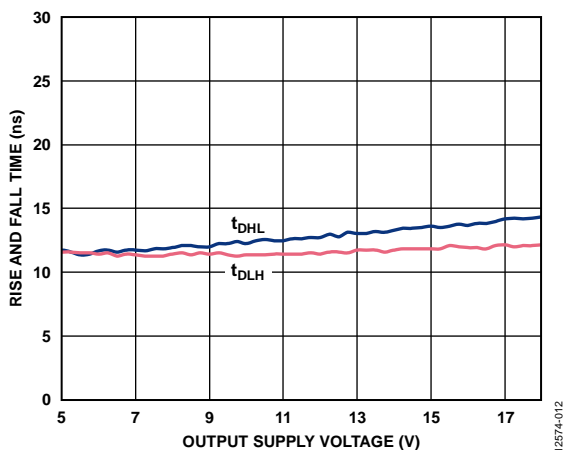


図 12. 出力電源電圧 対 代表的な立上がり時間と立下がり時間

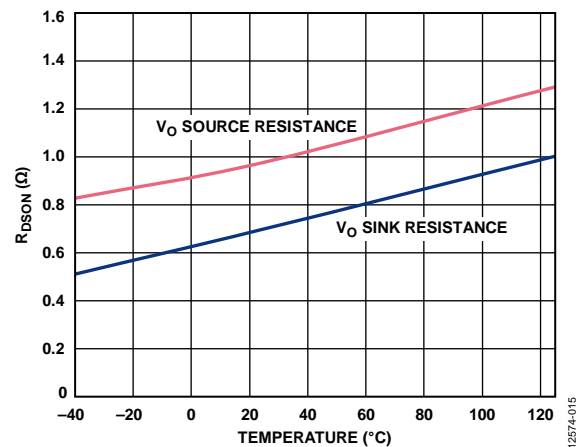


図 15. 出力抵抗 ($R_{DS(on)}$) の代表的な温度特性、 $V_{DD2} = 12\text{ V}$

アプリケーション情報

プリント回路基板 (PCB) レイアウト

ADuM3123 デジタル・アイソレータには、ロジック・インターフェース用の外付けインターフェース回路は不要です。入力電源ピンと出力電源ピンには電源バイパスが必要です (図 16 参照)。0.01 μF ~ 0.1 μF の小型セラミック・コンデンサを使用して十分な高周波バイパスを行ってください。

さらに、出力電源ピン (V_{DD2}) には、10 μF のコンデンサを並列に接続して、ADuM3123 出力のゲート容量を駆動するのに必要な電荷を供給することを推奨します。デカップリングに小容量のコンデンサを使用する場合、スイッチング・トランジェント時の電圧降下を許容可能なレベルにする必要があります。必要なデカップリングは、許容可能な電圧降下 対 駆動されるゲート容量の関数になります。出力電源ピンでは、バイパス・コンデンサでのビアの使用を避けるか、または複数のビアを使ってバイパスでのインダクタンスを抑えます。小容量コンデンサの両端と入力/出力電源ピンの間の合計リード長は 20 mm を超えないようにします。最高の性能を得るには、バイパス・コンデンサをできるだけデバイスの近くに配置します。

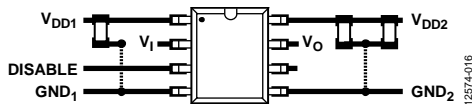


図 16. 推奨 PCB レイアウト

伝搬遅延に関するパラメータ

伝搬遅延時間は、ロジック信号がデバイスを通るのに要する時間を表すパラメータです。ロジック・ロー・レベル出力への伝搬遅延は、ロジック・ハイ・レベル出力への伝搬遅延と異なることがあります。ADuM3123 では、 t_{DLH} (図 17 参照) を立上がり入力ハイ・ロジック閾値 V_{IH} と V_O 信号の出力立上がり 10% 閾値の間の時間として規定しています。同様に、立下がり伝搬遅延 t_{DHL} を入力立下がりロジック・ロー閾値 V_{IL} と V_O 信号の出力立下がり 90% 閾値の間の時間として規定しています。立上がり時間が立下がり時間は負荷条件に依存し、ゲート・ドライバの業界標準と同様に伝搬遅延に含まれません。

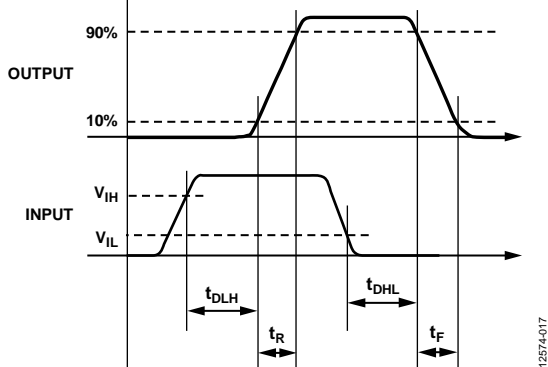


図 17. 伝搬遅延パラメータ

伝搬遅延スキューは、同じ条件で動作する複数の ADuM3123 デバイス間の伝搬遅延差の最大値を表します。

熱的制約とスイッチ負荷特性

絶縁型ゲート・ドライバの場合、入力回路と出力回路の間に電気的分離が必要なため、デバイスの下にサーマル・パッドを使用できません。このため、熱は主にパッケージのピンを経由して放散されます。

デバイス内部の消費電力は主に、駆動される実効負荷容量、スイッチング周波数、動作電圧、外付け直列抵抗で決まります。次式を使って、各チャンネル内の消費電力を計算します。

$$P_{DISS} = C_{EFF} \times (V_{DD2})^2 \times f_{SW} \times \frac{R_{DSON}}{R_{DSON} + R_{GATE}}$$

ここで、

C_{EFF} は負荷の実効容量、

V_{DD2} は 2 次側電圧、

f_{SW} はスイッチング周波数、

R_{DSON} は ADuM3123 の内部抵抗 ($R_{ON,P}$ 、 $R_{ON,N}$)、

R_{GATE} は外付けゲート抵抗です。

周囲温度からの温度上昇を求めめるため、総消費電力に θ_{JA} を掛けます。次いで、この値を周囲温度に加えることにより、ADuM3123 内部のジャンクション温度の概算値を求めます。

ADuM3123 アイソレータ出力には、それぞれサーマル・シャットダウン保護機能があります。この機能により、ジャンクション温度が上昇して通常 150°C に達したら出力をロジック・ロー・レベルに設定し、ジャンクション温度がシャットダウン値から約 10°C 下がるとオン (ロジック・ハイ・レベル) に戻します。

出力負荷特性

ADuM3123 の出力信号は、出力負荷 (一般に N チャンネル MOSFET) の特性に依存します。N チャンネル MOSFET 負荷に対するドライバの出力応答は、スイッチ出力抵抗 (R_{SW})、PCB パターンに起因するインダクタンス (L_{TRACE})、直列ゲート抵抗 (R_{GATE})、およびゲート-ソース間容量 (C_{GS}) でモデル化することができます (図 18 参照)。

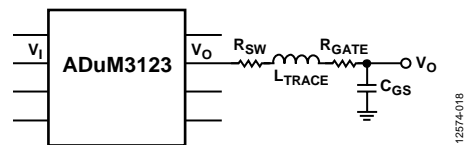


図 18. N チャンネル MOSFET のゲートの RLC モデル

R_{SW} は ADuM3123 の内部ドライバ出力のスイッチ抵抗 (代表値はソースで 0.95 Ω 、シンクで 0.6 Ω) です。 R_{GATE} は MOSFET の固有ゲート抵抗と外付け直列抵抗です。4.0 A のゲート・ドライバを必要とする MOSFET の固有ゲート抵抗の代表値は約 1 Ω で、ゲート-ソース間容量 (C_{GS}) は 2 nF ~ 10 nF です。 L_{TRACE} は PCB パターンのインダクタンスであり、ADuM3123 出力から MOSFET のゲートまでを非常に短く幅の広いパターンで接続する良好な設計のレイアウトでは、一般に 5 nH 以下になります。

次式は RLC 回路の Q ファクタを求めるもので、ADuM3123 出力のステップ変化に対する応答を示します。十分に抑制された出力では、Q は 1 より小さくなります。直列ゲート抵抗を追加することにより出力応答が抑制されます。

$$Q = \frac{1}{(R_{SW} + R_{GATE})} \times \sqrt{\frac{L_{TRACE}}{C_{GS}}}$$

出力リングングを低減するためには、直列ゲート抵抗を追加して応答を抑制します。1 nF 以下の負荷を使用するアプリケーションの場合、約 5 Ω の直列ゲート抵抗を追加します。Q ファクタは 1 より小さいことが推奨されます。これにより、推奨目標値としての 0.7 を使用することでシステムの応答を抑制することができます。

DC 精度と磁界耐性

アイソレータ入力での正および負のロジック変化により、狭いパルス (約 1 ns) がトランスを経由してデコーダに送られます。デコーダは双安定であるため、パルスによるセットまたはリセットにより入力ロジックの変化が表されます。1 μs (代表値) 以上入力にロジック変化がない場合、該当する入力状態を表す周期的な一連の更新パルスが出力の DC 精度を確保するために送出されます。

デコーダが約 3 μs (代表値) 以上内部パルスを受信しないと、入力側が電源オフであるか非動作状態にあると見なされ、ウォッチドッグ・タイマー回路によりアイソレータ出力が強制的にデフォルトのロー・レベルにされます。さらに、電源の立上がり時、UVLO 閾値を通過するまでは、出力はロー・レベルのデフォルト状態になります。

ADuM3123 の磁界耐性の限界は、トランスの受信側コイルに発生する誘導電圧が十分大きくなり、デコーダをセットまたはリセットさせる誤動作が発生することで決まります。この状態が発生する条件を以下の解析により求めます。ADuM3123 の 3 V 動作は最も感度の高い動作モードであるため、この条件を調べます。トランス出力におけるパルスの振幅は 1.0 V を超えます。デコーダの検出閾値は約 0.5 V なので、誘導電圧に対して 0.5 V のマージンがあります。受信側コイルへの誘導電圧は次式で与えられます。

$$V = (-d\beta/dt) \sum \pi r_n^2, n = 1, 2, \dots, N$$

ここで、

β は磁束密度 (gauss)、

N は受信側コイルの巻き数、

r_n は受信側コイル巻き数 n 回目の半径 (cm) です。

ADuM3123 の受信側コイルの形状が与えられ、かつ誘導電圧がデコーダにおける 0.5 V のマージンの最大 50% であるという条件が与えられると、最大許容磁界は図 19 のように計算されます。

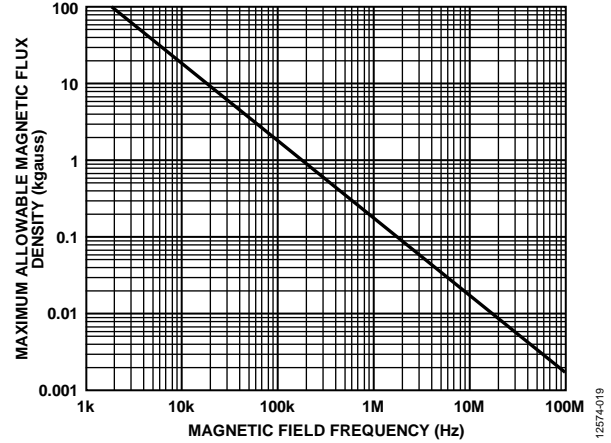


図 19. 最大許容外部磁束密度

例えば、1 MHz の磁界周波数で、0.2 kgauss の最大許容磁界の場合、受信側コイルでの誘導電圧は 0.25 V になります。この誘導電圧レベルは検出閾値の約 50% であるため、出力変化の誤動作は生じません。同様に、このような条件が送信パルスに存在しても (さらにワーストケースの極性であっても)、受信パルスは 1.0 V 以上から 0.75 V まで低下しますが、デコーダの 0.5 V の検出閾値を十分に上回っています。

前述の磁束密度の値は、ADuM3123 トランスから所定の距離だけ離れた特定の電流値に相当します。図 20 に、所定の距離に対する周波数の関数としての許容電流値を示します。図から読み取れるように、ADuM3123 の耐性は高く、影響を受けるのは高周波の極めて大きな電流での動作でかつデバイスに近い場合に限られます。1 MHz の例では、デバイスの動作に影響を与えるのは、0.5 kA の電流を ADuM3123 から 5 mm の距離まで近づけた場合です。

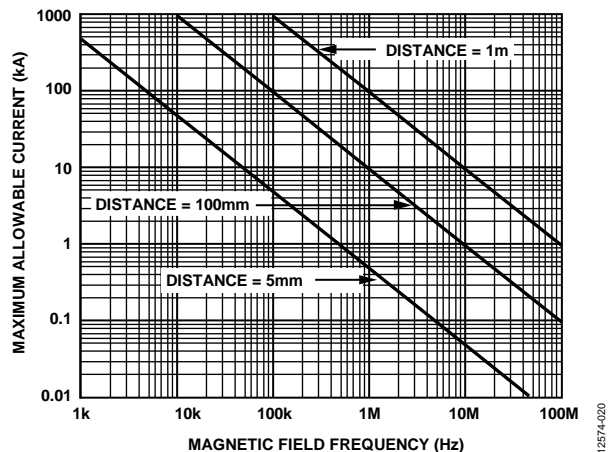


図 20. さまざまな電流値と ADuM3123 までの距離に対する最大許容電流

消費電力

ADuM3123 アイソレータの所定のチャンネルの電源電流は、電源電圧、チャンネルのデータ・レート、チャンネルの出力負荷の関数になっています。

入力側に対して、電源電流は次式で与えられます。

$$I_{DD1} = I_{DD1(Q)} \quad f \leq 0.5f_r$$

$$I_{DD1} = I_{DD1(D)} \times (2f - f_r) + I_{DD1(Q)} \quad f > 0.5f_r$$

出力側に対して、電源電流は次式で与えられます。

$$I_{DDO} = I_{DDO(Q)} \quad f \leq 0.5f_r$$

$$I_{DDO} = (I_{DDO(D)} + (0.5) \times C_L V_{DD2}) \times (2f - f_r) + I_{DDO(Q)} \quad f > 0.5f_r$$

ここで、

$I_{DD1(D)}$ と $I_{DDO(D)}$ は、それぞれチャンネルあたりの入力ダイナミック電源電流と出力ダイナミック電源電流 (mA/Mbps)、

C_L は出力負荷容量 (pF)、

V_{DD2} は出力電源電圧 (V)、

f は入力ロジック信号周波数 (MHz、入力データ・レートの半分、NRZ 伝送)、

f_r は入力段のリフレッシュ・レート (Mbps)、

$I_{DD1(Q)}$ と $I_{DDO(Q)}$ は、それぞれ指定された入力静止電源電流と出力静止電源電流 (mA) です。

I_{DD1} と I_{DD2} の合計電源電流を計算するために、 I_{DD1} と I_{DD2} に対応するチャンネルの各入力と各出力の電源電流を計算して合計します。

図 8 に、入力チャンネルでの周波数の関数としての総合入力 I_{DD1} 電源電流を示します。図 9 に、2 nF の容量を負荷とする出力での周波数の関数としての総合入力 I_{DD2} 電源電流を示します。

絶縁寿命

すべての絶縁構造は、長時間電圧ストレスを受けると最終的に劣化します。絶縁性能の低下率は、絶縁に加えられる電圧波形の特性に依存します。アナログ・デバイセズは、規制当局が行うテストの他に、広範囲なセットの評価を実施して ADuM3123 の絶縁構造の寿命を測定しています。

アナログ・デバイセズは、定格連続動作電圧より高い電圧レベルを使った加速寿命テストを実施しています。複数の動作条件に対する加速ファクタを求めました。これらのファクタを使うと、実際の動作電圧での故障までの時間を計算することができます。

表 9 に、バイポーラ AC 動作条件での 50 年の寿命期間に対するピーク電圧を示します。多くのケースで、実証された動作電圧は 50 年の寿命期間の電圧より高くなっています。これらの高い動作電圧での動作は、ケースによって絶縁寿命を短くすることがあります。

ADuM3123 の絶縁寿命は、絶縁バリアをまたいで加えられる電圧波形のタイプに依存します。iCoupler 絶縁構造の性能は、波形がバイポーラ AC、ユニポーラ AC、DC のいずれであるかに応じて、異なるレートで低下します。図 21、図 22、および図 23 は、これらのさまざまな絶縁電圧波形を示しています。

バイポーラ AC 電圧環境は iCoupler 製品に対してワーストケースであり、最大動作電圧に対してアナログ・デバイセズが推奨する 50 年の動作寿命期間に相当します。ユニポーラ AC や DC 電圧の場合、絶縁に加わるストレスは大幅に小さくなります。ユニポーラや DC 電圧ではストレスが小さいので、50 年の寿命期間を実現しながら高い動作電圧での動作が可能で、図 22 または図 23 に適合しない絶縁電圧波形はバイポーラ AC 波形として扱い、ピーク電圧は表 9 に示す 50 年寿命電圧値に制限します。

図 22 に示す電圧は、単に説明目的のために正弦波としています。すなわち、0 V とある規定値との間で変化する任意の電圧波形としています。規定値は正または負とすることができますが、電圧は 0 V を通過することはできません。

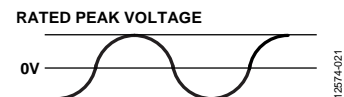


図 21. バイポーラ AC 波形

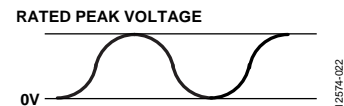


図 22. ユニポーラ AC 波形

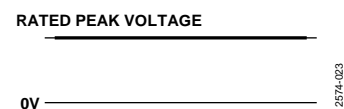
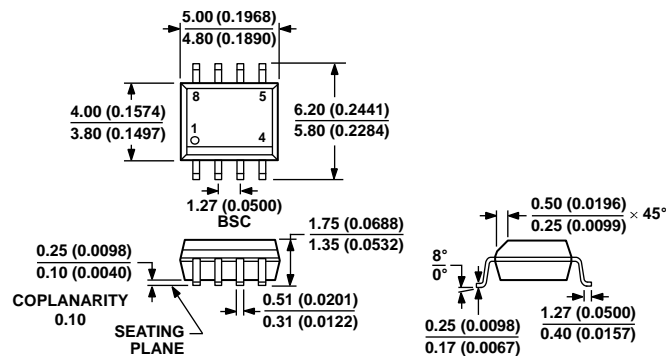


図 23. DC 波形

外形寸法



COMPLIANT TO JEDEC STANDARDS MS-012-AA
 CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
 (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

012607-A

図 24.8 ピン標準スモール・アウトライン・パッケージ [SOIC_N] ナローボディ (R-8)
 寸法: mm (インチ)

オーダー・ガイド

Model ¹	No. of Channels	Output Peak Current (A)	Minimum Output Voltage (V)	Temperature Range	Package Description	Package Option
ADuM3123ARZ	1	4	4.4	-40°C to +125°C	8-Lead SOIC_N	R-8
ADuM3123ARZ-RL7	1	4	4.4	-40°C to +125°C	8-Lead SOIC_N, 7" Tape and Reel	R-8
ADuM3123BRZ	1	4	7.4	-40°C to +125°C	8-Lead SOIC_N	R-8
ADuM3123BRZ-RL7	1	4	7.4	-40°C to +125°C	8-Lead SOIC_N, 7" Tape and Reel	R-8
ADuM3123CRZ	1	4	11.1	-40°C to +125°C	8-Lead SOIC_N	R-8
ADuM3123CRZ-RL7	1	4	11.1	-40°C to +125°C	8-Lead SOIC_N, 7" Tape and Reel	R-8
EVAL-ADUM3123EBZ					Evaluation Board	

¹ Z = RoHS 準拠製品。